

(19)日本国特許庁(J P)

(12) 公開特許公報(A) (11)特許出願公開番号

特開2003 - 107523

(P2003 - 107523A)

(43)公開日 平成15年4月9日(2003.4.9)

(51) Int. Cl <sup>7</sup>	識別記号	F I	テ-マ-コ-ト <sup>*</sup> (参考)
G 0 2 F 1/1368		G 0 2 F 1/1368	2 H 0 9 2
G 0 9 F 9/00	342	G 0 9 F 9/00	5 C 0 9 4
	9/30	338	5 F 1 1 0
	9/35		5 G 4 3 5
H 0 1 L 29/786		H 0 1 L 29/78	612 C

審査請求 未請求 請求項の数 15 O L (全 17数) 最終頁に続く

(21)出願番号 特願2001 - 298993(P2001 - 298993)

(22)出願日 平成13年9月28日(2001.9.28)

(71)出願人 000005108

株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地

(72)発明者 高橋 卓也

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72)発明者 金子 寿輝

千葉県茂原市早野3300番地 株式会社日立製作所ディスプレイグループ内

(74)代理人 100075096

弁理士 作田 康夫

最終頁に続く

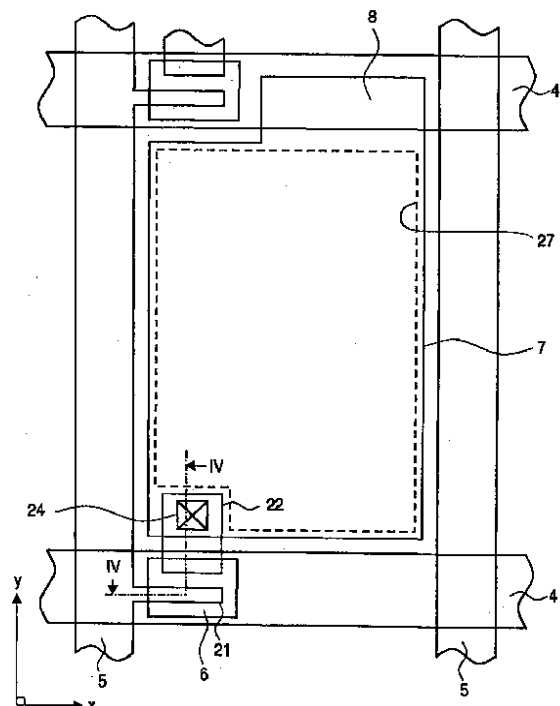
(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】低抵抗、ドライエッチング耐性、ゲート絶縁膜との選択ウェットエッチング、積層数2層以下、断面のテーパ加工の各要件を満たすボトムゲート型TFTの映像信号線を有する液晶表示装置の提供。

【解決手段】映像信号線を、下層である第1の導電膜と上層である第2の導電膜からなる積層膜で、前記第1の導電膜はMoを主成分としWを含有する合金であり、前記第2の導電膜はMoを主成分としZrを含有する合金である積層膜で構成する。低抵抗、ドライエッチング耐性、ゲート絶縁膜との選択ウェットエッチング、積層数2層以下、断面のテーパ加工の各要件を満たすボトムゲート型TFTの映像信号線を有する液晶表示装置が提供される。

図 1



## 【特許請求の範囲】

【請求項1】 一对の基板と、前記一对の基板に挟持された液晶層と、前記一对の基板の一方の基板に形成される複数の走査信号線と、前記走査信号線とマトリクス状に交差する複数の映像信号線と、前記走査信号線と前記映像信号線との交点付近に形成された薄膜トランジスタと、前記薄膜トランジスタに接続された画素電極と、前記走査信号線を概ね覆うゲート絶縁膜と、前記映像信号線と前記薄膜トランジスタとを概ね覆う保護絶縁膜とを有し、前記走査信号線と前記映像信号線の少なくとも一方の信号線が下層である第1導電膜と上層である第2導電膜との二層膜から構成される液晶表示装置において、前記第1導電膜はモリブデンを主成分としタングステン

を含有する合金であり、前記第2導電膜はモリブデンを主成分としジルコニウムを4重量%以上含有する合金であることを特徴とする液晶表示装置。

【請求項2】 請求項1の液晶表示装置において、前記第1導電膜はモリブデンを主成分としタングステンを含有する合金であり、前記第2導電膜はモリブデンを主成分としジルコニウムを4重量%以上含有する合金であることを特徴とする液晶表示装置。

【請求項3】 請求項1又は2に記載の液晶表示装置において、

前記二層膜のシート抵抗と全膜厚との積として定義される平均導電率が $170\text{ n } / \text{ m}$ 以下であることを特徴とする液晶表示装置。

【請求項4】 請求項1から3のいずれか一項に記載の液晶表示装置において、

前記第1導電膜の加工端部断面が順テーパ形状となっていることを特徴とする液晶表示装置。

【請求項5】 一对の基板と、前記一对の基板に挟持された液晶層と、前記一对の基板の一方に形成される複数の走査信号線と、前記走査信号線とマトリクス状に交差する複数の映像信号線と、前記走査信号線と前記映像信号線との交点付近に形成された薄膜トランジスタと、前記薄膜トランジスタに接続された画素電極と、前記走査信号線を概ね覆うゲート絶縁膜と、前記映像信号線と前記薄膜トランジスタとを概ね覆う保護絶縁膜とを有し、前記映像信号線と前記薄膜トランジスタのソース及びドレイン電極が下層である第1導電膜と上層である第2導電膜との二層膜から構成され、前記第1導電膜が前記薄膜トランジスタを構成するシリコンと直接接続し、前記保護絶縁膜に設けられたスルーホールを介して前記第2導電膜が前記画素電極と直接接続する液晶表示装置において、

前記第1導電膜はモリブデンを主成分としタングステンを含有する合金であり、前記第2導電膜はジルコニウムを含有する合金であることを特徴とする液晶表示装置。

【請求項6】 請求項5の液晶表示装置において、

前記第1導電膜はモリブデンを主成分としタングステンを含有する合金であり、前記第2導電膜はモリブデンを主成分としジルコニウムを4重量%以上含有する合金であることを特徴とする液晶表示装置。

【請求項7】 請求項5又は6に記載の液晶表示装置において、前記二層膜のシート抵抗と全膜厚との積として定義される平均導電率が $170\text{ n } / \text{ m}$ 以下であることを特徴とする液晶表示装置。

【請求項8】 請求項5から7のいずれか一項に記載の液晶表示装置において、前記第1導電膜の加工端部断面が順テーパ形状となっていることを特徴とする液晶表示装置。

【請求項9】 請求項5から8のいずれか一項に記載の液晶表示装置において、前記走査信号線がアルミニウムを主成分とする合金とモリブデンを主成分とする合金との積層膜から構成されることを特徴とする液晶表示装置。

【請求項10】 請求項9の液晶表示装置において、前記画素電極がインジウム酸化物と錫酸化物と亜鉛酸化物との混合酸化物であることを特徴とする液晶表示装置。

【請求項11】 一对の基板と、前記一对の基板に挟持された液晶層と、前記一对の基板の一方に形成される複数の走査信号線と、前記走査信号線とマトリクス状に交差する複数の映像信号線と、前記走査信号線と前記映像信号線との交点付近に形成された薄膜トランジスタと、前記走査信号線を概ね覆うゲート絶縁膜と、前記映像信号線と前記薄膜トランジスタとを概ね覆う保護絶縁膜と、前記複数の走査信号線と前記複数の映像信号線とで囲まれる領域に形成された複数の画素内に前記一对の基板の一方に形成される少なくとも一对の画素電極と対向電極とを有し、前記画素電極には、前記走査信号線からの走査信号の供給に基づいて駆動される前記薄膜トランジスタを介して映像信号が供給され、前記対向電極には、前記複数の画素に渡って形成される対向電圧信号線を介して基準電圧が供給され、前記画素電極が下層である第1導電膜と上層である第2導電膜との二層膜から構成される液晶表示装置において、

前記第1導電膜はモリブデンを主成分としタングステンを含有する合金であり、前記第2導電膜はジルコニウムを含有する合金であることを特徴とする液晶表示装置。

【請求項12】 請求項11の液晶表示装置において、前記第1導電膜はモリブデンを主成分としタングステンを含有する合金であり、前記第2導電膜はモリブデンを主成分としジルコニウムを4重量%以上含有する合金であることを特徴とする液晶表示装置。

【請求項13】 請求項11又は12に記載の液晶表示装置において、

前記二層膜のシート抵抗と全膜厚との積として定義され

る平均導電率が $170\text{ n/m}$ 以下であることを特徴とする液晶表示装置。

【請求項14】請求項11から13のいずれか一項に記載の液晶表示装置において、

前記第1導電膜の加工端部断面が順テーパ形状となっていることを特徴とする液晶表示装置。

【請求項15】一对の基板と、前記一对の基板に挟持された液晶層と、前記一对の基板の一方に形成される複数の走査信号線と、前記走査信号線とマトリクス状に交差する複数の映像信号線と、前記走査信号線と前記映像信号線との交点付近に形成された薄膜トランジスタと、前記薄膜トランジスタに接続された画素電極と、前記薄膜トランジスタの多結晶シリコンを概ね覆うゲート絶縁膜と、前記走査信号線を概ね覆い前記走査信号線と前記映像信号線とを絶縁する層間絶縁膜と、前記映像信号線を概ね覆う保護絶縁膜とを有し、前記薄膜トランジスタのゲート電極が下層である第1導電膜と上層である第2導電膜との二層膜から構成される液晶表示装置において、前記第1導電膜はモリブデンを主成分としタングステンを含む合金であり、前記第2導電膜はジルコニウムを含む合金であることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は薄膜トランジスタ(TFT)によって駆動するアクティブマトリクス型液晶表示装置(AM-LCD)、及びその製造方法に関する。

【0002】

【従来の技術】薄型化・軽量化・高精細化が図れる画像表示装置として、従来のブラウン管に比べ、薄膜トランジスタ駆動液晶表示装置(TFT-LCD)の市場が拡大している。TFT-LCDは、ガラス基板上に形成された、走査信号線、映像信号線、走査信号線と映像信号線の交点付近に作製された薄膜トランジスタ、薄膜トランジスタに接続された画素電極、ゲート絶縁膜、保護膜と、対向基板と、前記ガラス基板と前記対向基板との間に挟持された液晶層などから構成される。近年、TFT-LCDの画面の大型化、高精細化が進行するにつれ、走査信号線、映像信号線の低抵抗化や生産歩留り等に関する要求仕様はますます厳しくなりつつある。また、工程を簡略化することにより生産コストを低減することも求められている。

【0003】ボトムゲート型非晶質シリコンTFT-LCDの映像信号線には従来、Ti, Ta, Cr, Mo, CrMo等の単層の金属膜からなるもの、またMo/Cr, Al/Ti, CrMo/Cr, Mo/Al/Mo, Ti/Al/Ti, Cr/Al/Cr, MoCr/Al/MoCr等の積層された金属膜からなるものが採用されている。ここでスラッシュ(/)は積層膜の構成を表現しており、スラッシュの左側が上層で右側が下層であ

る。これらの配線構成は、液晶駆動に必要な配線抵抗仕様、スパッタ工程の生産能力、エッチング装置の能力等に応じて適時選択される。

【0004】このうち、低配線抵抗が得られる構成としては、Alを採用したAl/Ti, Mo/Al/Mo, Ti/Al/Ti, Cr/Al/Cr, MoCr/Al/MoCr、それらに準ずる低配線抵抗が得られる構成としては、純Moを採用したMo, Mo/Crが挙げられる。なお、Ti/Al/TiやMo/Al/MoのようにAlの上下にTiやMoを積層する理由は、薄膜トランジスタを構成するシリコンやインジウム酸化物等を主成分とする画素電極とのコンタクトを良好にするためである。また、スパッタ工程への負荷が軽い簡略な構成としては、単層の構成のTi, Ta, Cr, Mo, CrMo、それらに準ずる低負荷の構成としては、二層の構成のMo/Cr, Al/Tiが挙げられる。また、弗化水素酸系のエッチング液を用いずにゲート絶縁膜との選択ウェットエッチング加工ができる構成としては、Cr, Mo, CrMo, Al/Cr, Mo/Al/Mo, Ti/Al/Ti, Cr/Al/Cr, MoCr/Al/MoCrが挙げられる。また、映像信号線やそれと同一層で形成されるドレイン電極、ソース電極を概ねカバーする保護絶縁膜に対しドライエッチングにより配線膜を消失させずにスルーホールが形成できる構成としては、Ti, Cr, CrMo, Mo/Cr, CrMo/Cr, Ti/Al/Ti, Cr/Al/Cr, MoCr/Al/MoCrが挙げられる。

【0005】以上の映像信号線の構成は、それぞれ上述のような特長を持っているが、低配線抵抗、スパッタ工程への低負荷、ゲート絶縁膜との選択ウェットエッチング加工、ドライエッチングによる保護絶縁膜へのスルーホール形成という要求項目を同時に満たす構成はない。

【0006】例えば、Tiは抵抗率が高く、そのウェットエッチングには緩衝弗化水素酸を使用するためゲート絶縁膜との選択ウェットエッチング加工が困難である。また、Taは抵抗率が高く、そのウェットエッチングには緩衝弗化水素酸を使用するためゲート絶縁膜との選択ウェットエッチング加工が困難であり、SF<sub>6</sub>ガスにエッチングされるためドライエッチングによる保護絶縁膜へのスルーホール形成が困難である。また、Cr, CrMo, CrMo/Crも抵抗率が高い。また、MoはSF<sub>6</sub>ガスにエッチングされるためドライエッチングによる保護絶縁膜へのスルーホール形成が困難である。また、Mo/Crは、ウェットエッチング加工の際にMo層が異常に急速に溶解するためパターンングが困難である。また、Al/Tiはドライエッチングによる保護絶縁膜へのスルーホール形成に加えてAlをエッチングする必要があるため工程が煩雑である。また、Mo/Al/Moはそのキャップ層であるMoがSF<sub>6</sub>ガスにエッチングされるためドライエッチングによる保護絶縁膜へ

のスルーホール形成が困難であり、三層の成膜を要するためスパッタ工程への負荷が大きい。また、Ti/Al/Ti, Cr/Al/Cr, MoCr/Al/MoCrも三層の成膜を要するためスパッタ工程への負荷が大きい。

【0007】

【発明が解決しようとする課題】本発明の第一の課題は、低配線抵抗、スパッタ工程への低負荷、ゲート絶縁膜との選択ウェットエッチング加工、ドライエッチングによる保護絶縁膜へのスルーホール形成、薄膜トランジスタのシリコンや画素電極を構成する透明導電膜との良好なコンタクト、という要求項目を同時に満たす映像信号線の構成を実現し、これを採用した液晶表示装置を提供することである。ここで、配線抵抗の目標値は、シート抵抗と全膜厚との積として定義される平均導電率が $170\text{ n } / \text{ m}$ 以下であることとする。この平均導電率は、Cr単層膜やCrMo単層膜で達成可能な $180\text{ n } / \text{ m}$ よりも低いレベルである。

【0008】スパッタ工程への低負荷の目標は、積層の層数が2層以下であることである。ゲート絶縁膜との選択ウェットエッチング加工は、緩衝弗化水素酸のようなゲート絶縁膜を侵すものや、レジストへのダメージがあるアルカリ溶液を除いた薬液でエッチング加工ができることである。また、工程の簡略性の観点から、積層の配線構成に対しては上下層を一括エッチング加工できることを条件とする。また、配線断面をテーパ形状に加工できることを条件とする。ドライエッチングによる保護絶縁膜へのスルーホール形成は、配線と画素電極とのコンタクトを形成するために配線のコンタクト層がSF<sub>6</sub>ガスによるドライエッチングに対して耐性を有することである。言うまでもなく、Alを主成分とする合金をこのコンタクト層に用いることは困難である。

【0009】本発明の第二の課題は、上記第一の課題を解決した上で、走査信号線を形成するプロセスとの整合性がよいことである。走査信号線には特に低抵抗が要求されるため、それを構成する膜はアルミニウムを主成分とする合金を含む積層膜であることが望ましい。これを加工するためのエッチング液と、映像信号線を加工するためのそれとが共通化すれば、製造コスト低減の観点から望ましい。

【0010】

【課題を解決するための手段】本発明の一実施態様によれば、一对の基板と、この一对の基板に挟持された液晶層と、この一对の基板の一方の基板に形成される複数の走査信号線と、この走査信号線とマトリクス状に交差する複数の映像信号線と、この走査信号線と映像信号線との交点付近に形成された薄膜トランジスタと、この薄膜トランジスタに接続された画素電極と、この走査信号線を概ね覆うゲート絶縁膜と、この映像信号線と薄膜トランジスタとを概ね覆う保護絶縁膜とを有し、走査信号線

と映像信号線の少なくとも一方の信号線が下層である第1導電膜と上層である第2導電膜との二層膜から構成される液晶表示装置で、第1導電膜はモリブデンを主成分としタングステンを含有する合金であり、第2導電膜はモリブデンを主成分としジルコニウムを含有する合金であるというものである。

【0011】さらに、第1導電膜はモリブデンを主成分としタングステンを含有する合金であり、第2導電膜はモリブデンを主成分としジルコニウムを4重量%以上含有する合金であるというものである。

【0012】さらに、二層膜のシート抵抗と全膜厚との積として定義される平均導電率が $170\text{ n } / \text{ m}$ 以下であるというものである。

【0013】さらに、第1導電膜の加工端部断面が順テーパ形状となっているというものである。

【0014】もしくは、第1導電膜はモリブデンを主成分としタングステンを含有する合金であり、第2導電膜はモリブデンを主成分としジルコニウムを4重量%以上含有する合金であるというものである。

【0015】さらに、二層膜のシート抵抗と全膜厚との積として定義される平均導電率が $170\text{ n } / \text{ m}$ 以下であるというものである。

【0016】さらに、第1導電膜の加工端部断面が順テーパ形状となっているというものである。

【0017】本発明の別の実施態様によれば、一对の基板と、この一对の基板に挟持された液晶層と、この一对の基板の一方に形成される複数の走査信号線と、走査信号線とマトリクス状に交差する複数の映像信号線と、走査信号線と映像信号線との交点付近に形成された薄膜トランジスタと、薄膜トランジスタに接続された画素電極と、走査信号線を概ね覆うゲート絶縁膜と、映像信号線と薄膜トランジスタとを概ね覆う保護絶縁膜とを有し、映像信号線と薄膜トランジスタのソース及びドレイン電極が下層である第1導電膜と上層である第2導電膜との二層膜から構成され、第1導電膜が薄膜トランジスタを構成するシリコンと直接接続し、保護絶縁膜に設けられたスルーホールを介して第2導電膜が画素電極と直接接続する液晶表示装置で、第1導電膜はモリブデンを主成分としタングステンを含有する合金であり、第2導電膜はジルコニウムを含有する合金であるというものである。

【0018】さらには、第1導電膜はモリブデンを主成分としタングステンを含有する合金であり、第2導電膜はモリブデンを主成分としジルコニウムを4重量%以上含有する合金であるというものである。

【0019】さらには、二層膜のシート抵抗と全膜厚との積として定義される平均導電率が $170\text{ n } / \text{ m}$ 以下であるというものである。

【0020】さらには、第1導電膜の加工端部断面が順テーパ形状となっているというものである。さらには、

走査信号線がアルミニウムを主成分とする合金とモリブデンを主成分とする合金との積層膜から構成されているというものである。

【0021】さらには、画素電極がインジウム酸化物と錫酸化物と亜鉛酸化物との混合酸化物であるというものである。

【0022】本発明の別の実施態様によれば、一对の基板と、この一对の基板に挟持された液晶層と、この一对の基板の一方に形成される複数の走査信号線と、走査信号線とマトリクス状に交差する複数の映像信号線と、走査信号線と映像信号線との交点付近に形成された薄膜トランジスタと、走査信号線を概ね覆うゲート絶縁膜と、映像信号線と薄膜トランジスタとを概ね覆う保護絶縁膜と、複数の走査信号線と複数の映像信号線とで囲まれる領域に形成された複数の画素内に前記一对の基板の一方に形成される少なくとも一对の画素電極と対向電極とを有し、画素電極には、走査信号線からの走査信号の供給に基づいて駆動される薄膜トランジスタを介して映像信号が供給され、対向電極には、複数の画素に渡って形成される対向電圧信号線を介して基準電圧が供給され、画素電極が下層である第1導電膜と上層である第2導電膜との二層膜から構成される液晶表示装置で、第1導電膜はモリブデンを主成分としタングステンを含む合金であり、第2導電膜はジルコニウムを含む合金であるというものである。

【0023】さらには、第1導電膜はモリブデンを主成分としタングステンを含む合金であり、第2導電膜はモリブデンを主成分としジルコニウムを4重量%以上含む合金であるというものである。

【0024】さらには、二層膜のシート抵抗と全膜厚との積として定義される平均導電率が $170\text{ n } / \text{ m}$ 以下であるというものである。

【0025】さらには、第1導電膜の加工端面断面がテーパ形状となっているというものである。

【0026】本発明の別の実施態様によれば、一对の基板と、この一对の基板に挟持された液晶層と、この一对の基板の一方に形成される複数の走査信号線と、この走査信号線とマトリクス状に交差する複数の映像信号線と、走査信号線と映像信号線との交点付近に形成された薄膜トランジスタと、薄膜トランジスタに接続された画素電極と、薄膜トランジスタの多結晶シリコンを概ね覆うゲート絶縁膜と、走査信号線を概ね覆う走査信号線と映像信号線とを絶縁する層間絶縁膜と、映像信号線を概ね覆う保護絶縁膜とを有し、薄膜トランジスタのゲート電極が下層である第1導電膜と上層である第2導電膜との二層膜から構成される液晶表示装置で、第1導電膜はモリブデンを主成分としタングステンを含む合金であり、第2導電膜はジルコニウムを含む合金であるというものである。

【0027】これらの手段により本発明の課題を解決す

るものである。以下、その理由を述べる。

【0028】周期律表の金属元素中から毒性元素や、スパッタリングによる成膜が困難と思われるアルカリ金属、アルカリ土類金属、強磁性体を除くと、比較的低抵抗率の金属元素としてAg, Cu, Al, Mo, Wが挙げられる。このうち、Ag, Cu, Alは、薄膜トランジスタのシリコンや画素電極となる透明導電膜とのコンタクトが悪く、いわゆるバリアメタルやキャップメタルを必要とする。すなわち、Ag, Cu, Alをシリコン及び透明導電膜と接続するためには、Ag, Cu, Alの上層と下層にMo等を積層する必要がある。この場合、金属膜は三層となり、スパッタリング成膜工程への負荷が著しく大きくなってしまふ。

【0029】また、Wの場合は、ウェットエッチング加工のためには緩衝弗化水素酸やアルカリ溶液を必要とする。しかしながら、前者の緩衝弗化水素酸はガラス基板やゲート絶縁膜のSiNにダメージを与え、後者はレジストにダメージを与えるため、配線形成工程にこれらを用いることは困難である。

【0030】以上のスクリーニングにおいてAg, Cu, Al, Wは本課題に対し不適切と判断されたが、残されたMo及びその高融点金属(Ti, Cr, Zr, Nb, Hf, Ta, W)との合金は、バリアメタルやキャップメタルを必要とせず、また燐酸-硝酸の混酸によってウェットエッチング加工ができる。しかしながら、純MoはSiN膜にスルーホール加工する際のSF<sub>6</sub>ドライエッチングに対する耐性がない。また、ウェットエッチングにより配線断面をテーパ形状に加工することが困難である。そこで、次の方針で配線膜の積層化と合金化を考えた。

【0031】まず、配線断面をテーパ形状にするために、二層膜の上層をウェットエッチングレートが比較的大きく、比較的薄い膜とし、下層をウェットエッチングレートが比較的小さく、比較的厚い膜とする。さらに、上層にはドライエッチング耐性を持たせ、下層には導電層としての役割を担わせる。すなわち、上層は高ウェットエッチングレートと高ドライエッチング耐性の性質が要求され、下層には低ウェットエッチングレートと低抵抗の性質が求められる。発明者らは、Moに第二元素を添加した合金の性質を調べ、以上の要求特性を満たすMo合金を見出した。

【0032】図15に、Moに、Ta, Cr, Ti, Hf, Zrを添加したMo合金のウェットエッチングレートとSF<sub>6</sub>ドライエッチングレートを示す。各添加元素の場合とも添加量が増加するに従い、ウェットエッチングレートとドライエッチングレートが低下する。図示はしていないが、MoにWまたはNbを添加した場合は、Taを添加した場合と同様の軌跡が描かれる。これらの添加元素の中で、ウェットエッチングレートの低下量に対してドライエッチングレートの低下量の割合が最も大

きい添加元素はZrであり、次いでHfである。ここで、ZrとHfの原料コストを考慮すると、Hfのほうが圧倒的に高価である。従って、前述の二層膜の上層として最適なのは、MoにZrを添加した合金である。なお、映像信号線に必要なドライエッチング耐性を付与するためには、Zrを4重量%以上添加することが望ましい。

【0033】図16に、Moに、W、Ta、Nb、Hf、Zrを添加したMo合金のウェットエッチングレートと抵抗率を示す。各添加元素の場合とも添加量が増加するに従い、ウェットエッチングレートが低下し、抵抗率が增加する。これらの添加元素の中で、ウェットエッチングレートの低下量に対して抵抗率の増加量の割合が最も小さい添加元素はWであり、次いでTaである。図示はしていないが、ZrやHfはウェットエッチングレートの低下量に対して抵抗率の増加量の割合が極めて大きい添加元素である。以上より、前述の二層膜の下層として最適なのは、MoにWを添加した合金である。下層のMoW合金のW添加量は、上層のMoZr合金のZr添加量に依存する。すなわち、良好なテーパ形状を有する配線断面とするために、下層のウェットエッチングレートが上層のそれよりも小さくなるW添加量の範囲で、かつ抵抗率の上昇を小さくするようにできるだけ少ないW添加量とすべきである。

【0034】図17に、以上で述べた上層をMoZr合金とし下層をMoW合金とする二層膜をウェットエッチング加工した断面形状を示す。上層のMoZr層が後退しテーパ状の断面形状にウェットエッチング加工される。なお、エッチング液はアルミエッチング液として用いる磷酸-硝酸を含む混酸であり、走査信号線にアルミニウム合金を含む膜を採用した場合、エッチング液を共通化することができる。

【0035】また、走査信号線にアルミニウム合金を含む膜を採用した場合に、画素電極に多結晶のインジウム錫酸化物を採用すると走査信号線の断線歩留りが悪化する。これは、多結晶のインジウム錫酸化物のエッチング液である臭化水素酸等の強力なハロゲン酸が走査信号線まで浸透することにより溶断を引き起こすためである。この溶断を本質的に無くすためには、画素電極としてインジウム酸化物と錫酸化物と亜鉛酸化物との混合酸化物等の非晶質の透明導電膜を採用し、そのエッチング液を蔦酸等のマイルドなものに変更することである。このインジウム酸化物と錫酸化物と亜鉛酸化物との混合酸化物と、上述のMoZr合金とのコンタクト特性は良好であり、この透明導電膜を画素電極として採用することが可能となる。

【0036】また、走査信号線の場合は、シリコンとのコンタクトを考慮する必要がないために配線膜の下層としてより低抵抗のアルミニウム合金を採用することができる。しかしながら上述のように画素電極として多結晶

のインジウム錫酸化物を採用する場合は、断線歩留りの観点からアルミニウム合金の採用は望ましくない。なお、多結晶のインジウム錫酸化物を採用する利点は、画素電極と同時に形成する配線端子部において接続抵抗が低く安定していることである。この場合、配線抵抗のスペックさえ満たせば、前述の上層をMoZr合金とし下層をMoW合金とする二層膜構成を走査信号線に適用することが可能である。前述のようにこの二層膜構成の場合、加工端部のテーパ形状が良好であるために、ゲート絶縁膜のカバレッジや映像信号線の乗り越え特性等が良好になる。

【0037】

【発明の実施の形態】(実施例1)

《等価回路》図2は、本発明による液晶表示装置の実施例1の構造を示す等価回路図である。図2は、回路図であるが、実際の幾何学的配置に対応して描かれている。

【0038】図2の実施例1において、透明基板1と透明基板2とは、対向して配置され、液晶層を挟持している。

【0039】透明基板1の液晶側の面には、x方向に延びy方向に並べて配置されるゲート(走査)信号線4と、ゲート信号線4と絶縁されてy方向に延びx方向に並べて配置されるドレイン(映像)信号線5とが形成されている。これらゲート(走査)信号線4とドレイン(映像)信号線5により囲まれる矩形領域が画素領域となる。これら画素領域は、集合して表示部を構成している。

【0040】各画素領域には、一方のゲート信号線4からの走査信号(電圧)により駆動される薄膜トランジスタ6と、この薄膜トランジスタ6を介してドレイン信号線5から映像信号(電圧)が供給される画素電極7とが形成されている。

【0041】液晶表示装置のサイズが大きくなるに従い、信号線長が長くなるため、ゲート信号線4やドレイン信号線5の抵抗は高くなる。また、液晶表示装置の精細度が細くなるに従い、信号線幅が小さくなるため、ゲート信号線4やドレイン信号線5の抵抗は高くなる。これら信号線4、5の抵抗が高くなると走査信号や映像信号の電圧が降下するので、薄膜トランジスタ6に十分な信号電圧が供給されないことになる。その結果、輝度傾斜などの重大な画質劣化を引き起こす。

【0042】また、画素電極7と一方のゲート信号線4と隣接する他方のゲート信号線4との間には、容量素子8が形成される。この容量素子8は、薄膜トランジスタ6がオフした際に、画素電極7に供給された映像信号を長く蓄積する。

【0043】各画素領域における画素電極7は、液晶を介して対向配置される他方の透明基板2の液晶側の面に各画素領域に共通に形成された対向電極(図示せず)との間に電界を発生させ、各電極の間の液晶の光透過率を

制御する。

【0044】各ゲート信号線4の一端は透明基板の一边側(図左側)に延びている。各ゲート信号線4の延在部には、透明基板1に搭載される垂直走査回路の半導体集積回路9のバンプと接続される端子部10が形成される。

【0045】各ドレイン信号線5の一端は、透明基板1の一边側(図上側)に延びている。各ドレイン信号線5の延在部には、透明基板1に搭載される映像信号駆動回路の半導体集積回路11のバンプと接続される端子部12が形成される。

【0046】半導体集積回路9, 11は、それぞれ、いわゆるCOG方式により、それ自体が透明基板1上に完全に搭載されている。

【0047】半導体集積回路9, 11の入力側の各バンプも透明基板1に形成された端子部13, 14にそれぞれ接続される。これら各端子部13, 14は、各配線層15, 16を介して、透明基板1の周辺のうち最も端面に近い部分にそれぞれ配置された端子部17, 18に接続される。

【0048】透明基板2は、半導体集積回路が搭載される領域を回避するようにして透明基板1と対向配置され、透明基板1よりも小さな面積となっている。

【0049】透明基板2は、透明基板2の周辺に形成されたシール材47により透明基板1に固定されている。このシール材は、透明基板1, 2の間の液晶を封止する機能も兼ねている。

【0050】なお、上記構造の説明では、COG方式による液晶表示装置について説明したが、本発明は、TCP(TAPE CARRIER PACKAGE)方式の液晶表示装置にも適用できる。TCP方式とは、フレキシブルテープ上にフォトリソ技術によりパターンを形成してテープキャリアとし、このテープキャリアに半導体集積回路チップをTAB手法(TAPE AUTOMATED BONDING)で搭載するパッケージ方式である。パッケージの出力端子は、透明基板SUB1に形成された端子部に接続され、入力端子は、透明基板1に近接して配置されるプリント基板上の端子部に接続される。

《画素の構造》さらに、図1, 図3を用いて説明すると、図3は透明基板1の一画素領域の構造を示す平面図であり、図2における点線枠aに示す部分に相当する。また、図1は、図3のIV-IV線における断面構造を示す図である。

【0051】図1及び図3において、透明基板1の液晶側の面には、x方向に延びy方向に並べて配置されるゲート信号線4が形成されている。

【0052】このゲート信号線4は、本実施形態1の場合、2層構造となっており、その下層は、例えば、Alを主成分とする合金層からなり、上層は、MoZr合金等のMoを主成分とする合金層からなっている。

【0053】このような二層構造とすることにより、ゲート信号線の配線抵抗を大幅に下げることができ、エッチング加工する際にその断面を順テーパー形状とすることができる等の効果を奏する。さらに、他の効果も後の説明で明らかとなるであろう。

【0054】透明基板1の面には、例えば、SiNからなる絶縁膜19が、ゲート信号線4を被覆するように形成されている。絶縁膜19は、後述のドレイン信号線5に対してはゲート信号線4との層間絶縁膜として機能し、後述の薄膜トランジスタ6に対してはそのゲート絶縁膜として機能し、後述の容量素子8に対してはその誘電体膜として機能する。

【0055】画素領域の左下でゲート信号線4と重畳する部分において、例えば、a-Siからなる半導体層20が形成されている。半導体層20は、その上面にソース電極21およびドレイン電極22を形成すると、ゲート信号線4の一部をゲート電極とするMIS型の薄膜トランジスタ6の半導体層となる。

【0056】薄膜トランジスタ6のソース電極21およびドレイン電極22は、絶縁膜19上に形成されるドレイン信号線4と同時に形成される。すなわち、図3において、y方向に延在されx方向に並べて配置されるドレイン信号線5の一部を半導体層20の上面にまで延在させて形成すると、その延在部は、薄膜トランジスタ6のドレイン電極22となる。また、この時、ドレイン電極22と離間させて形成された電極は、ソース電極21となる。ソース電極21は、後述の画素電極7と接続されるので、その接続部を確保するために画素領域の中央側に若干延在させた延在部を有する。

【0057】ドレイン信号線5は、本実施例1の場合2層構造となっており、その下層は、MoW(W含有量は、例えば17重量%)合金層からなる比較的厚い層であり、上層は、MoZr(W含有量は、例えば8重量%)合金層からなる比較的薄い層である。

【0058】上層をMoZr合金層としたのは、後述のように、保護絶縁膜23にコンタクトホール24を形成する際のフッ素プラズマによるドライエッチングに対する耐性を持たせ、ソース電極21が消失しないようにするためである。画素電極7とのコンタクトも担っている。下層をMoW合金層としたのは、ドレイン信号線5を低抵抗化するためである。薄膜トランジスタ6の半導体層20とのコンタクトも担っている。また、MoZr合金はMoWに比べてウェットエッチングレートが小さく、このような二層膜にすることによりテーパー加工が可能になる。

【0059】なお、ドレイン電極22, ソース電極21の半導体層20との界面には、不純物がドーピングされた半導体層が形成される。この半導体層はコンタクト層として機能する。半導体層20を形成した後、その表面に不純物がドーピングされた膜厚の薄い半導体層を形成し、ドレ

イン電極22およびソース電極21を形成した後に、各電極をマスクとして、半導体層のマスクから露出した部分をエッチングすると、上述の構造が得られる。

【0060】このようにドレイン信号線5（ドレイン電極22，ソース電極21）が形成された透明基板1の表面には、例えば、SiNからなる保護絶縁膜23が形成され、ドレイン信号線5などを被覆する。保護絶縁膜23は、薄膜トランジスタ6の液晶との直接の接触を回避するためなどに設けられる。

【0061】薄膜トランジスタ6のソース電極21の延在部の一部を後述の画素電極7と接続するために露出させる目的で、保護絶縁膜23にはコンタクトホール24がフッ素プラズマによるドライエッチングにより形成される。

【0062】保護絶縁膜23の上面には、画素領域の大部分を被って、例えば、インジウム-錫-亜鉛酸化物（ITZO，INDIUM-TIN-ZINC-OXIDE）膜，インジウム-錫酸化物（ITO，INDIUM-TIN-OXIDE）膜，インジウム亜鉛酸化物（IZO，INDIUM-ZINC-OXIDE）膜，インジウムゲルマニウム酸化物（IGO，INDIUM-GERMANIUM-OXIDE）膜のいずれかからなる透明の画素電極7が形成されている。ここでは、ITZOを採用した。ITZOは非晶質として成膜されるため稀酸等のマイルドなエッチング液で加工することができる。従って、本例のようにゲート信号線にAlを主成分とする合金を用いても、それを溶断するような歩留り低下は起こらない。この画素電極7は、保護絶縁膜23のコンタクトホール24をも覆うようにして形成され、薄膜トランジスタ6のソース電極21のMoZr合金と接続される。ITZOとMoZr合金との接触抵抗は低く、良好な電氣的接続が得られる。

【0063】このように画素電極7が形成された透明基板1の表面には、画素電極7をも被って配向膜25が形成されている。配向膜25は、例えば、樹脂からなり、その表面には一定方向にラビング処理がなされている。配向膜25は、液晶層3と接触し、液晶層3の初期配向方向を決定する。

【0064】透明基板1の液晶層3と反対側の面には、偏光板26が装着されている。

【0065】一方、透明基板2の液晶側の面には、各画素領域を画するようにしてブラックマトリクス27が形成されている。このブラックマトリクス27は、外来光が薄膜トランジスタ6に照射するのを回避するため、表示のコントラストを良好にするために設けられている。

【0066】さらに、ブラックマトリクス27において、光が透過する領域となり実質的な画素領域となる開口部には、各画素領域に対応した色を有するカラーフィルタ28が形成されている。カラーフィルタ28は、例

えば、y方向に並べて配置される各画素領域において同色のフィルタが用いられ、x方向の各画素領域毎に例えば、赤（R），緑（G），青（B）のフィルタが順番に繰り返し配列されている。

【0067】このようにブラックマトリクス27およびカラーフィルタ28が形成された透明基板2の表面には、ブラックマトリクス27なども被って、例えば、塗布などにより形成された樹脂からなる平坦化膜29が形成され、その表面にブラックマトリクス27およびカラーフィルタ28による段差が現われないようにしている。

【0068】平坦化膜29の表面には、各画素領域に共通に例えば、ITOからなる対向電極30が形成されている。対向電極30は、各画素領域における画素電極7との間に映像信号（電圧）に対応した電界を発生させ、これら各電極との間の液晶層3の配向方向を制御し、前述した偏光板26と後述する偏光板31との適切な組合せにより光透過率を制御する。

【0069】さらに、このように対向電極30が形成された透明基板2の表面には、対向電極30をも被って配向膜32が形成されている。配向膜32は、例えば、樹脂からなりその表面には、一定方向にラビング処理がなされている。配向膜32は液晶層3と接触し、液晶層3の初期配向方向を決定する。

【0070】透明基板1の液晶層3と反対側の面には、偏光板31が装着されている。

《端子部の構成》図4はドレイン端子部12の構成を示す図で、図4（a）は並設されて形成される複数のドレイン端子部12のうち2個を示した平面図を、図4（b）は図4（a）のb-b線における断面図を示している。

【0071】まず、透明基板1の表面には、表示部から延在されたドレイン信号線4が形成されている。

【0072】このドレイン信号線5は、上述したように、上層をMoZr合金，下層をMoW合金とする二層膜からなっている。

【0073】このドレイン信号線5は最初にSiNからなる保護絶縁膜23によって被われた状態となっているが、その端子部の形成領域における孔開けによって、保護絶縁膜23から露出されている。

【0074】なお、この場合の保護絶縁膜23の孔開けはフッ素系ドライエッチングガスによって行うことが好ましい。ドライエッチングはウェットエッチングに比べて加工精度や処理時間制御性に優れており端子部の孔開けや画素部のコンタクトホール等の加工に有利である。また、ドレイン信号線5の上層のMoZr合金は耐ドライエッチング性が高く、エッチングの際に除去されることがないからである。

【0075】端子部の形成領域における信号線の露出部には、その中央を除く周辺にたとえばITZO（IND

IUM - TIN - ZINC - OXIDE)膜からなる導電性酸化膜42が積層されている。ここで、導電性酸化膜42の材料として、ITO(INDIUM - TIN - OXIDE)膜、IZO(INDIUM - ZINC - OXIDE)膜、IGO(INDIUM - GERMANIUM - OXIDE)膜を選択することも可能である。しかしながら、ITO膜は端子接続抵抗が小さい点に優れているが、その加工のためのエッチング液が臭化水素酸等の強力なハロゲン酸であるためにAl合金を採用したゲート信号線の溶断を引き起こすことが問題となる。逆に、IZO膜やIGO膜の場合は、その加工のためのエッチング液が稼酸等のマイルドな薬液であるためにAl合金を採用したゲート信号線の溶断を引き起こすことはないが、端子接続抵抗が高くなりやすい点が問題となる。場合によってはCOG実装が困難になる。ITZOの採用により、ゲート信号線の溶断と端子接続抵抗の問題をバランスよく解決できる。

【0076】そして、このように構成されるドレイン端子部12は、図4(b)に示すように、異方性導電膜(シート)43を介して半導体集積回路11の bumps 44と接続されるようになっている。ここで、異方性導電膜43は多数の導電性粒子が含有されたシート状の樹脂膜からなり、ドレイン端子部12群と半導体集積回路11の間に介在させてある一定の圧力を加えることにより、bumps 44とドレイン端子部12の導電部材(前記導電性酸化膜42)は前記導電性粒子を介して電氣的に接続されるようになる。

《製造方法》次に、上述した液晶表示装置の透明基板1側の製造方法について図5ないし図9を用いて説明する。図5ないし図9の各図において、(a)薄膜トランジスタ部分、(b)はゲート端子部分、(c)はドレイン端子部分、(d)は工程の流れを示す。

【0077】図5ないし図9は各フォトリソグラフィ工程に対応して区分けしたもので、各図のいずれもフォトリソグラフィ後の加工が終わりフォトレジストを除去した段階を示している。ここで、フォトリソグラフィとは本説明ではフォトレジストの塗布からマスクを使用した選択露光を経てそれを現像するまでの一連の作業を示すものとし、繰返しの説明は避ける。以下区分けした工程に従って説明する。

【0078】第1フォトリソグラフィ工程、図5  
図5の(a)薄膜トランジスタ部分、(b)はゲート端子部分、(c)はドレイン端子部分の各部分において、AN635ガラス(商品名)からなる透明基板1上に膜厚が2000のAlNd合金層をスパッタリングにより形成し、さらに連続して膜厚が400のMoZr合金層をスパッタリングにより形成している。フォトリソグラフィ後、磷酸、硝酸、酢酸、純水、フッ化アンモニウムなどからなるエッチング液でMoZr合金層とAlNd合金層を一括でかつ選択的にエッチングする。

【0079】これにより、ゲート電極45、ゲート信号線4、ゲート端子部10、半導体集積回路9の入力側の端子部13、この端子部13に配線層を介して接続される端子部17、半導体集積回路11の入力側の端子部14、この端子部14に配線層を介して接続される端子部18を形成する。

【0080】第2フォトリソグラフィ工程、図6  
プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が3500のSiNからなる絶縁膜19を設け、プラズマCVD装置にシランガス、水素ガスを導入して、膜厚が1200のi型非晶質Si膜を形成した後、プラズマCVD装置に水素ガス、ホスフィンガスを導入して、膜厚が300のN(+)型非晶質Si膜を形成する。

【0081】フォトリソグラフィ後、ドライエッチングガスとしてSF<sub>6</sub>、CCl<sub>4</sub>を使用してN(+)型非晶質Si膜、i型非晶質Si膜を選択的にエッチングすることにより、島状の半導体層20を形成する。

【0082】第3フォトリソグラフィ工程、図7  
膜厚が2100のMoW合金層をスパッタリングにより形成し、さらに連続して膜厚が400のMoZr合金層をスパッタリングにより形成する。フォトリソグラフィ後、第1フォトリソグラフィと同組成のエッチング液でMoZr合金層とMoW合金層を一括でかつ選択的にエッチングする。これにより、ドレイン信号線DL、ソース電極SD1、ドレイン電極22、ドレイン端子11を形成する。

【0083】ここで、導電膜として、たとえばMoZr/AlNd/MoZrからなる三層膜であってもよいが、長い成膜時間を要するため生産性が悪いことや、その成膜に必要な成膜装置が大掛かりになり設備投資が大きくなることを考慮すると好ましくない。

【0084】つぎに、ドライエッチング装置にCCl<sub>4</sub>、SF<sub>6</sub>を導入して、N(+)型半導体層を選択的に除去する。

【0085】第4フォトリソグラフィ工程、図8  
プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が0.4μmのSiNからなる保護絶縁膜23を形成する。フォトリソグラフィ後、ドライエッチングガスとしてSF<sub>6</sub>を使用してSiN膜を選択的にエッチングすることによって、保護絶縁膜23および絶縁膜19をパターンニングする。ここで、MoZrは充分なドライエッチング耐性を有しているためSF<sub>6</sub>によるドライエッチングで消失することはなく、SiN膜を選択エッチングすることが可能になる。

【0086】第5フォトリソグラフィ工程、図9  
膜厚が1150のITZO膜(Indium - Tin - Zinc - oxide)からなる透明導電膜をスパッタリングにより形成する。フォトリソグラフィ後、エッチング液として稼酸を主成分とする水溶液で透明導電膜を選択的にエッチン

グすることにより、画素電極7、ゲート端子部10の最上層、ドレイン端子部12の最上層を形成する。

【0087】(実施例2)本発明の実施例2につき、図10を参照して説明する。図10は、図1と同様に図3のIV-IV線における断面構造を示す図である。ここで、図1と図10の違いは、図3においてゲート信号線4がAl合金にMo合金を積層した膜から構成されているのに対し、図10ではMoW合金にMoZr合金を積層した膜になっていることである。また、図3において画素電極7に用いる透明導電膜が安定に非晶質成膜できるITO(Indium-Tin-Zinc-Oxide)から構成されているのに対し、図10では多結晶のITO(Indium-Tin-Oxide)から構成されていることである。

【0088】ゲート信号線4に採用したMoW合金にMoZr合金を積層した膜は、配線抵抗の面ではAl合金を用いた配線に劣るが、多結晶ITOのエッチング液である臭化水素酸等の強力なハロゲン酸にも冒されない特質を持つ。従って、画素電極7及びそれと同時に形成するゲート端子部10とドレイン端子部12の最上層膜として、端子接続抵抗が低く安定している多結晶ITOを採用することが可能となる。

【0089】(実施例3)上述した実施例では、画素の構成としていわゆる縦電界方式のものを説明したものであるが、これに限定されることなくたとえば横電界方式のものであっても適用できることはもちろんである。

【0090】図11は、横電界方式の液晶表示装置の画素の構成の一実施例を示す平面図である。

【0091】この方式は、画素電極41が形成された側の透明基板1の液晶側の面に対向電極30が形成され、これら各電極はそれぞれストライプ状(この図では図中y方向に延在している)のパターンをなし交互に配置されている。

【0092】画素電極41と対向電極30は絶縁膜を介して異なる層に形成され、これの間に発生する電界のうち透明基板1とほぼ平行な成分を有する電界によって液晶の光透過率を制御するようになっている。

【0093】なお、各画素領域はx方向に延在しy方向に並設されるゲート信号線4とy方向に延在しx方向に並設されるドレイン信号線5によって囲まれた領域に形成され、一方のドレイン信号線5は薄膜トランジスタTFTを介して画素電極41に接続されていることは図1と同様の構成となっているが、各対向電極30に対向電圧信号を供給するための対向電圧信号線46が新たに形成されているところが異なっている。

【0094】横電界方式の場合には、次の点に注意する必要がある。画素電極47の断面形状が悪化、具体的には、テーパ形状が切り立ったような場合には、その電極の脇の部分の配向膜がラビングされない場合がある。これは、黒表示時にその部分で光漏れとなり、コントラスト低下という表示品質上の不具合を引き起こす。図12

は、横電界方式の画素であり、黒表示時の光学顕微鏡観察結果である。このように画素電極41の脇が白く光っていることがわかる(図中LKで指示)。図13は、この画素電極41の断面形状(電子顕微鏡観察結果)である。このように切り立った部分がある配線では、脇が白く光ることがわかる。ところが、本実施例においては画素電極41をMoW合金にMoZr合金を積層した膜で構成しており、前述のように断面形状が順テーパ状に形成されることから、図12に示したようなコントラスト低下の不具合を対策できた。

【0095】(実施例4)上述した実施例では、薄膜トランジスタTFTの構成としていわゆるボトムゲート型の例を示したが、これに限定されることなくたとえばいわゆるコブレナ型の薄膜トランジスタのものであっても適用できることはもちろんである。本発明の第4の実施例につき、図14を参照して説明する。

【0096】SiO<sub>2</sub>やSiNの少なくとも一方でオーバーコートされた基板33の上に、多結晶シリコン34の島を形成した後、SiO<sub>2</sub>等からなるゲート絶縁膜35を形成する。

【0097】次にゲート電極36を形成する。本実施例では、ゲート電極36は、下層であるMoを主成分としWを含有する合金と上層であるMoを主成分としZrである積層膜から構成される。合計膜厚は約200nmである。

【0098】ここで、n型チャンネルを次の手順で形成する。フォトリソグラフィでレジストパターンを形成後、上記積層膜をレジスト端から約1μm後退エッチングする。エッチング液は、実施例1でも示したリン酸-硝酸-酢酸の混酸である。つぎに、多結晶シリコン34に対し、レジストを剥離せずに強いドーピングを行い、続いてレジストを剥離して弱いドーピングを実施する。以上により自己整合的に多結晶シリコンに弱いドーピング領域が形成できる。通常のウェットエッチングでは約1μmの後退エッチングを実施すると、その加工断面形状は垂直状になる。さらに場所によっては逆テーパ状になり、電極の近傍においてドーピングされない領域を形成してしまう場合もある。しかしながら、本実施例のように、MoW合金にMoZr合金を積層した膜を採用した場合は、前述のように断面形状が順テーパ状に形成される。従って、上述のような非ドーピング領域形成の問題はなくなり、また、その上に形成される膜のカバレッジが良好になり後述のソース電極37、ドレイン電極38とのショート等の不具合が改善される。

【0099】上記の通り、ゲート電極を形成した後、SiO<sub>2</sub>等からなる層間絶縁膜39を形成する。その後、強くドーピングされた多結晶シリコン34の領域の一部にスルーホールを形成する。続いて、ソース電極37、ドレイン電極38を形成する。次に、SiN、またはSiO<sub>2</sub>、または有機絶縁体、またはこれらの少なくとも

2つを積層した層間絶縁膜40を形成する。続いて、層間絶縁膜40にコンタクトホールを形成した後、画素電極41を形成し、薄膜トランジスタ基板が完成する。

【0100】本発明に関するいくつかの実施例が表示され且つ記載されたが、これらはこれら自体に限定されるものでなく、当業者の知り得る範囲で多用に変形又は改善されるものでもあり、その請求の範囲は以上に示され且つ記載された詳細に限定されるものでなく上記変形及び改善を包含するものでもある。例えば、上記の実施例で記載された薄膜トランジスタ基板は、液晶表示装置だけでなく有機LED(Light Emission Diode)表示装置にも適用できることはいうまでもない。

【0101】

【発明の効果】本発明により、低抵抗、ドライエッチング耐性、ゲート絶縁膜との選択ウェットエッチング、積層数2層以下、断面のテーパ加工の各要件を満たすボトムゲート型TFTの映像信号線を有する液晶表示装置が提供される。ひいては良好な特性の液晶表示装置が提供できる。

【図面の簡単な説明】

【図1】本発明による液晶表示装置の画素の構成の一実施例を示す要部平面図である。

【図2】本発明による液晶表示装置の画素の構成の一実施例を示す要部断面図である。

【図3】本発明による液晶表示装置の一実施例を示す等価回路を示す図である。

【図4】本発明による液晶表示装置の一実施例を示す要部(端子部)構成図である。

【図5】本発明による液晶表示装置の製造方法の一実施例を示す工程図で、図6、図7、図8、図9と一体となった図面である。

【図6】本発明による液晶表示装置の製造方法の一実施例を示す工程図で、図5、図7、図8、図9と一体となった図面である。

【図7】本発明による液晶表示装置の製造方法の一実施例を示す工程図で、図5、図6、図8、図9と一体となった図面である。

\*【図8】本発明による液晶表示装置の製造方法の一実施例を示す工程図で、図5、図6、図7、図9と一体となった図面である。

【図9】本発明による液晶表示装置の製造方法の一実施例を示す工程図で、図5、図6、図7、図8と一体となった図面である。

【図10】本発明による液晶表示装置の画素の構成の一実施例を示す要部断面図である。

【図11】本発明による液晶表示装置の画素の構成の一実施例を示す要部平面図である。

【図12】液晶表示装置の表示欠陥の例を示す写真である。

【図13】図12の表示欠陥を示す液晶表示装置の画素電極断面の例を示す写真である。

【図14】本発明による液晶表示装置の画素の構成の一実施例を示す要部断面図である。

【図15】液晶表示装置の映像信号線候補材料の特性データを示す図である。

【図16】液晶表示装置の映像信号線候補材料の特性データを示す図である。

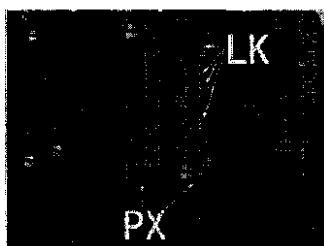
【図17】液晶表示装置の映像信号線候補材料の特性データを示す図である。

【符号の説明】

- 1、2...透明基板、3...液晶層、4...ゲート信号線、5...ドレイン信号線、6...薄膜トランジスタ、7、41...画素電極、8...容量素子、9、11...半導体集積回路、10...ゲート端子部、12...ドレイン端子部、13、14、17、18...端子部、15、16...各配線層、19...絶縁膜、20...半導体層、21、37...ソース電極、22、38...ドレイン電極、23...保護絶縁膜、24...コンタクトホール、25、32...配向膜、26、31...偏光板、27...ブラックマトリクス、28...カラーフィルタ、29...平坦化膜、30...対向電極、33...基板、34...多結晶シリコン、35...ゲート絶縁膜、36、45...ゲート電極、39、40...層間絶縁膜、42...導電性酸化膜、43...異方性導電膜、44...バンプ、46...対向電圧信号線、47...シール材。

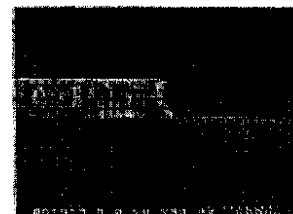
【図12】

図 12



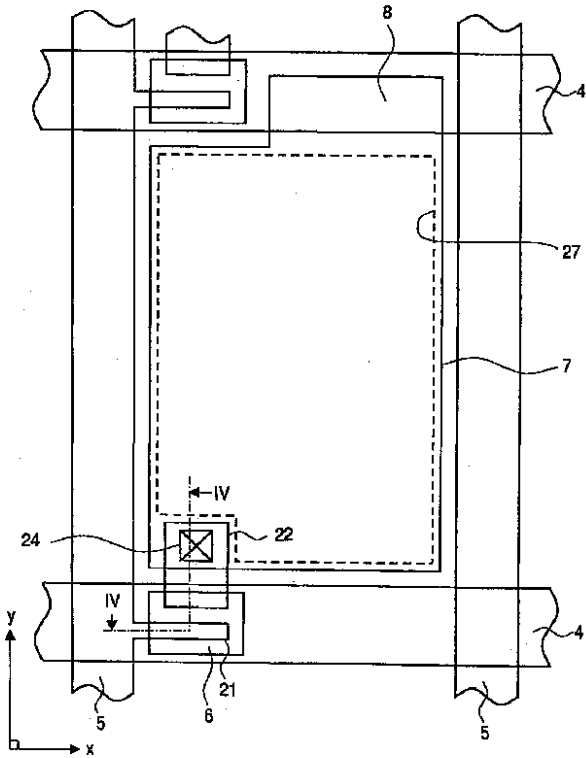
【図13】

図 13



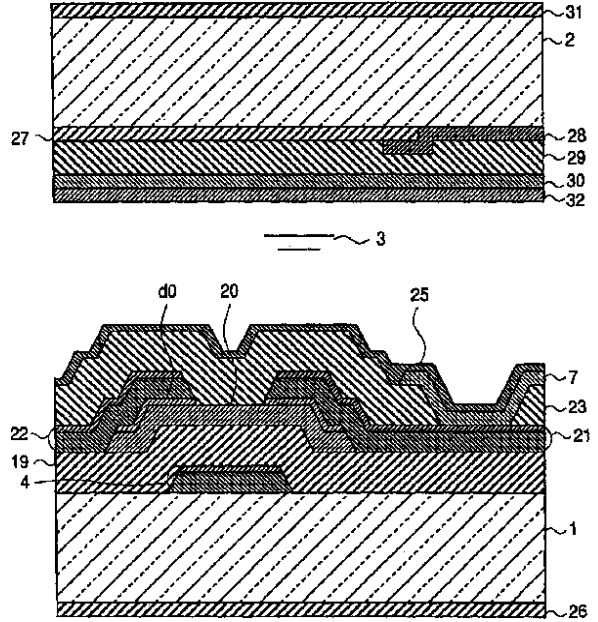
【図1】

図 1



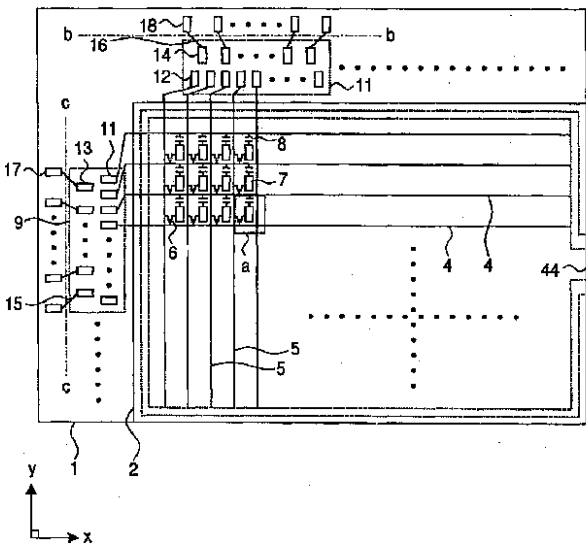
【図2】

図 2



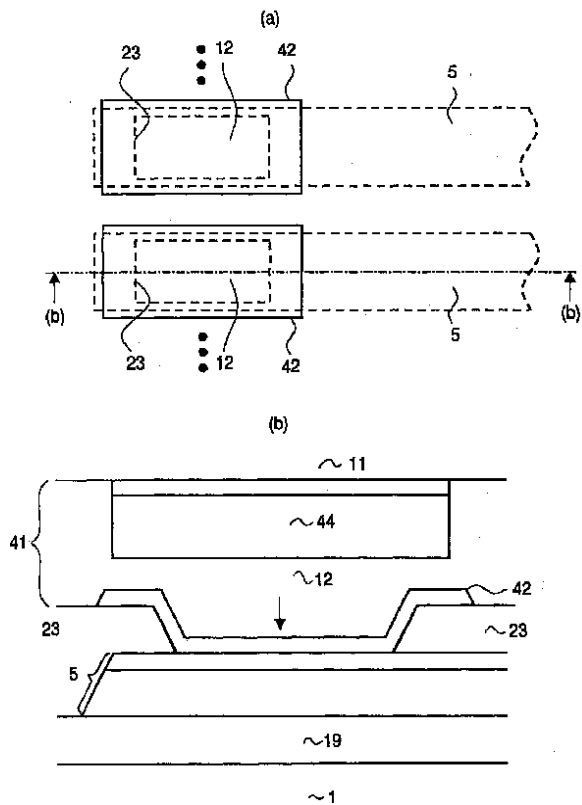
【図3】

図 3



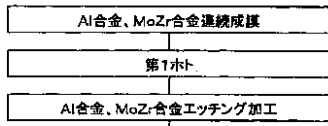
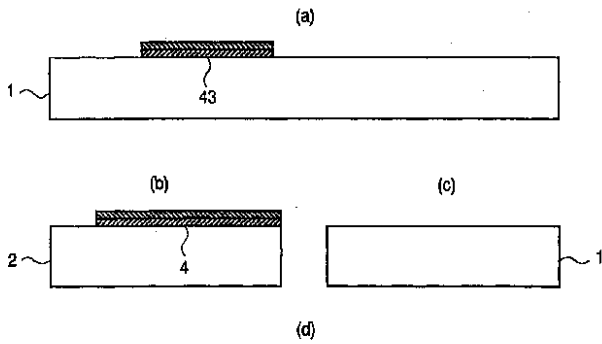
【図4】

図 4



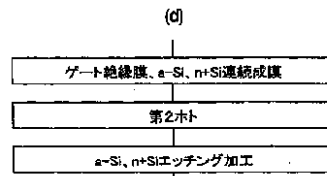
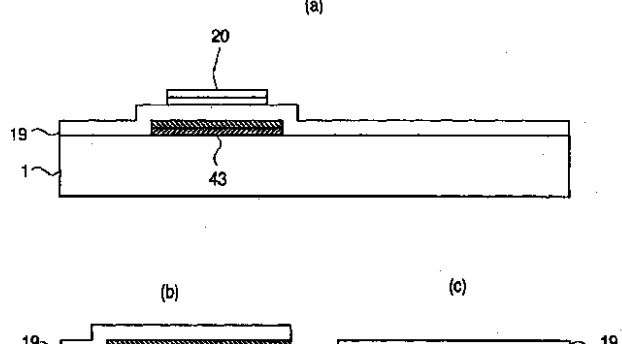
【図5】

図 5



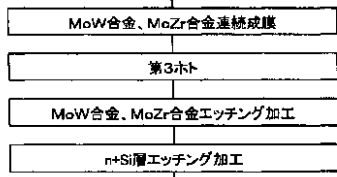
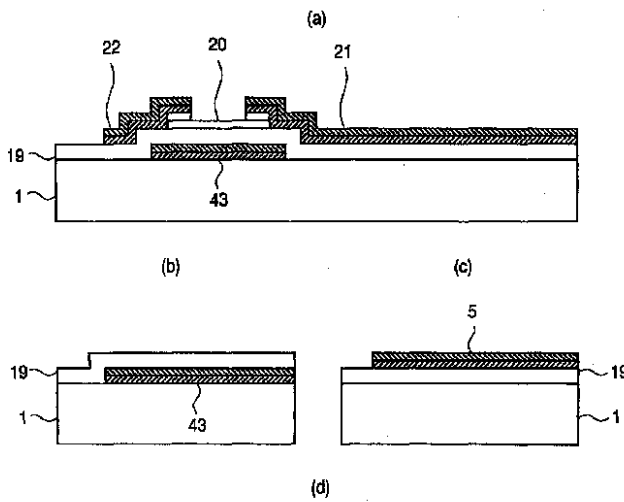
【図6】

図 6



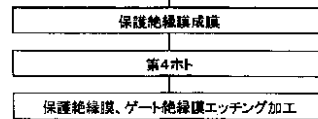
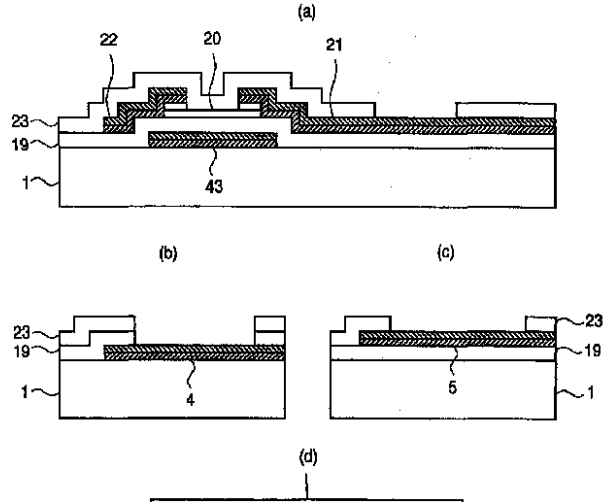
【図7】

図 7



【図8】

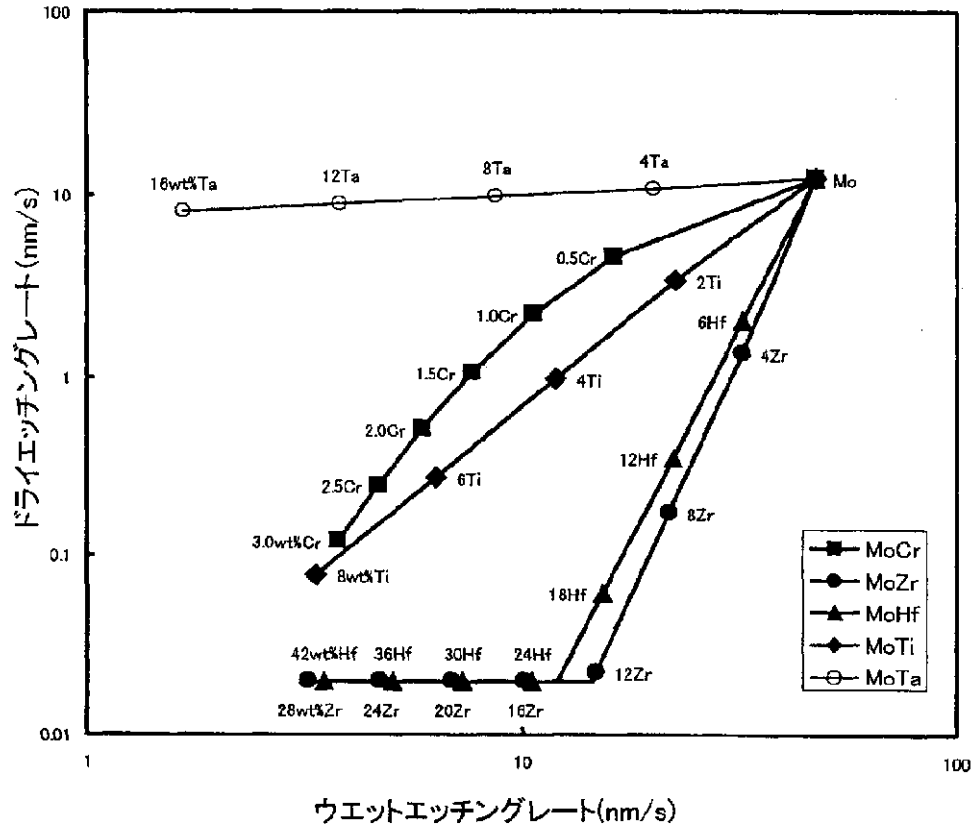
図 8





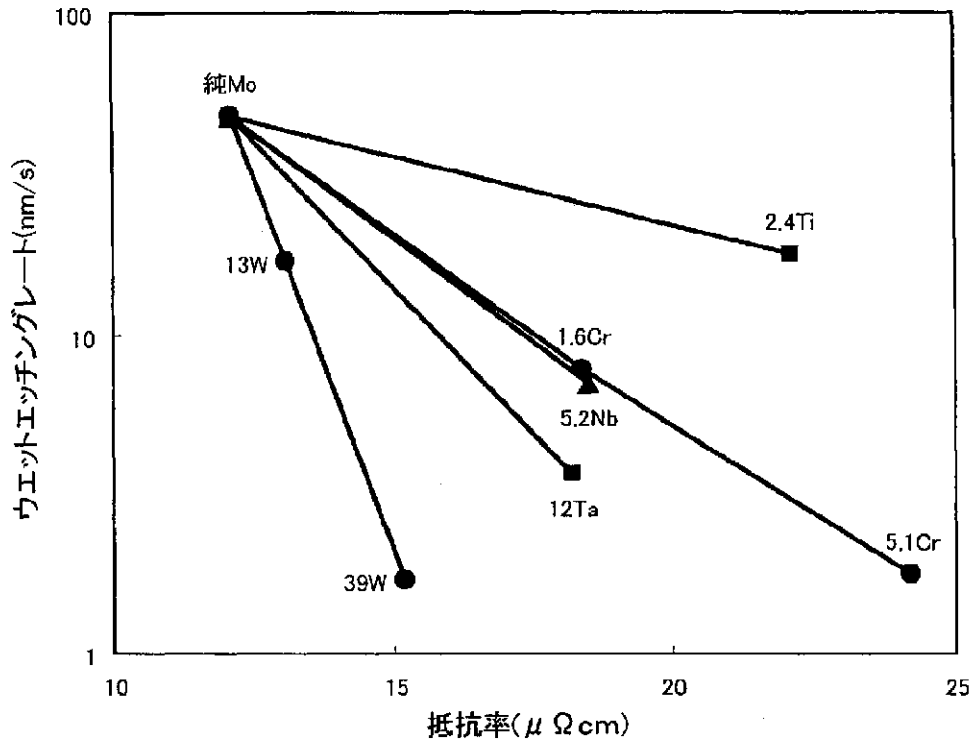
【図15】

図 15



【図16】

図 16



フロントページの続き

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テ-マ-ド (参考)

H 0 1 L 29/78

6 1 6 U

6 1 7 L

6 1 6 T

6 1 7 K

(72)発明者 田村 克

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72)発明者 鬼沢 賢一

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

Fターム(参考) 2H092 HA06 HA14 JA24 JA46 KA04  
KA12 KA18 KB04 KB25 MA05  
MA17 MA18 MA19 NA01 NA28  
NA29

5C094 AA42 AA43 AA44 BA03 BA43  
CA19 DA15 EA04 EA07 FB12  
FB15 FB18 JA01 JA05

5F110 AA03 AA16 BB01 CC02 CC07  
DD02 DD13 DD14 EE06 EE11  
EE14 EE15 EE23 EE44 FF02  
FF03 FF30 GG02 GG13 GG15  
GG24 GG35 GG44 GG45 HK06  
HK09 HK16 HK17 HK21 HK22  
HK25 HK33 HK35 HL07 HM15  
NN03 NN04 NN23 NN24 NN27  
NN35 NN72 QQ11

5G435 AA17 BB12 CC09 KK05 KK09  
KK10

专利名称(译)	液晶表示装置		
公开(公告)号	<a href="#">JP2003107523A</a>	公开(公告)日	2003-04-09
申请号	JP2001298993	申请日	2001-09-28
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	高橋卓也 金子寿輝 田村克 鬼沢賢一		
发明人	▲高▼橋 卓也 金子 寿輝 田村 克 鬼沢 賢一		
IPC分类号	G02F1/1368 G02F1/1343 G02F1/1362 G09F9/00 G09F9/30 G09F9/35 H01L29/786		
CPC分类号	G02F1/136286 G02F1/134363 G02F2001/13629		
FI分类号	G02F1/1368 G09F9/00.342.Z G09F9/30.338 G09F9/35 H01L29/78.612.C H01L29/78.616.U H01L29/78.617.L H01L29/78.616.T H01L29/78.617.K G09F9/00.342		
F-TERM分类号	2H092/HA06 2H092/HA14 2H092/JA24 2H092/JA46 2H092/KA04 2H092/KA12 2H092/KA18 2H092/KB04 2H092/KB25 2H092/MA05 2H092/MA17 2H092/MA18 2H092/MA19 2H092/NA01 2H092/NA28 2H092/NA29 5C094/AA42 5C094/AA43 5C094/AA44 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA15 5C094/EA04 5C094/EA07 5C094/FB12 5C094/FB15 5C094/FB18 5C094/JA01 5C094/JA05 5F110/AA03 5F110/AA16 5F110/BB01 5F110/CC02 5F110/CC07 5F110/DD02 5F110/DD13 5F110/DD14 5F110/EE06 5F110/EE11 5F110/EE14 5F110/EE15 5F110/EE23 5F110/EE44 5F110/FF02 5F110/FF03 5F110/FF30 5F110/GG02 5F110/GG13 5F110/GG15 5F110/GG24 5F110/GG35 5F110/GG44 5F110/GG45 5F110/HK06 5F110/HK09 5F110/HK16 5F110/HK17 5F110/HK21 5F110/HK22 5F110/HK25 5F110/HK33 5F110/HK35 5F110/HL07 5F110/HM15 5F110/NN03 5F110/NN04 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN35 5F110/NN72 5F110/QQ11 5G435/AA17 5G435/BB12 5G435/CC09 5G435/KK05 5G435/KK09 5G435/KK10 2H092/GA14 2H192/AA24 2H192/BB02 2H192/BC31 2H192/CB02 2H192/CB05 2H192/CC04 2H192/CC12 2H192/CC32 2H192/CC52 2H192/CC72 2H192/DA02 2H192/EA22 2H192/EA43 2H192/FA65 2H192/FB22 2H192/GA41 2H192/JA33		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

解决的问题：提供一种液晶显示装置，其具有满足低电阻，耐干蚀刻性，利用栅极绝缘膜的选择性湿蚀刻，层数为2以下，截面的锥度加工等要求的底栅型TFT的视频信号线。视频信号线是由下部的第一导电膜和上部的第二导电膜组成的层压膜，并且第一导电膜是包含Mo作为主要成分和W的合金。第二导电膜具有层叠结构，该层叠结构是包含Mo作为主要成分和Zr的合金。本发明提供一种液晶显示装置，该液晶显示装置具有满足低电阻，耐干蚀刻性，利用栅极绝缘膜的选择性湿法蚀刻，层叠数为2以下，截面的锥度加工等要求的底栅型TFT的视频信号线。

