

(51) Int.Cl ⁷	識別記号	F I	テ-マコード [*] (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 2
G 0 2 F 1/133	505	G 0 2 F 1/133	2 H 0 9 3
1/1343		1/1343	5 C 0 0 6
1/1345		1/1345	5 C 0 8 0
1/1368		1/1368	5 C 0 9 4

審査請求 未請求 請求項の数 17 O L (全 16数) 最終頁に続く

(21)出願番号	特願2002 - 3713(P2002 - 3713)	(71)出願人	390019839 三星電子株式会社 大韓民国京畿道水原市八達区梅灘洞416
(22)出願日	平成14年1月10日(2002.1.10)	(72)発明者	全 珍 大韓民国京畿道安養市東安区葛山洞大宇ア パート110棟306号
(31)優先権主張番号	2001 - 53920	(72)発明者	李 東 浩 大韓民国ソウル市東大門区回基洞65番地新 現代アパート1棟1004号
(32)優先日	平成13年9月3日(2001.9.3)	(74)代理人	100094145 弁理士 小野 由己男 (外 1 名)
(33)優先権主張国	韓国(KR)		

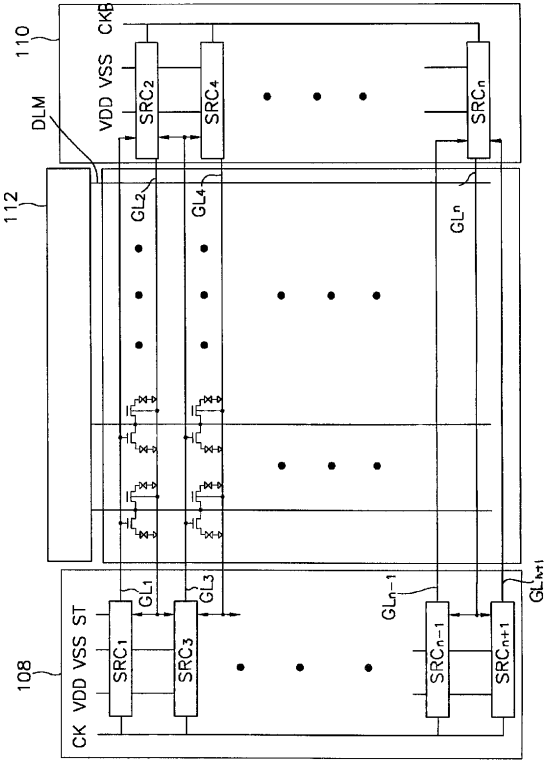
最終頁に続く

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】 基板の表示領域の周辺回路部配置において、セ-ットに設置するときにはかり性をはかることができる液晶表示装置を提供することにある。

【解決手段】 基板上の表示領域にマトリックス状に配置された薄膜トランジスターのうち、奇数番目コラムと偶数番目コラムとの間に共通に配置された複数のデータラインD L Mを、奇数番目薄膜トランジスターが共通に連結された複数の第1ゲートライン(G L 1 ~ G L n + 1)を、偶数番目薄膜トランジスターが共通に連結された複数の第2ゲートライン(G L 2 ~ G L n)を、複数のデータラインを駆動するためのデータ駆動回路を、表示領域の一侧周辺領域に複数の第1ゲートラインを駆動するための第1ゲート駆動回路1 0 8を、第1ゲート駆動回路と表示領域を中心に左右対称に表示領域の他側周辺領域に複数の第2ゲートラインを駆動するための第2ゲート駆動回路1 1 0を配置する。



【特許請求の範囲】

【請求項 1】 基板上の表示領域にマトリックス状に配列された複数のピクセル電極と、

前記複数のピクセル電極に各々対応し、対応するピクセル電極に第 1 電流電極が各々連結された複数の薄膜トランジスターと、

前記複数のピクセル電極のうち、奇数番目コラムと偶数番目コラムとの間に各々配置され、対応する奇数番目コラムと偶数番目コラムの薄膜トランジスターの第 2 電流電極が共通に連結された複数のデータラインと、

前記複数のピクセル電極のうちの各行に対応して配置され、対応する行のうち、奇数番目薄膜トランジスターのゲート電極が共通に連結された複数の第 1 ゲートラインと、

前記複数のピクセル電極のうちの各行に対応して配置され、対応する行のうち、偶数番目薄膜トランジスターのゲート電極が共通に連結された複数の第 2 ゲートラインと、

前記複数のデータラインを駆動するためのデータ駆動回路と、

前記表示領域の一側周辺領域に配置され、前記複数の第 1 ゲートラインを駆動するための第 1 ゲート駆動回路と、

前記第 1 ゲート駆動回路と前記表示領域を中心に左右対称されるように前記表示領域の他側周辺領域に配置され、前記複数の第 2 ゲートラインを駆動するための第 2 ゲート駆動回路と、を含む液晶表示装置。

【請求項 2】 前記第 1 及び第 2 ゲート駆動回路は、前記第 1 及び第 2 ゲートラインを通じて伝播されたシフト信号にตอบสนองし、互いに交互に複数のゲートラインが順次にスキャンニングされるように駆動する請求項 1 に記載の液晶表示装置。

【請求項 3】 前記第 1 及び第 2 ゲート駆動回路各々は、複数のステージを含み、各ステージの出力信号により前記複数のゲートラインを順次に選択し、第 1 ゲート駆動回路には第 1 クロック信号が提供され、第 2 ゲート駆動回路には前記第 1 クロック信号と位相が反転された第 2 クロック信号が提供され、

前記各ステージは、直前のゲートラインが連結された入力端子と、

対応するゲートラインが連結された出力端子と、

次のゲートラインが連結された制御端子と、

対応するクロック信号が入力されるクロック端子と、

前記クロック端子と前記出力端子との間に連結され、ターンオン時にクロック信号のデューティ期間の間に前記対応するゲートラインをプルアップさせるプルアップ手段と、

前記出力端子と第 1 電源電圧との間に連結され、ターンオンときに前記対応するゲートラインを前記第 1 電源電圧にプルダウンさせるプルダウン手段と、

前記プルアップ手段の入力ノードに連結され、前記入力端子に供給される入力信号の上昇エッジにตอบสนองして、前記プルアップ手段をターンオンさせ、前記制御端子に供給される制御信号の上昇エッジにตอบสนองして、前記プルダウン手段をターンオフさせるプルアップ駆動手段と、前記プルダウン手段の入力ノードに連結され、前記入力信号の上昇エッジにตอบสนองして、前記プルダウン手段をターンオフさせ、前記制御信号の上昇エッジにตอบสนองして、前記プルダウン手段をターンオンさせるプルダウン駆動手段と、

前記プルダウン手段の入力ノードと第 2 電源電圧との間に連結され、前記プルダウン手段の入力ノードに常に第 2 電源電圧を連結して前記プルダウン手段の入力ノードがフローティングされることを防止するフローティング防止手段と、を含む請求項 2 に記載の液晶表示装置。

【請求項 4】 前記各ステージは、前記プルダウン手段の入力ノードと第 1 電源電圧との間に連結され、前記出力端子の出力信号にตอบสนองして、前記プルダウン手段の入力ノードに前記第 1 電源電圧を連結して、前記プルダウン手段がターンオンされることを防止するターンオン防止手段をさらに含む請求項 3 に記載の液晶表示装置。

【請求項 5】 前記ターンオン防止手段は、前記プルダウン手段の入力ノードにドレーンが連結され、前記出力端子にゲートが連結され、第 1 電源電圧にソースが連結された NMOS トランジスターにより構成する請求項 4 に記載の液晶表示装置。

【請求項 6】 前記プルアップ駆動手段は、前記プルアップ手段の入力ノードと前記出力端子との間に連結されたキャパシタと、

前記入力端子にドレーン及びゲートが共通に連結され、前記プルアップ手段の入力ノードにソースが連結された第 1 トランジスターと、

前記プルアップ手段の入力ノードにドレーンが連結され、前記プルダウン手段の入力ノードにゲートが連結され、ソースが第 1 電源電圧に連結された第 2 トランジスターと、

前記プルアップ手段の入力ノードにドレーンが連結され、前記制御端子にゲートが結合され、ソースが第 1 電源電圧に連結された第 3 トランジスターと、を含む請求項 3 に記載の液晶表示装置。

【請求項 7】 前記プルダウン駆動手段は、前記第 2 電源電圧にドレーンが結合され、前記制御端子にゲートが連結され、前記プルダウン手段の入力ノードにソースが結合された第 4 トランジスターと、前記プルダウン手段の入力ノードにドレーンが連結され、前記入力端子にゲートが結合され、ソースが第 1 電源電圧に連結された第 5 トランジスターと、を含む請求項 3 に記載の液晶表示装置。

【請求項 8】 前記フローティング防止手段は、

前記第 2 電源電圧にドレーン及びゲートが連結され、前記プルダウン手段の入力ノードにソースが連結された第 6 トランジスターにより構成され、

前記第 6 トランジスターは前記第 5 トランジスターのサイズと比較し、相対的に十分に小さいサイズにより構成された請求項 3 に記載の液晶表示装置。

【請求項 9】前記第 5 トランジスターと第 6 トランジスターとのサイズの比は、約 20 : 1 程度である請求項 8 に記載の液晶表示装置。

【請求項 10】前記表示領域の薄膜トランジスターとゲート駆動回路の薄膜トランジスターは、a - Si NMO S T F T により構成する請求項 1 に記載の液晶表示装置。

【請求項 11】前記第 1 及び第 2 ゲート駆動回路各々は、複数のステージが従属連結され、各ステージの出力信号により前記複数のゲートラインを順次を選択するシフトレジスタにより構成し、第 1 ゲート駆動回路には、第 1 クロック信号が提供され、第 2 ゲート駆動回路には前記第 1 クロック信号と位相が反転された第 2 クロック信号

が提供され、前記各ステージは、直前のゲートラインが連結された入力端子と、対応するゲートラインが連結された出力端子と、次のゲートラインが連結された制御端子と、対応するクロック信号が入力されるクロック端子と、前記出力端子に前記第 1 及び第 2 クロック信号のうち、対応されるクロック信号を提供するプルアップ手段と、前記出力端子に第 1 電源電圧を提供するプルダウン手段と、

前記プルアップ手段の入力ノードに連結され、入力信号の上昇エッジにตอบสนองしてキャパシタを充電して前記プルアップ手段をターンオンさせ、次のゲートラインの駆動信号の上昇エッジにตอบสนองして前記キャパシタを放電させて前記プルアップ手段をターンオフさせるプルアップ駆動手段と、

前記プルダウン手段の入力ノードに連結され、前記プルアップ手段の入力ノードと連結して前記プルダウン手段をターンオフさせ、次のゲートラインの駆動信号の上昇エッジにตอบสนองして前記プルダウン手段をターンオンさせるプルダウン駆動手段と、を含む請求項 2 に記載の液晶表示装置。

【請求項 12】前記プルアップ駆動手段は、前記プルアップ手段の入力ノードと前記出力端子に連結されたキャパシタと、

ドレーンが第 2 電源電圧に連結され、入力信号にゲートが連結され、前記プルアップ手段の入力ノードにソースが連結された第 1 トランジスターと、

前記プルアップ手段の入力ノードにドレーンが連結され、次ゲートラインの駆動信号にゲートが結合され、ソ

ースが第 1 電源電圧に連結された第 2 トランジスターと、

前記プルアップ手段の入力ノードにドレーンが連結され、前記プルダウン手段の入力ノードにゲートが連結され、ソースが第 1 電源電圧に連結された第 3 トランジスターと、を含む請求項 11 に記載の液晶表示装置。

【請求項 13】前記第 1 トランジスターと第 3 トランジスターとのサイズの比は約 2 : 1 程度である請求項 12 に記載の液晶表示装置。

【請求項 14】前記プルダウン駆動手段は、第 2 電源電圧にドレーンとゲートが共通に結合され、ソースが前記プルダウン手段の入力ノードに連結された第 4 トランジスターと、

前記プルダウン手段の入力ノードにドレーンが結合され、前記プルアップ手段の入力ノードにゲートが連結され、ソースが第 1 電源電圧と連結された第 5 トランジスターと、を含む請求項 11 に記載の液晶表示装置。

【請求項 15】前記第 4 トランジスターと第 5 トランジスターとのサイズの比は、約 16 : 1 程度である請求項 14 に記載の液晶表示装置。

【請求項 16】基板上の表示領域にマトリックス状に配列された複数のピクセル電極と、

前記複数のピクセル電極に各々対応し、対応するピクセル電極に第 1 電流電極が各々連結された複数の薄膜トランジスターと、

前記複数のピクセル電極のうち、奇数番目コラムと偶数番目コラムとの間に各々配置され、対応する奇数番目コラムと偶数番目コラムの薄膜トランジスターの第 2 電流電極が共通に連結された複数のデータラインと、

前記複数のピクセル電極のうちの各行に対応して配置され、対応する行のうち、奇数番目薄膜トランジスターのゲート電極が共通に連結された複数の第 1 ゲートラインと、

前記複数のピクセル電極のうちの各行に対応して配置され、対応する行のうち、偶数番目薄膜トランジスターのゲート電極が共通に連結された複数の第 2 ゲートラインと、

前記表示領域の第 1 周辺領域に配置され前記複数のデータラインを駆動するためのデータ駆動回路と、

前記データ駆動回路と、前記表示領域を中心に対象されるように前記表示領域の第 2 周辺領域の一側に配置され、前記複数の第 1 ゲートラインを駆動するための第 1 ゲート駆動回路と、

前記第 1 ゲート駆動回路と、前記表示領域を中心に左右対称されるように前記表示領域の第 2 周辺領域の他側に配置され、前記複数の第 2 ゲートラインを駆動するための第 2 ゲート駆動回路と、を含む液晶表示装置。

【請求項 17】基板上の表示領域にマトリックス状に配列された複数のピクセル電極と、

前記複数のピクセル電極に各々対応し、対応するピクセ

ル電極に第 1 電流電極が各々連結された複数の薄膜トランジスターと、
 前記複数のピクセル電極のうち、奇数番目コラムと偶数番目コラムとの間に各々配置され、対応する奇数番目コラムと偶数番目コラムの薄膜トランジスターの第 2 電流電極が共通に連結された複数のデータラインと、
 前記複数のピクセル電極のうちの各行に対応して配置され、対応する行のうち、奇数番目薄膜トランジスターのゲート電極が共通に連結された複数の第 1 ゲートラインと、
 前記複数のピクセル電極のうちの各行に対応して配置され、対応する行のうち、偶数番目薄膜トランジスターのゲート電極が共通に連結された複数の第 2 ゲートラインと、
 前記表示領域の周辺領域に配置され前記複数のデータラインを駆動するためのデータ駆動回路と、
 前記データ駆動回路の一側に配置され、前記複数の第 1 ゲートラインを駆動するための第 1 ゲート駆動回路と、
 前記第 1 ゲート駆動回路と、前記データ駆動回路を中心に左右対称されるように前記データ駆動回路の他側に配
 置され、前記複数の第 2 ゲートラインを駆動するための第 2 ゲート駆動回路と、を含む液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示装置に関するものであり、より詳細には、a-Si (アモルファスシリコン) AM-LCD (Active Matrix Liquid Crystal Display) のガラス基板上に表示領域を中心に第 1 及び第 2 ゲート駆動回路を左右対称になるように配置することにより、設置
 の便利性を向上させることができる液晶表示装置に関するものである。

【0002】

【従来の技術】最近、情報処理機器は多様な形態、多様な機能、より高速の情報処理速度を有するように急速に発展されている。このような情報処理装置で処理される情報は電気信号の形態を有する。使用者が情報処理装置で処理された情報を目で確認するためにはインターフェース機能を有するディスプレイ装置を必要とする。

【0003】最近、CRT方式のディスプレイ装置に比べて、軽量、小型でありながら、フル・カラー、高解像度具現などのような機能を有する液晶表示装置の開発が進んでいる。

【0004】図 1 に図示したように、AM-LCD はピクセルアレイが形成されたガラス基板 10 上の表示領域 11 の周辺にデータ駆動回路 12 及びゲート駆動回路 14 を形成し、端子部 16 と統合印刷回路基板 20 をひフィルムケーブル 18 に連結する。このような構造は、製造原価を節減し駆動回路の一体化で電力損失を最小化することができる。

【0005】しかし、表示領域 11 の一側へのみゲート駆動回路 14 が配置されるので、表示領域 11 を中心に左右非対称的な構造を有することになる。

【0006】従って、このような液晶表示モジュールが非対称的な構造であるため、左右対称的な構造を有したセットの左右幅が大きくなるという問題点がある。特に、ノートブックコンピュータ、携帯フォン又は PDA のような携帯装置のディスプレイとして前記のような液晶表示モジュールが提供される場合には、セットの軽量及び小型化を妨害する大きな要因として作用する。

【0007】

【発明が解決しようとする課題】本発明の第 1 目的は、ガラス基板の表示領域周辺の周辺回路部の配置において、周辺回路を左右対称的に配置することにより、セットに設置するときに便利性をはかることができる液晶表示装置を提供することにある。

【0008】本発明の第 2 目的は、左右対称性を考慮してデュアルゲート駆動回路を利用した液晶表示装置を提供することにある。

【0009】本発明の第 3 目的は、デュアルゲート駆動回路の利用によりゲートラインを二倍に拡張し、データ駆動回路のチャンネル数を半分に減らすことができるので、データ駆動回路のチップ数を減らすことができる液晶表示装置を提供することにある。

【0010】

【発明の解決するための手段】上述した目的を達成するための本発明による液晶表示装置は、基板上の表示領域にマトリックス状に配列された複数のピクセル電極と、

前記複数のピクセル電極に各々対応し、対応するピクセル電極に第 1 電流電極が各々連結された複数の薄膜トランジスターと、前記複数のピクセル電極のうち、奇数番目コラムと偶数番目コラムとの間に各々配置され、対応する奇数番目コラムと偶数番目コラムの薄膜トランジスターの第 2 電流電極が共通に連結された複数のデータラインと、前記複数のピクセル電極のうちの各行に対応して配置され、対応する行のうち、奇数番目薄膜トランジスターのゲート電極が共通に連結された複数の第 1 ゲートラインと、前記複数のピクセル電極のうちの各行に対応して配置され、対応する行のうちの偶数番目薄膜トランジスターのゲート電極が共通に連結された複数の第 2 ゲートラインを具備する。前記表示領域の周辺領域には、前記複数のデータラインを駆動するためのデータ駆動回路と、前記表示領域の一側周辺領域に配置され、前記複数の第 1 ゲートラインを駆動するための第 1 ゲート駆動回路と、前記第 1 ゲート駆動回路と前記表示領域を中心に左右対称されるように前記表示領域の他側周辺領域に配置され、前記複数の第 2 ゲートラインを駆動するための第 2 ゲート駆動回路とを具備する。

【0011】本発明で、前記第 1 及び第 2 ゲート駆動回路は、前記第 1 及び第 2 ゲートラインを通じて伝播され

たシフト信号に応答し、互いに交互に複数の行ラインが順次にスキャンされるように駆動する。

【0012】本発明で、第1ゲート駆動回路は、前記データ駆動回路と前記表示領域を中心に対称されるように前記表示領域の第2周辺領域の一侧に配置され、第2ゲート駆動回路は前記第1ゲート駆動回路と前記表示領域を中心左右対称されるように、前記表示領域の第2周辺領域の他側に配置されることもできる。

【0013】本発明で、第1ゲート駆動回路はデータ駆動回路の一侧に配置され、第2ゲート駆動回路は第1ゲート駆動回路と前記データ駆動回路を中心左右対称されるように、前記データ駆動回路の他側に配置されることもできる。

【0014】

【発明の実施の形態】以下、図面を参照して本発明の望ましい実施形態をより詳細に説明する。

【0015】図2は本発明によるデュアルゲート駆動回路が集積された対称形液晶表示モジュールの望ましい実施形態を示す。図2で、液晶表示モジュールは下部基板100と上部基板102を含む。下部基板100は重なる第1領域100aと上部基板102が重ならない第2領域100bに区分される。

【0016】第1領域100aは表示領域104と周辺領域106を含み、表示領域104と周辺領域106には液晶が注入された後に、その周縁部がシーリング材でシーリングされる。表示領域104の左右周辺領域106には、第1及び第2ゲート駆動回路108、110が左右対称的に各々配置される。

【0017】第2領域100bにはデータ駆動回路112と外部連結端子114が形成され、外部連結端子114にはフィルムケーブル116の一端が取り付けられる。フィルムケーブル116の他端は図示されない統合印刷回路基板に取付けられる。データ駆動回路112はチップ形態で製作され下部基板上に実装される。

【0018】図3に図示したように、外部連結端子114の開始信号入力端子(ST)、第1クロック信号入力端子(CK)、第1電源電圧端子(VOFF or VSS)、第2電源電圧端子(VON or VDD)の4個の端子114aは、第1ゲート駆動回路108に連結され、第2クロック信号入力端子(CKB)、第1電源電圧端子(VOFF or VSS)、第2電源電圧端子(VON or VDD)の3個の端子114bは、第2ゲート駆動回路110に連結される。外部連結端子114のチャンネル端子114cはデータ駆動回路112に連結される。

【0019】図4を参照すれば、第1ゲート駆動回路108は奇数番目ゲートライン(GL1~GLn+1)が延びた表示領域の左側周辺領域に配置され、各々出力端子が連結された複数のシフトレジスタ(SRC1~SRCn+1)により構成される。第2ゲート駆動回路11

0は、偶数番目ゲートライン(GL2~GLn)が延びた表示領域の右側周辺領域に配置され、各々出力端子が連結された複数のシフトレジスタ(SRC2~SRCn)により構成される。

【0020】奇数番目シフトレジスタ(SRCi)の出力は、奇数番目ゲートラインを通じて表示領域の向かい側に配置された後、偶数番目シフトレジスタ(SRCi+1)の入力端子に開始信号として提供され、同時に直前の偶数番目シフトレジスタ(SRCi-1)の制御端子に制御信号として提供される。同様に、偶数番目シフトレジスタ(SRCj)の出力は、次奇数番目シフトレジスタ(SRCj+1)の入力端子に開始信号として提供され、同時に直前の奇数番目シフトレジスタ(SRCj-1)の制御端子に制御信号として提供される。

【0021】最後の奇数番目シフトレジスタ(SRCn+1)はダミーレジスタとして、最後の偶数番目シフトレジスタ(SRCn)の制御端子に制御信号を提供するために付加される。

【0022】図5は図4の各回路のタイミング関係を示す。即ち、奇数番目ゲートラインと偶数番目ゲートラインが開始信号(ST)により順次にシフトされ、クロック信号(CK、CKB)に同期され、交互にアクティブされスキャンされることから分かる。つまり、奇数番目ゲートラインと偶数番目ゲートラインとは、位相が反転された状態でスキャンが行われる。

【0023】一つの水平ラインとなる複数のピクセルのうち、奇数番目ピクセルは対応される奇数番目ゲートライン(例えばGL1)により駆動され、偶数番目ピクセルは対応する偶数番目ゲートライン(例えばGL2)により駆動される。

【0024】だから、一つの水平ラインの全てのピクセルが表示されるためには、2個のゲートライン(例えば、GL1、GL2)が駆動される。従って、ゲートライン数は2倍に増加され垂直解像度が160水平ラインである場合には、320ゲートラインが配置される。

【0025】このような、ゲート駆動方式により水平方向に隣接した二つの薄膜トランジスタのドレイン電極が一つのデータラインを共有し、二つの薄膜トランジスタのゲート電極は互いに分離されたゲートラインに連結される。従って、同一な水平ラインにあるピクセルであっても奇数番目ピクセルは第1ゲート駆動回路により先に充電され、偶数番目ピクセルは第2ゲート駆動回路により1クロック遅延され充電される。

【0026】データ駆動回路は1水平ラインのカラーピクセルの数が240個であれば、各ピクセル当たりRGB3個の単位ピクセルを含むので、総720個のデータラインが必要となる。従って、720個のデータラインを駆動するためには、データ出力端子数が360個であるデータ駆動チップが2個必要である。

【0027】しかし、本発明では、上述したデュアルゲ

ート駆動方式により先に奇数番目 360 個の単位ピクセルを充電させ、1 クロック遅延後に偶数番目 360 個の単位ピクセルを充電させることができるので、データ駆動ライン数を 720 個から 360 個に減らすことができ、これにより、360 データ出力端子数を有する一つのデータ駆動チップのみ使用することができる。だから、データ駆動チップとデータラインを連結するための周辺領域のラインパターンの設計が容易になる。

【0028】図 6 は図 4 のゲート駆動回路の各ステージの望ましい一実施形態の回路図である。

【0029】図 4 の各ステージはプルアップ手段 120、プルダウン手段 122、プルアップ駆動手段 124、プルダウン駆動手段 126、フローティング防止手段 128 とターンオン防止手段 130 を含む。

【0030】プルアップ手段 120 はクロック信号入力端子 (CK) にドレーンが連結され、第 1 ノード (N1) にゲートが連結され、出力端子 (OUT) にソースが連結されたプルアップ NMOS トランジスタ (NT1) により構成される。

【0031】プルダウン手段 122 は出力端子 (OUT) にドレーンが連結され、第 2 ノード (N2) にゲートが連結され、ソースが第 1 電源電圧 (VSS) に連結されたプルダウン NMOS トランジスタ (NT2) により構成される。

【0032】プルアップ駆動手段 124 はキャパシタ (C)、NMOS トランジスタ (NT3 ~ NT5) により構成される。キャパシタ (C) は第 1 ノード (N1) と出力端子 (OUT) との間に連結される。トランジスタ (NT3) は入力端子 (IN) にドレーン及びゲートが共通に結合され、第 1 ノード (N1) にソースが連結される。トランジスタ (NT4) は第 1 ノード (N1) にドレーンが連結され、第 2 ノード (N2) にゲートが連結され、ソースが第 1 電源電圧 (VSS) に連結される。トランジスタ (NT5) は第 1 ノード (NT1) にドレーンが連結され、制御端子 (CT) にゲートが連結され、ソースが第 1 電源電圧 (VSS) に連結される。

【0033】プルダウン駆動手段 126 は二つの NMOS トランジスタ (NT6、NT7) により構成される。トランジスタ (NT6) は第 2 電源電圧 (VDD) にドレーンが結合され、制御端子 (CT) にゲートが連結され、第 2 ノード (N2) にソースが連結される。トランジスタ (NT7) は第 2 ノード (N2) にドレーンが連結され、入力端子 (IN) にゲートが連結され、ソースが第 1 電源電圧 (VSS) に結合される。

【0034】フローティング防止手段 128 は第 2 電源電圧 (VDD) にドレーン及びゲートが共通連結され、第 2 ノード (N2) にソースが連結された NMOS トランジスタ (NT8) により構成される。トランジスタ (NT8) は前記トランジスタ (NT7) のサイズ

に比べて相対的に十分に小さいサイズ、例えば 1 : 20 程度のサイズ比により構成される。

【0035】ターンオン防止手段 130 は第 2 ノード (N2) にドレーンが連結され、出力端子 (OUT) にゲートが連結され、第 1 電源電圧 (VSS) にソースが連結された NMOS トランジスタ (NT9) により構成される。トランジスタ (NT9) のサイズはトランジスタ (NT7) のサイズに比べて約 1 : 2 の比を有する。

10 【0036】図 5 に図示したように、第 1 クロック信号 (CK) とスキャン開始信号 (ST) が第 1 ゲート駆動回路 108 のシフトレジスタに供給されると、一番目ステージ (SRC1) では、スキャン開始信号 (ST) の上昇エッジに応答して第 1 クロック信号 (CK) のハイレベル区間を所定時間遅延させ、出力端子 (OUT) に連結されたゲートライン (GL1) に出力信号へ発生する。

【0037】又、スキャン開始信号 (ST) のアクティブ区間は、第 1 クロック信号 (CK) のハイレベル区間に比べて約 1 / 4 周期先立つ位相を有する。開始信号 (ST) のアクティブ区間はパルス先端、即ち上昇エッジからのセットアップタイムと後端、即ち下降エッジまでのホールドタイムに分割されている。

【0038】従って、出力信号 (OUT1) の上昇エッジはホールドタイムの始点から所定時間約 2 ~ 4 μ s 遅延された先端、即ち上昇エッジを有する。即ち第 1 クロック信号 (CK) のアクティブ区間、つまり、ハイレベル区間が所定時間ほど遅延され出力端子に示される。遅延の理由は次の通りである。

30 【0039】プルアップ駆動手段 124 のキャパシタ (C) が開始信号 (ST) の上昇エッジでトランジスタ (NT4) がターンオフされた状態からトランジスタ (NT3) を通じて充電され始め、トランジスタ (NT3) の充電電圧がプルアップトランジスタ (NT1) のゲートソース間スレッショルド電圧以上に充電された後、プルアップトランジスタ (NT1) がターンオンされ、第 1 クロック信号 (CK) のハイレベル区間が出力端子に出力される。よって、出力信号 (OUT1) の上昇エッジはホールドタイムの始点から遅延される。

40 【0040】出力端子 (OUT) にクロック信号のハイレベル区間が示され始めると、この出力電圧がキャパシタ (C) にブートストラップ (BOOTSTRAP) され、プルアップトランジスタ (NT1) のゲート電圧がターンオン電圧 (VDD) 以上に上昇する。従って、NMOS トランジスタであるプルアップトランジスタ (NT1) が完全 (FULL) 導通状態を維持する。

【0041】一方、プルダウン駆動手段 126 はトランジスタ (NT6) がターンオフされた状態で、開始信号 (ST) の上昇エッジでトランジスタ (NT7) が

ターンオンされるので、第2ノード(N2)の電位が第1電源電圧(VSS)にダウンされる。この時、フローティング防止手段128のトランジスタ(NT8)はターンオン状態を維持するが、ターンオンされたトランジスタ(NT7)のサイズがトランジスタ(NT8)のサイズより約20倍程度大きいために、第2ノード(N2)は第2電源電圧(VDD)状態で第1電源電圧(VSS)にダウンされる。だから、プルダウントランジスタ(NT2)はターンオン状態からターンオフ状態に遷移される。

【0042】出力端子(OUT)にターンオン電圧(VON=VDD)が示されると、ターンオン防止手段130のトランジスタ(NT9)がターンオンされ、第2ノード(N2)を第1電源電圧(VSS)に駆動する能力が約50%程度さらに増加する。だから、出力信号の上昇遷移時にプルダウントランジスタ(NT2)のドレインソース間寄生キャパシタにより第2ノード(N2)の電圧が上昇することを防止することができる。従って、出力信号の上昇遷移ときにプルダウントランジスタ(NT2)がターンオンされる誤動作を確実に防止

【0043】出力端子(OUT)の出力信号(OUT1)は第1クロック信号(CK)のデューティ期間ほど遅延される。

【0044】出力端子(OUT)の出力信号の電圧がターンオフ電圧(VOFF=VSS)状態に下げると、トランジスタ(NT9)がターンオフされるので、トランジスタ(NT8)を通じて第2ノード(N2)に第2電源電圧(VDD)のみ供給される状態であるので、第2ノード(N2)の電位は第1電源電圧(VSS)から第2電源電圧(VDD)に上昇され始める。第2ノード(N2)の電位が上昇され始めると、トランジスタ(NT4)がターンオンされ始め、これによりキャパシタの充電電圧はトランジスタ(NT4)を通じて放電され始める。よって、プルアップトランジスタ(NT1)もターンオフされ始める。

【0045】続いて、制御端子(CT)に提供される次ステージの出力信号がターンオン電圧に上昇することになるので、NMOSTランジスタ(NT5、NT6)がターンオンされる。だから、第2ノード(N2)の電位はNMOSTランジスタ(NT6、NT8)により提供される第2電源電圧(VDD)に速く上昇され始め、第1ノード(N1)の電位はNMOSTランジスタ(NT4、NT5)を通じて速く第1電源電圧(VSS)にダウンされる。

【0046】だから、プルアップトランジスタ(NT1)はターンオフされ、プルダウントランジスタ(NT2)はターンオンされ、出力端子(OUT)はターンオン電圧(VON)から第2電源電圧(VDD)のターンオフ電圧(VOFF)にダウンされる。

【0047】制御端子(CT)に印加される次ステージの出力信号がロウレベルに下降されトランジスタ(NT6)がターンオフされても、第2ノード(N2)はトランジスタ(NT8)を通じて第2電源電圧(VDD)にバイアスされた状態を維持することになり、第1ノード(N1)は、ターンオン状態を維持するトランジスタ(NT4)により第1電源電圧(VSS)にバイアスされた状態を維持する。だから、長時間使用によりNMOSTランジスタ(NT2、NT4)のスレッシュヨルド電圧が上昇されても、第2ノード(N2)の電位が第2電源電圧(VDD)に維持されるので、プルダウントランジスタ(NT2)がターンオフされる誤動作がなく安定された動作が確保される。

【0048】上述したように、同一な動作により各ステージ(SRC1~SRC4)が交互に動作してゲートラインが順次に駆動する。

【0049】図7はゲート駆動回路の各ステージの他の実施形態の回路構成を示す。

【0050】図7を参照すれば、ステージはプルアップ手段132、プルダウン手段134、プルアップ駆動手段136、プルダウン駆動手段138を含む。

【0051】プルアップ手段132はクロック信号入力端子(CK)にドレインが連結され、第3ノード(N3)にゲートが連結され、出力端子(OUT)にソースが連結されたプルアップNMOSTランジスタ(NT11)により構成される。

【0052】プルダウン手段134は出力端子(OUT)にドレインが連結され、第4ノード(N4)にゲートが連結され、ソースが第1電源電圧(VSS)に連結されたプルダウンNMOSTランジスタ(NT12)により構成される。

【0053】プルアップ駆動手段136はキャパシタ(C)、NMOSTランジスタ(NT13~NT15)により構成される。キャパシタ(C)は第3ノード(N3)と出力端子(OUT)との間に連結される。トランジスタ(NT13)は第2電源電圧(VDD)にドレインが連結され、入力端子(IN)にゲートが連結され、第3ノード(N3)にソースが連結される。トランジスタ(NT14)は第3ノード(N3)にドレインが連結され、制御端子(CT)にゲートが連結され、ソースが第1電源電圧(VSS)に連結される。トランジスタ(NT15)は第3ノード(N3)にドレインが連結され、第4ノード(N4)にゲートが連結され、ソースが第1電源電圧(VSS)に連結される。このとき、トランジスタ(NT13)のサイズはトランジスタ(NT15)のサイズより約2倍程度大きく形成される。

【0054】プルダウン駆動手段138は二つのNMOSTランジスタ(NT16、NT17)により構成される。トランジスタ(NT16)は第2電源電圧(V

DD) にドレーンとゲートが共通に結合され、第 4 ノード (N4) にソースが連結される。トランジスタ (NT17) は第 4 ノード (N4) にドレーンが連結され、第 3 ノード (N3) にゲートが連結され、ソースが第 1 電源電圧 (VSS) に結合される。このとき、トランジスタ (NT16) のサイズはトランジスタ (NT17) のサイズより約 1.6 倍程度大きく形成される。

【0055】第 1 クロック信号 (CK) とスキャンニング開始信号 (ST) が供給されると、一番目ステージでは、スキャンニング開始信号 (ST) の上昇エッジに 10 応答して第 1 クロック信号 (CK) のハイレベル区間を所定時間遅延させ、出力端子 (OUT) に出力信号として発生する。

【0056】スキャンニング開始信号 (ST) のアクティブ区間は、第 1 クロック信号 (CK) のハイレベル区間に比べて約 1/4 周期先立つ位相を有する。開始信号 (ST) のアクティブ区間はパルス先端、即ち上昇エッジからのセットアップタイム (Ts1) とパルス後端、即ち下降エッジまでのホールドタイム (Ts2) に分割される。

【0057】このような遅延特性は、プルアップ駆動手段 136 のキャパシタ (C) が開始信号 (ST) の上昇エッジでトランジスタ (NT13) を通じて充電され始め、キャパシタ (C) の充電電圧がプルアップトランジスタ (NT11) のゲートソース間スレッショルド電圧以上に充電された以後、プルアップトランジスタ (NT11) がターンオンされ、第 1 クロック信号 (CK) のハイレベル区間が出力端子に示され始めるためである。

【0058】出力端子 (OUT) にクロック信号のハイレベル区間が示され始めると、この出力電圧がキャパシタ (C) にブートストラップ (BOOTSTRAP) されプルアップトランジスタ (NT11) のゲート電圧がターンオン電圧 (VDD) 以上に上昇する。従って、NMOS トランジスタであるプルアップトランジスタ (NT11) が完全 (FULL) 導通状態を維持する。この時、トランジスタ (NT13) のサイズはトランジスタ (NT15) のサイズより約 2 倍程度大きいために、トランジスタ (NT16) を通じて、第 2 電源電圧 (VDD) が第 4 ノード (N4) に供給されて 40 いる事により、トランジスタ (NT15) がターンオンされてもトランジスタ (NT11) をターンオン状態に遷移させる。

【0059】一方、プルダウン駆動手段 138 は、入力信号によりトランジスタ (NT17) がターンオフされ、第 4 ノード (N4) が第 2 電源電圧 (VDD) に上昇されトランジスタ (NT12) をターンオンさせる。従って、出力端子 (OUT) の出力信号の電圧が第 1 電源電圧 (VSS) 状態にある。このとき、開始信号 (ST) によりトランジスタ (NT17) がターンオ 50

ンされるので、第 4 ノード (N4) の電位が第 1 電源電圧 (VSS) にダウンされる。以後、トランジスタ (NT16) がターンオンされても、トランジスタ (NT17) のサイズがトランジスタ (NT16) のサイズより約 1.6 倍程度大きいために、第 4 ノード (N4) は第 1 電源電圧 (VSS) 状態に続けて維持される。従って、プルダウントランジスタ (NT12) はターンオン状態からターンオフ状態に遷移される。

【0060】出力端子 (OUT) の出力信号 (OUT1) は第 1 クロック信号 (CK) のデューティ期間ほど遅延される。

【0061】出力端子 (OUT) の出力信号の電圧がターンオフ電圧 (VOFF = VSS) 状態に下がると、トランジスタ (NT17) がターンオフされるので、トランジスタ (NT16) を通じて第 4 ノード (N4) に第 2 電源電圧 (VDD) のみ供給される状態であるので、第 4 ノード (N4) の電位は第 1 電源電圧 (VSS) から第 2 電源電圧 (VDD) に上昇され始める。第 4 ノード (N4) の電位が上昇され始めると、トランジスタ (NT15) がターンオンされ始め、キャパシタの充電電圧はトランジスタ (NT15) を通じて放電され始める。よって、プルアップトランジスタ (NT11) もターンオフされ始める。

【0062】続いて、制御端子 (CT) に提供される次ステージの出力信号がターンオン電圧に上昇することになるので、トランジスタ (NT14) がターンオンされる。このとき、トランジスタ (NT14) のサイズはトランジスタ (NT15) より約 2 倍程度大きいために、第 3 ノード (NT3) の電位はトランジスタ (NT15) のみターンオンされたときより、さらに速く第 1 電源電圧 (VSS) にダウンされる。

【0063】だから、プルアップトランジスタ (NT11) はターンオフされ、プルダウントランジスタ (NT12) はターンオンされ、出力端子 (OUT) は、ターンオン電圧 (VON) = 第 2 電源電圧 (VDD) からターンオフ電圧 (VOFF) にダウンされる。

【0064】制御端子 (CT) に印加される次ステージの出力信号がロウレベルに下降されトランジスタ (NT14) がターンオフされても、第 4 ノード (N4) はトランジスタ (NT16) を通じて第 2 電源電圧 (VDD) にバイアスされた状態を維持することになり、第 3 ノード (N3) はトランジスタ (NT15) をターンオン状態に維持し、第 1 電源電圧 (VSS) にバイアスされた状態を維持する。だから、第 4 ノード (N4) の電位が第 2 電源電圧 (VDD) に維持されるので、プルダウントランジスタ (NT12) がターンオフされる誤動作がなく、安定された動作が確保される。

【0065】上述したように、他の実施形態では、トランジスタ (NT15) 及びトランジスタ (NT1

7) をラッチ形態で配置することにより、第3ノード(N3)及び第4ノード(N4)で安定された状態を維持することができる。また、一実施形態と比較して二つのトランジスタを除去することができるだけでなく、トランジスタのサイズも減らすことにより、周辺領域でシフトレジスタが占める面積を10%程度減少させることができる。

【0066】また、他の実施形態は、一実施形態に比べてスキャン開始信号(ST)のパルス幅に関係なしに安定された動作が可能である。

【0067】即ち、一実施形態はスキャン開始信号(ST)のパルス幅がクロック信号のパルス幅より狭い場合には、クロック信号が入る前に、キャパシタが放電を開始する。このために、プルダウントランジスタがターンオンされるので、出力が発生されなくなる。だから、出力信号が次段にシフトされないで、動作不能状態になることができる。

【0068】しかし、他の実施形態はスキャン開始信号(ST)をラッチするために、スキャン開始信号(ST)のパルス幅の広狭に関係なしに安定された動作が可能である。

【0069】図8は、本発明による望ましい実施形態の対称形液晶表示装置の表示領域及びゲート駆動回路のレイアウト図を示し、図9乃至図13は図8の液晶表示装置の各層のレイアウト図を示す。

【0070】図8のレイアウトの各部分は、図6のゲート駆動回路と同一な部分は同一符号に処理する。第1ゲート駆動回路108の表示領域に隣接した部分にゲートライン駆動トランジスタ(NT1、NT2)を配置し、一番遠く離れた部分に外部信号ライン(CK、VD、VSS、ST)が配置される。

【0071】駆動トランジスタ配置領域と信号ライン配置領域との間に制御用トランジスタ(NT3、NT4、NT5、NT6、NT7、NT8、NT9)などが配置される。

【0072】キャパシタ(C)は駆動トランジスタ(NT1、NT2)の間に配置され、駆動トランジスタ(NT1)のゲート電極の下部延長部に提供された下部電極と、駆動トランジスタ(NT2)のドレーン電極の上部延長部に提供された上部電極と、これらの間に提供されたゲート絶縁膜(SiNx)を含む。

【0073】ガラス基板上に図9のゲートメタルパターンが配置される。ゲートメタルパターンは表示領域のゲートライン(GL)とゲート駆動回路領域の各トランジスタのゲート電極と、キャパシタの下部電極、信号ライン、シフトレジスタの各ステージを相互連結するための一部信号ラインを構成する。

【0074】ゲートメタルパターンはゲート絶縁層であるSiNx物質で塗布される。塗布されたSiNx物質層上に図10のアモルファスシリコン材質のアクティブ

パターンが下部パターンとアラインされ配置される。図10で、アクティブパターンのうちのSP表示された切片は、下部のゲートパターンと交差するソースパターンを保護するために付加されるダミーパターンである。このような、付加パターンは上部構造物であるソースパターンが形成される表面の傾きを緩和させることにより、上部ソースメタルラインが切れることを防止する。

【0075】図10のアクティブパターン上に図11のソースパターンがアラインされ配置される。ソースパターンは表示領域でデータライン及び画素電極コンタクト領域、ゲート駆動領域でトランジスタのソース及びドレーン電極、信号ラインの一部、キャパシタの上部電極を構成する。

【0076】駆動トランジスタのソース及びドレーン電極は、各々櫛の歯形で向き合っており、櫛の歯が相互の間々に配置されるように形成される。

【0077】このような駆動トランジスタ(NT1、NT2)のソースドレーン電極構造は、限定された面積内で駆動トランジスタのチャンネル幅を増加させることにより、アモルファスシリコンにより製作されたトランジスタの駆動能力を十分に確保することができるようにする。

【0078】図12のレイアウトは、ゲートメタルパターンとソースパターンを電気的に相互連結するために、各パターンのコンタクトホール領域を示す。本発明では、ゲート駆動回路領域では、互いに対応するゲートコンタクト領域とソースコンタクト領域を互いに隣接して形成する。

【0079】このように、隣接して形成されたコンタクト対(CA、CB)は図13に図示したように、表示領域に提供される画素電極パターン(PE)と、同時に提供されるコンタクトパターン(CP)により相互電氣的に連結される。

【0080】即ち、本発明では、ゲートメタルパターンとソースパターンからなった信号ラインを相互電氣的に連結するために、コンタクトホールを形成し、このコンタクトホールを通じて画素電極パターンと同一な材質の導電物質によりコンタクトパターンを形成して連結する。

【0081】一般的に、透過形液晶表示装置では、画素電極が透明導電膜(ITO)により構成され、反射型液晶表示装置ではメタル反射膜により構成される。

【0082】だから、透過形である場合には、透明導電膜がコンタクトパターンに提供されるので、メタルパターンに比べて相対的に電気伝導度が低い透明導電膜を使用しても、コンタクト抵抗によるゲート駆動回路の電氣的特性影響を最小化するには、相互連結されるコンタクトホールを最大限、隣接して配置することが望ましい。

【0083】また、ミスアラインメントによるコンタクト抵抗増加や接触不良を防止するために、コンタクトホ

ールを十分にカバーすることができるようにコンタクトパターンのサイズに十分なマージンを確保することが望ましい。

【0084】図14は、本発明によるデュアルゲート駆動回路が集積された対称形液晶表示モジュールの他の実施形態の概略図である。他の実施形態の液晶表示モジュールは、下部基板100と上部基板102を含む。下部基板100は上部基板102が重なる第1領域100aと重ならない第2領域100bに区分される。

【0085】第1領域100aは表示領域104と周辺領域106を含み、表示領域104と周辺領域106には、液晶が注入された後、その周縁部がシーリング材でシーリングされる。表示領域104の左右周辺領域106には、表示領域のゲートラインと第1及び第2ゲート駆動回路108a、110aが連結するためのラインパターンが左右対称的に各々配置される。

【0086】第2領域100bにはデータ駆動回路112、第1及び第2ゲート駆動回路108a、110aと外部連結端子114が形成され、外部連結端子114にはフィルムケーブル116の一端が取り付けられる。フィルムケーブル116の他端は図示されない統合印刷回路基板に取付けられる。データ駆動回路112はチップ形態で製作され下部基板上に実装される。

【0087】即ち、上述した他の実施形態は第1及び第2ゲート駆動回路108a、110aがデータ駆動回路112の左右対称的に配置された点が一実施形態の配置と異なる。

【0088】図15は、本発明によるデュアルゲート駆動回路が集積された対称形液晶表示モジュールのまた他の実施形態の概略図である。図15で、液晶表示モジュールは、下部基板100と上部基板102を含む。下部基板100は上部基板102が重なる第1領域100aと重ならない第2領域100bに区分される。

【0089】第1領域100aは表示領域104と周辺領域106を含み、表示領域104と周辺領域106には、液晶が注入された後、その周縁部がシーリング材でシーリングされる。表示領域104の上部周辺領域106には第1及び第2ゲート駆動回路108b、110bが一つにより統合され配置される。表示領域104の左右周辺領域106には、第1及び第2ゲート駆動回路108b、110bと、表示領域104のゲートラインを連結するためのラインパターンが左右対称的に各々配置される。

【0090】第2領域100bにはデータ駆動回路112と外部連結端子114が形成され、外部連結端子114にはフィルムケーブル116の一端が取り付けられる。フィルムケーブル116の他端は図示されない統合印刷回路基板に取付けられる。データ駆動回路112はチップ形態で製作され下部基板上に実装される。

【0091】第1及び第2ゲート駆動回路108b、1*50

*10bは下部から上部に延びた外部連結端子114を通じてフィルムケーブル116に連結される。

【0092】また他の実施形態は、ゲート駆動回路がデータ駆動回路とは反対される領域、即ち上部周辺領域に配置されると点が一実施形態及び他の実施形態と異なる。

【0093】全体的に、本発明の液晶表示モジュールは、第1及び第2ゲート駆動回路を各々具備し、これらが表示領域の周辺領域に左右対称されるように配置されるというものである。

【0094】以上、本発明の実施例によって詳細に説明したが、本発明はこれに限定されず、本発明が属する技術分野において通常の知識を有するものであれば本発明の思想と精神を離れることなく、本発明を修正または変更できるであろう。

【0095】

【発明の効果】本発明によると、液晶表示モジュールの表示領域の周辺領域にゲート駆動回路の配置において、左右対称的に配置して左右対称形液晶表示モジュールを構成することにより、液晶表示モジュールが実装されるセットの左右幅を最小化することができるようにする。

【図面の簡単な説明】

【図1】従来のゲート駆動回路が集積された非対称形液晶表示モジュールの概略図である。

【図2】本発明によるデュアルゲート駆動回路が集積された対称形液晶表示モジュールの望ましい一実施形態の概略図である。

【図3】図2のフィルムケーブルと連結するための外部連結端子部のレイアウト図である。

【図4】図2の液晶表示モジュールのブロック図である。

【図5】図4の各部波形図である。

【図6】図4のゲート駆動回路の各ステージの望ましい一実施形態の回路図である。

【図7】図4のゲート駆動回路の各ステージの望ましい他の実施形態の回路図である。

【図8】本発明による対称形液晶表示装置の表示領域及びゲート駆動回路のレイアウト図である。

【図9】図8の各層レイアウト図である。

【図10】図8の各層レイアウト図である。

【図11】図8の各層レイアウト図である。

【図12】図8の各層レイアウト図である。

【図13】図8の各層レイアウト図である。

【図14】本発明によるデュアルゲート駆動回路が集積された対称形液晶表示モジュールの他の実施形態の概略図である。

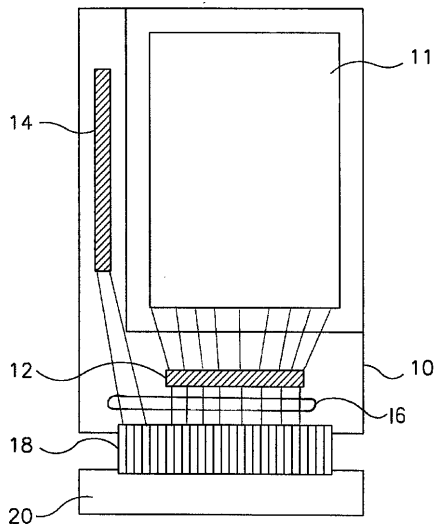
【図15】本発明によるデュアルゲート駆動回路が集積された対称形液晶表示モジュールのまた他の実施形態の概略図である。

【符号の説明】

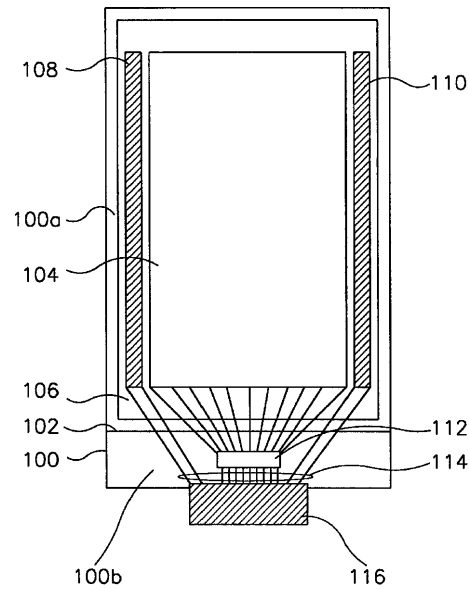
100 下部基板
 102 上部基板
 104 表示領域
 106 周辺領域
 112 データ駆動回路

* 114 外部連結端子
 116 フィルムケーブル
 122、134 プルダウン手段
 128 フローティング防止手段
 * 130 ターンオン防止手段

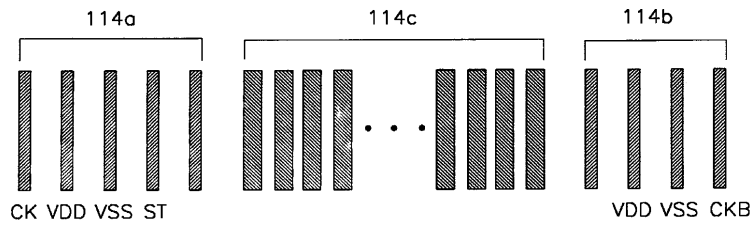
【図1】



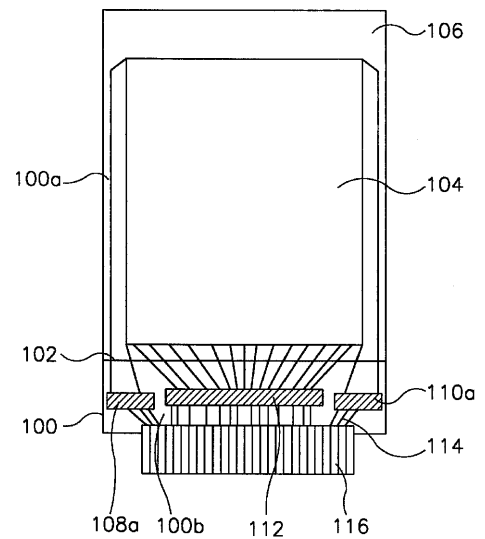
【図2】



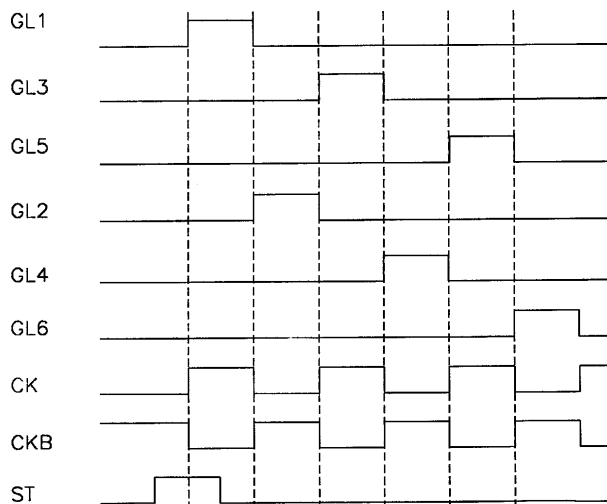
【図3】



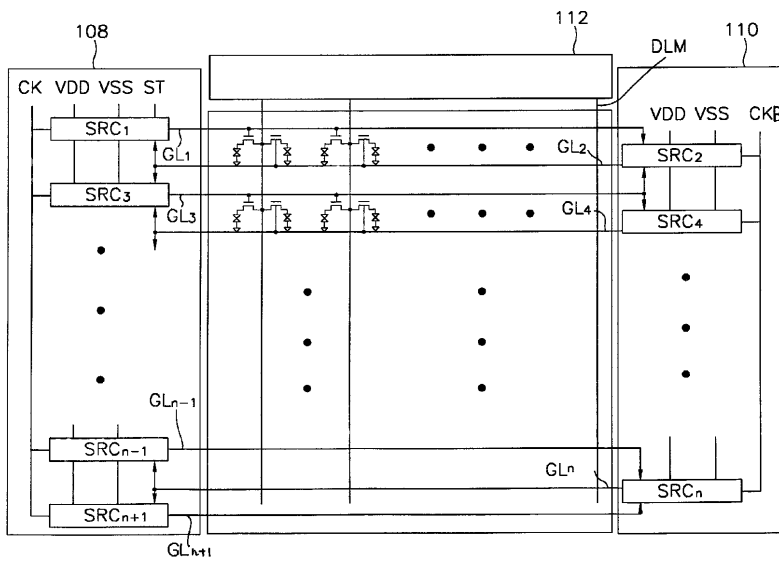
【図14】



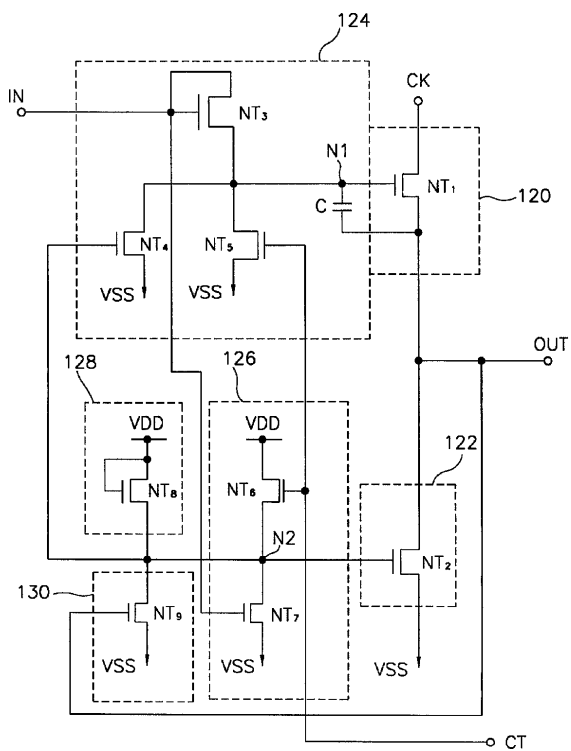
【図5】



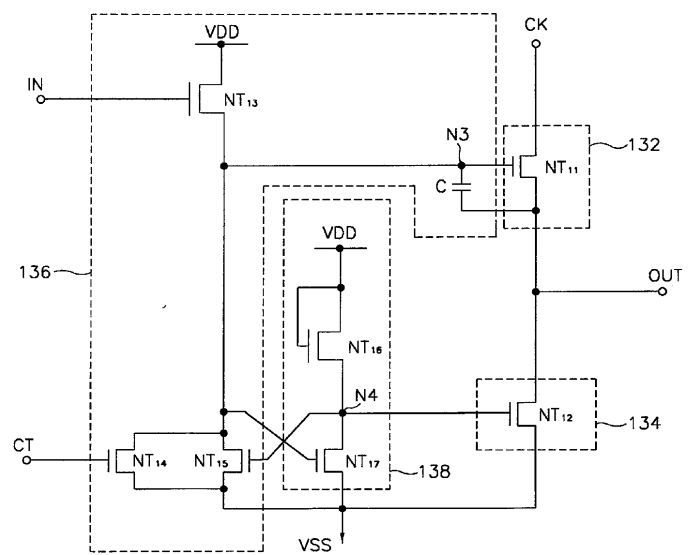
【図 4】



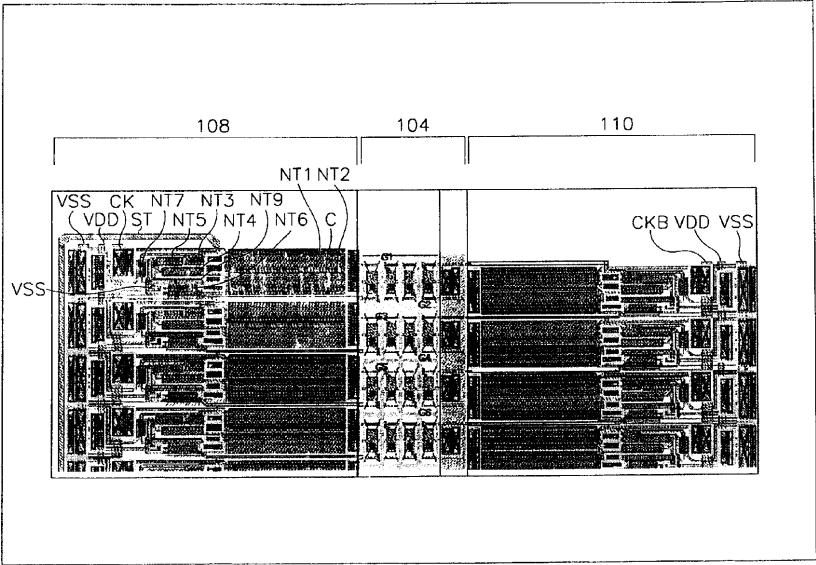
【図 6】



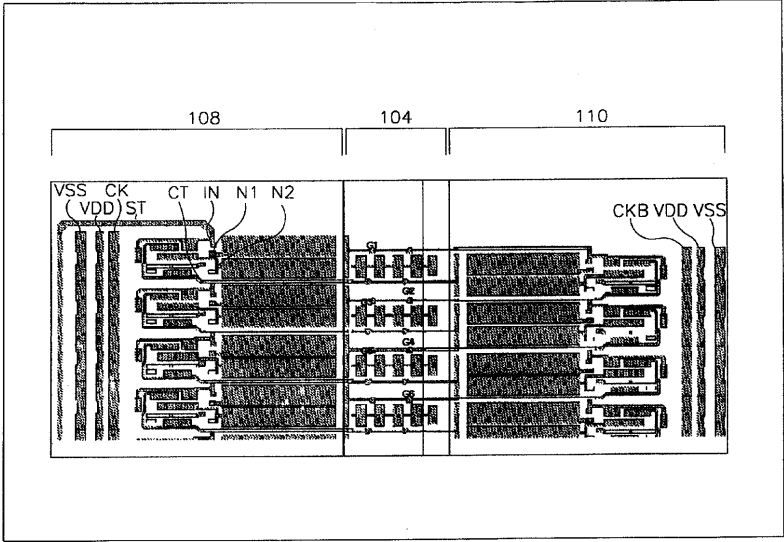
【図 7】



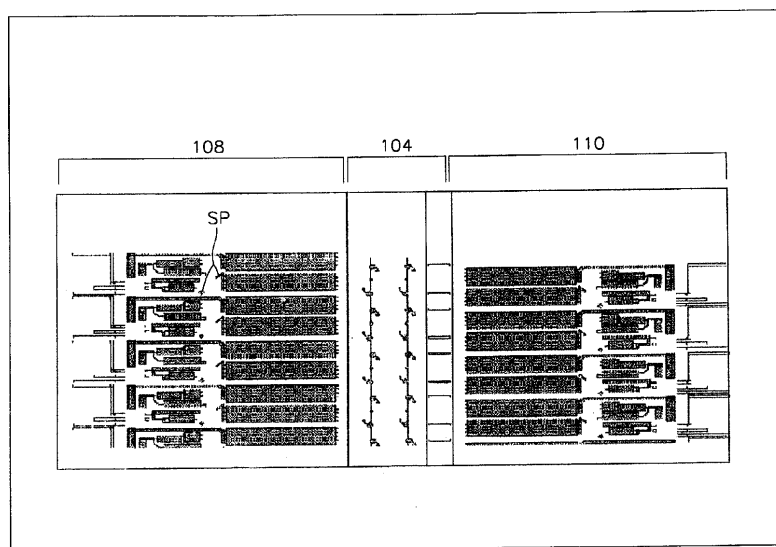
【図8】



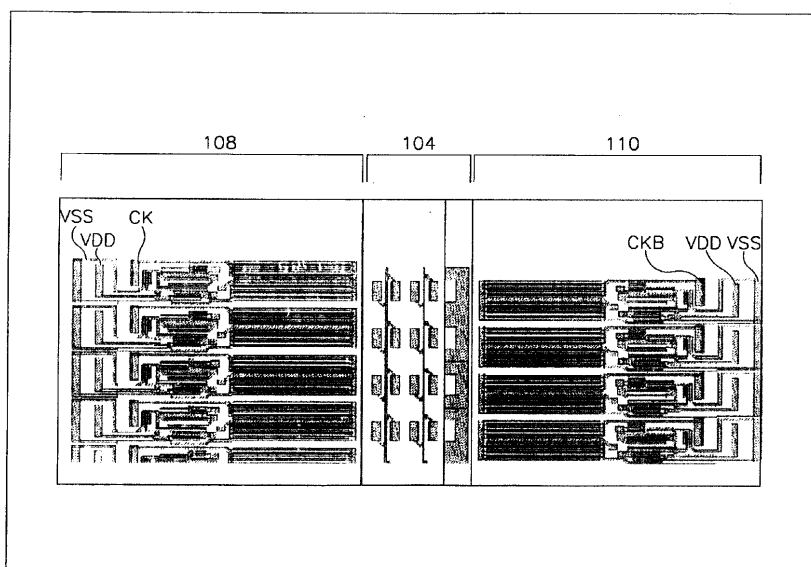
【図9】



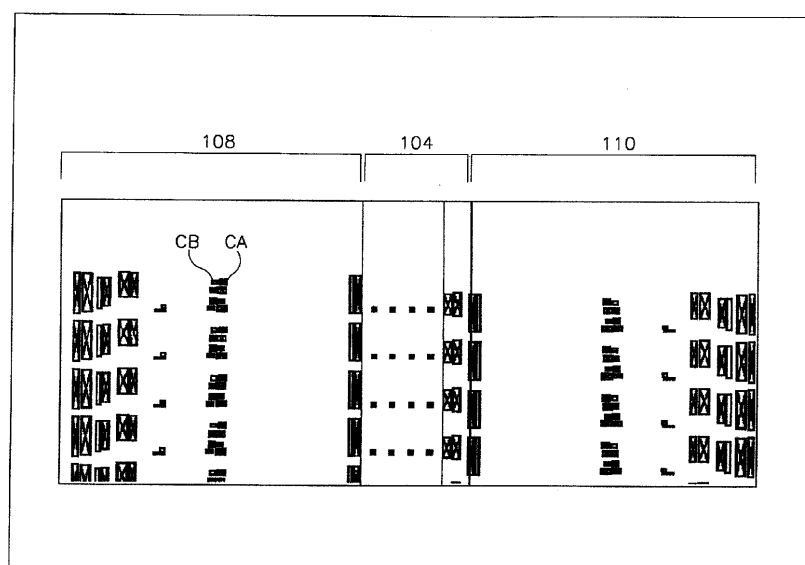
【図10】



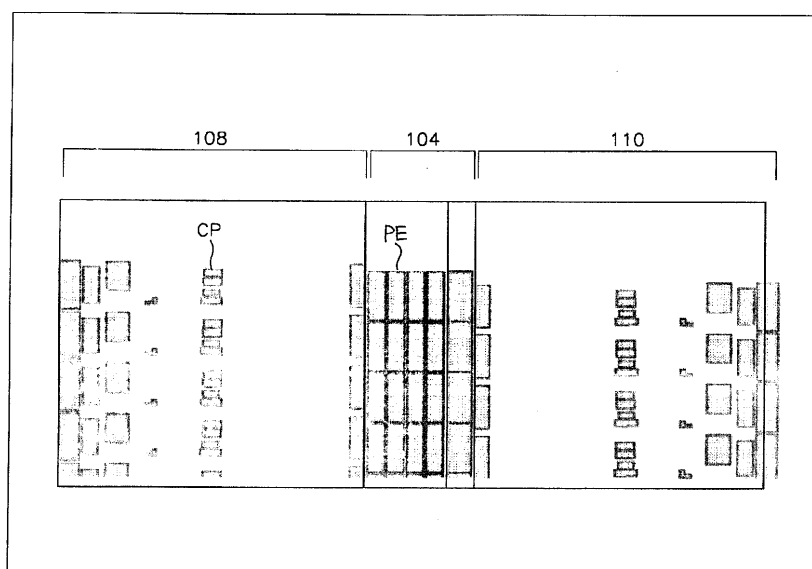
【図11】



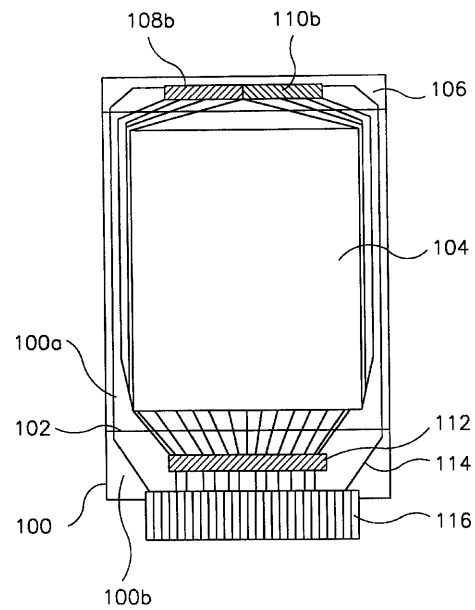
【図 12】



【図 13】



【図 15】



フロントページの続き

(51) Int.Cl. ⁷		識別記号	F I	テ-マコ-ド' (参考)	
G 0 9 F	9/00	3 4 8	G 0 9 F	9/00	3 4 8 Z 5 F 1 1 0
	9/35			9/35	5 G 4 3 5
G 0 9 G	3/20	6 2 1	G 0 9 G	3/20	6 2 1 M
		6 2 2			6 2 2 M
		6 8 0			6 8 0 G
H 0 1 L	29/786		H 0 1 L	29/78	6 1 4
					6 1 2 B

F タ-ム(参考) 2H092 GA28 JA23 JA37 JA41 JB22
 JB31 JB41 JB62 NA25 PA06
 2H093 NA79 NC09 NC11 NC16 ND42
 ND43 ND49
 5C006 AF36 AF42 AF43 AF51 AF59
 BB16 BC03 BC12 BC20 BC22
 BC23 BF03 BF04 BF34 BF37
 BF50 EB05 FA21 FA37
 5C080 AA10 BB05 DD01 DD30 FF11
 JJ03 JJ04 JJ06
 5C094 AA14 AA15 BA03 BA43 CA19
 DA09 DB01 DB02 FA01
 5F110 AA30 BB02 DD02 FF03 GG02
 GG15 NN72 NN73 NN77
 5G435 AA18 BB12 CC09 EE34

专利名称(译)	液晶表示装置		
公开(公告)号	JP2003076346A	公开(公告)日	2003-03-14
申请号	JP2002003713	申请日	2002-01-10
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	全珍 李東浩		
发明人	全 珍 李 東 浩		
IPC分类号	G02F1/1343 G02F1/133 G02F1/1345 G02F1/1368 G09F9/00 G09F9/35 G09G3/20 G09G3/36 G11C8/04 G11C19/00 G11C19/18 G11C19/28 H01L29/786		
CPC分类号	G11C19/28 G02F1/1345 G02F2001/13456 G09G3/3648 G09G3/3677 G09G2310/0281 G11C8/04 G11C19/00 G11C19/184		
FI分类号	G09G3/36 G02F1/133.505 G02F1/1343 G02F1/1345 G02F1/1368 G09F9/00.348.Z G09F9/35 G09G3/20.621.M G09G3/20.622.M G09G3/20.680.G H01L29/78.614 H01L29/78.612.B G11C19/00 G11C19/00.J G11C19/00.K G11C19/28.D G11C19/28.230		
F-TERM分类号	2H092/GA28 2H092/JA23 2H092/JA37 2H092/JA41 2H092/JB22 2H092/JB31 2H092/JB41 2H092/JB62 2H092/NA25 2H092/PA06 2H093/NA79 2H093/NC09 2H093/NC11 2H093/NC16 2H093/ND42 2H093/ND43 2H093/ND49 5C006/AF36 5C006/AF42 5C006/AF43 5C006/AF51 5C006/AF59 5C006/BB16 5C006/BC03 5C006/BC12 5C006/BC20 5C006/BC22 5C006/BC23 5C006/BF03 5C006/BF04 5C006/BF34 5C006/BF37 5C006/BF50 5C006/EB05 5C006/FA21 5C006/FA37 5C080/AA10 5C080/BB05 5C080/DD01 5C080/DD30 5C080/FF11 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C094/AA14 5C094/AA15 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA09 5C094/DB01 5C094/DB02 5C094/FA01 5F110/AA30 5F110/BB02 5F110/DD02 5F110/FF03 5F110/GG02 5F110/GG15 5F110/NN72 5F110/NN73 5F110/NN77 5G435/AA18 5G435/BB12 5G435/CC09 5G435/EE34 2H192/AA24 2H192/CB35 2H192/CC24 2H192/CC62 2H192/FA44 2H192/FA73 2H192/FB03 2H192/FB27 2H192/FB34 2H193/ZA04 2H193/ZA08 2H193/ZF24 2H193/ZF37 2H193/ZF43 2H193/ZF44 2H193/ZF46 5B074/AA03 5B074/CA01 5B074/DA01 5B074/EA03		
优先权	1020010053920 2001-09-03 KR		
其他公开文献	JP4163416B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种液晶显示装置，其可以方便地安装在基板的显示区域的外围电路部分布置中。在基板上的显示区域中以矩阵形式布置的薄膜晶体管中，在奇数列和偶数列之间共同布置的多条数据线DLM由奇数薄膜晶体管共享。为了驱动连接到共同连接到偶数薄膜晶体管的多条第二栅极线（GL2到GLn）的多条第一栅极线（GL1到GLn + 1），以驱动多条数据线。第一栅极驱动电路108的数据驱动电路，用于驱动显示区域一侧的外围区域中的多条第一栅极线，用于驱动多条第二栅极线的第二栅极驱动电路110布置在另一侧外围区域中。

