

(19)日本国特許庁 ( J P )

# (12) 公 開 特 許 公 報 ( A )

(11)特許出願公開番号

特開2003 - 43513

(P2003 - 43513A)

(43)公開日 平成15年2月13日(2003.2.13)

(51)Int.Cl <sup>7</sup>	識別記号	F I	テ-マコード <sup>*</sup> ( 参考 )
G 0 2 F 1/1343		G 0 2 F 1/1343	2 H 0 9 0
1/1333	505	1/1333	2 H 0 9 2
1/1368		1/1368	5 F 1 1 0
H 0 1 L 29/786		H 0 1 L 29/78	612 C

審査請求 未請求 請求項の数 42 O L ( 全 18数 )

(21)出願番号 特願2002 - 156001(P2002 - 156001)

(22)出願日 平成14年5月29日(2002.5.29)

(31)優先権主張番号 2001 - 029811

(32)優先日 平成13年5月29日(2001.5.29)

(33)優先権主張国 韓国(KR)

(71)出願人 501426046

エルジー・フィリップス エルシーデー

カンパニー, リミテッド

大韓民国 ソウル,ヨンドウンポ-ク,ヨイド-ドン 20

(72)発明者 チェ ジー - スン

大韓民国 406 - 130,インチョン,ヨンス-グ,ドンチュン-ドン,ハンヤン1チャ アパートメント,111 - 607

(74)代理人 100064447

弁理士 岡部 正夫 ( 外 1 0 名 )

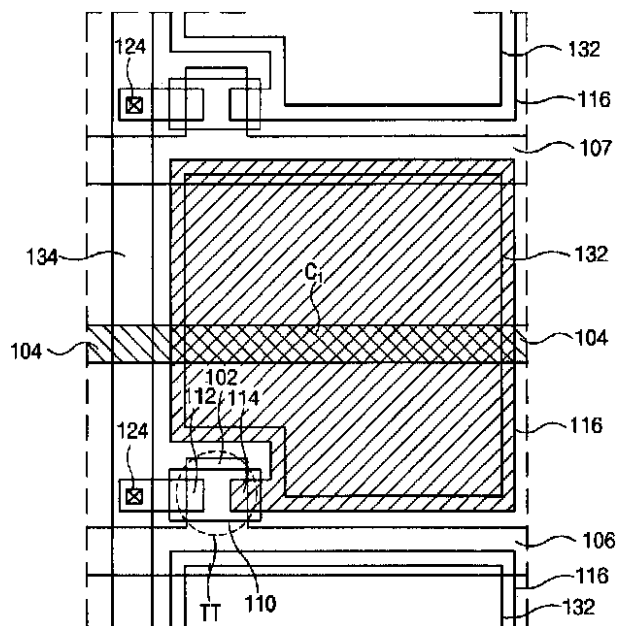
最終頁に続く

(54)【発明の名称】 液晶表示装置用アレー基板及びその製造方法

(57)【要約】

【課題】 既存より保存静電容量を減少することなく、開口率を向上させることができる高画質、高精度液晶表示装置用アレー基板を提供する。

【解決手段】 液晶表示装置用アレー基板では、基板と；基板上部に第1方向に形成されたゲート配線と；ゲート配線と平行に一定間隔離隔されて形成され、ゲート配線と同一物質からなる共通配線と；ゲート配線及び共通配線上に形成されたゲート絶縁膜と；ゲート絶縁膜上に形成された半導体層と；半導体層とオーバーラップされて形成されたドレイン電極を含むと共に透明導電性物質からなる画素電極と；ドレイン電極と離隔されて形成されて透明導電性物質からなるソース電極と；ソース電極を露出させる第1コンタクトホールと画素電極を露出させる開口部とを有して画素電極及びソース電極上に形成された保護層と；第1コンタクトホールを通してソース電極と連結され、ゲート配線と交差する第2方向に形成されたデータ配線を含む液晶表示装置用アレー基板を提供する。



## 【特許請求の範囲】

【請求項 1】 基板と；前記基板上の第 1 の方向に形成されたゲート配線と；前記ゲート配線と平行に一定間隔をおいて離隔されて配置され、前記ゲート配線と同一物質で形成された共通配線と；前記ゲート配線及び共通配線上に形成されたゲート絶縁膜と；前記ゲート絶縁膜上に形成された半導体層と；前記半導体層とオーバーラップして配置されたドレイン電極を含むと共に透明導電性物質で形成された画素電極と；前記ドレイン電極と離隔されて配置されると共に透明導電性物質で形成されたソース電極と；前記ソース電極を露出させる第 1 コンタクトホールと前記画素電極を露出させる開口部とを有して前記画素電極及びソース電極上に形成された保護層と；前記第 1 コンタクトホールを通して前記ソース電極と接続され、前記ゲート配線と交差する第 2 の方向に形成されたデータ配線とを含むことを特徴とする液晶表示装置用アレー基板。

【請求項 2】 前記半導体層は、非晶質シリコンでなされたアクティブ層と、不純物非晶質シリコンでなされたオーミックコンタクト層と、チタン(Ti)、クロム(Cr)のうちのいずれか一つの金属層が順序に従って積層された構造を有し、前記ソース電極とドレイン電極との間の区間には前記アクティブ層が露出されていることを特徴とする請求項 1 に記載の液晶表示装置用アレー基板。

【請求項 3】 前記ゲート配線の端に前記データ配線と同一物質で形成されると共に前記ゲート配線と一定間隔オーバーラップして配置されて前記ゲート絶縁膜及び保護層に形成された第 2 コンタクトホールを通してゲート配線と接続されるゲートリンクと、前記画素電極と同一物質からなり前記保護層に形成された第 3 コンタクトホールを通して前記ゲートリンクと接続されるゲートパッドをさらに含むことを特徴とする請求項 1 に記載の液晶表示装置用アレー基板。

【請求項 4】 前記ゲートリンクは、前記ゲートパッドより広い幅を有することを特徴とする請求項 3 に記載の液晶表示装置用アレー基板。

【請求項 5】 前記データ配線の端部に位置して前記画素電極と同一物質で形成されて前記データ配線と一定間隔オーバーラップして配置されると共に第 4 コンタクトホールを通して前記データ配線と接続されるデータパッドをさらに含むことを特徴とする請求項 1 に記載の液晶表示装置用アレー基板。

【請求項 6】 前記オーバーラップされるデータ配線は、データパッドより大きな幅を有することを特徴とする請求項 5 に記載の液晶表示装置用アレー基板。

【請求項 7】 前記画素電極は、前記ゲート配線とオーバーラップして配置されることを特徴とする請求項 1 に記載の液晶表示装置用アレー基板。

【請求項 8】 前記第 1 コンタクトホールは、前記デー

タ配線下部に位置することを特徴とする請求項 1 に記載の液晶表示装置用アレー基板。

【請求項 9】 前記透明導電性物質は、ITOであることを特徴とする請求項 1 に記載の液晶表示装置用アレー基板。

【請求項 10】 前記保護層は、アクリル樹脂であることを特徴とする請求項 1 に記載の液晶表示装置用アレー基板。

【請求項 11】 基板と；前記基板上に形成される共通電極と；前記基板上の第 1 の方向に形成されたゲート配線と；前記ゲート配線と、平行に一定間隔をおいて離隔されて配置され、前記ゲート配線と同一物質で形成されて、前記共通電極と接続される共通配線と；前記ゲート配線及び共通配線上に形成されたゲート絶縁膜と；前記ゲート絶縁膜上に形成された半導体層と；前記半導体層上に前記半導体層とオーバーラップされて形成されると共に透明導電性物質からなるドレイン電極を含む画素電極と；前記ドレイン電極と離隔されて形成されると共に透明導電性物質からなるソース電極と；前記ソース電極を露出させる第 1 コンタクトホールと前記画素電極を露出させる開口部とを有する保護層と；前記第 1 コンタクトホールを通して前記ソース電極と接続され、前記ゲート配線と交差する第 2 の方向に形成されたデータ配線とを含むことを特徴とする液晶表示装置用アレー基板。

【請求項 12】 前記半導体層は、非晶質シリコンからなるアクティブ層と、不純物非晶質シリコンからなるオーミックコンタクト層と、チタン(Ti)、クロム(Cr)のうちのいずれか一つの金属層が順序に従って積層された構造を有し、前記ソース電極とドレイン電極との間の区間で前記アクティブ層が露出されていることを特徴とする請求項 11 に記載の液晶表示装置用アレー基板。

【請求項 13】 前記ゲート配線の端に前記データ配線と同一物質で形成されると共に前記ゲート配線と一定間隔オーバーラップして配置されて、前記ゲート絶縁膜及び保護層に形成された第 2 コンタクトホールを通してゲート配線と接続されるゲートリンクと、前記画素電極と同一物質で形成されると共に前記保護層に形成された第 3 コンタクトホールを通して前記ゲートリンクと接続されるゲートパッドをさらに含むことを特徴とする請求項 11 に記載の液晶表示装置用アレー基板。

【請求項 14】 前記ゲートリンクは、前記ゲートパッドより広い幅を有することを特徴とする請求項 13 に記載の液晶表示装置用アレー基板。

【請求項 15】 前記データ配線の端部に位置して前記画素電極と同一物質で形成されると共に前記データ配線と一定間隔オーバーラップして配置されて、第 4 コンタクトホールを通して前記データ配線と接続されるデータパッドをさらに含むことを特徴とする請求項 11 に記載の液晶表示装置用アレー基板。

【請求項 16】 前記オーバーラップされるデータ配線

は、データパッドより大きな幅を有することを特徴とする請求項 15 に記載の液晶表示装置用アレー基板。

【請求項 17】 前記画素電極は、前記ゲート配線とオーバーラップして配置されることを特徴とする請求項 11 に記載の液晶表示装置用アレー基板。

【請求項 18】 前記第 1 コンタクトホールは、前記データ配線の下方に延在することを特徴とする請求項 11 に記載の液晶表示装置用アレー基板。

【請求項 19】 前記透明導電性物質は、ITOであることを特徴とする請求項 11 に記載の液晶表示装置用アレー基板。

【請求項 20】 前記保護層は、アクリル樹脂であることを特徴とする請求項 11 に記載の液晶表示装置用アレー基板。

【請求項 21】 基板と；前記基板上の第 1 の方向に形成されてストレージ電極を含むゲート配線と；前記ゲート配線上に形成されたゲート絶縁膜と；前記ゲート絶縁膜上に形成された半導体層と；前記ゲート配線とオーバーラップして配置され、前記半導体層とオーバーラップして配置されたドレイン電極を含むと共に透明導電性物質で形成された画素電極と；前記ドレイン電極と離隔されて配置されて透明導電性物質で形成されたソース電極と；前記ソース電極を露出させる第 1 コンタクトホールと前記画素電極を露出させる開口部とを有する保護層と；前記第 1 コンタクトホールを通して前記ソース電極と接続され、前記ゲート配線と交差する第 2 の方向に形成されたデータ配線とを含むことを特徴とする液晶表示装置用アレー基板。

【請求項 22】 前記半導体層は、非晶質シリコンからなるアクティブ層と、不純物非晶質シリコンからなるオミックコンタクト層と、チタン(Ti)、クロム(Cr)のうちのいずれか一つの金属層が順序に従って積層された構造を有し、前記ソース電極とドレイン電極との間の区間で前記アクティブ層が露出されていることを特徴とする請求項 21 に記載の液晶表示装置用アレー基板。

【請求項 23】 前記ゲート配線の端に前記データ配線と同一物質で形成されると共に前記ゲート配線と一定間隔オーバーラップして配置されて、前記ゲート絶縁膜及び保護層に形成された第 2 コンタクトホールを通してゲート配線と接続されるゲートリンクと、前記画素電極と同一物質からなり、前記保護層に形成された第 3 コンタクトホールを通して前記ゲートリンクと接続されるゲートパッドをさらに含むことを特徴とする請求項 21 に記載の液晶表示装置用アレー基板。

【請求項 24】 前記ゲートリンクは、前記ゲートパッドより広い幅を有することを特徴とする請求項 23 に記載の液晶表示装置用アレー基板。

【請求項 25】 前記データ配線の端部に位置して前記画素電極と同一物質で形成されると共に前記データ配線と一定間隔オーバーラップして配置され、第 4 コンタク

トホールを通して前記データ配線と接続されるデータパッドをさらに含むことを特徴とする請求項 21 に記載の液晶表示装置用アレー基板。

【請求項 26】 前記オーバーラップされるデータ配線は、データパッドよりさらに大きな幅を有することを特徴とする請求項 25 に記載の液晶表示装置用アレー基板。

【請求項 27】 前記画素電極は、前記ゲート配線とオーバーラップして配置されることを特徴とする請求項 21 に記載の液晶表示装置用アレー基板。

【請求項 28】 前記第 1 コンタクトホールは、前記データ配線の下方に延在することを特徴とする請求項 21 に記載の液晶表示装置用アレー基板。

【請求項 29】 前記透明導電性物質は、ITOであることを特徴とする請求項 21 に記載の液晶表示装置用アレー基板。

【請求項 30】 前記保護層は、アクリル樹脂であることを特徴とする請求項 21 に記載の液晶表示装置用アレー基板。

【請求項 31】 基板上にストレージ電極を含むゲート配線と、前記ゲート配線と平行に前記ゲートラインから一定間隔をおいて離隔された共通配線とを第 1 の方向に形成する段階と；前記ゲート配線及び共通配線上にゲート絶縁膜を形成する段階と；前記ゲート絶縁膜上に半導体層を形成する段階と；前記半導体層とオーバーラップして配置され、ドレイン電極を含むと共に透明導電性物質からなる画素電極と、前記ドレイン電極と離隔されて配置されると共に透明導電性物質からなるソース電極を形成する段階と；前記ソース電極を露出させる第 1 コンタクトホールと前記画素電極を露出させる開口部とを有する保護層を形成する段階と；前記第 1 コンタクトホールを通して前記ソース電極と接続され、前記ゲート配線と交差するデータ配線を第 2 の方向に形成する段階とを含むことを特徴とする液晶表示装置用アレー基板の製造方法。

【請求項 32】 前記半導体層を形成する段階は、非晶質シリコンからなるアクティブ層と、不純物非晶質シリコンからなるオミックコンタクト層と、チタン(Ti)、クロム(Cr)のうちのいずれか一つの金属層を順序に従って積層することによって形成され、前記ソース電極とドレイン電極との間の区間で前記アクティブ層が露出されるようにすることを特徴とする請求項 31 に記載の液晶表示装置用アレー基板の製造方法。

【請求項 33】 前記ゲート配線の端に前記データ配線と同一物質で形成され、前記ゲート配線と一定間隔オーバーラップして配置されると共に前記ゲート絶縁膜及び保護層に形成された第 2 コンタクトホールを通してゲート配線と接続されるゲートリンクと、前記画素電極と同一物質からなり、前記保護層に形成された第 3 コンタクトホールを通して前記ゲートリンクと接続されるゲート

パッドを形成する段階をさらに含むことを特徴とする請求項 3 1 に記載の液晶表示装置用アレー基板の製造方法。

【請求項 3 4】 前記ゲートリンクは、前記ゲートパッドより広い幅を有することを特徴とする請求項 3 3 に記載の液晶表示装置用アレー基板の製造方法。

【請求項 3 5】 前記データ配線の端部に位置して前記画素電極と同一物質で形成され、前記データ配線と一定間隔オーバーラップして配置されると共に第 4 コンタクトホールを通して前記データ配線と接続されるデータパッドを形成する段階をさらに含むことを特徴とする請求項 3 1 に記載の液晶表示装置用アレー基板の製造方法。

【請求項 3 6】 前記オーバーラップして配置されるデータ配線は、データパッドより大きな幅を有することを特徴とする請求項 3 5 に記載の液晶表示装置用アレー基板の製造方法。

【請求項 3 7】 前記画素電極は、前記ゲート配線とオーバーラップして配置されることを特徴とする請求項 3 1 に記載の液晶表示装置用アレー基板の製造方法。

【請求項 3 8】 前記第 1 コンタクトホールは、前記データ配線の下方に延在することを特徴とする請求項 3 1 に記載の液晶表示装置用アレー基板の製造方法。

【請求項 3 9】 前記透明導電性物質は、ITOであることを特徴とする請求項 3 1 に記載の液晶表示装置用アレー基板の製造方法。

【請求項 4 0】 前記保護層は、アクリル樹脂であることを特徴とする請求項 3 1 に記載の液晶表示装置用アレー基板の製造方法。

【請求項 4 1】 基板上に共通電極を形成する段階と；前記基板上にゲート配線と、前記ゲート配線と平行に一定間隔をおいて離隔されて配置されると共に前記共通電極に隣接して配置される共通配線とを第 1 方向に形成する段階と；前記ゲート配線及び共通配線上にゲート絶縁膜を形成する段階と；前記ゲート絶縁膜上に半導体層を形成する段階と；前記半導体層とオーバーラップして配置されるドレイン電極を含むと共に透明導電性物質からなる画素電極と、前記ドレイン電極と離隔されて配置されると共に透明導電性物質からなるソース電極を形成する段階と；前記ソース電極を露出させる第 1 コンタクトホールと前記画素電極を露出させる開口部とを有する保護層を形成する段階と；前記第 1 コンタクトホールを通して前記ソース電極と接続され、前記ゲート配線と交差する第 2 の方向に形成されたデータ配線を形成する段階とを含むことを特徴とする液晶表示装置用アレー基板の製造方法。

【請求項 4 2】 基板上の第 1 の方向に形成されると共にストレージ電極を含むゲート配線を形成する段階と；前記ゲート配線上にゲート絶縁膜を形成する段階と；前記ゲート絶縁膜上に半導体層を形成する段階と；前記半導体層とオーバーラップして配置されるドレイン電極を

含むと共に透明導電性物質からなる画素電極と、前記ドレイン電極と離隔されて配置されると共に透明導電性物質からなるソース電極とを形成する段階と；前記ソース電極を露出させる第 1 コンタクトホールと前記画素電極を露出させる開口部とを有する保護層を形成する段階と；前記ゲート配線と交差する第 2 の方向に前記第 1 のコンタクトホールを介して前記ソース電極と接続されたデータ配線を形成する段階とを含むことを特徴とする液晶表示装置用アレー基板の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は液晶表示装置に係り、特に高保存容量と高開口率を有するアレー基板及びその製造方法に関する。

##### 【0002】

【従来の技術】一般的な液晶表示装置は、液晶分子の光学的異方性と分極性質を利用する。液晶分子は構造が細くて長いために分子の配列に方向性を持っており、人為的に液晶に電界を印加して分子配列の方向を制御できる。

【0003】したがって、前記液晶の分子配列方向を任意に調節すると、液晶の分子配列が変わるようになって、光学的異方性によってこの液晶の分子配列方向に光が屈折して画像情報を表現できる。

【0004】現在には薄膜トランジスタ(Thin Film Transistor; TFT)と画素電極が相互連結されて行列方式で配列された能動行列液晶表示装置(Active Matrix LCD: AM-LCD)が解像度及び動映像具現能力が優秀で最も注目されている。

【0005】このような液晶表示装置を構成する基本的な部品である液晶パネルの構造を説明すると次のとおりである。

【0006】図 1 は、従来の液晶表示装置用液晶パネルを部分的に示した概略的な断面図である。

【0007】図示したように、液晶パネル 20 は、相互対向して一定間隔をおいて離隔されたカラーフィルタ基板である上部基板 2 及びアレー基板である下部基板 1 と、この上部及び下部基板 2、1 間に充填された液晶層 10 で構成される。

【0008】この上部基板 2 下部には液晶配列を制御できない部分の光を遮断するブラックマトリックス 9 と、色彩表現及び光を選択透過させるカラーフィルタ 8 が相互一定間隔オーバーラップされて形成されていて、その下部には液晶層 10 に電圧を印加する片側電極である共通電極 12 が形成されている。

【0009】前記下部基板 1 上部には光を透過させる領域で液晶層 10 に電圧を印加する他の片側電極である画素電極 14 が形成されていて、この画素電極 14 と連結されて、この画素電極 14 に電圧を掛けたり遮断するス

イッチの役割をする薄膜トランジスタTが形成されていて、前記画素電極14が形成された画素部内には1フレーム(frame)周期で液晶層10に印加された電圧を一定に維持する保存蓄電器( $C_{ST}$ ; storage capacitor)が構成されている。

【0010】前記保存蓄電器 $C_{ST}$ は、前段ゲート(previous gate)方式と、共通(common)方式に分けることができる。

【0011】前段ゲート方式は、画素電極と前段のゲート配線を一定間隔オーバーラップさせて、その間の蓄電器を保存蓄電器で用いる方式であって、共通方式は画素領域内に別途のキャパシタ電極を形成して、このキャパシタ電極と画素電極間の蓄電器を保存蓄電器で用いる方式である。

【0012】前記共通方式のキャパシタ電極は、上部基板の共通電極と連結して駆動する。

【0013】この際、開口率と収率の面では前段ゲート方式が良いし、画質の面では共通方式が優秀である。

【0014】しかし、最近では、高精度、高画質液晶表示装置の開発に関心が集中しており、前段ゲート方式と共通方式を複合的に採用する方式の保存蓄電器に対する研究が活発になされている。

【0015】図2は、共通方式の保存蓄積容量を有する従来の液晶表示装置用アレー基板を部分的に示した概略的な平面図である。

【0016】図示したように、ゲート電極22を含むゲート配線26が横方向に形成されていて、このゲート配線26と平行な方向に一定間隔をおいて離隔されている共通方式の共通配線24が形成されていて、前記ゲート電極22を覆う領域に半導体層30が形成されていて、前記半導体層30と一定面積オーバーラップされると共に、相互に離隔されてソース及びドレイン電極32、34が形成されていて、前記ソース電極32と連結されて前記ゲート配線26及び共通配線24と交差するデータ配線36が縦方向に形成されている。

【0017】前記ゲート配線26及びデータ配線36が交差する領域内で定義される画素領域には画素電極46が形成されていて、前記画素領域内には前記共通配線24とオーバーラップされる位置に一定面積を有し、前記データ配線36と同一物質で構成されたストレージ電極38が形成されている。

【0018】前記ゲート電極22、半導体層30、ソース電極32及びドレイン電極34を合わせて薄膜トランジスタTと呼ぶ。

【0019】前記ドレイン電極34と画素電極46は、第1コンタクトホール42によって連結されて、画素電極46とストレージ電極38は第2コンタクトホール44によって連結される。

【0020】図面に提示しなかったが、前記共通配線24とストレージ電極38間にはゲート絶縁膜が介在され

て、前記ストレージ電極38と画素電極46間には前記薄膜トランジスタTの電気的特性を保護する役割をすると共に、上述した第1コンタクトホール42及び第2コンタクトホール44を有する保護層が位置する。

【0021】以下、前記共通配線24、ストレージ電極38と画素電極46間に形成される保存蓄電器に対してさらに詳細に説明する。

【0022】前記蓄電器は、次のような式により与えられる。

$$C = (A/d)$$

(C(capacitance): 静電容量、: 絶縁体の誘電率、A: 電極の面積、d: 電極体間の距離)

ゲート絶縁膜が保護層より薄いので、共通配線24とストレージ電極38間の静電容量が共通配線24と画素電極46間の静電容量より大きい。したがって、前記ストレージ電極38の追加によって保存静電容量は増加する。

【0023】しかし、前記共通配線24とストレージ電極38は、不透明金属物質であるデータ配線36の物質で形成されるために、前記ストレージ電極38の追加は開口率を落とすという問題がある。

【0024】以下、前記液晶表示装置用アレー基板の製造工程を説明する。図3ないし12は、前記図2の従来の液晶表示装置用アレー基板の製造工程を示した概略的な平面図及び断面図である。前記製造工程では蒸着(deposition)、フォトリソグラフィ(photo lithography)、エッチング(etching)工程が何度も繰り返される。

【0025】図3は、従来の液晶表示装置用アレー基板の製造工程を示した概略的な平面図であって、図4は従来の液晶表示装置用アレー基板の製造工程を示した概略的な断面図であるが、ゲート電極22を含むゲート配線26を横方向に、前記ゲート配線26と平行な方向に一定間隔をおいて離隔して共通配線24を形成する段階である。

【0026】前記ゲート配線26及び共通配線24をなす物質は、アルミニウムを含む二重金属層が主に利用される。

【0027】図5は、従来の液晶表示装置用アレー基板の製造工程を示した概略的な平面図であって、図6は従来の液晶表示装置用アレー基板の製造工程を示した概略的な断面図であるが、前記ゲート配線26及び共通配線24が形成された基板上に、ゲート絶縁膜28を基板全面にかけて形成した後、前記ゲート電極22と対応する前記ゲート絶縁膜28上の位置に非晶質シリコン(a-Si)でなされたアクティブ層30aと、不純物を添加した非晶質シリコン(n+ a-Si)で形成されたオーミックコンタクト層(ohmic contact layer)30bとで構成された半導体層30を形成する段階である。

【0028】前記オーミックコンタクト層30bは、その下部層をなすアクティブ層30aと後続工程で形成される金属層との間の接触抵抗を低める役割をするものであって、イオンドーピング(iondoping)工程を経て非晶質シリコンの電子移動度を高めた物質である。

【0029】図7は、従来の液晶表示装置用アレー基板の製造工程を示した概略的な平面図であって、図8は従来の液晶表示装置用アレー基板の製造工程を示した概略的な断面図であるが、前記半導体層30が形成された基板上に、前記ゲート配線26及び共通配線24と交差する縦方向に、ソース電極32を含むデータ配線36と、前記ソース電極32と離隔されるドレイン電極34と、前記共通配線24と一定面積オーバーラップされ、前記画素領域内に位置するストレージ電極38を形成する段階である。

【0030】前記データ配線36及びドレイン電極34とストレージ電極38には、モリブデン(Mo)のような化学的耐蝕性が強い金属が主に利用される。

【0031】前記ソース電極32とドレイン電極34とを形成する段階では、前記ソース電極32とドレイン電極34との間の区間のオーミックコンタクト層30bを除去して、前記アクティブ層30aを露出させてチャンネルchを形成する工程が含まれる。

【0032】図9は、従来の液晶表示装置用アレー基板の製造工程を示した概略的な平面図であって、図10は従来の液晶表示装置用アレー基板の製造工程を示した概略的な断面図であるが、前記データ配線36及びストレージ電極38が形成された基板上の前記ドレイン電極34及びストレージ電極38と対応する位置に各々形成された第1コンタクトホール42及び第2コンタクトホール44を含む保護層40を形成する段階である。

【0033】図11は、従来の液晶表示装置用アレー基板の製造工程を示した概略的な平面図であって、図12は従来の液晶表示装置用アレー基板の製造工程を示した概略的な断面図であるが、前記保護層40が形成された基板上に、前記第1コンタクトホール42及び第2コンタクトホール44を通して各々ドレイン電極34及びストレージ電極38と連結される画素電極46を形成する段階である。

【0034】前記画素電極46をなす物質としてITO(Indium Tin Oxide)またはIZO(Indium Zinc Oxide)が主に利用される。

【0035】前記第2コンタクトホール44は、前記画素電極46とストレージ電極38を連結させて、前記画素電極46によってストレージ電極38が電極としての役割をして、共通配線24と共に保存蓄電器 $C_{ST}$ を形成する。

【0036】すなわち、前記画素電極46と連結されるストレージ電極38をさらに形成すると、このストレ

ジ電極38と共通配線24間の距離が狭まって、既存の単一キャパシタ電極より保存蓄電容量を増やすことができる。

【0037】しかし、前記画素領域で不透明金属物質でなされたストレージ電極38が占める領域Aは開口率を落とす領域になる。

【0038】すなわち、このような保存蓄電器 $C_{ST}$ 構造を有する液晶表示装置用アレー基板では開口率と保存静電容量を同時に向上させることはむずかしい。

【0039】

【発明が解決しようとする課題】前記問題点を解決するために、本発明では従来のものより保存静電容量を減少させず、開口率を向上させることができる高画質、高精度液晶表示装置用アレー基板を提供することを目的とする。

【0040】すなわち、本発明では従来のものより開口率を向上させながら保存蓄電器の電極体間距離を狭めることができるアレー工程を提案して、従来のIOP(I TO on passivation)構造に比べて保存静電容量を落とさずに、開口率を増やすことができるようにするものである。

【0041】

【課題を解決するための手段】前記目的を達成するために、本発明の1つの態様によれば、基板と；前記基板上部の第1方向に形成されたゲート配線と；前記ゲート配線と平行に一定間隔をおいて離隔されて配置され、前記ゲート配線と同一物質で形成された共通配線と；前記ゲート配線及び共通配線の上に形成されたゲート絶縁膜と；前記ゲート絶縁膜上に形成された半導体層と；前記半導体層とオーバーラップされて形成されたドレイン電極を含むと共に透明導電性物質で形成された画素電極と；前記ドレイン電極と離隔されて配置されると共に透明導電性物質でなされたソース電極と；前記ソース電極を露出させる第1コンタクトホールと前記画素電極を露出させる開口部とを有すると共に前記画素電極及びソース電極の上に形成された保護層と；前記第1コンタクトホールを通して前記ソース電極と接続され、前記ゲート配線と交差する第2方向に形成されたデータ配線を含む液晶表示装置用アレー基板を提供する。

【0042】本発明の他の態様によれば、基板と；前記基板上に形成された共通電極と；前記基板上の第1の方向に形成されたゲート配線と；前記ゲート配線と平行に一定間隔をおいて離隔されて配置されると共に、前記ゲート配線と同一物質でなされて、前記共通電極と隣接して配置される共通配線と；前記ゲート配線及び共通配線上に形成されたゲート絶縁膜と；前記ゲート絶縁膜上に形成された半導体層と；前記半導体層上に透明導電性物質で形成されると共に、前記半導体層とオーバーラップして形成されたドレイン電極を含む画素電極と；前記ドレイン電極と離隔されて配置されると共に透明導電性物

質で形成されたソース電極と；前記ソース電極を露出させる第 1 コンタクトホールと前記画素電極を露出させる開口部とを有する保護層と；前記第 1 コンタクトホールを通して前記ソース電極と接続されると共に、前記ゲート配線と交差する第 2 の方向に形成されたデータ配線を含む液晶表示装置用アレー基板を提供する。

【0043】本発明のさらなる態様によれば、基板と；前記基板上の第 1 の方向に形成されると共にストレージ電極を含むゲート配線と；前記ゲート配線上に形成されたゲート絶縁膜と；前記ゲート絶縁膜上に形成された半導体層と；前記ゲート配線とオーバーラップして配置されると共に、前記半導体層とオーバーラップされて形成されたドレイン電極を含んで透明導電性物質で形成された画素電極と；前記ドレイン電極と離隔されて配置されると共に透明導電性物質で形成されたソース電極と；前記ソース電極を露出させる第 1 コンタクトホールと前記画素電極を露出させる開口部とを有する保護層と；前記第 1 コンタクトホールを通して前記ソース電極と接続され、前記ゲート配線と交差する第 2 の方向に形成されたデータ配線を含む液晶表示装置用アレー基板を提供する。

【0044】本発明のさらなる態様によれば、基板上のストレージ電極を含むゲート配線と、前記ゲート配線に平行に前記ゲート配線から一定間隔をおいて離隔された共通配線とを第 1 の方向に形成する段階と；前記ゲート配線及び共通配線上にゲート絶縁膜を形成する段階と；前記ゲート絶縁膜上に半導体層を形成する段階と；前記半導体層とオーバーラップするドレイン電極を含むと共に透明導電性物質で形成された画素電極と、前記ドレイン電極と離隔されて配置されると共に透明導電性物質で形成されたソース電極を形成する段階と；前記ソース電極を露出させる第 1 コンタクトホールと前記画素電極を露出させる開口部とを有する保護層を形成する段階と；前記第 1 コンタクトホールを通して前記ソース電極と接続されると共に、前記ゲート配線と交差するデータ配線を第 2 の方向に形成する段階とを含む液晶表示装置用アレー基板の製造方法を提供する。

【0045】本発明のさらなる態様によれば、基板上に共通電極を形成する段階と；前記基板上にゲート配線と前記ゲート配線と平行に一定間隔をおいて離隔されて配置されると共に、前記共通電極と隣接して配置される共通配線を第 1 の方向に形成する段階と；前記ゲート配線及び共通配線上にゲート絶縁膜を形成する段階と；前記ゲート絶縁膜上に半導体層を形成する段階と；前記半導体層とオーバーラップするドレイン電極を含むと共に透明導電性物質からなる画素電極と、前記ドレイン電極と離隔されて配置されると共に透明導電性物質からなるソース電極とを形成する段階と；前記ソース電極を露出させる第 1 コンタクトホールと前記画素電極を露出させる開口部とを有する保護層を形成する段階と；前記第 1 コ

ンタクトホールを通して前記ソース電極と接続されると共に、前記ゲート配線と交差する第 2 の方向に形成されたデータ配線を形成する段階とを含む液晶表示装置用アレー基板の製造方法を提供する。

【0046】本発明のさらなる態様によれば、基板上の第 1 の方向に形成されてストレージ電極を含むゲート配線を形成する段階と；前記ゲート配線上にゲート絶縁膜を形成する段階と；前記ゲート絶縁膜上に半導体層を形成する段階と；前記半導体層とオーバーラップするドレイン電極を含むと共に透明導電性物質からなる画素電極と、前記ドレイン電極と離隔されて配置されると共に透明導電性物質からなるソース電極を形成する段階と；前記ソース電極を露出させる第 1 コンタクトホールと前記画素電極を露出させる開口部とを有する保護層を形成する段階と；前記第 1 コンタクトホールを通して前記ソース電極と接続されると共に、前記ゲート配線と交差する第 2 の方向にデータ配線を形成する段階とを含む液晶表示装置用アレー基板の製造方法を提供する。

【0047】【発明の実施の形態】以下、本発明による望ましい実施例を図面を参照して説明する。本発明の液晶表示装置用アレーは、アレー製造工程中のソース及びドレイン電極形成工程で透明導電性物質を利用してソース及びドレイン電極と画素電極を形成して、保護層形成工程後にデータ配線を形成することによって、既存より保存蓄電器の電極体間の距離を狭めることを共通的な特徴とする。

【0048】<第 1 実施例>第 1 実施例では、上述したように従来のものより画素電極と単一キャパシタ電極間の距離を狭めることによって、第 2 のキャパシタ電極を省略した液晶表示装置用アレー基板及びその製造方法に関する。

【0049】図 13 は、本発明の第 1 実施例による液晶表示装置用アレー基板の概略的な平面図である。

【0050】図示したように、ゲート電極 102 を含むゲート配線 106 が第 1 の方向に形成されていて、前記ゲート配線 106 と平行な方向に一定間隔をおいて離隔されて、前記ゲート配線 106 と同一物質からなる共通配線 104 が形成され、前記ゲート電極 102 を覆う位置に半導体層 110 が形成され、前記半導体層 110 とオーバーラップされ、相互に一定間隔をおいて離隔されたソース電極 112 とドレイン電極 114 が形成されていて、前記ドレイン電極 114 と接続されると共に、前記ドレイン電極 114 と同一物質からなる画素電極 116 が形成されている。

【0051】そして、前記ゲート配線 106 及び共通配線 104 と交差する第 2 の方向にはデータ配線 134 が形成されていて、このデータ配線 134 は前記データ配線 134 上に位置する第 1 コンタクトホール 124 によって、前記ソース電極 112 と接続されている。

【0052】前記ゲート配線 106 とデータ配線 134



が交差する領域は、画素領域として定義されるが、この画素領域と対応する面積を有し、前記画素電極 116 を露出させる開口部 132 が形成されている。

【0053】前記開口部 132 及び第 1 コンタクトホール 124 は、図示しなかった保護層に含まれる。

【0054】前記開口部 132 は、画素電極 116 で生成する電界の強さが弱まることを防止するために、前記画素領域上の保護層を除去した領域である。

【0055】そして、前記ソース電極 112 とドレイン電極 114 と画素電極 116 は、透明導電性物質で形成されるが、前記透明導電性物質としては ITO、IZO、ITZO (Indium Tin Zinc Oxide) を挙げることができ、このうち、外部回路との接触特性が優れた ITO で形成することが最も望ましい。

【0056】しかし、前記透明導電性物質は、一般的なゲート配線及びデータ配線を形成する物質より抵抗率値が大きいため、前記半導体層 110 を構成することにおいて、前記半導体層 110 とソース電極 112 とドレイン電極 114 との間に透明導電性物質と半導体物質間の接触抵抗を緩和させることができるチタン (Ti) またはクロム (Cr) 中いずれか一つの物質を緩衝層で含むことを特徴とする。

【0057】そして、前記画素電極 116 は、開口率向上目的で、前段のゲート配線 106 と一定面積オーバーラップされて構成される。

【0058】すなわち、前記第 1 実施例による液晶表示装置用アレー基板が有する保存蓄電器 C<sub>1</sub> は、共通配線 104 と画素電極 116 間にオーバーラップされる網目紋が表示された領域であって、本発明では画素電極 116 の形成工程を保護層形成工程前に実行することによって、画素電極 116 と共通配線 104 間の距離を狭めることが可能であり、別途のストレージ電極の形成をせずに既存水準の保存静電容量を確保しながら、従来に比べて開口率も向上させることができる効果を有する。

【0059】そして、本発明では前記ゲート電極 102、半導体層 110、ソース電極 112、ドレイン電極 114 からなる薄膜トランジスタ T<sub>1</sub> を構成することにおいて、従来の薄膜トランジスタ T と比較した場合に、前記半導体層 110 の上部層に別途の緩衝層を形成する点と、前記ソース電極 112 とドレイン電極 114 とを透明導電性物質で形成する点と、前記ドレイン電極 114 を画素電極 116 から延長形成するという点と、前記ソース電極 112 をデータ配線 134 と別途の第 1 コンタクトホール 124 を通して接続するという点で異なる。

【0060】以下、前記実施例 1 による液晶表示装置用アレー基板の製造工程について説明する。

【0061】図 14 ないし 23 は、本発明の第 1 実施例による液晶表示装置用アレー基板を製造段階別に示した

平面図及び断面図である。

【0062】図 14 は、本発明の第 1 実施例による液晶表示装置用アレー基板の製造工程を示した概略的な平面図であって、図 15 は本発明の第 1 実施例による液晶表示装置用アレー基板の製造工程を示した概略的な断面図であり、透明基板 100 上の第 1 方向にゲート電極 102 を含むゲート配線 106 を、前記ゲート配線 106 と平行な方向に一定間隔をおいて離隔される共通配線 104 を形成する段階を示す。

【0063】前記ゲート配線 106 及び共通配線 104 は、下部層をアルミニウムネオジム (AlNd) で形成し、その上部層をモリブデン (Mo) のように化学的耐蝕性が高い金属で形成された二重層で形成することが望ましい。

【0064】図 16 は、本発明の第 1 実施例による液晶表示装置用アレー基板の製造工程を示した概略的な平面図であって、図 17 は本発明の第 1 実施例による液晶表示装置用アレー基板の製造工程を示した概略的な断面図であり、前記ゲート配線 106 及び共通配線 104 が形成された基板上にゲート絶縁膜 108 及び別途の緩衝層 110c を有する半導体層 110 を形成する段階を示す。

【0065】前記製造段階に対する最も望ましい工程例としては、前記ゲート配線 106 及び共通配線 104 が形成された基板上にシリコン窒化膜 (SiNx) を蒸着してゲート絶縁膜 108 を形成して、連続的に非晶質シリコン (a-Si)、不純物非晶質シリコン (n+ a-Si) を PECVD (Plasma Enhanced Chemical Vapor Deposition) を利用して蒸着した後、前記不純物非晶質シリコン上にチタン (Ti) またはクロム (Cr) 中いずれか一つの金属物質をスパッタリング (sputtering) 蒸着を利用して蒸着した後、前記非晶質シリコン、不純物非晶質シリコン、金属物質をパターニング (patterning) して各々アクティブ層 110a、オーミックコンタクト層 110b、緩衝層 110c を形成する。

【0066】前記緩衝層 110c は、追って前記半導体層 110 上に形成される透明導電性物質と前記半導体層 110 との間の接触抵抗を緩和させるために形成するものである。

【0067】図 18 は、本発明の第 1 実施例による液晶表示装置用アレー基板の製造工程を示した概略的な平面図であって、図 19 は本発明の第 1 実施例による液晶表示装置用アレー基板の製造工程を示した概略的な断面図であり、前記緩衝層 110c を含む半導体層 110 が形成された基板上に、透明導電性物質を利用してドレイン電極 114 を含む画素電極 116 と前記ドレイン電極 114 に対して一定間隔をおいて離隔されて配置されるソース電極 112 とを形成する段階を示す。

【0068】この段階では前記画素電極 116 の一部領



域を延ばしてドレイン電極 114 を形成することを特徴とする。

【0069】前記ソース電極 112 は、後続工程でデータ配線と接続される。前記ソース電極 112 とドレイン電極 114 と画素電極 116 を構成する物質は、透明導電性物質中 ITO であることが最も望ましい。

【0070】前記断面図に示したように、前記透明導電性物質はドレイン電極 114 と画素電極 116 が連続でつながって形成されていて、前段のゲート配線 106 と一定間隔オーバーラップされるように形成する。

【0071】前記前段ゲート配線 106 とオーバーラップされて形成される蓄電器は、保存蓄電器としての目的よりむしろ開口率向上の目的を有する。

【0072】この段階では、ソース電極 112 とドレイン電極 114 と画素電極 116 を形成した後、前記ソース電極 112 とドレイン電極 114 との間の区間に緩衝層 110c とオーミックコンタクト層 110b とを、前記ソース電極 112 とドレイン電極 114 と画素電極 116 のパターニング工程に伴うエッチング工程で除去してその下部層をなすアクティブ層 110a を露出してチャネル CH を形成する段階をさらに含む。

【0073】前記エッチング工程は、乾式エッチング (dry etching) 方式であることが望ましい。

【0074】図 20 は、本発明の第 1 実施例による液晶表示装置用アレー基板の製造工程を示した概略的な平面図であって、図 21 は本発明の第 1 実施例による液晶表示装置用アレー基板の製造工程を示した概略的な断面図であり、前記ソース電極 112 とドレイン電極 114 と画素電極 116 が形成された基板上に、前記ソース電極 112 を一部露出させる第 1 コンタクトホール 124 及び前記画素電極 116 と対応する面積を有し、前記画素電極 116 を露出させる開口部 132 を有する保護層 122 を形成する段階を示す。

【0075】前記断面図を通して見る時、前記開口部 132 は、画素電極 116 上に形成された保護層 122 を除去して形成したものであって、前記画素電極 116 が電圧印加時に電界を形成して、この電界によって液晶が配列されるようになるので、前記画素電極 116 上に位置する保護層 122 を除去することによって、前記開口部 132 は、画素電極 116 によって生成する電界の強さが弱まることを防止する。

【0076】本発明で、前記画素電極 116 を保護層 122 を形成する前の工程で形成する理由は、上述したように蓄電器の容量は二電極体間の距離と比例関係であるために、画素電極 116 と共通配線 104 との間隔を狭めるためである。

【0077】すなわち、従来のアレー工程では保護層形成工程の次に画素電極工程が進められるので、画素電極と共通配線間にはゲート絶縁膜と保護層で構成された二重層の絶縁層が介在されて、前記電極体間の距離を狭め

るための方法として、データ配線物質でなされたストレージ電極を形成する方法が利用されることによって、このような構造による開口率低下を甘受しなけりなかつた。

【0078】しかし、前記本発明による第 1 実施例では画素電極 116 の形成工程を保護層 122 の形成工程より先行して進めるので、別途のストレージ電極を形成しなくても既存のような水準の保存静電容量を確保すると同時に、開口率まで向上させることができる効果を有する。

【0079】前記保護層 122 は、絶縁物質でなされ、望ましくは段差特性が優秀なアクリル樹脂 (acrylate resin) で形成する。

【0080】図 22 は、本発明の第 1 実施例による液晶表示装置用アレー基板の製造工程を示した概略的な平面図であって、図 23 は本発明の第 1 実施例による液晶表示装置用アレー基板の製造工程を示した概略的な断面図であり、前記保護層 122 が形成された基板上の、前記ゲート配線 106 及び共通配線 104 と交差する第 2 の方向に、前記第 1 コンタクトホール 124 を通してソース電極 112 と接続されるデータ配線 134 を形成する段階を示す。

【0081】前記データ配線 134 は、化学的耐蝕性が強く、機械的な強度が高いモリブデン (Mo)、ニッケル (Ni)、クロム (Cr)、タングステン (W) 中いずれか一つの金属で形成することが望ましい。

【0082】前記断面図で示したように、本発明では別途のストレージ電極の構成なしに、ゲート絶縁膜 108 でなされた単一層を絶縁体として、共通配線 104 と画素電極 116 を二電極体として保存蓄電器を構成することによって、従来のものの保存静電容量水準を維持しながらも、保存蓄電器 C<sub>1</sub> 形成領域を減らすことができ、従来より開口率を向上させることができる。

【0083】そして、前記液晶表示装置用アレー基板を外部回路と接続するために、前記ゲート配線及びデータ配線の端に各々ゲート及びデータパッドを構成する。

【0084】以下、記述される内容は前記図 14 ないし 23 による製造段階に示されるゲート及びデータパッド部構造に対する説明である。

【0085】図 24 ないし 27 は、前記第 1 実施例によるゲート及びデータパッドの平面図及び断面図である。

【0086】図 24 は、本発明の第 1 実施例による液晶表示装置用アレー基板のゲートパッドの概略的な平面図であって、図 25 は本発明の第 1 実施例による液晶表示装置用アレー基板のゲートパッドの概略的な断面図であるが、ゲート配線 106 の端部に一定間隔をおいて離隔されてゲートパッド 118 が形成されていて、このゲート配線 106 及びゲートパッド 118 はゲートリンク部 136 によって相互連結されている。

【0087】前記ゲートリンク部 136 とゲート配線 1

06及びゲートリンク部136とゲートパッド118は各々第2コンタクトホール126及び第3コンタクトホール128を通して接続される。

【0088】前記第3コンタクトホール128は、その左側はゲート配線106とゲートパッド118を接続して、右側は前記ゲートパッド120と外部回路を接続する役割をする。

【0089】前記ゲートパッド118は、前記図18の画素電極形成工程で透明導電性物質で形成されることを特徴とし、前記ゲートリンク部136はデータ配線形成工程でデータ配線(図示せず)と同一物質で形成されることを特徴とする。

【0090】前記ゲートパッド118を前記画素電極形成工程で形成する理由は、画素電極(図18の116)を形成する透明導電性物質は一般的に外部回路との接続のためのパッド電極で利用されているため、別途のパッド電極を構成せずに前記ゲートパッド118を通して直ちに外部回路と接続するためである。

【0091】前記断面図は、前記ゲートリンク部136と接続されたゲートパッド118部の断面構造に係り、透明基板100上にはゲート絶縁膜108、ゲートパッド118、保護層122、ゲートリンク部136が順序どおり積層されるが、前記保護層122には前記ゲートパッド118を一部露出させる第3コンタクトホール128が形成されていて、前記第3コンタクトホール128を通して前記ゲートリンク部136はゲートパッド118と接続されている。

【0092】この際、前記ゲート配線106とゲートパッド118の安定した接続のために、前記ゲートリンク部136の幅はゲートパッド118幅より一定の幅だけ広く形成することが望ましい。

【0093】図26は、本発明の第1実施例による液晶表示装置用アレー基板のデータパッドの概略的な平面図であって、図27は本発明の第1実施例による液晶表示装置用アレー基板のデータパッドの概略的な断面図であるが、データ配線134が形成されていて、このデータ配線134の端部と一定間隔オーバーラップされてデータパッド120が形成されている。

【0094】前記データパッド120は、前記図24のゲートパッド118と同一の工程で同一物質で形成されることを特徴とする。

【0095】すなわち、前記データパッド120は、画素電極116の形成工程で形成されるので、前記データパッド120を形成した後に、前記データパッド120と連結されてデータ配線134を形成する。

【0096】前記データパッド120の部分においては、データ配線134とデータパッド120との間の安定した接続のために、前記データパッド120とオーバーラップするデータ配線134の端部を前記データパッド120と一定の面積だけ重複するように形成すること

が望ましい。

【0097】前記データ配線134とデータパッド120は前記第4コンタクトホール130を通して接続され、前記第4コンタクトホール130は、前記データ配線134とデータパッド120との間の接続だけでなく、前記データパッド120と外部回路とを接続させる。

【0098】前記断面図では、透明基板100上にゲート絶縁膜108、データパッド120、保護層122、データ配線134が順序どおり積層されているが、前記保護層122にはデータ配線134とデータパッド120を連結させるデータパッドコンタクトホール130が形成されている。

【0099】このように、本発明によるゲート及びデータパッド部構造は、画素電極工程を保護層形成工程前に行うことによって、工程数の増加なしに各パッド部の積層構造を単純化させることができる長所を有する。

【0100】以下、前記第1実施例と保存蓄電器を異なるように構成する他の実施例について説明する。

【0101】<第2実施例>図28は、本発明の第2実施例による液晶表示装置用アレー基板の概略的な平面図である。

【0102】図示したように、前記第2実施例による保存蓄電器 $C_2$ は、画素領域内に位置し、透明導電性物質でなされた共通電極202と、この共通電極202と接続され、ゲート配線208と平行な方向に一定間隔を置いて離隔されて形成された共通配線206と、この共通配線206から絶縁体によって絶縁されて、前段ゲート配線208と一定面積オーバーラップすると共に、前記共通電極202を含む画素領域に形成されて、透明導電性物質からなる画素電極218によって構成される。

【0103】そして、前記画素電極218と対応する領域には前記画素電極218を露出させる開口部224が形成されている。

【0104】前記共通配線206は、図示していない上部基板の共通電極を通して電圧を印加される方式で駆動されて、この共通配線206と接続されるように形成された共通電極202に電圧を印加する。

【0105】すなわち、第2実施例では透明導電性物質からなる共通電極202を構成することによって、開口率を落とさずに、保存静電容量を大幅に増加させることができる効果を有する。

【0106】図面に提示しなかったが、前記共通配線206と画素電極218間に介在された絶縁体はゲート絶縁膜であり、前記開口部224は保護層に含まれる。

【0107】また、前記第2実施例による薄膜トランジスタ、ゲート及びデータ配線、ゲート及びデータパッドの構造は前記第1実施例と同一に構成することができる。

【0108】以下、前記第2実施例の製造工程に対して

説明する。図 29 ないし図 36 は、本発明の第 2 実施例による液晶表示装置用アレー基板の製造工程を示した概略的な図面である。

【0109】図 29 は、本発明の第 2 実施例による液晶表示装置用アレー基板の製造工程を示した概略的な平面図であって、図 30 は本発明の第 2 実施例による液晶表示装置用アレー基板の製造工程を示した概略的な断面図であり、透明基板 100 上の画素領域 P に透明導電性物質を利用して、一定面積を有する共通電極 202 を形成する段階を示す。

【0110】前記透明導電性物質は ITO を使用することが最も望ましい。従来は開口率を考慮して共通配線の面積を開口率を大きく落とさない範囲で形成したが、前記第 2 実施例では透明導電性物質で共通電極 202 を形成することによって、前記第 1 実施例で有する開口率と同一の水準の開口率を維持し、保存静電容量をさらに増やすことができることを特徴とする。

【0111】図 31 は、本発明の第 2 実施例による液晶表示装置用アレー基板の製造工程を示した概略的な平面図であって、図 32 は本発明の第 2 実施例による液晶表示装置用アレー基板の製造工程を示した概略的な断面図であり、前記共通電極 202 が形成された基板上の第 1 の方向にゲート電極 204 を含むゲート配線 208 及び前記ゲート配線 208 と平行な方向に一定間隔をおいて離隔され、前記共通電極 202 とオーバーラップする共通配線 206 を形成する段階を示す。

【0112】この際、断面図と同じく、前記共通配線 206 を前記共通電極 202 と接続されるように構成することを特徴とする。

【0113】この共通配線 206 は、共通方式で駆動されて、この共通配線 206 と接続された共通電極 202 に電圧を印加する。

【0114】図 33 は、本発明の第 2 実施例による液晶表示装置用アレー基板の製造工程を示した概略的な平面図であって、図 34 は本発明の第 2 実施例による液晶表示装置用アレー基板の製造工程を示した概略的な断面図であり、前記ゲート配線 208 及び共通配線 206 が形成された基板上にゲート絶縁膜 210 を形成して、このゲート絶縁膜 210 上のゲート電極 204 と対応する位置にチタン、ニッケルのいずれか一つの金属物質を上部層に含む半導体層 212 を形成して、前記半導体層 212 が形成された基板上に透明導電性物質を利用して前記半導体層 212 とオーバーラップして、相互に一定間隔をおいて離隔されたソース電極 214 とドレイン電極 216 とを形成して、このドレイン電極 216 と接続された画素電極 218 を形成する段階を示す。

【0115】前記断面図では、前記ゲート絶縁膜 210 及び半導体層 212 が形成された基板上に配置された透明導電性物質からなるソース電極 214 とドレイン電極 216 とを画素電極 218 の断面構造と連結させて図示

した。

【0116】前記段階でのゲート絶縁膜 210、半導体層 212、チャンネル CH の形成工程は前記第 1 実施例による該工程と同一に適用することができる。

【0117】図 35 は、本発明の第 2 実施例による液晶表示装置用アレー基板の製造工程を示した概略的な平面図であって、図 36 は本発明の第 2 実施例による液晶表示装置用アレー基板の製造工程を示した概略的な断面図であり、前記ソース電極 214 とドレイン電極 216 と画素電極 218 が形成された基板上に第 1 コンタクトホール 222 及び開口部 224 を有する保護層 220 を形成して、前記第 1 コンタクトホール 222 を通してソース電極 214 と接続されると共に、前記ゲート配線 208 及び共通配線 206 と交差する第 2 の方向に延在するデータ配線 226 を形成する段階を示す。

【0118】前記第 2 実施例では透明導電性物質を使用して共通電極 202 を形成することにより従来のものより画素領域に相当な面積を有するように形成して、このような共通電極 202 に電圧を印加することができる共通配線 206 を構成することによって、前記平面図で網目紋で示した領域のように大容量の保存蓄電器  $C_p$  を有することが可能であり、断面図に示したように、共通電極 202 は透明導電性物質で形成されるために、保存蓄電器  $C_p$  形成領域中の共通配線 206 の形成領域 I のみが開口率減少領域になるので、結果として、前記第 2 実施例では共通電極 202 に対する別途の工程が要求されるが、従来のものより大容量の保存静電容量を確保しながらも開口率を向上させることができる長所を有する。

【0119】一方、図面に提示しないが、前記第 2 実施例によるゲート及びデータパッドは前記第 1 実施例と同一な構造にすることができる。

【0120】以下、本発明による第 3 実施例では前記第 1、2 実施例のように保護層を画素電極上部に形成する工程を適用しながら、保存蓄電器を前段ゲート方式で構成する実施例に関する。

【0121】<第 3 実施例>図 37 は、本発明の第 3 実施例による液晶表示装置用アレー基板の概略的な平面図であって、前記第 1、2 実施例と重複される説明は省略して、保存蓄電器構造を中心に説明する。

【0122】図示したように、第 1 方向にゲート電極 302 及びこのゲート電極 302 と他の辺から延長形成されたストレージ電極 304 と、このストレージ電極 304 を覆いながら画素領域上に形成された画素電極 316 と、この画素電極 316 に接続されて形成されたドレイン電極 314 と、このドレイン電極 314 と一定間隔をおいて離隔されて形成されたソース電極 312 と、このソース電極 312 と第 1 コンタクトホール 320 に接続されたデータ配線 324 が形成されている。

【0123】前記画素電極 316 と対応する領域には画素電極 316 を露出させる開口部 322 が形成されてい

て、この開口部 3 2 2 は画素電極 3 1 6 の上部に形成された図示されていない保護層に形成されたものである。

【 0 1 2 4 】図面に提示しなかったが、前記ストレージ電極 3 0 4 と画素電極 3 1 6 間にはゲート絶縁膜が介在されて前記網目紋で示した領域は、保存蓄電器  $C_3$  をなす。

【０１２５】前記第３実施例では、前段ゲート方式で保存蓄電器を構成するために、上述したように共通方式保存蓄電器構造より開口率の点で有利であり、画素電極上に保護層を形成する構造によって、ストレージ電極と画素電極間の絶縁体をゲート絶縁膜単一層で構成するために、従来の前段ゲート方式より保存静電容量を向上させることができる長所を有する。

【０１２６】図３８は、前記図３７の切断線“ⅠⅠⅠⅩⅤⅠⅠⅠ-ⅠⅠⅠⅩⅤⅠⅠⅠ”によって切断された断面図であって、製造工程を示す図である。

【０１２７】図示したように、前記第３実施例によるストレージ電極３０４は、前段ゲート方式を取る場合には、画素領域Ｐ側に一定方向延長形成されることを特徴として、前記ストレージ電極３０４とオーバーラップしている画素電極３１６と保存蓄電器Ｃ<sub>１</sub>をなす。

【０１２８】そして、前記断面図を参照すると、前記第３実施例による製造工程は、ゲート電極３０２及びストレージ電極３０４を含むゲート配線３０６を形成する段階と、このゲート電極３０２とストレージ電極３０４とを含むゲート配線３０６上にゲート絶縁膜３０８を基板全面にかけて形成する段階と、このゲート絶縁膜３０８が形成された基板上的ゲート電極３０２と対応する位置にチタン、ニッケル中いずれか一つの金属物質からなる上部層を含む半導体層３１０を形成する段階と、この半導体層３１０が形成された基板上に、透明導電性物質を利用して前記半導体層３１０と一部オーバーラップするドレイン電極３１４を含む画素電極３１６とこのドレイン電極３１４と一定間隔をおいて離隔されて配置されるソース電極３１２とを形成する段階と；前記ソース電極３１２とドレイン電極３１４との間の区間にチャネルＣＨを形成する段階と、前記ソース電極３１２及び画素電極３１６を各々露出させる第１コンタクトホール３２０及び開口部３２２を有する保護層３１８を形成する段階と、前記第１コンタクトホール３２０を通してソース電極３１２と接続されるデータ配線３２４を形成する段階とを含む。

【 0 1 2 9 】図面に提示しなかったが、前記ゲート配線 3 0 6 とデータ配線 3 2 4 は、相互に交差する第 1 の方向と第 2 の方向に形成され、前記ゲート配線 3 0 6 とデータ配線 3 2 4 の端に形成されるゲート及びデータパッド部の構造は前記第 1 実施例構造と同様にすることができる。

【0130】しかし、本発明は前記実施例に限らず、本発明の趣旨に外れない範囲で多様に変更して実施でき

\* なる。

【 0 1 3 1 】

【発明の効果】このように、本発明による液晶表示装置用アレー基板ではゲート配線形成工程で共通電極を形成して、ソース及びドレイン電極形成工程で、透明導電性物質を利用してソース及びドレイン電極と画素電極を形成して、その次の工程で保護層を形成することによって、共通電極と画素電極間の距離を狭めることができ、保存静電容量を増やすことができ、これにより別途のストレージ電極を省略できるので、開口率を向上させることができ、ストレージ電極を形成する場合には透明導電性物質を利用して、保存静電容量を大幅に増加させると共に開口率を従来のもより向上させることができる。

【０１３２】また、前記製造工程を適用して、前段ゲート方式でストレージ電極を構成する場合にも、共通方式より開口率を向上させると共に、従来の前段ゲート方式よりストレージ電極と画素電極間の距離を狭めて、保存静電容量を向上させることができるので、本発明による液晶表示装置用アレー基板によると、画質特性と開口率とを共に向上させることができ、製品信頼性及び収率が向上されて、高画質、高精度製品を提供できる長所を有する。

【図面の簡単な説明】

【図１】従来の液晶表示装置用液晶パネルを部分的に示した概略的な断面図。

【図 2】共通方式の保存蓄積容量を有する従来の液晶表示装置用アレー基板を部分的に示した概略的な平面図。

【図 3】従来の液晶表示装置用アレー基板の製造工程を示した概略的な平面図。

【図４】従来の液晶表示装置用アレー基板の製造工程を示した概略的な断面図。

【図 5】従来の液晶表示装置用アレー基板の製造工程を示した概略的な平面図。

【図 6】従来の液晶表示装置用アレー基板の製造工程を示した概略的な断面図。

【図 7】従来の液晶表示装置用アレー基板の製造工程を示した概略的な平面図。

【図 8】従来の液晶表示装置用アレー基板の製造工程を示した概略的な断面図。

【図 9】従来の液晶表示装置用アレー基板の製造工程を示した概略的な平面図。

【図 10】従来の液晶表示装置用アレー基板の製造工程を示した概略的な断面図。

【図 11】従来の液晶表示装置用アレー基板の製造工程を示した概略的な平面図。

【図 12】従来の液晶表示装置用アレー基板の製造工程を示した概略的な断面図。

【図 13】本発明の第 1 実施例による液晶表示装置用アレー基板の概略的な平面図。

【図 14】本発明の第 1 実施例による液晶表示装置用アレー基板の製造工程を示した概略的な平面図。

【図 15】本発明の第 1 実施例による液晶表示装置用アレー基板の製造工程を示した概略的な断面図。

【図 16】本発明の第 1 実施例による液晶表示装置用アレー基板の製造工程を示した概略的な平面図。

【図 17】本発明の第 1 実施例による液晶表示装置用アレー基板の製造工程を示した概略的な断面図。

【図 18】本発明の第 1 実施例による液晶表示装置用アレー基板の製造工程を示した概略的な平面図。

【図 19】本発明の第 1 実施例による液晶表示装置用アレー基板の製造工程を示した概略的な断面図。

【図 20】本発明の第 1 実施例による液晶表示装置用アレー基板の製造工程を示した概略的な平面図。

【図 21】本発明の第 1 実施例による液晶表示装置用アレー基板の製造工程を示した概略的な断面図。

【図 22】本発明の第 1 実施例による液晶表示装置用アレー基板の製造工程を示した概略的な平面図。

【図 23】本発明の第 1 実施例による液晶表示装置用アレー基板の製造工程を示した概略的な断面図。

【図 24】本発明の第 1 実施例による液晶表示装置用アレー基板のゲートパッドの概略的な平面図。

【図 25】本発明の第 1 実施例による液晶表示装置用アレー基板のゲートパッドの概略的な断面図。

【図 26】本発明の第 1 実施例による液晶表示装置用アレー基板のデータパッドの概略的な平面図。

【図 27】本発明の第 1 実施例による液晶表示装置用アレー基板のデータパッドの概略的な断面図。

【図 28】本発明の第 2 実施例による液晶表示装置用アレー基板の概略的な平面図。

【図 29】本発明の第 2 実施例による液晶表示装置用アレー基板の製造工程を示した概略的な平面図。

\* レー基板の製造工程を示した概略的な平面図。

【図 30】本発明の第 2 実施例による液晶表示装置用アレー基板の製造工程を示した概略的な断面図。

【図 31】本発明の第 2 実施例による液晶表示装置用アレー基板の製造工程を示した概略的な平面図。

【図 32】本発明の第 2 実施例による液晶表示装置用アレー基板の製造工程を示した概略的な断面図。

【図 33】本発明の第 2 実施例による液晶表示装置用アレー基板の製造工程を示した概略的な平面図。

10 【図 34】本発明の第 2 実施例による液晶表示装置用アレー基板の製造工程を示した概略的な断面図。

【図 35】本発明の第 2 実施例による液晶表示装置用アレー基板の製造工程を示した概略的な平面図。

【図 36】本発明の第 2 実施例による液晶表示装置用アレー基板の製造工程を示した概略的な断面図。

【図 37】本発明の第 3 実施例による液晶表示装置用アレー基板の概略的な平面図。

【図 38】前記図 37 の切断線 “ I I I X V I I I - I I I X V I I I ” によって切断された断面図。

20 【符号の説明】

102 : ゲート電極

104 : 共通配線

106 : ゲート配線

110 : 半導体層

112 : ソース電極

114 : ドレイン電極

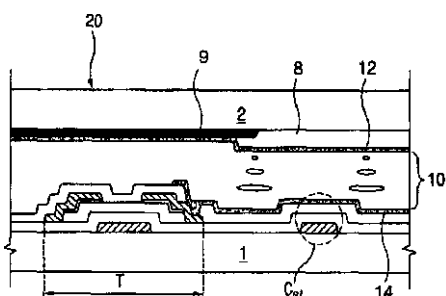
116 : 画素電極

124 : 第 1 コンタクトホール

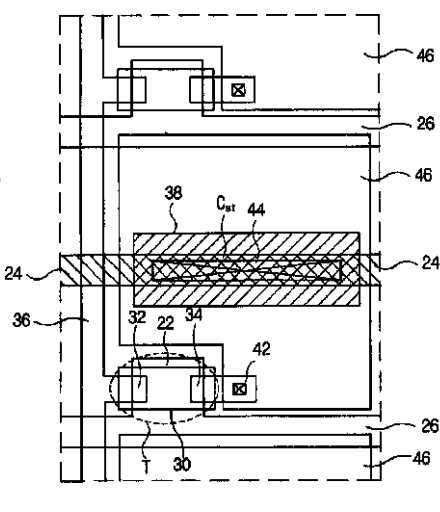
132 : 開口部

30 134 : データ配線

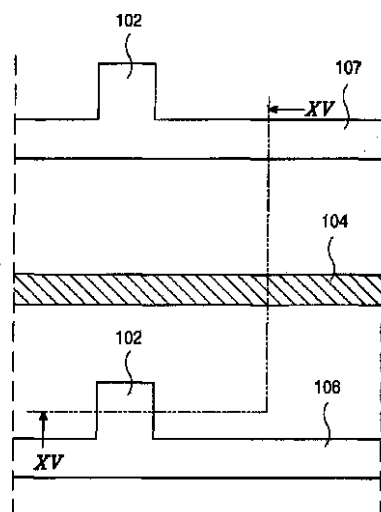
【図 1】



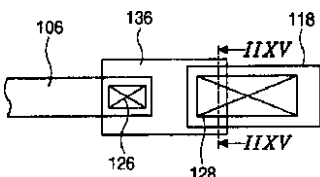
【図 2】



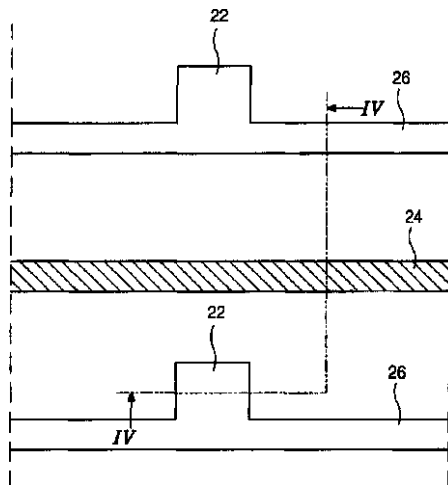
【図 14】



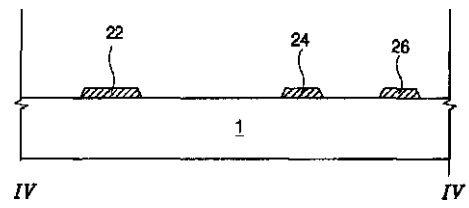
【図 24】



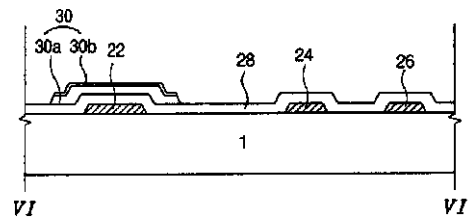
【図 3】



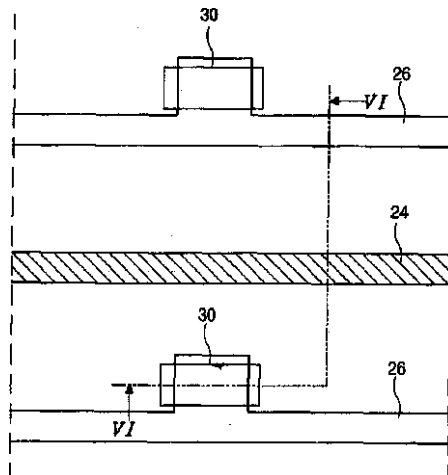
【図 4】



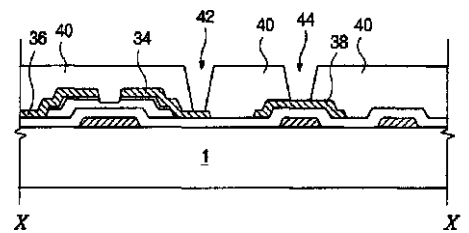
【図 6】



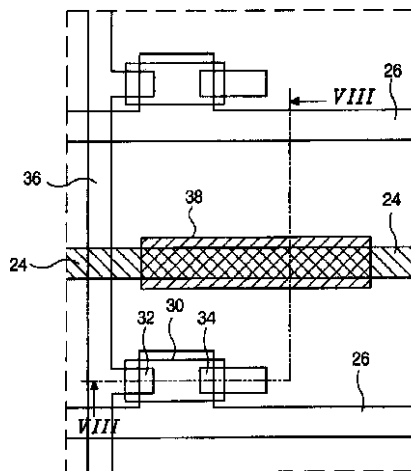
【図 5】



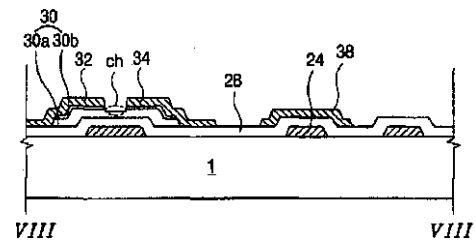
【図 10】



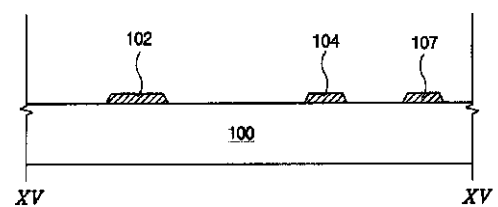
【図 7】



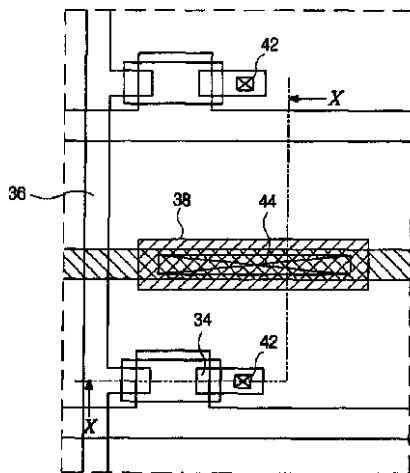
【図 8】



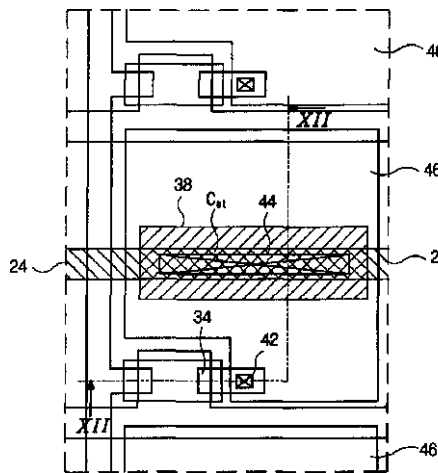
【図 15】



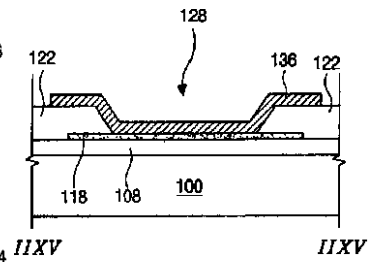
【図 9】



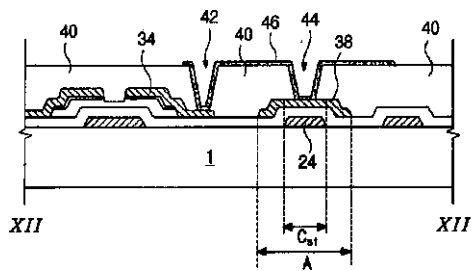
【図 11】



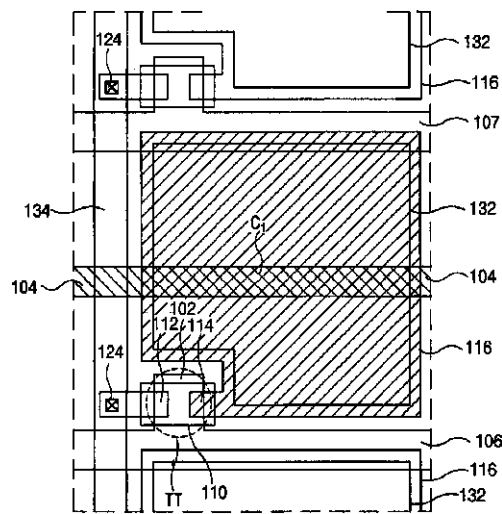
【図 25】



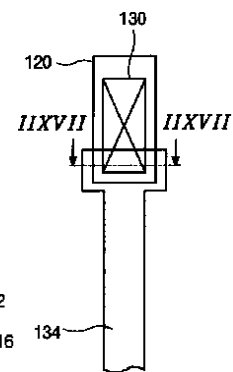
【図 12】



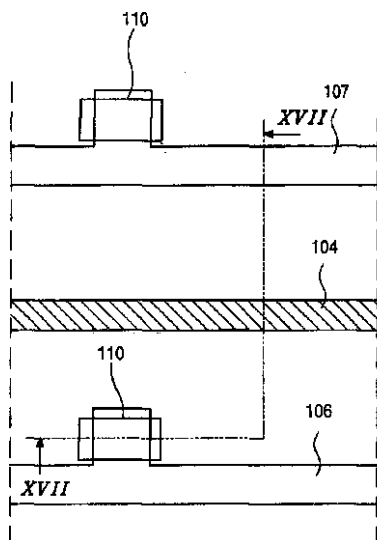
【図 13】



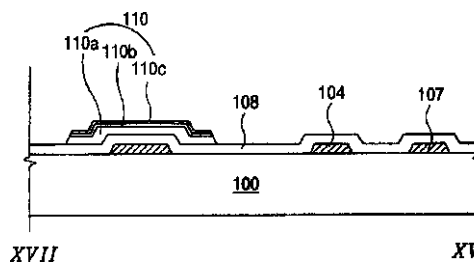
【図 26】



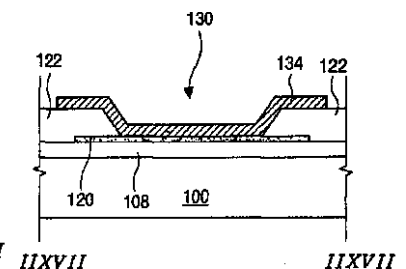
【図 16】



【図 17】

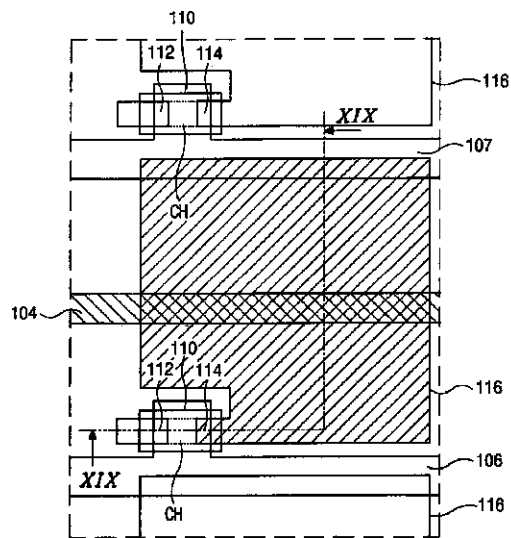


【図 27】

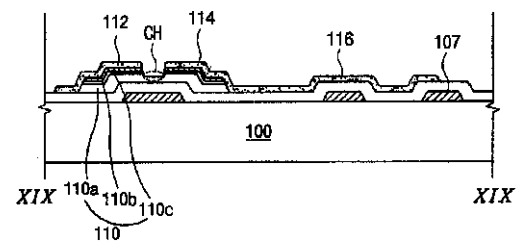




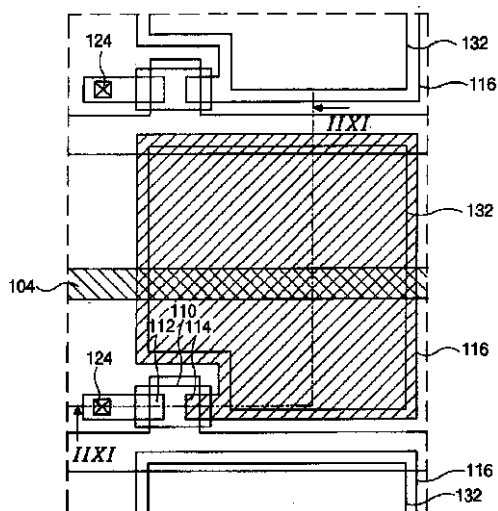
【図 18】



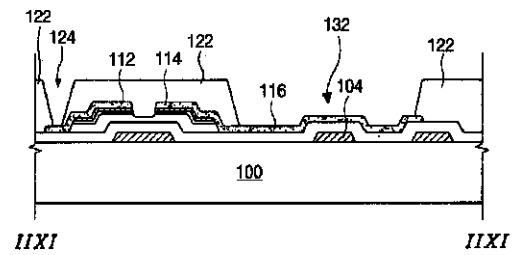
【図 19】



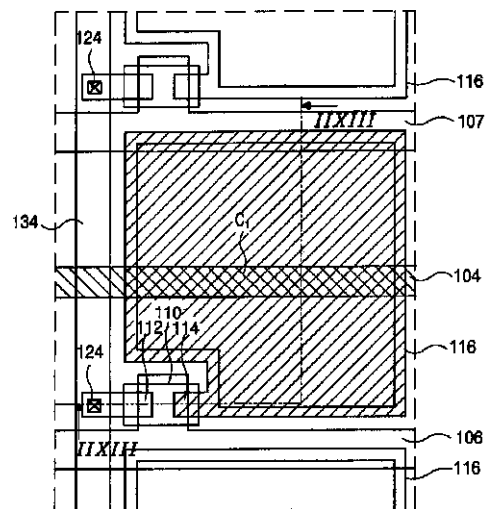
【図 20】



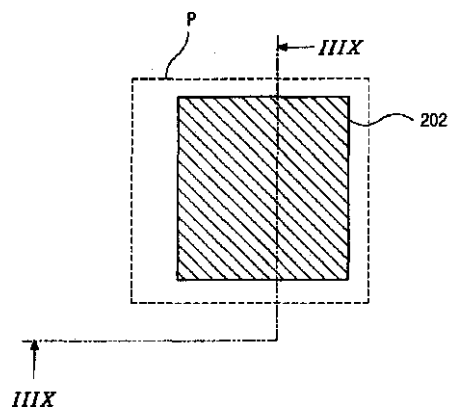
【図 21】



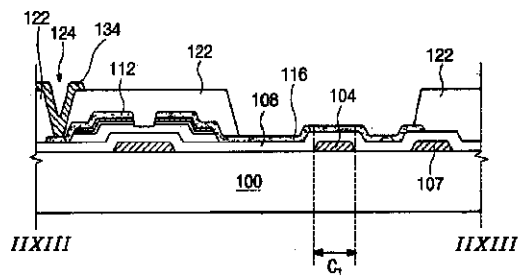
【図 22】



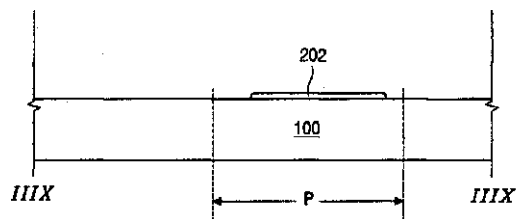
【図 29】



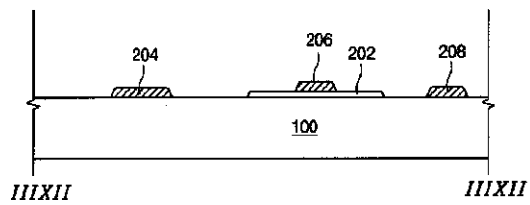
【図 23】



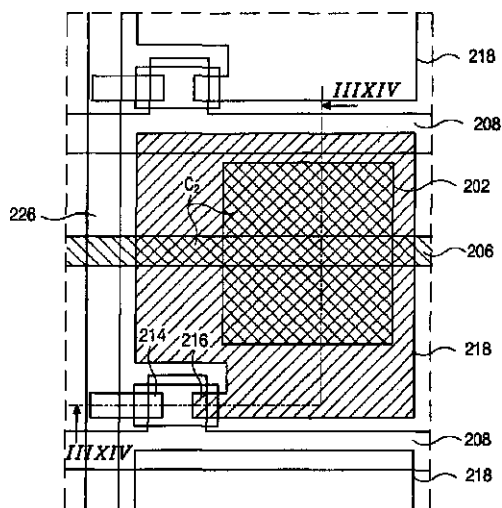
【図 30】



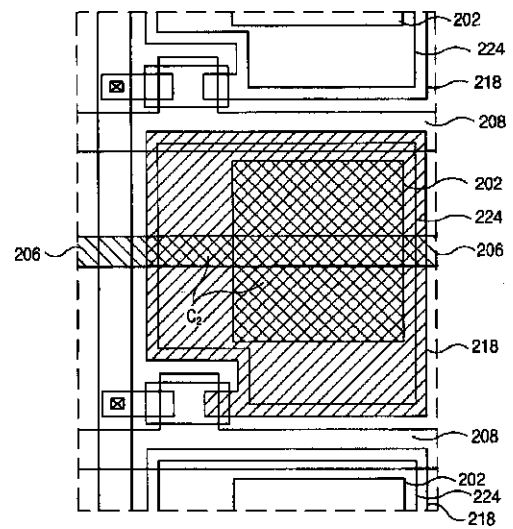
【図 32】



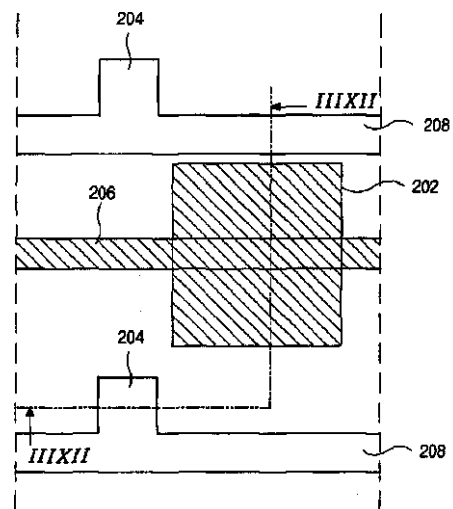
【図 33】



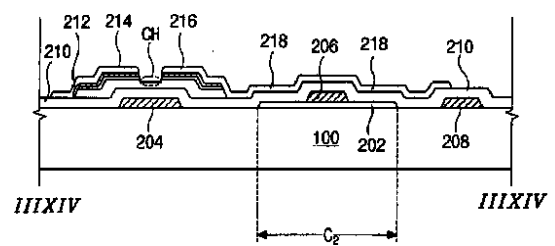
【図 28】



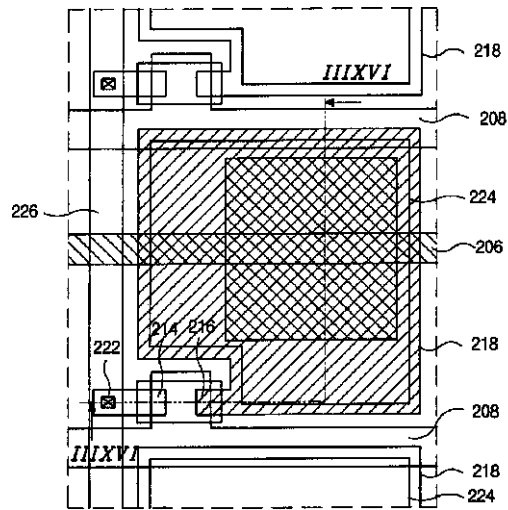
【図 31】



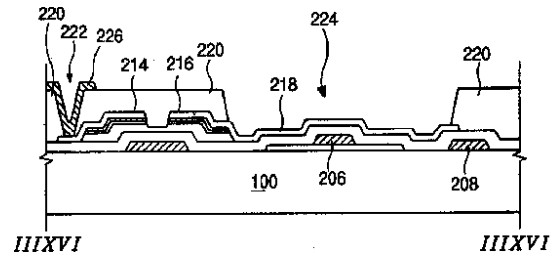
【図 34】



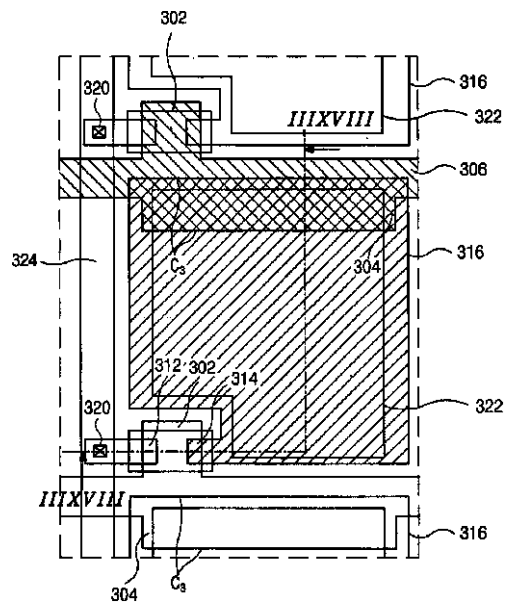
【図 35】



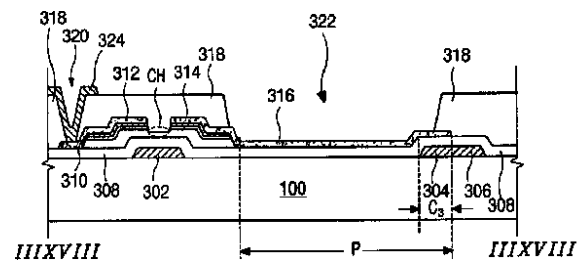
【図 36】



【図 37】



【図 38】



フロントページの続き

- (72)発明者 リー ジェ - キョン  
大韓民国 435 - 040, ギョンギ - ド, グン  
ポ - シ, サンボン - ドン, ウールック ジ  
ューコン アパートメント, 707 - 1701
- (72)発明者 ファン ヨン - サップ  
大韓民国 440 - 302, ギョンギ - ド, スウ  
オン - シ, ジャンガン - グ, ジョンジャ 2  
- ドン, ドンシン アパートメント, 207  
- 804

F ターム(参考) 2H090 HA04 HA06 HB07 HD05 HD07  
LA01  
2H092 GA17 GA25 GA28 HA04 JA24  
JB61 NA07 NA21  
5F110 AA30 BB01 CC07 EE04 EE06  
EE14 FF03 GG02 GG15 GG45  
HK02 HK04 HK09 HK21 HK33  
HK35 HM18 NN72 NN73 QQ09

专利名称(译)	用于液晶显示装置的阵列基板及其制造方法		
公开(公告)号	<a href="#">JP2003043513A</a>	公开(公告)日	2003-02-13
申请号	JP2002156001	申请日	2002-05-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji.菲利普斯杜天公司，有限公司		
[标]发明人	チェジースン リージェキュン ファンヨンサップ		
发明人	チェ ジー-スン リー ジェ-キュン ファン ヨン-サップ		
IPC分类号	G02F1/1333 G02F1/1343 G02F1/136 G02F1/1362 G02F1/1368 H01L29/786		
CPC分类号	G02F1/13458 G02F1/1362 G02F1/136213		
FI分类号	G02F1/1343 G02F1/1333.505 G02F1/1368 H01L29/78.612.C		
F-TERM分类号	2H090/HA04 2H090/HA06 2H090/HB07 2H090/HD05 2H090/HD07 2H090/LA01 2H092/GA17 2H092/GA25 2H092/GA28 2H092/HA04 2H092/JA24 2H092/JB61 2H092/NA07 2H092/NA21 5F110/AA30 5F110/BB01 5F110/CC07 5F110/EE04 5F110/EE06 5F110/EE14 5F110/FF03 5F110/GG02 5F110/GG15 5F110/GG45 5F110/HK02 5F110/HK04 5F110/HK09 5F110/HK21 5F110/HK33 5F110/HK35 5F110/HM18 5F110/NN72 5F110/NN73 5F110/QQ09 2H190/HA04 2H190/HA06 2H190/HD05 2H190/HD07 2H190/LA01 2H192/AA24 2H192/CB05 2H192/CB61 2H192/CC32 2H192/CC44 2H192/DA02 2H192/DA12 2H192/DA42 2H192/DA63 2H192/DA65 2H192/FA65		
优先权	1020010029811 2001-05-29 KR		
外部链接	<a href="#">Espacenet</a>		

# 摘要(译)

解决的问题：提供一种用于高图像质量和高精度液晶显示装置的阵列基板，与现有基板相比，该阵列基板能够在不减小存储电容的情况下提高开口率。在用于液晶显示装置的阵列基板中，基板：在第一方向上形成在基板的上部上的栅极布线；平行于栅极布线并隔开一定距离地形成的公共布线。布线；形成在栅极布线和公共布线上的栅极绝缘膜；形成在栅极绝缘膜上的半导体层；形成为与半导体层和透明导电材料重叠的漏电极 源电极由透明导电材料制成并与漏电极分开；第一接触孔暴露出源电极，而开口暴露出像素电极。一种液晶显示装置，包括：形成在电极上的保护层；数据线，该数据线通过第一接触孔连接到源极并在与栅极线相交的第二方向上形成 提供一种阵列基板供使用。

