

(51) Int.Cl. ⁷	識別記号	F I	テ-マコード [*] (参考)
G 0 9 F 9/30	338	G 0 9 F 9/30	338 2 H 0 9 2
	339		339 Z 5 C 0 9 4
G 0 2 F 1/1343		G 0 2 F 1/1343	5 F 0 3 3
1/1368		G 0 9 F 9/00	338 5 F 1 1 0
G 0 9 F 9/00	338	G 0 2 F 1/136	500 5 G 4 3 5
審査請求 未請求 請求項の数 6 O L (全 7 数) 最終頁に続く			

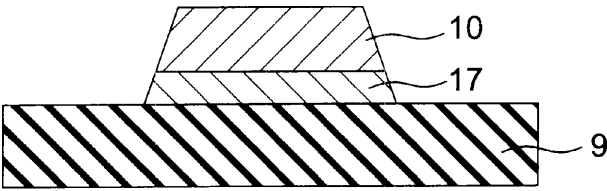
(21)出願番号	特願2000 - 276765(P2000 - 276765)	(71)出願人	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22)出願日	平成12年9月12日(2000.9.12)	(72)発明者	門 昌 輝 埼玉県深谷市幡羅町1 - 9 - 2 株式会社東芝 深谷工場内
		(72)発明者	平 山 秀 雄 埼玉県深谷市幡羅町1 - 9 - 2 株式会社東芝 深谷工場内
		(74)代理人	100064285 弁理士 佐藤 一雄 (外 3 名)
		最終頁に続く	

(54)【発明の名称】 アレイ基板およびその製造方法ならびに液晶表示素子

(57)【要約】

【課題】 配線の段切れが生じることおよび工程数が増えることを防止するとともに、配線形状を改善し、かつITOとの電蝕をも防止することを可能にする。

【解決手段】 透明な基板1と、この基板上に形成された複数本の走査線5と、この走査線と交差するように基板上に形成された複数本の信号線と、走査線と信号線との交差点毎に設けられ、対応する走査線の電圧に基づいて対応する信号線からの信号を取り込む薄膜トランジスタと、各薄膜トランジスタに対応して設けられ、薄膜トランジスタによって取り込まれた信号を受ける画素電極10と、を備え、信号線は絶縁膜9上に形成された第1の金属層17とこの第1の金属層上に形成された第2の金属層10からなる積層配線であって、第1および第2の金属層は、主成分が同一でかつ銀、金、または銅のうち少なくとも一の元素を含む金属層であることを特徴とする。



【特許請求の範囲】

【請求項 1】透明な基板と、

この基板上に形成された複数本の走査線と、
この走査線と交差するように前記基板上に形成された複数本の信号線と、

前記走査線と前記信号線との交差点毎に設けられ、対応する走査線の電圧に基づいて対応する信号線からの信号を取り込む薄膜トランジスタと、

各薄膜トランジスタに対応して設けられ、薄膜トランジスタによって取り込まれた信号を受ける画素電極と、

を備え、前記信号線は絶縁膜上に形成された第 1 の金属層とこの第 1 の金属層上に形成された第 2 の金属層からなる積層配線であって、前記第 1 および第 2 の金属層は、主成分が同一でかつ銀、金、または銅のうち少なくとも一の元素を含む金属層であることを特徴とするアレ

イ基板。
【請求項 2】前記第 1 の金属層は酸素を高濃度を含むことを特徴とする請求項 1 記載のアレイ基板。

【請求項 3】前記第 1 の金属層は、前記元素の酸化物、窒化物、または硅化物であることを特徴とする請求項 1 記載のアレイ基板。

【請求項 4】前記画素電極は ITO から形成され、前記絶縁膜はシリコン絶縁膜であることを特徴とする請求項 1 ないし 3 のいずれかに記載のアレイ基板。

【請求項 5】請求項 1 ないし 4 のいずれかに記載のアレイ基板と、

透明な第 2 の基板と、この第 2 の基板上に形成された対向電極と、を有する対向基板と、

前記アレイ基板と、前記対向基板との間に挟持された液晶層と、を備えたことを特徴とする液晶表示素子。

【請求項 6】透明な基板と、この基板上に形成された複数本の走査線と、この走査線と交差するように前記基板上に形成された複数本の信号線と、前記走査線と前記信号線との交差点毎に設けられ、対応する走査線の電圧に基づいて対応する信号線からの信号を取り込む薄膜トランジスタと、各薄膜トランジスタに対応して設けられ、薄膜トランジスタによって取り込まれた信号を受ける画素電極と、を備え、前記信号線は絶縁膜上に形成された第 1 の金属層とこの第 1 の金属層上に形成された第 2 の金属層からなる積層配線であって、前記第 1 および第 2 の金属層は、主成分が同一でかつ銀、金、または銅のうち少なくとも一の元素を含む金属層であるアレ

イ基板の製造方法において、
前記第 1 および第 2 の金属層は、同一チャンバー内で連続してスパッタリングによって形成することを特徴とするアレ

イ基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はアレイ基板およびその製造方法ならびに液晶表示素子に関する。

【0002】

【従来の技術】一般に、現在用いられている液晶表示素子は、各々が、電極を有する 2 枚の透明基板の間に液晶を挟持し、2 枚の基板の周囲が液晶封入口をのぞいて接着剤で固定され、上記液晶封入口が封止材で封止された構成となっている。例えば図 5 に示すように、アクティブマトリクス型液晶表示素子は、アレイ基板 100 と、対向基板 200 との間に液晶を挟持した構成となっている。アレイ基板 100 は透明な絶縁性基板（例えばガラス基板）101 の表示領域 102 a に、マトリクス状に配設された複数の信号線 103 および複数の走査線 104 と、上記信号線 103 と走査線 104 との交差点毎に形成された薄膜トランジスタ（以下、TFT (Thin Film Transistor) とも言う）からなるスイッチング素子 105 と、このスイッチング素子毎に設けられた画素電極 106 と、が形成された構成となっている。各スイッチング素子 105 のゲートは対応する走査線 104 に接続され、ソースおよびドレインのうち的一方が対応する信号線 103 に接続され、他方が画素電極 106 に接続された構成となっている。

【0003】またアレイ基板 100 は、透明な絶縁性基板 101 の周辺部の非表示領域 102 b に、TFT を有する駆動回路 110 およびこれらの駆動回路 110 に接続されて外部から電力や信号を供給するための外部端子 120 がさらに形成された構成となっても良い。

【0004】一方、対向基板 200 は透明な絶縁性基板 201 の一表面上に ITO (IndiumTin Oxide) からなる透明導電膜が対向電極 203 として形成された構成となっている。

【0005】これらの基板 100、200 は所定の間隙を有するように対向配置される。そして、アレイ基板 100 の表示領域 102 a を囲むように非表示領域 102 b 上に塗布したシール材 300 によって貼り合わされる。シール材 300 には、図 5 に示すように液晶材料を注入する注入口 301 が形成されている。そして上記基板 100、200 の貼り合せ後にこの注入口 301 を通して液晶組成物（図示せず）が間隙内に注入され、封止されることにより液晶表示素子が完成される。なお、液晶表示素子がカラー液晶表示素子である場合には、対向基板 200 またはアレイ基板 100 の一方にカラーフィルタ層が形成される構成となる。

【0006】この液晶表示素子の配線または電極材料には主にアルミニウムまたはアルミニウム合金が用いられている。しかしながらアルミニウムおよびアルミニウム合金を配線または電極材料として用いた場合には、以下に示すような問題点がある。

(1) 比抵抗が大きいため、配線容量の影響が大きくなる。

(2) アルカリ溶液に溶解する。

(3) シリコン半導体中に拡散するためシリコン半導体

と直接コンタクトがとれない。

(4) 透明画素電極材料として用いられるITO (Indium Tin Oxide) と電蝕を起し、表示不良が発生するため、ITO からなる画素電極と直接コンタクトがとれない。

【0007】これらの問題点に対して種々の対策が行われている。配線容量に関しては配線の断面積を大きくすることで解決できるが、デバイスの微細化が進むにつれて配線の幅を小さくすることが要求されるため、その分配線を厚くするしかない。ところが配線を厚くすると、10 上の層に積む別の配線が段切れを起しやすくなる等の問題が生じ、配線を厚くするのにも限界がある。

【0008】そこで比抵抗の小さい配線材料として銅を用いる試みがなされているが加工が困難なため未だ広くは実用化されていない。

【0009】また、配線加工後のアルカリ溶液を使用する工程においてはアルミ配線の上にパッシベーション層を形成することで対策がなされているが、工程数が増え、コスト増につながっている。シリコン半導体とのコンタクトに関してはアルミニウムまたはアルミニウム合20 金とシリコン半導体との間に半導体とのコンタクトに関して問題の無い金属からなるバリア層を形成することで対策されている。しかし、バリア層を設けることは、工程増、コスト増につながる。

【0010】ITO との電蝕に関してもアルミニウムまたはアルミニウム合金とITO との間にITO と電蝕を起さない金属を積層することで対策しているが、これにより工程増、コスト増になるだけでなく、エッチング加工が複雑な工程になってしまっている。

【0011】これに対し、最近では上記問題を全て解決30 できる配線または電極材料として銀および銀合金に注目が集まっている。銀は金属の中で最も比抵抗の小さい材料であり、数%の添加元素を加えた銀合金でも比抵抗が小さい。また、アルカリ耐性にも優れており、シリコン半導体とのコンタクトも良好であることが確認されている。また、ITO との電蝕も起さない。

【0012】このように優れた材料であるにもかかわらず銀および銀合金がこれまで配線材料として採用されなかったのは、物性的にアルミニウムでも事足りていたこととコスト面で銀は高価であるという認識が強かったこと40 による。

【0013】しかし近年のデバイスの高密度化に伴う配線の微細化に対してアルミニウムでは物性的に限界が来ているため、銀および銀合金を配線または電極材料として用いるデバイスが開発され始めている。

【0014】

【発明が解決しようとする課題】一般的に図4に示すように、薄膜トランジスタ(TFT)の配線または電極15はシリコン絶縁膜18上に形成されるが、銀および銀合金を配線または電極材料として用いた場合、ウェット50

エッチングによる配線加工において、加工後の配線形状が逆テーパまたはアンダーカットとなってしまう。このように銀および銀合金を配線または電極材料として用いるにはエッチング後の配線または電極形上が逆テーパまたはアンダーカットとならないようにすることが課題となる。

【0015】本発明は、上記事情を考慮してなされたものであって、配線の段切れが生じることおよび工程数が増えることを防止するとともに、配線形状を改善し、かつITOとの電蝕をも防止することのできるアレイ基板及び液晶表示素子を提供することを目的とする。

【0016】

【課題を解決するための手段】本発明によるアレイ基板は、透明な基板と、この基板上に形成された複数本の走査線と、この走査線と交差するように前記基板上に形成された複数本の信号線と、前記走査線と前記信号線との交差点毎に設けられ、対応する走査線の電圧に基づいて対応する信号線からの信号を取り込む薄膜トランジスタと、各薄膜トランジスタに対応して設けられ、薄膜トランジスタによって取り込まれた信号を受ける画素電極と、を備え、前記信号線は絶縁膜上に形成された第1の金属層とこの第1の金属層上に形成された第2の金属層からなる積層配線であって、前記第1および第2の金属層は、主成分が同一でかつ銀、金、または銅のうち少なくとも一の元素を含む金属層であることを特徴とする。

【0017】なお、前記第1の金属層は酸素を高濃度を含むように構成しても良い。

【0018】なお、前記第1の金属層は、前記元素の酸化物、窒化物、炭化物、または硅化物であるように構成しても良い。

【0019】なお、前記画素電極はITOから形成され、前記絶縁膜はシリコン絶縁膜であるように構成しても良い。

【0020】また、本発明による液晶表示素子は、上述のアレイ基板と、透明な第2の基板と、この第2の基板上に形成された対向電極と、を有する対向基板と、前記アレイ基板と、前記対向基板との間に挟持された液晶層と、を備えたことを特徴とする。

【0021】また、本発明によるアレイ基板の製造方法は、透明な基板と、この基板上に形成された複数本の走査線と、この走査線と交差するように前記基板上に形成された複数本の信号線と、前記走査線と前記信号線との交差点毎に設けられ、対応する走査線の電圧に基づいて対応する信号線からの信号を取り込む薄膜トランジスタと、各薄膜トランジスタに対応して設けられ、薄膜トランジスタによって取り込まれた信号を受ける画素電極と、を備え、前記信号線は絶縁膜上に形成された第1の金属層とこの第1の金属層上に形成された第2の金属層からなる積層配線であって、前記第1および第2の金属層は、主成分が同一でかつ銀、金、または銅のうち少な

くとも一の元素を含む金属層であるアレイ基板の製造方法において、前記第 1 および第 2 の金属層は、同一チャンパー内で連続してスパッタリングによって形成することを特徴とする。

【0022】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照して説明する。

【0023】本発明によるアレイ基板の一実施の形態を図 1 および図 2 を参照して説明する。この実施の形態のアレイ基板の断面図を図 2 に示し、このアレイ基板に設けられている TFT の配線の断面図を図 1 に示す。なお、この実施の形態においては、TFT は、n 型 TFT である。

【0024】図 2 を参照しながら本実施の形態のアレイ基板の形成を説明する。まず、ガラス基板 1 上に PECVD (Plasma Enhanced Chemical Vapor Deposition) 法を用いて、不純物の拡散を防ぐアンダーコート膜 2 を形成し、その上に活性層となるアモルファスシリコン膜 3 を堆積する。次に、500 でアニールすることでアモルファスシリコン膜 3 中の水素を脱離させ、トランジスタの閾値電圧の制御用にアクセプタとなる B_2H_6 を、イオンドーピング法を用いてアモルファスシリコン膜 3 の全面に $1 \times 10^{13}/cm^2$ の量を加速電圧 10 keV で注入し、低濃度の不純物層とする。その後、ELA (Excimer Laser Anneal) 法を用いて、アモルファスシリコン膜 3 をポリシリコン膜 3 に再結晶化する。続いて、写真蝕刻法（以下 PEP とも言う）によりレジスト（図示せず）を塗布した後、パターニングしてレジストパターンを形成し、このレジストパターンをマスクとして CDE (Chemical Dry Etching) 法を用いてポリシリコン膜 3 をアイランド状にパターニングする。

【0025】次に、PECVD 法を用いて、ゲート絶縁膜 4 を形成した後、スパッタ法によりゲート線（走査線）および CS 線（補助電極線）となる電極 5 を形成する。続いて、PEP 法によりレジスト（図示せず）を塗布した後、パターニングしてレジストパターンを形成し、このレジストパターンをマスクとして RIE (Reactive Ion Etching) 法によりこの電極 5 を 3 回アイランド状にパターニングする。ここでそれぞれの加工の段階において、ドナーとなる PH_3 を $1 \times 10^{13}/cm^2$ の量を加速電圧 80 keV で、ドナーとなる PH_3 を $2.5 \times 10^{15}/cm^2$ の量を加速電圧 70 keV でイオンドーピング法によりポリシリコン膜 5 に注入する。この結果、LDD (Lightly Doped Drain) 構造を持った n 型 TFT のソース領域 7、8 およびドレイン領域 7、8 が形成される。ここで注入された不純物は 500 でアニールされることで十分に活性化される。

【0026】次に、n 型 TFT の閾値電圧間差の大きさと、閾値電圧のバラツキを調整するため、水素プラズマ処理を行った後、PECVD 法により層間絶縁膜とし

てシリコン酸化膜 9 を全面に堆積させる。続いて、PEP 法によりレジスト（図示せず）を塗布してパターニングすることによりレジストパターンを形成し、このレジストパターンをマスクとしてシリコン酸化膜 9 およびゲート絶縁膜 4 をエッチングすることでソースおよびドレイン領域 8 の表面まで達するコンタクトホールを開口する。

【0027】そしてスパッタリングガスとして Ar ガスと酸素ガスをそれぞれ 15 sccm、80 sccm で流しながら、ターゲットに Ag に 0.9 wt% の Pd および 1.0 wt% の Cu が添加された Ag 合金（以下、APC とも言う）を用いて酸素濃度の高い APC からなる層 17 をスパッタ法により成膜した後、引き続き同一チャンパー内において今度は Ar のみでスパッタリングを行い酸素をほとんど含まない APC 層 10 を成膜する。この 2 層からなる積層膜上に PEP 法によりレジスト（図示せず）を塗布し、パターニングすることによりレジストパターンを形成し、このレジストパターンをマスクとしてウェットエッチングにより上記積層膜を加工してソースおよびドレイン電極につながる配線 17、10 を形成する。この時、ウェットエッチング後の配線形状は図 1 に示すように順テーパであり、アンダーカットも見られず非常に良好であった。

【0028】次に、PECVD 法によりパッシベーションとなる窒化シリコン膜 12 で全面を覆い、レジスト（図示せず）を塗布して PEP 法を用いてパターニングすることによりレジストパターンを形成した後、このレジストパターンをマスクにして CDE 法を用いて窒化シリコン膜 12 をエッチングすることで窒化シリコン膜 12 にコンタクトホールを開口する。最後に有機絶縁膜 13 を形成し、この有機絶縁膜 13 に PEP 法を用いてコンタクトホールを開口する。その後、スパッタ法を用いて ITO 膜を形成し、PEP 法を用いてエッチングすることにより上記 ITO 膜をパターニングし、透明画素電極 14 を形成する。コンタクトホール形成の際に表面が露出した配線 10 の上部において配線 10 と透明画素電極 14 とのコンタクトをとる。

【0029】以上でアレイ基板が完成する。なお、成膜した膜厚は、アンダーコート膜 2 が 150 nm、アモルファスシリコン膜 3 が 50 nm、ゲート絶縁膜 4 が 135 nm、ゲート及び CS 電極 5 が 250 nm、層間絶縁膜 9 が 660 nm、酸素混入 APC 層 17 / APC 膜 10 が 50 nm / 660 nm、窒化シリコン膜 12 が 450 nm、有機絶縁膜 13 が 16 μm である。

【0030】以上、説明したように、本実施の形態においては、薄膜トランジスタのソースおよびドレイン領域 7、8 に接続している配線 17、10 は、2 層構造であって、絶縁膜 9 上に形成される第 1 の金属層 17 が酸素濃度の高い APC からなっており、この第 1 の層上に形成される第 2 の金属層 10 が APC からなっているが、

これらの第1および第2の金属層は、主成分が同一のため、同一チャンバー内で連続して形成が可能となり、工程数が増加するのを可及的に防止することができる。なお、従来は、第2の金属層と材料が異なるバリア膜を第1の金属層として形成しているため、同一チャンバー内で連続して形成することができなかった。また、第1の金属層17の膜厚は、第2の金属層の膜厚に比べて非常に薄く、積層した配線17、10が段切れするのを可及的に防止することができる。また、上述したように、形成後の配線形状が順テーパーであって、アンダーカットも見られず、従来に比べて改善することができる。また、酸素濃度の高いAPC層17とAPC層10を絶縁膜9上に積層しても後工程で、酸素濃度の高いAPC層17が絶縁膜9から剥がれることがなかった。また、第2の金属層10がAPC層であるため、ITOからなる画素電極14との電蝕を防止することが可能となり表示不良が発生するのを可及的に防止することができる。

【0031】なお、上記実施の形態においては、第1の金属層17は、酸素濃度の高い銀合金（APC）であったが、銀合金の酸化物（酸化APC）であっても良い。この場合、銀合金の酸化物は酸素濃度の高いAPCを成膜後に同一チャンバー内でプラズマ酸化処理を行って形成することができる。また、第1の金属層17として、Agの酸化物を用いるかわりに、炭素濃度の高い銀、銀合金またはその他の化合物を用いても同様の効果を奏することができる。

【0032】また、第2の金属層10としてAu、またはAu合金を用い、第1の金属層17としてAuの酸化物、窒化物、その他の化合物、または酸素濃度もしくは炭素濃度の高いAuを用いても同様の効果を奏することができる。この場合第1および第2の金属層はAg合金の場合と同様にスパッタによって同一チャンバー内で形成することができる。

【0033】また、第2の金属層10としてCu、またはCu合金を用い、第1の金属層17としてCuの酸化物、窒化物、硅化物、その他の化合物、または酸素濃度、炭素濃度、もしくは硅素濃度の高いCuを用いても同様の効果を奏することができる。

【0034】次にTFTがp型である場合のアレイ基板の構成を図3に示す。このアレイ基板は、図1に示すア

*レイ基板において、n型のソースおよびドレイン領域7、8をp型のソースおよびドレイン領域6に置き換えた構成となっている。なお、このp型のソースおよびドレイン領域6は、アクセプタとなるB2H6をドーズ量 $2.0 \times 10^{15} / \text{cm}^2$ 、加速電圧70keVでイオンドーピング法を用いてポリシリコン膜3に注入することにより形成される。

【0035】

【発明の効果】以上述べたように、本発明によれば、配線の段切れが生じることおよび工程数が増えることを防止するとともに、配線形状を改善し、かつITOとの電蝕をも防止することのできる。

【図面の簡単な説明】

【図1】本発明に用いられる配線の構成を示す断面図。

【図2】本発明によるアレイ基板の一実施の形態の構成を示す断面図。

【図3】本発明によるアレイ基板の他の実施の形態の構成を示す断面図。

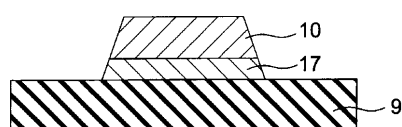
【図4】従来のシリコン系絶縁膜上に形成された銀および銀合金を材料として用いた配線の断面図。

【図5】アクティブマトリクス型液晶表示素子の概略の構成を示す図。

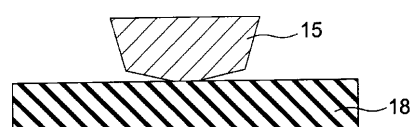
【符号の説明】

- 1 ガラス基板
- 2 アンダーコート膜
- 3 ポリシリコン膜
- 4 ゲート絶縁膜
- 5 ゲート線およびCS線
- 6 高濃度ソースおよびドレイン領域（p型）
- 7 低濃度ソースおよびドレイン領域（n型）
- 8 高濃度ソースおよびドレイン領域（n型）
- 9 シリコン酸化膜
- 10 APC（Ag-0.9wt%Pd-1.0wt%Cu合金）
- 12 窒化シリコン膜（パッシベーション膜）
- 13 有機絶縁膜
- 14 透明画素電極（ITO）
- 15 銀および銀合金
- 17 酸素濃度の高いAPC
- 18 シリコン系絶縁膜

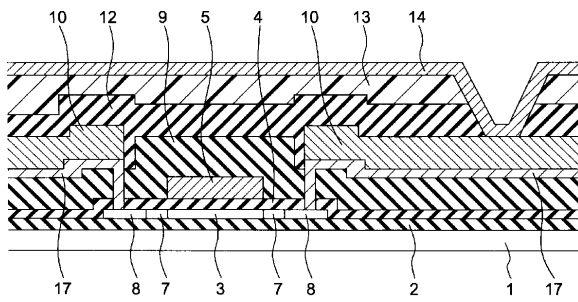
【図1】



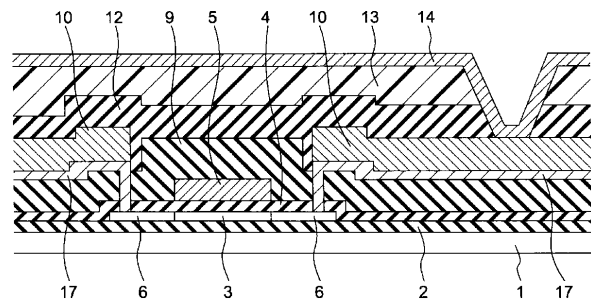
【図4】



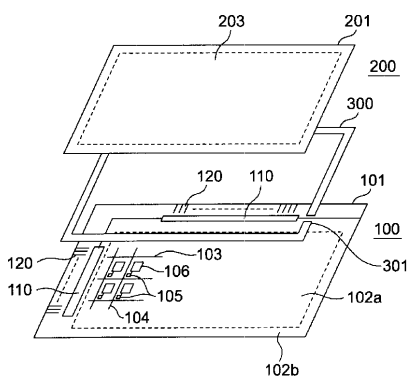
【図 2】



【図 3】



【図 5】



フロントページの続き

(51)Int.Cl.⁷

識別記号

F I

テ-マ-コ-ト' (参考)

H 0 1 L 29/786

H 0 1 L 29/78

6 1 2 C

// H 0 1 L 21/3205

6 1 6 V

21/88

M

(72)発明者 鳥 山 重 隆

埼玉県深谷市幡羅町 1 - 9 - 2 株式会社

東芝深谷工場内

F ターム(参考) 2H092 JA25 JA29 JA38 JA42 JA44
JB13 JB23 JB32 JB33 JB51
JB57 JB63 JB69 KA07 KB14
MA05 MA07 MA13 MA17 MA27
MA35 MA37 NA25 NA28 NA29
5C094 AA42 AA43 AA45 BA03 BA43
EA04 EA07 EB02 ED02 FB02
FB12
5F033 GG04 HH04 HH11 HH12 HH13
HH14 HH31 HH32 HH35 HH38
JJ01 JJ14 JJ31 JJ32 JJ35
JJ38 KK04 KK11 KK12 KK13
KK14 KK31 KK32 KK35 LL04
MM05 MM19 PP15 PP33 QQ00
QQ09 QQ11 QQ19 QQ37 QQ59
QQ65 QQ73 QQ89 RR04 RR06
RR21 SS15 TT04 VV15 XX02
XX18
5F110 AA03 AA16 AA26 BB01 CC02
DD02 EE09 EE44 FF30 GG02
GG13 GG25 GG32 GG34 GG45
GG51 HJ01 HJ04 HJ12 HJ23
HL06 HL11 HL23 HM15 NN02
NN03 NN04 NN23 NN24 NN35
NN72 PP03 PP35 QQ05 QQ09
QQ11 QQ25
5G435 AA17 BB12 CC09 CC12 GG12
HH12

专利名称(译)	阵列基板及其制造方法和液晶显示元件		
公开(公告)号	JP2002091338A	公开(公告)日	2002-03-27
申请号	JP2000276765	申请日	2000-09-12
[标]申请(专利权)人(译)	株式会社东芝		
申请(专利权)人(译)	东芝公司		
[标]发明人	門昌輝 平山秀雄 鳥山重隆		
发明人	門 昌 輝 平 山 秀 雄 鳥 山 重 隆		
IPC分类号	G02F1/1343 G02F1/136 G02F1/1368 G09F9/00 G09F9/30 H01L21/3205 H01L23/52 H01L29/786		
FI分类号	G09F9/30.338 G09F9/30.339.Z G02F1/1343 G09F9/00.338 G02F1/136.500 H01L29/78.612.C H01L29/78.616.V H01L21/88.M G02F1/1368		
F-TERM分类号	2H092/JA25 2H092/JA29 2H092/JA38 2H092/JA42 2H092/JA44 2H092/JB13 2H092/JB23 2H092/JB32 2H092/JB33 2H092/JB51 2H092/JB57 2H092/JB63 2H092/JB69 2H092/KA07 2H092/KB14 2H092/MA05 2H092/MA07 2H092/MA13 2H092/MA17 2H092/MA27 2H092/MA35 2H092/MA37 2H092/NA25 2H092/NA28 2H092/NA29 5C094/AA42 5C094/AA43 5C094/AA45 5C094/BA03 5C094/BA43 5C094/EA04 5C094/EA07 5C094/EB02 5C094/ED02 5C094/FB02 5C094/FB12 5F033/GG04 5F033/HH04 5F033/HH11 5F033/HH12 5F033/HH13 5F033/HH14 5F033/HH31 5F033/HH32 5F033/HH35 5F033/HH38 5F033/JJ01 5F033/JJ14 5F033/JJ31 5F033/JJ32 5F033/JJ35 5F033/JJ38 5F033/KK04 5F033/KK11 5F033/KK12 5F033/KK13 5F033/KK14 5F033/KK31 5F033/KK32 5F033/KK35 5F033/LL04 5F033/MM05 5F033/MM19 5F033/PP15 5F033/PP33 5F033/QQ00 5F033/QQ09 5F033/QQ11 5F033/QQ19 5F033/QQ37 5F033/QQ59 5F033/QQ65 5F033/QQ73 5F033/QQ89 5F033/RR04 5F033/RR06 5F033/RR21 5F033/SS15 5F033/TT04 5F033/VV15 5F033/XX02 5F033/XX18 5F110/AA03 5F110/AA16 5F110/AA26 5F110/BB01 5F110/CC02 5F110/DD02 5F110/EE09 5F110/EE44 5F110/FF30 5F110/GG02 5F110/GG13 5F110/GG25 5F110/GG32 5F110/GG34 5F110/GG45 5F110/GG51 5F110/HJ01 5F110/HJ04 5F110/HJ12 5F110/HJ23 5F110/HL06 5F110/HL11 5F110/HL23 5F110/HM15 5F110/NN02 5F110/NN03 5F110/NN04 5F110/NN23 5F110/NN24 5F110/NN35 5F110/NN72 5F110/PP03 5F110/PP35 5F110/QQ05 5F110/QQ09 5F110/QQ11 5F110/QQ25 5G435/AA17 5G435/BB12 5G435/CC09 5G435/CC12 5G435/GG12 5G435/HH12 2H192/AA24 2H192/BC31 2H192/CB02 2H192/CC52 2H192/CC72 2H192/FB02 2H192/GA41 2H192/HA13		
外部链接	Espacenet		

摘要(译)

要解决的问题：为防止接线断开和增加工艺数量，改善接线形状，并防止ITO引起的电解腐蚀。透明基板1，在基板上形成的多条扫描线5，在基板上形成为与扫描线，扫描线和信号相交的多条信号线。薄膜晶体管 and 像素电极10，所述薄膜晶体管在每个交叉点处设置，并基于相应的扫描线的电压接收来自相应信号线的信号；所述像素电极10与每个薄膜晶体管相对应地设置，并接收由所述薄膜晶体管捕获的信号 信号线是包括形成在绝缘膜9上的第一金属层17和形成在第一金属层上的第二金属层10的叠层布线，以及第一线 第二金属层和第二金属层是具有相同主要成分并且包含银，金或铜中的至少一种元素的金属层。

