

(19)日本国特許庁 ( J P )

# (12) 公 開 特 許 公 報 ( A )

(11)特許出願公開番号

特開2002 - 23132

(P2002 - 23132A)

(43)公開日 平成14年1月23日(2002.1.23)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テ-マコード ( 参考 )
G 0 2 F 1/13	101	G 0 2 F 1/13	101 2 H 0 8 8
	1/133		1/133 2 H 0 9 2
	1/1343		1/1343 2 H 0 9 3
G 0 9 F 9/00	352	G 0 9 F 9/00	352 5 C 0 0 6
G 0 9 G 3/20	621	G 0 9 G 3/20	621 J 5 C 0 8 0

審査請求 未請求 請求項の数 3 O L ( 全 13数 ) 最終頁に続く

(21)出願番号 特願2001 - 108993(P2001 - 108993)

(22)出願日 平成13年4月6日(2001.4.6)

(31)優先権主張番号 89106351

(32)優先日 平成12年4月6日(2000.4.6)

(33)優先権主張国 台湾(TW)

(71)出願人 599142729

奇美電子股 ぶん 有限公司

台湾台南県台南科学工業園区新市郷奇業路  
1号

(72)発明者 吳 炳昇

台湾台南科学園区台南縣奇業路一號

(74)代理人 100094318

弁理士 山田 行一 ( 外 1 名 )

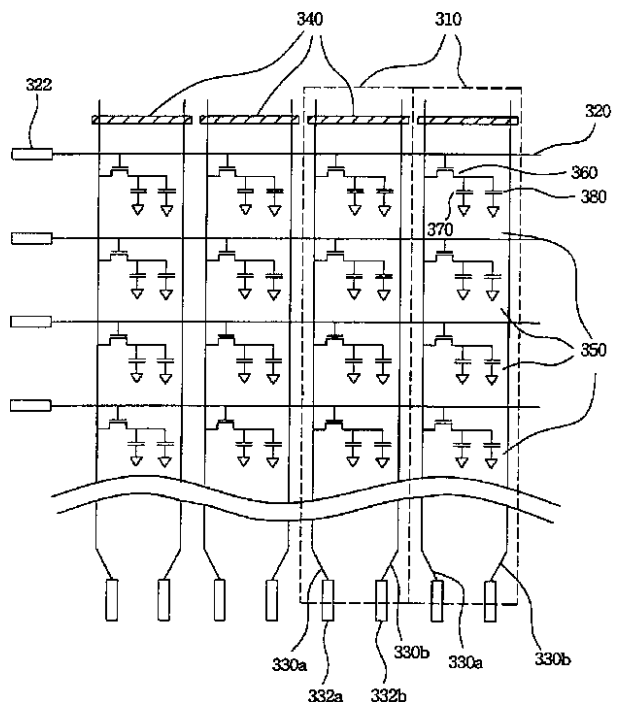
最終頁に続く

(54)【発明の名称】 欠陥修理機能のある液晶ディスプレイ部材

(57)【要約】

【課題】 欠陥修理機能のある液晶ディスプレイ部材を提供する。

【解決手段】 欠陥修理機能のある液晶ディスプレイ ( L C D ) 部材とその欠陥修理方法。本発明の一実施形態の画素は複数のスキャンラインと複数のデータラインに関連する。個別の予備ラインを利用して、熔融接続することによって回路パスを形成して切れた金属線を補償する。また、1つの画素は予備導電ポートと熔融可能な接合部をもつ複数の副画素を備えることができるので、欠陥電極を分離できる。予備導電ポートを融解して接続できるのでその他の副画素が欠陥のある副画素をサポートして補償でき、これにより画素信号の損失を最小にすることができる。



## 【特許請求の範囲】

【請求項 1】 平行する複数のスキャンラインと、前記複数のスキャンラインに直交して配置された複数の光学的ディスプレイ行とを備え、前記複数の光学的ディスプレイ行の各々は、少なくとも、前記複数のスキャンラインに直交する 2 本のデータラインと、前記 2 本のデータラインを選択的に接続するために、前記光学的ディスプレイ行の 2 本のデータライン間に配置された予備ラインであって、異なる複数の光学的ディスプレイ行間の前記予備ラインは独立に配置される、当該予備ラインと、複数のディスプレイ画素と、を含み、各ディスプレイ画素は少なくとも 1 本のスキャンラインに対応し、各スキャンラインは 1 つのディスプレイ画素に対応し、各ディスプレイ画素は、少なくとも、1 つ以上の電界効果トランジスタ (FET) であって、各 FET はゲート、ドレイン、ソースを備え、各 FET は前記スキャンラインのうちの 1 つと前記データラインのうちの 1 つに対応し、前記ゲートは対応するスキャンラインに接続し、前記ソースは対応するデータラインに接続する、当該 1 つ以上の電界効果トランジスタ (FET) と、1 つ以上の透明電極であって、各透明電極は前記 FET のうちの 1 つに対応し、前記対応する FET のドレインに接続する、当該 1 つ以上の透明電極とを含む、当該複数のディスプレイ画素とを有する、欠陥修理機能のある液晶ディスプレイ (LCD) 部材。

【請求項 2】 LCD 部材を備えるステップであって、前記 LCD 部材は複数のスキャンラインと、直交するように配列された複数の光学的ディスプレイ行を含み、各光学的ディスプレイ行は 2 本以上のデータラインと、1 本以上の予備ラインと複数のディスプレイ画素を備え、前記予備ラインは前記光学的ディスプレイ行のデータラインと、同じ光学的ディスプレイ行の別のデータラインを選択的に接続し、前記予備ラインは異なる光学的ディスプレイ行間に独立に配置される、当該ステップと、前記 LCD 部材のデータラインをテストするステップと、前記 LCD のデータラインでライン欠陥が検出されると、前記欠陥のあるデータラインを同じ光学的ディスプレイ行の別のデータラインに、関連する予備ラインを介して接続するステップとを備える、液晶ディスプレイ (LCD) 部材のライン欠陥の修理方法。

【請求項 3】 LCD 部材を備えるステップであって、前記 LCD 部材は複数のスキャンラインと、直交するように配列された複数の光学的ディスプレイ行を含み、各光学的ディスプレイ行は 2 本以上のデータラインと 1 本以上の予備ラインと複数のディスプレイ画素を備え、各ディスプレイ画素は電界効果トランジスタ (FET) の 1 つ以上の対と複数の透明電極と少なくとも 1 つの予備

導電ポートとを備え、各 FET はゲート、ドレイン、ソースを備え、FET の各対は前記スキャンラインのうちの 1 つに対応し、2 つのゲートが対応するスキャンラインに接続し、2 つのソースが前記光学的ディスプレイ行内で異なるデータラインに接続し、2 つのドレインの各々が前記透明電極のうちの 1 つに接続し、前記予備導電ポートは前記ディスプレイ画素内の 1 つの透明電極と、同じディスプレイ画素内の別の透明電極に選択的に接続し、異なるディスプレイ画素間の複数の予備導電ポートは分離される、当該ステップと、前記 LCD 部材の透明電極をテストするステップと、前記 LCD 透明電極で点欠陥が検出されると、欠陥のある透明電極を同じディスプレイ画素の別の透明電極に、関連する予備導電ポートを介して接続するステップとを備える、液晶ディスプレイ (LCD) 部材のライン欠陥の修理方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は液晶ディスプレイ (LCD) 部材に関し、特に、欠陥修理機能のある LCD 部材に関する。また、本発明は欠陥修理方法を開示する。

## 【0002】

【従来の技術】小型軽量であるという長所から、液晶ディスプレイ (LCD) は携帯ディスプレイデバイスと小空間用ディスプレイ市場で優位を保っている。とりわけ、薄膜トランジスタ液晶ディスプレイ (TFT-LCD) は最も好適なデバイスである。このデバイスは電界効果トランジスタを使用して液晶膜層に与えられる電圧を制御することによって液晶分子の配向を制御するので、液晶層を透過する光を調整することができる。フィルタを利用することによって、スクリーンには様々な色と明度を表示することができる。

【0003】図 1A は、薄膜トランジスタ液晶ディスプレイ (TFT-LCD) パネルの標準的回路のレイアウトを示す。一連の平行スキャンライン 10 と一連の平行データライン 20 は、互いに直交するが接続していない。これらは制御電極 12 と制御電極 22 にそれぞれ接続しており、ディスプレイパネルを複数画素を含むアレイに分離する。アレイ内の各画素は、電界効果トランジスタ (FET) 30、液晶容量 40、記憶容量 50 を備える。各 FET は、ゲート、ドレイン、ソースを備える。ここで、ゲートは対応するスキャンラインに接続しており、ドレインは対応するデータラインに接続している。液晶容量 40 と記憶容量 50 は、FET 30 のドレインと接地間に平行に接続されている。

【0004】従来の LCD 部材の各画素の標準的レイアウトを図 1B に示す。導電領域 32、34、36 はそれぞれ、FET 30 のゲート、ソース、ドレインである。領域 38 はトランジスタ 30 の半導体チャネルである。

FETのドレイン36は、液晶容量40と記憶容量50のための電極として同時に機能する透明電極プレート45に接続している。透明電極プレート45は通常、インジウム錫酸化物(ITO)からできている。間に誘電体層を挿入した状態(図示せず)で透明電極プレート45下に記憶電極プレート52を設置して、記憶容量50を形成する。液晶容量40は透明電極プレート45上に形成される。

【0005】スクリーンの高品質化と大型化を目指したディスプレイの技術開発では、製造業者は狭いライン幅と小さなサイズの画素を使って、大型パネルの(スキャンラインとデータラインを含む)信号伝送ラインを長くする必要があるのである。この状態では、不均一なライン幅分布とライン切れの問題が起りがちである。また、例えば、記憶容量50の上下の電極プレート(即ち、透明電極プレート45と記憶電極プレート52)間や、FETゲート32とソース/ドレイン34、36間や、チャンネル38間等の離れた電極間の孔が原因で、短絡が起きるのである。信号ライン切れの結果としてライン欠陥が起る。何故ならば、画素行全体が制御信号を受信できなくなるからである。電極プレートの短絡は、電圧に画素が反応できなくなる点欠陥の原因となる。どちらもディスプレイパネルの品質と歩留りに悪影響を与える。

【0006】図2Aは、切れたラインを修理するための従来技術による画素アレイ回路を示す。アレイ境界が3辺に渡る予備ライン80で囲まれていることを除いて、基本的な回路レイアウトは図1Aと同じである。予備ライン80はフローティング状態であり、間に誘電体層があるデータラインとスキャンラインにまたがっている。その断面を図2Bに示す。下層の信号ライン10を表す基板200上の導電層210と、上層の予備ライン80を表す導電層230は、間に挿入された誘電体層220によって分離されている。ディスプレイパネルに欠陥が検出されない場合は、予備ラインは不使用の状態に置かれる。しかしながら、データラインのうちの1本にライン欠陥が検出された場合、即ち、データラインに切れ目があって不具合がある場合、欠陥のあるデータラインとオーバーラップする予備ラインを溶融する(通常、高エネルギーレーザーを利用して)ことによって、導電材料が誘電体分離層を突き抜けて、低層上に導電線を備えるコンタクトウインドー240を形成することができる。欠陥のあるデータラインの両端を溶融させることによって導電層210に接続させる場合、予備ライン80は不具合のデータラインに置き代わって、制御信号をトランジスタに送ることができる。

【0007】これにもかかわらず、このライン欠陥修理のデザインにはまだ欠点があった。予備ラインは非常に長く、非常に多くのデータラインとスキャンラインをまたぐので、制御信号伝送時に寄生容量による効果が現われる。トランジスタによって受信される信号は減衰し、

深刻なひずみが生じるので、スクリーン画像が悪くなる。その上、取り囲む予備ラインのデザインでは、上述したライン欠陥等の複数の欠陥を修理することができない。製造品質と歩留りをさらに上げ、製造コストを押さえるために、よりよい欠陥修理方法を開発することが必須である。

【0008】

【発明の概要】従来の液晶ディスプレイ(LCD)パネルの欠陥修理性能が上述したように悪いことを鑑みて、回路の切断と短絡が原因であるライン欠陥と点欠陥をそれぞれ修理できる、良好な欠陥修理性能と対応する欠陥修理方法をLCD部材に提供することが本発明の目的である。

【0009】ライン欠陥を修理するために、本発明は、複数のスキャンラインと複数のデータラインを備える1つの画素の回路デザインに、それらの間に独立の予備ラインを設置する。データラインやスキャンラインに回路切断が発生すると、予備ラインを電氣的に溶解させて切れた回路を接続することによって、最短の接続経路を形成することができる。これによって長距離配線による信号減衰を最小化できるので、複数のライン欠陥の修理に適する。

【0010】点欠陥を修理するために、本発明では、複数の副画素電極をもつ1画素の回路デザインに、予備導電ポートを間に配置する。接合部を溶接し接合するアプリケーションでは、副画素に欠陥がある場合に、欠陥のある電極を容易に分離することができる。スクリーン画像信号の損失を少なくする試みとして、接続用の予備導電ポートを接続するために溶融し、その他の副画素のリソースを使って欠陥のある副画素をサポートし補償する。

【0011】以下で示される図面と詳細な説明によって、本発明の特定の実施形態を示す。

【0012】

【発明の実施の形態】本発明は、欠陥修理機能のある液晶ディスプレイ(LCD)部材を提供する。また、本発明はライン欠陥と点欠陥の修理方法を提供する。本発明は、複数のデータラインと複数のスキャンラインに予備ラインを設置して支援するデザインを採用している。で、回路切断に起因するライン欠陥を容易に修理することができる。さらに、複数の信号ラインを接続し、予備導電ポートを設置した状態で複数の電極プレートを使用することによって各ディスプレイ画素は複数の副画素を構成するので、画素電極や制御トランジスタの短絡による点欠陥を修理することができる。このため、本発明は、LCD部材の品質と歩留りをかなり上げることができる。本発明は、電界効果トランジスタ(FET)製造プロセスや、これ以上説明しないが、金属線溶融/接続技術等の従来技術である幅広く多くの周知の回路部材と製造技術を利用する。

【0013】図3を参照すると、本回路は、1本以上のデータラインを使用してディスプレイ制御信号を同じ画素に供給するために、複数データライン構成を採用している。本実施形態のLCD部材は、平行した複数の光学的ディスプレイ行310と、各光学的ディスプレイ行310に直交する複数のスキャンライン320を備える。各スキャンラインの1端子は信号入力用のソースパッド322a、322bに接続する。

【0014】各光学的ディスプレイ行310は、信号入力用のソースパッド332a、332bにそれぞれ接続する1端子をもつ、少なくとも2本の相関データライン330a、330bを備える。また、これらは、スキャンライン320に直交する。2本の相関データライン330a、330b間に予備ライン340が用意される。異なるディスプレイ行に対して複数の予備ラインが互いに接続することなく別個に割り当てられている。好適な実施形態の予備ライン340は、ディスプレイ部材の境界付近の相関データライン330a、330bの複数の端子間に設置される。各光学的ディスプレイ行310の予備ライン340は、2本の相関データライン330a、330b上でフローティング状態にあるので、接続のために溶融することができる。本実施形態の構成は、図2Bに示されるようにオーバーラップと分離によって得ることができる。

【0015】直交スキャンライン320によって、各光学的ディスプレイ行310は一連の画素350に分けられる。各画素350は、スキャンライン320と2本の相関データライン330a、330bに対応する。第1の実施形態の各画素350は、電界効果トランジスタ(FET)360、液晶容量370、記憶容量380を備える。各FET360は、ゲート、ドレイン、ソースを備える。ここでは、ゲートは対応するスキャンライン320に接続し、ドレインは、同じ光学的ディスプレイ行310内のデータライン330aか330bのいずれか一方に接続する。液晶容量370と記憶容量380はFET360のドレインと接地間に平行接続されている。

【0016】第1の実施形態のLCD部材を備える回路を使って、切れたデータラインから引き起こされるLCD部材の欠陥を簡単に修理することができる。図4を参照すると、第1の実施形態で説明されたディスプレイ部材はステップ401で提供される。ディスプレイ部材には、間に予備ライン340が設置された複数の相関データライン330a、330bが用意される。ディスプレイ部材のための簡単な製造プロセスが完了すると、欠陥テストとその修理の前に、全予備ライン340と相関データライン330a、330bが互いに分離される。

【0017】その後、各ゲートパッド322とソースパッド332a、332bは制御信号を送って、テスト(ステップ402)、(ステップ403)を実行させ

る。切れたデータラインによって引き起こされたライン欠陥がテストプロセスで検出された場合、すぐに修理を実行することができる(ステップ404)。本修理は、切れたデータラインに焦点を当てている。個別の予備ライン340とそれに対応する2本の相関データライン330a、330b間の介在領域が溶融して、切れたデータラインと相関データライン330a、330bが予備ライン340を介して電氣的に接続することができる。従って、切れたラインのためにソースパッド332a、332bを備える開路をもつデータラインは、対応するソースパッド332a、332bに相関データライン330a、330bと予備ライン340を介して接続する。一旦、欠陥が修理されると、ディスプレイ部材の相関データラインの各セットのソースパッド332a、332bは同じ信号入力端子に接続される。従って、所定のディスプレイ効果と欠陥の修理目標を達成し、部材の品質と製造の歩留りを上げるために、元の切れたデータラインは相関データラインを介してデータラインの同じ制御信号を受信することができる。

【0018】図5を参照すると、第2の実施形態では、複数のデータラインと複数のスキャンラインの構成を採用している。1本以上のデータラインと1本以上のスキャンラインによって、ディスプレイ制御信号が同じ画素に供給される。本実施形態のLCD部材は、平行する複数の光学的ディスプレイ行510と、各光学的ディスプレイ行510に直交する複数の相関スキャンライン520a、520bの対を備える。各スキャンラインの1端子は、信号入力端子であるゲートパッド522a、もしくは、522b接続する。

【0019】各光学的ディスプレイ行510は、少なくとも2本の相関データライン530a、530bを含み、それらの末端に信号入力端子であるソースパッド532a、532bが設置されている。データ予備ライン540が2本の相関データライン530a、530b間に配置されている。好適な実施形態のデータ予備ライン540は、ディスプレイ部材の境界付近で、2本の相関データライン530a、530bの末端に設置される。各光学的ディスプレイ行510のデータ予備ライン540は、その末端が電氣的にフローティング状態であるので、溶融することができる。前述のオーバーラップと分離の方法によって本構成を達成することができる。さらに、スキャン予備ライン545は、その末端付近の、相関スキャンライン520a、520bの各対間ではフローティング状態にある。異なる複数の光学的ディスプレイ行510間のデータ予備ライン540と、異なるセットの相関スキャンライン520a、520b間のスキャン予備ライン545は互いに接続することなく設置されている。

【0020】直交する相関スキャンライン520a、520bによって、各光学的ディスプレイ行510は一連

の画素 550 に分割される。各画素は、相關スキャンライン 520 a、520 b の対と 2 本の相關データライン 530 a、530 b に対応する。第 1 の実施形態と同様に、第 2 の実施形態の各画素 550 は、FET 560、液晶容量 570、記憶容量 580 を備える。各 FET 560 はゲート、ドレイン、ソースを備える。ここでは、ゲートは対応するスキャンライン 520 a、520 b のいずれかに接続し、ソースは同じ光学的ディスプレイ行 510 内のデータライン 530 a、530 b のいずれかに接続する。液晶容量 570 と記憶容量 580 は、FET 560 のドレインと接地間に平行に接続される。

【0021】第 2 の実施形態の LCD 部材を備える回路を使って、LCD 部材内の切れたデータラインやスキャンラインによって引き起こされる欠陥を同時に修理することができる。第 2 の実施形態で説明されたディスプレイ部材が用意され、切れたスキャンラインに対して、データラインの修理手続きを同様に利用する限り、全テストと修理手続きは図 4 と同じである。欠陥のテストと修理を実行する前に、全データ予備ライン 540 と相關データライン 530 a、530 b と、スキャン予備ライン 545 と相關スキャンライン 520 a、520 b は互いに分離される。修理完了後に、元の切れたデータラインやスキャンラインはそれぞれ、関連するデータラインやスキャンラインに予備ラインを介して接続する。各セットの相關データラインのソースパッドと各セットの相關スキャンラインのゲートパッドはそれぞれ、同じ信号入力端子に接続されて同じ制御信号を受信するので、期待通りのディスプレイ効果を得ることができる。

【0022】点欠陥の修理回路と技術については、以下の実施形態でさらに説明される。開示された LCD 部材の第 3 の実施形態のための図 6 A を参照すると、複数のデータラインと複数のスキャンラインに加えて、2 副画素構成が採用されている。2 つの副画素電極は同じ制御信号を受信し、同じディスプレイ信号を生成して完全な LCD 画素を形成する。本実施形態の LCD 部材は、平行する複数の光学的ディスプレイ行 610 と、各光学的ディスプレイ行 610 に直交する複数の相關スキャンライン 620 a、620 b の対を備える。各スキャンライン 620 a、620 b の 1 つの末端は、信号入力端子であるゲートパッド 622 a、もしくは、622 b に接続する。

【0023】光学的ディスプレイ行 610 は、少なくとも 2 つの相關データライン 630 a、630 b を含み、それらの末端に信号入力端子であるソースパッド 632 a、632 b が設置されている。また、2 つの相關データライン 630 a、630 b は、スキャンライン 620 a、620 b に直交する。データ予備ライン 640 は、ディスプレイ部材の境界付近で、2 本の相關データライン 630 a、630 b の各末端間に配置していることが好ましい。また、相關スキャンライン 620 a、620

b 間にスキャン予備ライン 645 が用意される。また、スキャン予備ライン 645 は、ディスプレイ部材の境界付近で、相關スキャンライン 620 a、620 b の末端に配置されることが好ましい。データ予備ライン 640 とスキャン予備ライン 645 は電氣的にフローティング状態であり、溶融可能である。異なる光学的ディスプレイ行 610 間のデータ予備ライン 640 と、異なるセットの相關スキャンライン 620 a、620 b 間のスキャン予備ライン 645 は互いに接続することなく別々に設置される。

【0024】直交する相關スキャンライン 620 a、620 b によって、各光学的ディスプレイ行 610 は一連の画素 650 に分割される。各画素は、相關スキャンライン 620 a、620 b の対と 2 本の相關データライン 630 a、630 b に対応する。第 3 の実施形態の各画素 650 には、2 つの FET 660 a、660 b と 2 つの液晶容量 670 a、670 b と 2 つの記憶容量 680 a、680 b が含まれる。FET 660 a と液晶容量 670 a と記憶容量 680 a は 1 つの副画素を構成し、FET 660 b と液晶容量 670 b と記憶容量 680 b は別の副画素を構成する。各 FET 660 a、660 b はゲート、ドレイン、ソースを備える。ここでは、2 本のゲートはそれぞれ、もしくは、一緒に、対応するスキャンライン 620 a、620 b のいずれかに接続し、2 本のソースはそれぞれ、もしくは、一緒に、同じ光学的ディスプレイ行 610 の相關データライン 630 a、630 b に接続する。図 6 A に示される実施形態では、2 つのゲートが同じスキャンライン 620 a に接続し、2 つのソースが異なるデータライン 630 a、630 b に接続する。液晶容量 670 a と記憶容量 680 a は、FET 660 a のドレインと接地間に平行に接続される。液晶容量 670 b と記憶容量 680 b は FET 660 b のドレインと接地間に平行に接続される。

【0025】2 つの副画素に関する別の実施形態では、各画素が 1 本のスキャンラインと 2 本の相關データラインに係るか、もしくは、各画素が 1 本のデータラインと 2 本の相關スキャンラインに係ることができる。前者の各副画素は、異なるデータラインと同じスキャンラインに対応する。後者の各副画素は異なるスキャンラインと同じデータラインに対応する。

【0026】第 3 の実施形態で開示された LCD 部材の画素レイアウトの図 6 B を参照されたい。FET 660 a、660 b のレイアウトは本発明の特徴ではないので、それらを部材記号で参照する。複数のデータラインや複数のスキャンラインの構成や、FET 660 a、660 b の配置に無関係に以下で説明される複数の副画素の構成のデザインが開示されているが、これらは本発明の範囲内にある。

【0027】図 6 B に示されるように、画素レイアウトの第 3 の実施形態には、2 つの透明電極プレート 675

a、675bが含まれ、これらは、FET660a、660bのドレインにそれぞれ接続する。透明電極プレート675aは、液晶容量670aと記憶容量680aの電極として働き、透明電極プレート675bは液晶容量670bと記憶容量680bの別な電極として使われる。予備導電ポート690は、オーバーラップ領域695a、695bがある2つの透明電極プレート675a、675b上では電氣的にフローティング状態にある。その上、複数の異なる画素の予備導電ポート690は互いに接続されていない。

【0028】液晶画素は、誘電体層（図示せず）によって透明電極プレート675a、675bから分離する電極プレート685a、685bを備えており、記憶容量680a、680bを形成する。全画素内の各記憶電極プレート685a、685bは接地する必要があるの、全ての記憶電極プレートが導電性金属線を介して互いに接続される。同じ画素内の記憶電極プレート685a、685bは互いに、接続ポート688を介して電氣的に接続される。記憶電極プレート685a、685bの両端は予備接続線699を介して接続されて、補助経路を形成する。予備接続線699と記憶電極プレート685a、685bは接続ポート688a、688bを介してそれぞれ接続される。上のレイアウトでは、接続ポート688、688a、688bと、透明電極プレート675aとFET660aのドレイン間の接合部665aと、透明電極プレート675bとFET660bのドレイン間の接合部665bは全て溶融可能である。

【0029】第3の実施形態のLCD部材を備える回路を使って、透明電極プレート内でのFET欠陥や短絡によって引き起こされるLCD部材のライン欠陥や点欠陥を簡単に修理することができる。ライン欠陥の修理手続きは、図4とそれに関する記述で示される。点透明電極プレートの欠陥テストと修理の手続きを図7に示す。修理中に、まず、第3の実施形態で説明されるディスプレイ部材が備えられる（ステップ701）。ディスプレイ部材は、複数の副画素と副画素電極675a、675bと、その間に備えられる予備導電ポート690を含む必要がある。欠陥テストと修理前に、予備導電ポート690と2つの電極プレート675a、675bが分離される。

【0030】その後、各ゲートパッド622a、622bとソースパッド632a、632bは制御信号を入力して、テストを実行させる（ステップ702）ことによって、電極プレート675aや675bの欠陥を診断することができる（ステップ703）。テストプロセス中に、電極プレートの欠陥から引き起こされる点欠陥がディスプレイ部材内で検出された場合、すぐに修理を行うことができる（ステップ704）。欠陥のある電極プレートをもつ画素の修理が行われると、欠陥のある部分を分離する必要がある。FETが故障すると、電極プレ

ト675a、675bとFETドレイン間の接合部665a、もしくは、665bが切断される。電極プレート675a、675bとそれに対応する記憶電極プレート685a、685b間に短絡が発生した場合、対応する接続ポート688と688a、もしくは、688bが切断される。問題をつきとめることができない場合は、欠陥のある電極プレートとFETと、記憶電極プレート685a、685bと接地端子が同時に分離される。

【0031】画素の欠陥部分が分離されると、予備導電ポート690と2つの電極プレート675a、675b間のオーバーラップ領域が溶融され、欠陥画素の2つの電極プレート675a、675bが導電ポート690を介して接続されて、新しく接続された回路が形成される。従って、元の欠陥のある電極プレートは、予備導電ポート690と別の電極プレートを介して別のFETドレインに接続する。欠陥が修理された後で、ディスプレイ部材内の各セットの関連データラインのソースパッド632a、632bは同じ信号入力端子に接続され、各セットの関連スキャンラインのゲートパッド622a、622bも同じ信号入力端子に接続される。1つの標準画素内で2つのFETを使って、2つの液晶容量と2つの記憶容量を駆動することができる。しかしながら、欠陥修理画素内の1つのFETを使って、2つの液晶容量と1つの記憶容量を駆動することができる。予備導電ポート690を接続することにより、元の欠陥のある電極プレートを別の電極プレートの対応するFETによって所定の電圧まで充電し駆動することができる。本方法によって、ディスプレイ効果と、欠陥を修理し部材品質と歩留りを向上させる目標を期待どおりに達成することができる。

【0032】図8Aは、第4の実施形態のLCD部材の回路構成を示す。上述の複数のデータラインと複数のスキャンラインに加えて4副画素構成をさらに採用することによって、4つの副画素電極が同じ制御信号を受信し、同じディスプレイ信号を生成して、完全なLCD画素を形成する。本実施形態のLCD部材は、平行する複数の光学的ディスプレイ行810と、各光学的ディスプレイ行810に直交して配置される複数の関連スキャンライン対820a、820bをそれぞれ備える。ゲートパッド822a、822bは、各スキャンライン対820a、820bの末端に信号入力端子として設置される。

【0033】各光学的ディスプレイ行810は少なくとも2本の関連データライン830a、830bを備え、それらの末端に信号入力端子であるソースパッド832a、832bが設置される。また、関連データライン830a、830bは、スキャンライン820a、820bに直交する。データ予備ライン840は2本の関連データライン830a、830b間に備えられ、その位置はディスプレイ部材の境界付近で、2本の関連データ

イン 830 a、830 b の末端であることが好ましい。また、スキャン予備ライン 845 は、相関スキャンラインの各対 820 a、820 b 間に備えられるが、これは、ディスプレイ部材の境界付近で、2 本の相関スキャンライン 820 a、820 b の末端に配置されるのが好ましい。各データ予備ライン 840 とスキャン予備ライン 845 は互いに接続することなく別個に配置される。

【0034】各光学的ディスプレイ行 810 は、直交する相関スキャンライン対 820 a、820 b によって一連の複数の画素 850 に分割される。各画素は、相関スキャンラインの対 820 a、820 b と 2 本の相関データライン 830 a、830 b に対応する。第 4 の実施形態の各画素 850 は、4 つの FET 860 a、860 b、862 a、862 b と、4 つの液晶容量 870 a、870 b、872 a、872 b と、4 つの記憶容量 880 a、880 b、882 a、882 b を備えることによって、全体として 4 つの副画素を形成する。各 FET はゲート、ドレイン、ソースを備える。ここでは、FET 860 a、860 b のゲートは同じスキャンライン 820 a に接続し、FET 862 a、862 b のゲートは同じスキャンライン 820 b に接続する。FET 860 a、862 a のソースは光学的ディスプレイ行 810 の同じデータライン 830 a に接続する。FET 860 b、862 b のソースは、光学的ディスプレイ行 810 の同じデータライン 830 b に接続する。液晶容量 870 a と記憶容量 880 a は FET 860 a のドレインと接地間に平行に接続され、液晶容量 870 b と記憶容量 880 b は FET 860 b のドレインと接地間に平行に接続され、液晶容量 872 b と記憶容量 882 b は FET 862 b のドレインと接地間に平行に接続され、液晶容量 872 b と記憶容量 882 b は FET 862 b のドレインと接地間に平行に接続される。

【0035】図 8 B を参照すると、FET 860 a、860 b、862 a、862 b は部材記号によって参照される。何故ならば、それらは本発明の特徴ではないからである。上で開示された、複数の副画素を備える複数のスキャンラインや複数のデータラインのデザインは、FET 860 a、860 b、862 a、862 b が配置されているにもかかわらず、本発明の範囲内にある。

【0036】図 8 B に示されているように、画素レイアウトは 4 つの透明電極プレート 875 a、875 b、876 a、876 b を備え、これらは FET 860 a、860 b、862 a、862 b のドレインにそれぞれ接続している。透明電極プレート 875 a は液晶容量 870 a と記憶容量 880 a の電極として働き、透明電極プレート 875 b は液晶容量 870 b と記憶容量 880 b の電極として使われ、透明電極プレート 876 a は液晶容量 872 a と記憶容量 882 a として働き、透明電極プレート 876 b は液晶容量 872 b と記憶容量 882 b の電極として使われる。

【0037】予備導電ポート 890 は、4 つの透明電極プレート 875 a、875 b、876 a、876 b 上で部分的にオーバーラップしており、また、フローティング状態にある。オーバーラップ領域には、895 a、895 b、896 a、896 b が含まれる。異なる複数の画素の予備導電ポート 890 は接続されていない。

【0038】液晶画素は記憶電極プレート 885 a、885 b、886 a、886 b を備え、透明電極プレート 875 a、875 b、876 a、876 b とオーバーラップしているが誘電体層（図示せず）によって分離されているので、記憶容量 880 a、880 b、882 a、882 b が形成される。全画素内の各記憶電極プレートは導電線によって接続され、また、接地される。上のレイアウトでは、複数の記憶電極プレート間の全接続ポートと、透明電極プレートと FET のドレイン間の接合部は溶融可能である。

【0039】第 4 の実施形態の LCD 部材を備える回路と使ってライン欠陥を修理したり、電極プレートの短絡による点欠陥、もしくは、FET 欠陥を簡単に修理することができる。ライン欠陥修理手続きは図 4 とそれに関連する記述で示されており、点欠陥テストと修理手続きは図 7 に示されている。欠陥テストと修理を行う前に、予備導電ポート 890 と全電極プレート 875 a、875 b、876 a、876 b は分離されて、接続されない。画素の電極プレートの欠陥が検出されると、電極プレートとそれに対応する記憶容量は対応するトランジスタと接地から分離され、予備導電ポート 890 と全電極プレート 875 a、875 b、876 a、876 b は溶融されて、電氣的に接続される。修理後に、良好な画素は 4 つの FET を使用して 4 つの液晶容量と 4 つの記憶容量を駆動し、欠陥が修理された画素は 3 つの FET を使って、4 つの液晶容量と 3 つの記憶容量を駆動する。予備導電ポート 890 を介して、元の欠陥のある電極プレートには、その他の 3 つの電極プレートのトランジスタによって所定電圧まで充電される。これによって、期待どりのディスプレイ結果が達成され、欠陥を修理して部材品質と歩留りを向上することができる。

【0040】要約すると、本発明はライン欠陥を修理するための複数のスキャンラインと複数のデータラインに関連する 1 画素の回路デザインを利用する。同じ画素の複数のスキャンラインと複数のデータライン間に独立した予備ラインが備えられ、これを溶解して、切れた回路のデータラインやスキャンラインを接続することによって、最短の接続経路を形成する。これによって、伝送距離、浮遊容量、信号減衰が最小化される。また、本方法は、複数のライン欠陥の修理に適用可能である。さらに、本発明は、点欠陥を修理するための、複数の副画素に関連する 1 画素の回路デザインを提供する。同じ画素の複数の副画素電極間に予備導電ポートが備えられる。

溶融可能な接合部を利用して複数の信号ラインと接続す

ることによって、画素の欠陥電極を分離して、接続のために予備導電ポートを溶融させることができる。別の副画素のリソースを用いて欠陥のある副画素をサポートし補償することによって、全画素のスクリーン品質を維持することができるので、スクリーン信号の損失は最小化される。

【0041】本発明の範囲は、特定の実施形態を引用した上の記述に限定されない。開示された実施形態や別の実施形態に様々な修正を行えることは当業者にとって明らかである。例えば、同じ画素に2本以上の相関10 スキャンラインやデータラインを使うことができる。また、予備ラインを使って、全相関スキャンラインやデータラインを選択的に接続してもよい。その代わりに、分割可能な予備ラインを使って、相関スキャンラインやデータラインを互いに選択的に接続してもよい。予備導電ポートは同様のデザインをもつことができる。複数の予備導電ポートを複数の副画素電極プレート間に接続することができる。このとき、各画素電極プレートを少なくとも1つの予備導電ポートに選択的に接続することができる。また、各予備導電ポートは少なくとも2つの副画20 素電極プレートに対応する。複数の予備ラインを一致させるために同様のパターンを使ってもよい。従って、添付の請求項は本発明の真の範囲内に入る修正の全てをカバーするものであることが意図されている。

#### 【図面の簡単な説明】

【図1】Aは、従来のLCD部材のアレイ回路のレイアウトを示し、Aは、従来のLCD部材の画素レイアウトを示す。

【図2】Aは、予備データラインをもつ従来のLCD部材のアレイ回路レイアウトを示し、B及びCは、従来の30 LCD部材の予備データライン構成と接合の模式的断面

を示す。

【図3】図3は、本発明の第1の実施形態に基づく複数のデータラインを備えるLCD部材のアレイ回路レイアウトである。

【図4】図4は、第1の実施形態のLCD部材回路に基づく信号ライン欠陥テストと修理のフローチャートである。

【図5】図5は、本発明の第2の実施形態に基づく複数のデータラインと複数のスキャンラインをもつLCD部材のアレイ回路のレイアウトである。

【図6】Aは、本発明の第3の実施形態に基づく2つの副画素をもつLCD部材のアレイ回路のレイアウトであり、Bは、本発明の第3の実施形態に基づく2つの副画素をもつLCD部材の画素レイアウトである。

【図7】図7は、第3の実施形態のLCD部材回路に基づく信号ライン欠陥テストと修理のフローチャートである。

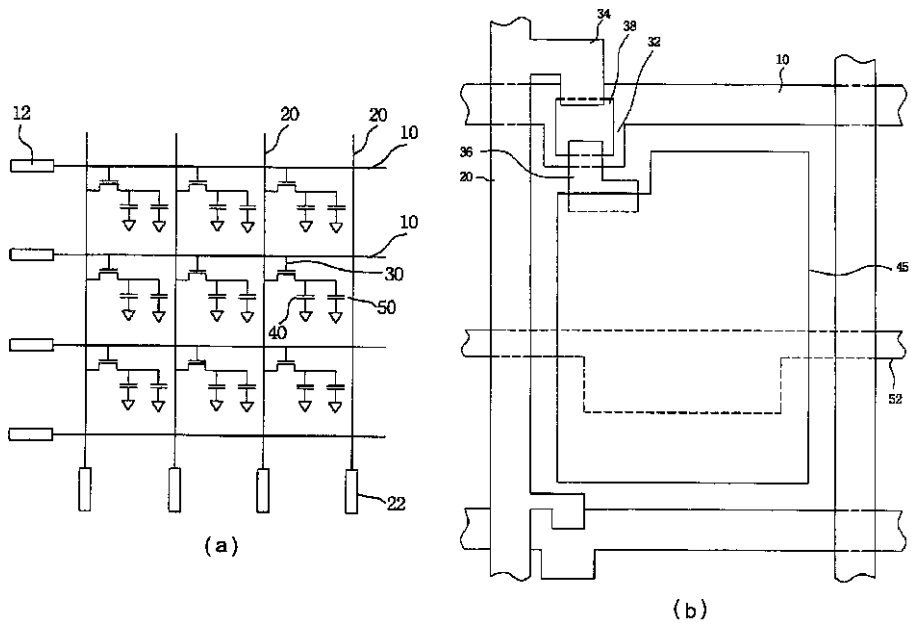
【図8】Aは、本発明の第3の実施形態に基づく4つの副画素をもつLCD部材のアレイ回路のレイアウトであり、Bは、本発明の第3の実施形態に基づく4つの副画素をもつLCD部材の画素レイアウトである。

#### 【符号の説明】

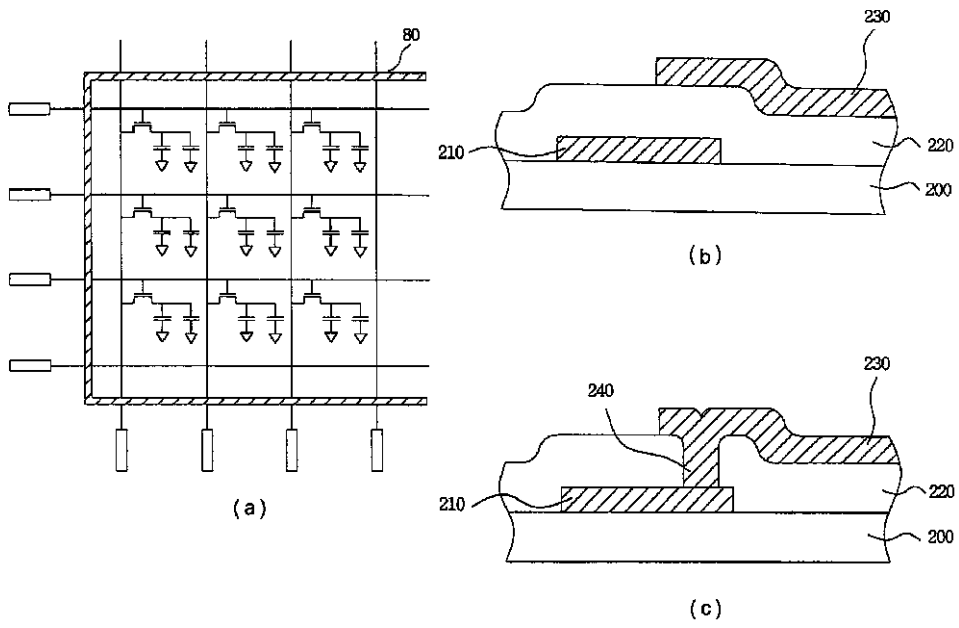
- 310 光学的ディスプレイ
- 320 スキャンライン
- 322 a、322 b ソースパッド
- 330 a、330 b 相関データライン
- 340 予備ライン 340
- 350 画素 350
- 360 電界効果トランジスタ
- 370 液晶容量
- 380 記憶容量



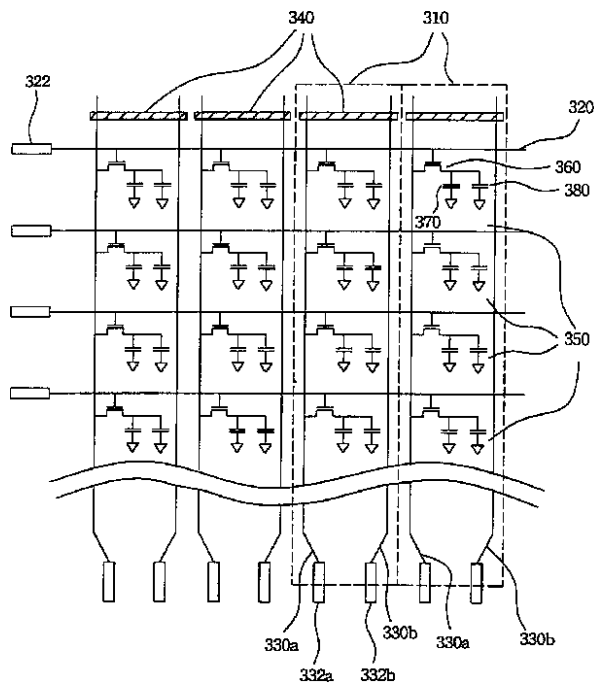
【図 1】



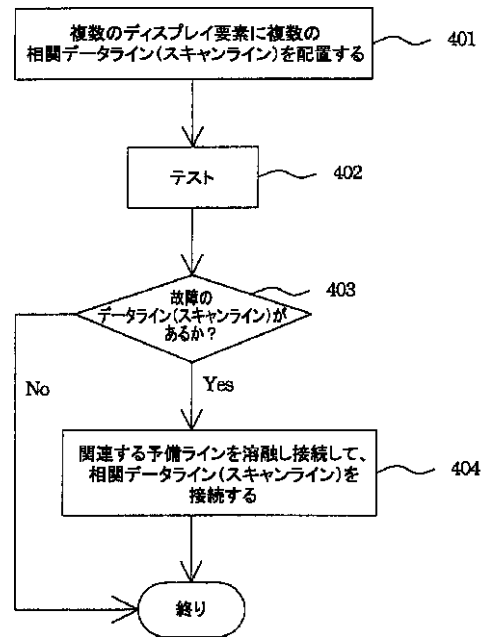
【図 2】



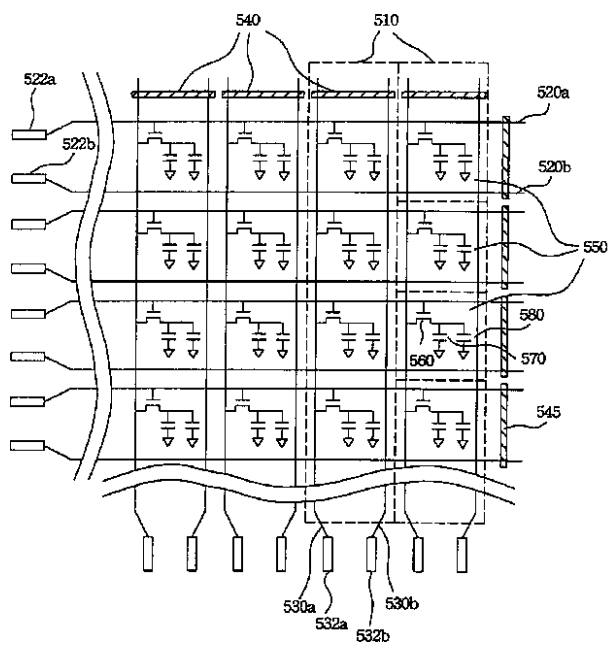
【図3】



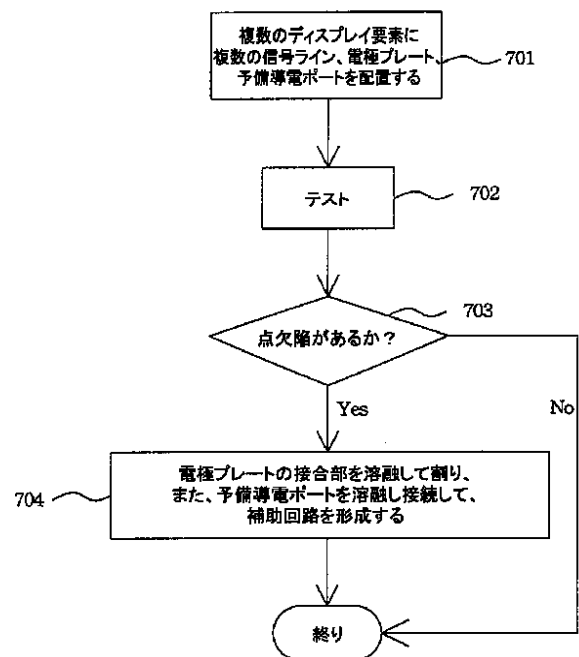
【図4】



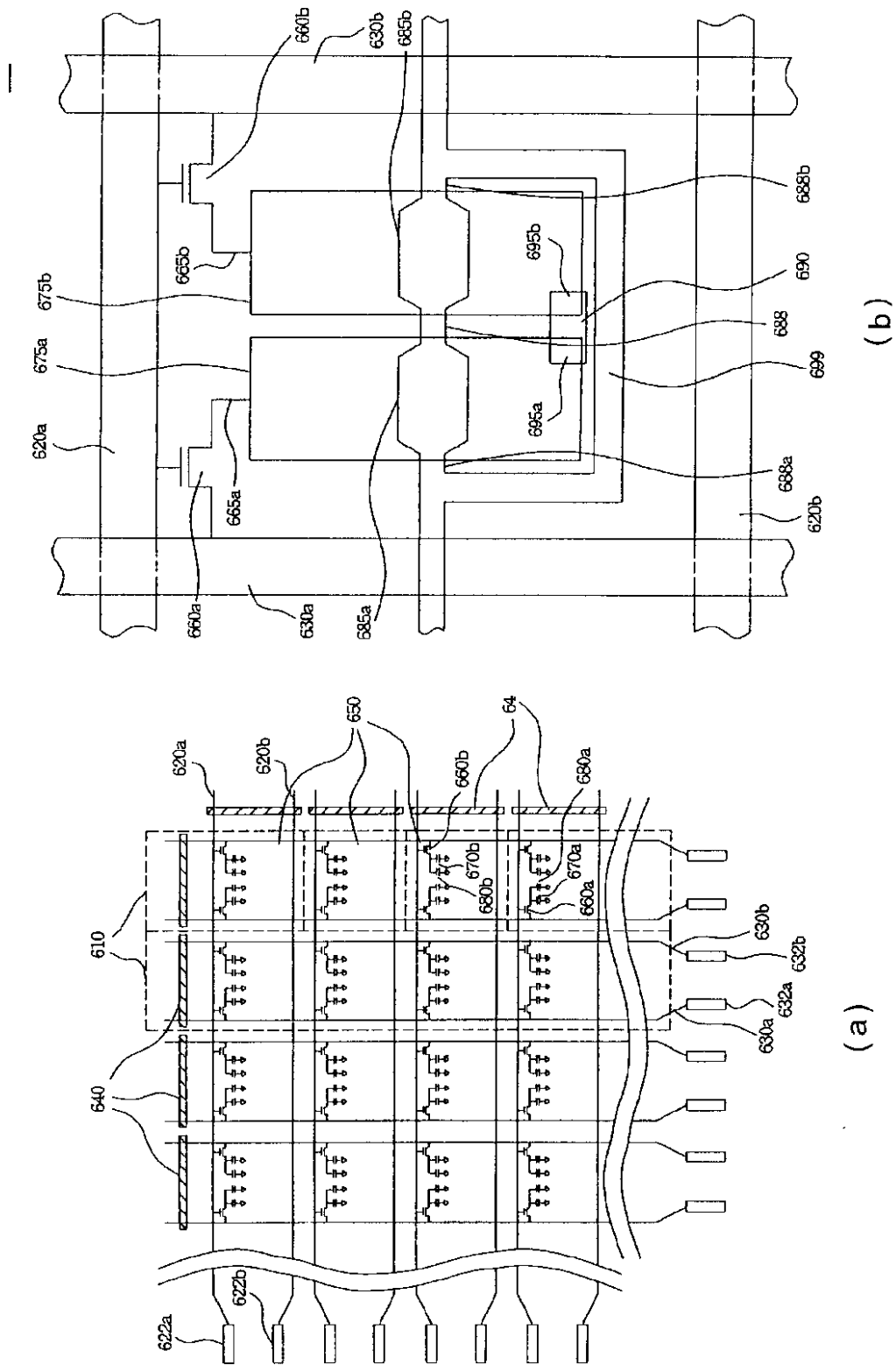
【図5】



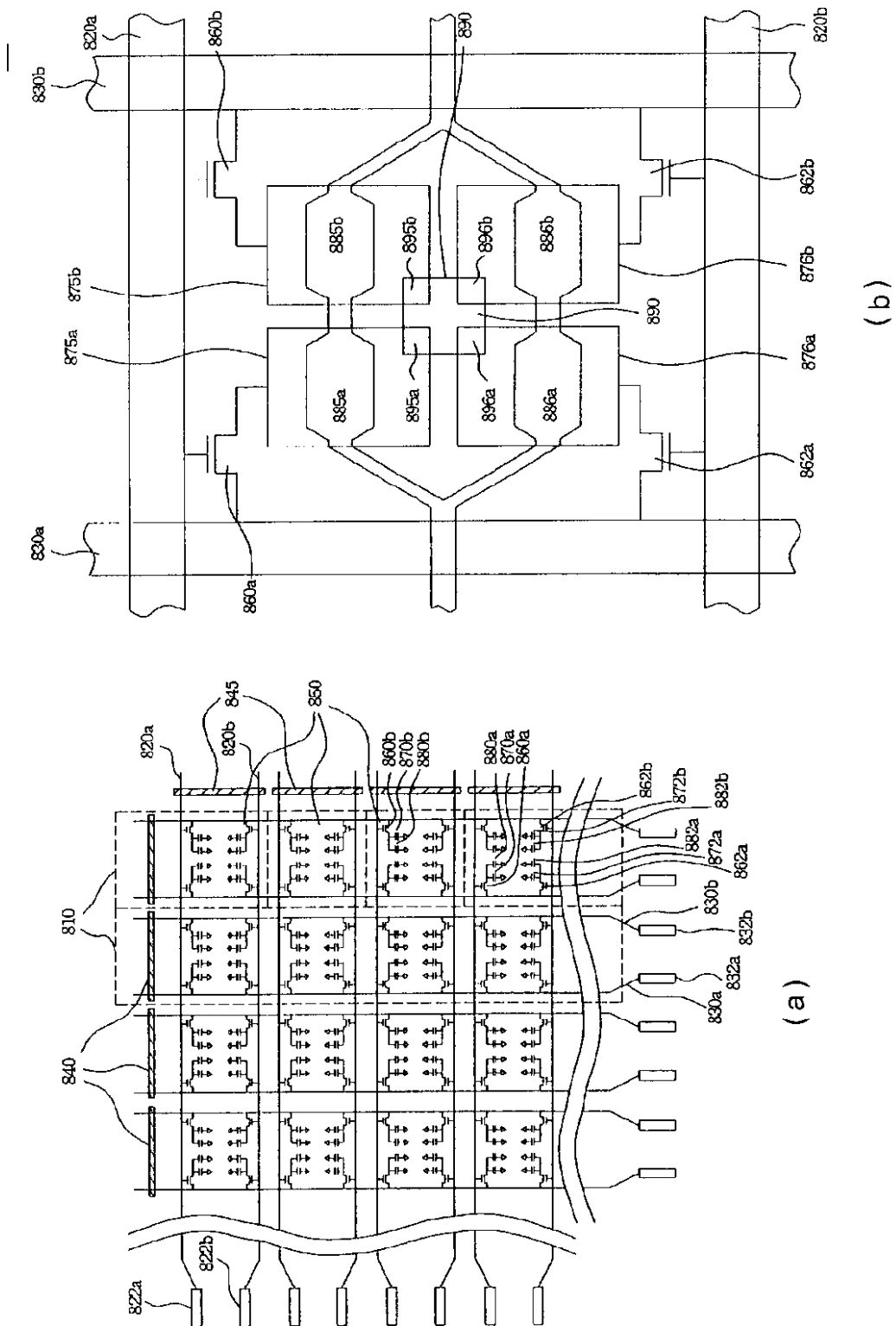
【図7】



【図6】



【図 8】



フロントページの続き

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコ-ト <sup>7</sup> (参考)
G 0 9 G 3/20	6 7 0	G 0 9 G 3/20	6 7 0 A 5 G 4 3 5
3/36		3/36	6 7 0 Q

F タ-ム(参考) 2H088 FA11 FA13 FA14 HA02 HA06  
HA08 MA20  
2H092 GA24 GA28 JA23 JB22 JB31  
JB42 JB45 JB71 JB73 JB77  
MA46 MA51 MA52 MA55 MA56  
NA15 NA16 NA29 NA30  
2H093 NC10 NC12 NC36 ND16 ND46  
ND48 NE03  
5C006 BB16 EB01 EB03 EB04 FA18  
5C080 AA10 BB05 DD15 DD28 FF11  
JJ03 JJ07  
5G435 AA17 AA19 BB12 CC09 KK05  
KK09 KK10

