

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A) (11)特許出願公開番号

特開2001 - 264813

(P2001 - 264813A)

(43)公開日 平成13年9月26日 (2001.9.26)

(51) Int. Cl ⁷	識別記号	F I	テ-マ-コード (参考)
G 0 2 F 1/1368		G 0 9 F 9/30	2 H 0 9 2
G 0 9 F 9/30	338	H 0 1 L 21/28	L 4 M 1 0 4
H 0 1 L 21/28		G 0 2 F 1/136	500 5 C 0 9 4
21/3065		H 0 1 L 21/302	M 5 F 0 0 4
21/768		21/90	A 5 F 0 3 3

審査請求 未請求 請求項の数 22 O L (全 18数) 最終頁に続く

(21)出願番号 特願2000 - 80241(P2000 - 80241)

(22)出願日 平成12年3月22日(2000.3.22)

(71)出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目2番3号

(71)出願人 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号

(72)発明者 久保田 健
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74)代理人 100064746
弁理士 深見 久郎 (外 4 名)

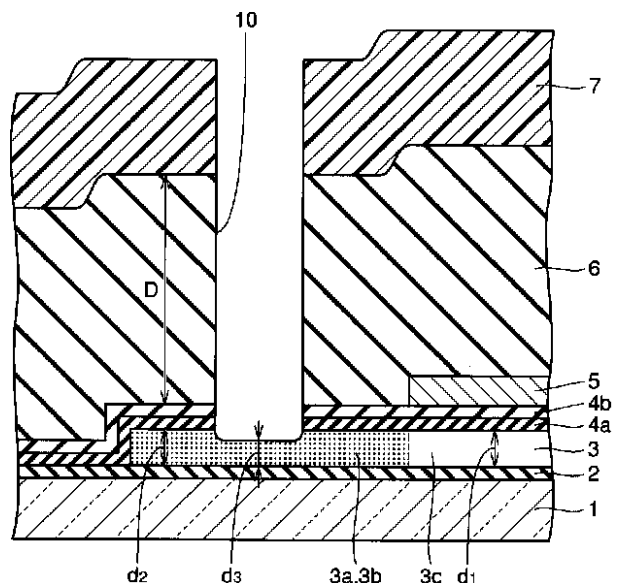
最終頁に続く

(54)【発明の名称】 液晶表示装置および液晶表示装置の製造方法

(57)【要約】

【課題】 多結晶シリコン膜と確実にコンタクトをとることができるコンタクトホールを開口できる、高表示品位の液晶表示装置とその製造方法を提供する。

【解決手段】 第1のエッチング条件によって層間絶縁膜を開口する第1開口工程と、第2のエッチング条件によって半導体層を露出させる第2開口工程とを有し、第1のエッチング条件では、第2のエッチング条件よりも層間絶縁膜を開口するエッチング速度が大きく、第2のエッチング条件では、ゲート絶縁膜の半導体層に対するエッチング選択比が第1のエッチング条件よりも大きい。



【特許請求の範囲】

【請求項1】 薄膜トランジスタ(TFT:Thin Film Transistor)を含む駆動回路一体型の液晶表示装置の製造方法であって、

ソース、ドレイン領域とチャネル領域とを有する前記TFTの半導体層を基板の上に形成する工程と、前記半導体層および基板の上を覆うゲート絶縁膜を形成する工程と、

前記チャネル領域の上方の前記ゲート絶縁膜に接する部分にゲート電極を形成する工程と、

前記ゲート絶縁膜および前記ゲート電極を覆う層間絶縁膜を形成する工程と、

前記ソース、ドレイン領域の上の前記層間絶縁膜および前記ゲート絶縁膜に当該ソース、ドレイン領域に達するコンタクトホールを開口する工程とを備え、

前記コンタクトホールを開口する工程は、第1のエッチング条件によって前記層間絶縁膜を実質的に開口する第1開口工程と、第2のエッチング条件によって前記半導体層を前記コンタクトホール底部に実質的に露出させる第2開口工程とを有し、

前記第1のエッチング条件では、前記第2のエッチング条件よりもエッチング速度が大きく、前記第2のエッチング条件では、前記半導体層の上に接する絶縁膜の前記半導体層に対するエッチング選択比が前記第1のエッチング条件よりも大きい、液晶表示装置の製造方法。

【請求項2】 前記層間絶縁膜および前記ゲート絶縁膜の厚さの合計Dが500nm以上あり、前記チャネル領域の厚さ d_1 が100nm以下であり、 (D/d_1) が10以上である、請求項1に記載の液晶表示装置の製造方法。

【請求項3】 前記第2のエッチング条件では、前記半導体層の上に接する絶縁膜の前記半導体層に対するエッチング選択比を (D/d_1) 以上とする、請求項1または2に記載の液晶表示装置の製造方法。

【請求項4】 前記第2開口工程では、コンタクトホール底部の前記半導体層の厚さを1/2以上残して該半導体層をエッチングする、請求項1～3のいずれかに記載の液晶表示装置の製造方法。

【請求項5】 前記第2開口工程では、ウェットエッチングによりエッチングを行う、請求項1～4のいずれかに記載の液晶表示装置の製造方法。

【請求項6】 レジストを付けたままウェットエッチングを行う場合において、アッシングによりレジストを後退させた後にウェットエッチングを行う、請求項5に記載の液晶表示装置の製造方法。

【請求項7】 前記ゲート電極の形成後であって、前記層間絶縁膜の形成前に、前記ゲート絶縁膜を介して前記ソース、ドレイン領域に不純物を打ち込む工程と、その不純物打ち込み工程の後に前記ゲート電極下以外の領域のゲート絶縁膜を除去する工程とを有し、前記層間絶縁膜

は前記ゲート電極、前記ソース、ドレイン領域および基板の上を覆って形成され、前記開口工程において、エッチング排気中の前記不純物をモニタし、その不純物が増大した時点と、そのエッチングが前記層間絶縁膜から前記ソース、ドレイン領域にかかった時点と判断して、前記エッチング条件を変更する、請求項1～4のいずれかに記載の液晶表示装置の製造方法。

【請求項8】 前記半導体層形成の工程において、前記チャネル領域の半導体層の厚さを前記ソース、ドレイン領域の半導体層の厚さよりも薄く形成する、請求項1～4のいずれかに記載の液晶表示装置の製造方法。

【請求項9】 前記半導体層の形成にレジストを用いる工程において、半導体層のパターニングに用いたレジストの前記ソース、ドレイン領域の上の部分を残し、チャネル領域上のレジストの部分除去した後に、チャネル領域の半導体層をエッチングする、請求項8に記載の液晶表示装置の製造方法。

【請求項10】 薄膜トランジスタ(TFT:Thin Film Transistor)を含む駆動回路一体型の液晶表示装置の製造方法であって、

ソース、ドレイン領域とチャネル領域とを有する前記TFTの半導体層を基板の上に形成する工程と、前記半導体層および基板の上を覆うゲート絶縁膜を形成する工程と、

前記チャネル領域の上方の前記ゲート絶縁膜に接する部分にゲート電極を形成する工程と、

前記ゲート絶縁膜および前記ゲート電極を覆う層間絶縁膜を形成する工程と、

前記層間絶縁膜および前記ゲート絶縁膜に前記半導体層のソース、ドレイン領域に達するコンタクトホールを開口する工程とを備え、

前記コンタクトホールを開口する工程では、レジストを後退させながら層間絶縁膜、ゲート絶縁膜および前記半導体層に対してエッチングを行い、前記半導体層の端面をテーパ状にコンタクトホール底部に露出させる、請求項1～3のいずれかに記載の液晶表示装置の製造方法。

【請求項11】 前記コンタクトホール開口工程では、エッチングに用いるガス中の酸素流量を70sccm(standard cubic cm/min)以上とする、請求項10に記載の液晶表示装置の製造方法。

【請求項12】 前記開口工程に引き続いて、ウェットエッチングにより前記テーパ状端面に連なる半導体層の上の絶縁膜をエッチングして当該半導体層の上面端部をも前記コンタクトホール底部に露出させる、請求項10または11に記載の液晶表示装置の製造方法。

【請求項13】 前記コンタクトホールを開口する工程において、エッチングの排気中の酸素をモニタして、排気中の酸素量の大小により前記エッチングの進行段階を検知して、エッチング条件を変更する、請求項1～12のいずれかに記載の液晶表示装置の製造方法。

【請求項14】 薄膜トランジスタ(TFT:Thin Film Transistor)を有する駆動回路一体型の液晶表示装置であつて、
 基板の上に形成された、ソース、ドレイン領域とチャネル領域とを有する前記TFTの半導体層と、
 前記半導体層を覆うゲート絶縁膜と、
 前記半導体層におけるチャネル領域の上方において前記ゲート絶縁膜に接するゲート電極と、
 前記ゲート絶縁膜および前記ゲート電極を覆う層間絶縁膜と、
 前記ソース、ドレイン領域上の前記ゲート絶縁膜および層間絶縁膜に開口されたコンタクトホール底部で前記ソース、ドレイン領域と接触する、前記層間絶縁膜の上に位置する導電膜とを備え、
 前記導電膜に接している前記ソース、ドレイン領域の半導体層の厚さ d_3 は導電膜に接していない領域のソース、ドレイン領域の半導体層の厚さ d_2 以下で、かつ $d_2/2$ 以上であり、前記層間絶縁膜および前記ゲート絶縁膜の膜厚合計 D は500nm以上、前記チャネル領域の半導体層の厚さ d_1 は100nm以下であり、 (D/d_1) が10以上である、液晶表示装置。

【請求項15】 前記ソース、ドレイン領域の半導体層の厚さ d_2 が前記チャネル領域の半導体層の厚さ d_1 よりも厚い、請求項14に記載の液晶表示装置。

【請求項16】 前記ゲート絶縁膜は前記ゲート電極の下にのみ設けられ、前記ソース、ドレイン領域は不純物を含まない層間絶縁膜によって直接覆われている、請求項14または15に記載の液晶表示装置。

【請求項17】 薄膜トランジスタ(TFT:Thin Film Transistor)を有する駆動回路一体型の液晶表示装置であつて、
 基板の上に形成された、ソース、ドレイン領域とチャネル領域とを有する前記TFTの半導体層と、
 前記半導体層を覆うゲート絶縁膜と、
 前記半導体層におけるチャネル領域の上方において前記ゲート絶縁膜に接するゲート電極と、
 前記ゲート絶縁膜および前記ゲート電極を覆う層間絶縁膜と、
 前記ソース、ドレイン領域上の絶縁膜のコンタクトホール底部で前記ソース、ドレイン領域と接する、前記層間絶縁膜の上に位置する導電膜とを備え、
 前記層間絶縁膜および前記ゲート絶縁膜の膜厚合計 D は500nm以上、前記チャネル領域の半導体層の厚さ d_1 は100nm以下であり、 (D/d_1) が10以上であり、前記ソース、ドレイン領域は、前記半導体層のテーパ状の端面部で前記導電膜に接している部分を含む、液晶表示装置。

【請求項18】 前記ソース、ドレイン領域は、前記テーパ状端面部に連なる半導体層の上面部で前記導電膜に接している部分をさらに含む、請求項17に記載の液晶*

*表示装置。

【請求項19】 薄膜トランジスタ(TFT:Thin Film Transistor)を有する駆動回路一体型の液晶表示装置であつて、
 基板の上に形成された、ソース、ドレイン領域とチャネル領域とを有する前記TFTの半導体層と、
 前記半導体層を覆うゲート絶縁膜と、
 前記半導体層におけるチャネル領域の上方において前記ゲート絶縁膜に接するゲート電極と、
 前記ゲート絶縁膜および前記ゲート電極を覆う層間絶縁膜と、
 前記ソース、ドレイン領域上の絶縁膜のコンタクトホール底部で前記ソース、ドレイン領域と接する、前記層間絶縁膜の上に位置する導電膜とを備え、
 前記ソース、ドレイン領域の半導体層の厚さ d_2 が前記チャネル領域の半導体層の厚さ d_1 よりも厚い、液晶表示装置。

【請求項20】 前記ソース、ドレイン領域の半導体層の厚さ d_2 が75nm~250nmの範囲内にあり、前記チャネル領域の半導体層の厚さ d_1 が25~70nmの範囲内にある、請求項19に記載の液晶表示装置。

【請求項21】 薄膜トランジスタ(TFT:Thin Film Transistor)を有する駆動回路一体型の液晶表示装置であつて、
 基板の上に形成された、ソース、ドレイン領域とチャネル領域とを有する前記TFTの半導体層と、
 前記半導体層を覆うゲート絶縁膜と、
 前記半導体層におけるチャネル領域の上方において前記ゲート絶縁膜に接するゲート電極と、
 前記ゲート絶縁膜および前記ゲート電極を覆う層間絶縁膜と、
 前記ソース、ドレイン領域上の絶縁膜のコンタクトホール底部で前記ソース、ドレイン領域と接する、前記層間絶縁膜の上に位置する導電膜とを備え、
 前記ソース、ドレイン領域は、前記半導体層のテーパ状の端面部で前記導電膜に接している部分を含む、液晶表示装置。

【請求項22】 前記ソース、ドレイン領域のテーパ状端面部は、前記導電膜が前記基板に接触している部分に連続して位置している、請求項21に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタ(TFT:Thin Film Transistor)を含むアクティブマトリックス方式の液晶表示装置およびその製造方法に関する。

【0002】

【従来の技術】近年、多結晶シリコンのTFTを用いた液晶表示装置の開発が推進されている。多結晶シリコンのTFTは従来のアモルファスシリコンのTFTに

比べて高精細のパネルが形成できること、駆動回路領域と画素領域とを一体形成できること、駆動回路チップや実装のコストが不要となり低コストが可能になること等の利点をもたらす。この多結晶シリコンはアモルファスシリコンに対してレーザ結晶化技術を適用する低温ポリシリコン化プロセスによる得ることができる。このレーザ結晶化技術は、大型ガラス基板上に形成されたアモルファスシリコンに対して適用できるので、大型化が容易であり、かつ安価であるため、開発が急ピッチで進められている。つぎにTFTおよび容量を備えたアクティブマトリクス方式の液晶表示装置の従来の製造方法について図22を用いて説明する。図22は液晶表示装置のTFT(n型またはp型)の断面図である。

【0003】まず、ガラス基板101の表面に下地膜102としてシリコン窒化膜とシリコン酸化膜との2層膜を形成した後、連続してその上にアモルファスシリコン膜を形成する。アモルファスシリコン膜の膜厚は50nm程度とする。次に、エキシマレーザを用いてトランジスタのチャンネル部をアニールして多結晶シリコンとした後、ドライエッチングによりチャンネル部103をパターニングして形成する。以後の説明で、「チャンネル部」はTFTが形成されるパターニングされた半導体層をさし、「チャンネル領域」はソース、ドレイン領域では含まれるチャンネル部の中央に位置する領域をさす。次に、ゲート絶縁膜104として、例えばTEOS(Tetra Ethyl Ortho Silicate) PECVD(Plasma Enhanced Chemical Vapor Deposition)によりシリコン酸化膜を膜厚70nm程度形成した後、例えばCr膜を成膜し、次いでパターニングしてゲート電極105を形成する。その後、画素領域および駆動回路領域のn型TFTのソース、ドレイン領域にはリンイオンを、また駆動回路領域のp型TFTのソース、ドレイン領域にはボロンイオンを、それぞれ別々のプロセスで注入する。続いて、層間絶縁膜106として、TEOS PECVDによりシリコン酸化膜を膜厚500nm程度形成した後、400℃で活性化アニール処理を行う。この後、ソース、ドレイン領域103a, 103bの上の層間絶縁膜106およびゲート絶縁膜104にコンタクトホール110をドライエッチングにより開口する。その後、そのコンタクトホール110を充填するようにCr膜を100nm、Al系合金膜を400nm程度スパッタにより成膜し、次いで、パターニングしてソース、ドレイン電極108, 109を形成する。この後、この基板を水素プラズマ中に入れ、半導体層の多結晶シリコン膜の水素化処理を行い、移動度等の特性の向上と安定化を行う。この後、シリコン窒化膜等により絶縁膜111を形成する。駆動回路領域では、上記のプロセスで作製したn型TFTとp型TFTとを組み合わせ、CMOS(Complementary Metal Oxide Semiconductor)回路を構成して駆動回路を形成する。一方、画素領域では、n型TFTと画素電極とを接続して表示画素を

形成する。この画素領域と駆動回路領域とは、共通の1つの基板(下部基板)上に形成されている。カラーフィルタが貼り付けられ対向電極および配向層が形成された上部ガラス基板と、同じく配向層が形成された上記基板101とは、配向層どうしを対面させ一定のギャップをとって結合され、上記ギャップ内に液晶を封入することにより液晶表示装置が完成される。

【0004】

【発明が解決しようとする課題】低温多結晶シリコンのTFTでは一体化した駆動回路の能力に余裕がなく、配線間または遮光層との間の容量を小さくするために層間絶縁膜を厚くする必要がある。また、多結晶シリコン膜は、画素領域のTFTのチャンネルとして使用しオフ電流を充分低くするために、その膜厚を充分薄くする必要がある。すなわち、駆動回路一体型の液晶表示装置においては、層間絶縁膜を非常に厚くして、かつ多結晶シリコン膜は非常に薄くする必要がある。この厚い層間絶縁膜と薄い多結晶シリコン膜との条件が満たされないと、画面の表示品位は劣化してしまう。

【0005】上記の構造のTFTにソース、ドレイン電極形成用のコンタクトホールをドライエッチングによって開口する場合、次のようなエッチングを行うことになる。すなわち、層間絶縁膜とゲート絶縁膜の合計厚さ約600nm程度を基板内の上記絶縁膜の厚さばらつきを考慮してエッチングして開口し、コンタクトホール底部に厚さ50nm程度の薄い多結晶シリコン表面を露出させるエッチングを行う。このエッチングを薄い多結晶シリコンを突き抜けずに行うためには、絶縁膜の多結晶シリコンに対する高いエッチング選択比が必須となる。現状のエッチングにおけるエッチング選択比は充分大きくなく、またエッチングのばらつき発生程度から、それほど大きなオーバーエッチングを行うことはできない。このため、エッチングを阻害する反応生成物等が付着した場合には、エッチングのマージンが少ないのでエッチング不足を生じやすい。この結果、液晶表示装置の製造の際、表面状況により数画素レベル単位の局所的なコンタクトホール未開口部が発生し、歩留り低下を生じていた。

【0006】一方、エッチング選択比のみを重視したエッチングを行うと、非常に厚い絶縁膜の開口に長時間を要し、生産性を大きく劣化させてしまう。

【0007】そこで、本発明は、非常に厚い層間絶縁膜および非常に薄い多結晶シリコン層を有する駆動回路一体型液晶表示装置において、多結晶シリコン膜と確実にコンタクトをとることができるコンタクトホールを能率的に開口することができる液晶表示装置およびその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】請求項1の液晶表示装置の製造方法は、TFTを含む駆動回路一体型の液晶表示

装置の製造方法である。この製造方法は、ソース、ドレイン領域とチャネル領域とを有するTFTの半導体層を基板の上に形成する工程と、半導体層および基板の上を覆うゲート絶縁膜を形成する工程と、チャネル領域の上方のゲート絶縁膜に接する部分にゲート電極を形成する工程と、ゲート絶縁膜およびゲート電極を覆う層間絶縁膜を形成する工程と、ソース、ドレイン領域の上の層間絶縁膜およびゲート絶縁膜に当該ソース、ドレイン領域に達するコンタクトホールを開口する工程とを備える。そして、コンタクトホールを開口する工程は、第1のエッチング条件によって層間絶縁膜を実質的に開口する第1開口工程と、第2のエッチング条件によって半導体層をコンタクトホール底部に実質的に露出させる第2開口工程とを有し、第1のエッチング条件では、第2のエッチング条件よりもエッチング速度が大きく、第2のエッチング条件では、半導体層の上に接する絶縁膜の半導体層に対するエッチング選択比が第1のエッチング条件よりも大きい。

【0009】上記構成により、層間絶縁膜を開口する工程ではエッチング速度を重視して非常に厚い層間絶縁膜を短時間でエッチングして開口することができる。また、半導体層を露出する工程では、半導体層のエッチング速度に比して絶縁膜のエッチング速度が大きいエッチング条件を採用して、半導体層を突き抜けることなく、確実に絶縁膜や再付着物等を除去して半導体を露出させることができる。この結果、薄い半導体層と厚い層間絶縁膜とにより、低いオフ電流と小さい配線間容量、遮光層との容量形成防止を達成することができるので、高い表示品位を確保することができる。また、上記品質を確保する構造とした上で、短時間の製造時間でソース、ドレイン電極のコンタクトを確実にとり、液晶表示装置の製造歩留りの低下を防止できるので、製造コストを低減させることが可能となる。

【0010】請求項2の液晶表示装置の製造方法では、請求項1の製造方法において、層間絶縁膜およびゲート絶縁膜の厚さの合計Dが500nm以上あり、チャネル領域の厚さ d_1 が100nm以下であり、 (D/d_1) が10以上である。

【0011】上記の構成により、確実に配線間容量を低減することができ、またオフ電流を低下させることができるので、高い表示品位を確保することができる。

【0012】請求項3の液晶表示装置の製造方法では、請求項1または2の製造方法において、第2のエッチング条件では、半導体層の上に接する絶縁膜の半導体層に対するエッチング選択比を (D/d_1) 以上とする。

【0013】このエッチング条件により、半導体層が薄くても突き抜けることなく、上記絶縁膜の再付着物を除去して確実に半導体層を露出させることができる。

【0014】請求項4の液晶表示装置の製造方法では、請求項1～3のいずれかの製造方法において、第2開口

工程では、コンタクトホール底部下の半導体層の厚さを1/2以上残して該半導体層をエッチングする。

【0015】上記のエッチングにより、半導体層を突き抜けることなく余裕をもって確実に半導体層のソース、ドレイン領域とソース、ドレイン領域とのコンタクトをとることができる。

【0016】請求項5の液晶表示装置の製造方法では、請求項1～4のいずれかの製造方法において、第2開口工程では、ウエットエッチングによりエッチングを行う。

【0017】ウエットエッチングのエッチャントには、絶縁膜の半導体層に対するエッチング選択比がきわめて大きいものがある。例えば、HF系のエッチャントはシリコン酸化膜の多結晶シリコンに対するエッチング選択比がきわめて大きく、100を超えるエッチング選択比を有する。このため、第2開口工程において、シリコン酸化膜や付着物の除去を充分行い、多結晶シリコン表面を露出させても、多結晶シリコンがエッチされる量は非常に小さく、突き抜け等が生じる可能性はなくなる。ウエットエッチングでは、コンタクトホールの軸線を含む断面上でコンタクトホール内面が滑らかな曲線をえがいて半導体層に接する。

【0018】請求項6の液晶表示装置の製造方法では、請求項5の製造方法でレジストを付けたままウエットエッチングを行う場合において、アッシングによりレジストを後退させた後にウエットエッチングを行う。

【0019】ウエットエッチングを行う場合は、レジスト下面に接する層間絶縁膜の角部はエッチングされず、その下側がえぐられるようにエッチングされるので、コンタクトホールのトップにあごができる問題がある。これを防止するために、アッシングによってレジストを後退させてからウエットエッチングを行うことにより、上記あごの発生を防ぐことができる。上記後退レジストのウエットエッチングにより、やや上広のコンタクトホールができるが、問題はまったく生じない。

【0020】請求項7の液晶表示装置の製造方法では、請求項1～4のいずれかの製造方法において、ゲート電極の形成後であって、層間絶縁膜の形成前に、ゲート絶縁膜を介してソース、ドレイン領域に不純物を打ち込む工程と、その不純物打ち込み工程の後にゲート電極下以外の領域のゲート絶縁膜を除去する工程とを有し、層間絶縁膜は前記ゲート電極、ソース、ドレイン領域および基板の上を覆って形成され、開口工程において、エッチング排気中の不純物をモニタし、その不純物が増大した時点を、そのエッチングが層間絶縁膜からソース、ドレイン領域にかかった時点と判断して、エッチング条件を変更する。

【0021】上記のように、不純物をモニタすることにより高速エッチングにより層間絶縁物をエッチングしても半導体層にかかったことを正確に知ることができる。

このため、半導体層をエッチングして突き抜けたり、不必要に厚い層間絶縁膜を残したまま第1開口工程を終了することがなくなる。このため、コンタクトホール開口工程を高能率化でき、かつ歩留り低下を防止することが可能となる。

【0022】請求項8の液晶表示装置の製造方法では、請求項1～4のいずれかの製造方法において、半導体層形成の工程において、チャンネル領域の半導体層の厚さをソース、ドレイン領域の半導体層の厚さよりも薄く形成する。

【0023】オフ電流は、主にチャンネル領域の半導体層の厚さによって決まるので、上記の構成により、オフ電流を低くすることができる。また、コンタクトホール底部の半導体層の厚さを厚くすることにより、厚い絶縁膜へのコンタクトホールの開口を高速のエッチング条件で行っても、半導体層の突抜け防止を余裕をもって行い、確実にコンタクトをとることが可能となる。

【0024】請求項9の液晶表示装置の製造方法では、請求項8の製造方法での半導体層の形成にレジストを用いる工程において、半導体層のパターニングに用いたレジストのソース、ドレイン領域の上の部分を残し、チャンネル領域の上のレジストの部分除去後に、チャンネル領域の半導体層をエッチングする。

【0025】上記の構成により、薄膜トランジスタの半導体層をパターニングしたレジストをそのまま用いてチャンネル領域の膜厚が薄く、ソース、ドレイン領域の膜厚が厚い半導体層を、安価、簡便に形成することができる。なお、アッシングによってチャンネル領域の上のレジスト部分を削除するためには、レジストはチャンネル領域の部分のみ、ソース、ドレイン領域に比べて薄く形成されている必要がある。このようなレジスト形状にするためには、チャンネル部全体のパターニングのためのレジストを形成するマスクと、チャンネル部のうちのチャンネル領域の部分のみ透明なマスクとの2種類を準備して、各マスクを用いて2回の露光により行うことができる。また、チャンネル部のうちチャンネル領域は半透明で、ソース、ドレイン領域は不透明で、それ以外の領域は透明なマスクを用いて、1回の露光で上記レジストを形成することもできる。

【0026】請求項10の液晶表示装置の製造方法は、TFTを含む駆動回路一体型の液晶表示装置の製造方法である。この製造方法は、ソース、ドレイン領域とチャンネル領域とを有するTFTの半導体層を基板の上に形成する工程と、半導体層および基板の上を覆うゲート絶縁膜を形成する工程と、チャンネル領域の上方のゲート絶縁膜に接する部分にゲート電極を形成する工程と、ゲート絶縁膜およびゲート電極を覆う層間絶縁膜を形成する工程と、層間絶縁膜およびゲート絶縁膜に半導体層のソース、ドレイン領域に達するコンタクトホールを開口する工程とを備える。そして、コンタクトホールを開口する

工程では、レジストを後退させながら層間絶縁膜、ゲート絶縁膜および半導体層に対してエッチングを行い、半導体層の端面をテーパ状にコンタクトホール底部に露出させる。

【0027】上記の半導体層は、主に突き抜けてエッチングされていることを想定しているが、突き抜けてエッチングされていないくてもよい。コンタクトホール底部において、ソース、ドレイン電極はテーパ状にエッチングされた端面とコンタクトをとることができる。このときのコンタクト面はコンタクトホール底部全面よりは小さい場合が殆どなので、コンタクト抵抗は少し上昇するが、実用上、問題になるレベルではない。上記のコンタクトホール開口では、途中でエッチング条件を変える必要がないので、開口工程の時間短縮をはかり能率向上を得ることが可能となる。

【0028】請求項11の液晶表示装置の製造方法では、請求項10の製造方法において、コンタクトホール開口工程では、エッチングに用いるガス中の酸素を70 s c c m (standard cubic cm/min)以上とする。

【0029】エッチングガス中の酸素流量を多くすることにより、レジストはアッシングされて後退し、コンタクトホール底部にテーパ状端面を露出させることが容易になる。

【0030】請求項12の液晶表示装置の製造方法では、請求項10または11の製造方法において、開口工程に引き続いて、ウェットエッチングによりテーパ状端面に連なる半導体層の上面をエッチングして当該上面部をもコンタクトホール底部に露出させる。

【0031】この構成により、テーパ状端面のみならず、そのテーパ状端面に連なる半導体層上面部もコンタクトに与るので、コンタクトをより確実にすることができる。

【0032】請求項13の液晶表示装置の製造方法では、請求項1～12のいずれかの製造方法において、コンタクトホールを開口する工程において、エッチングの排気中の酸素をモニタして、排気中の酸素量の大小によりエッチングの進行段階を検知して、エッチング条件を変更する。

【0033】絶縁膜にはシリコン酸化物などの酸化物が用いられる場合が多く、また半導体層は酸素を含まない。このような場合、エッチングの排気中の酸素をモニタすることにより、酸素量が減少した時点に酸素を含む絶縁膜のエッチングが終了した時点として知ることができる。

【0034】請求項14の液晶表示装置は、TFTを有する駆動回路一体型の液晶表示装置である。この装置は、基板の上に形成された、ソース、ドレイン領域とチャンネル領域とを有するTFTの半導体層と、半導体層を覆うゲート絶縁膜と、半導体層におけるチャンネル領域の上方においてゲート絶縁膜に接するゲート電極と、ゲート

ト絶縁膜およびゲート電極を覆う層間絶縁膜と、ソース、ドレイン領域上のゲート絶縁膜および層間絶縁膜に開口されたコンタクトホール底部でソース、ドレイン領域に接し、層間絶縁膜の上に位置する導電膜（ソース、ドレイン電極）とを備えている。そして、導電膜に接しているソース、ドレイン領域の半導体層の厚さ d_3 は導電膜に接していない領域のソース、ドレイン領域の半導体層の厚さ d_2 以下で、かつ $d_2/2$ 以上であり、層間絶縁膜およびゲート絶縁膜の膜厚合計 D は500nm以上、チャンネル領域の半導体層の厚さ d_1 は100nm以下であり、 (D/d_1) が10以上である。

【0035】層間絶縁膜が半導体層に比較して非常に大きい場合でも、コンタクトホール底部の半導体層の残し厚さをその部分の膜厚の $1/2$ 以上とることにより、突き抜ける可能性を抑えて、確実なコンタクトをとることができる。

【0036】請求項15の液晶表示装置では、請求項14の装置において、ソース、ドレイン領域の半導体層の厚さ d_2 がチャンネル領域の半導体層の厚さ d_1 よりも厚い。

【0037】オフ電流は、主にチャンネル領域の半導体層の厚さ d_1 によってほとんど決まるので、チャンネル領域の厚さを薄くすることにより、オフ電流を低減することができる。また、ソース、ドレイン領域の厚さを大きくすることにより、半導体層を突き抜ける危険性を減らし余裕をもって確実なコンタクトを形成することができる。

【0038】請求項16の液晶表示装置は、請求項14または15の装置において、ゲート絶縁膜はゲート電極の下にのみ設けられ、ソース、ドレイン領域は不純物を含まない層間絶縁膜によって直接覆われている。

【0039】通常、ゲート絶縁膜を成膜した後、上方から不純物イオンを下方のソース、ドレイン領域に向けて打ち込む。この不純物イオン打ち込みの際、不純物イオンはゲート酸化膜を通過するが、ゲート酸化膜に留まる不純物イオンも一定比率で存在する。したがって、ソース、ドレイン領域に不純物イオンを 10^{19} 個/ cm^3 程度導入するとき、ゲート絶縁膜の不純物イオン濃度は 10^{17} 個/ cm^3 程度となる。したがって、ゲート絶縁膜とソース、ドレイン領域の半導体層との境目は、エッチング排気中の不純物イオンをモニタしていても明確に検知することができない。しかし、上記の構造を採用し、エッチング排気中の不純物をモニタすることにより、不純物イオンが増大した時点をエッチングが半導体層にかかった時と判断することができる。このため、エッチング反応生成物がコンタクトホール内壁に付着してエッチング速度を狂わせる場合等においても、正確にソース、ドレイン領域の半導体層にかかったことを知ることができる。なお、不純物を含まない層間絶縁膜とは、不純物濃度の平均値が 10^{17} 個/ cm^3 程度未満の層間絶縁膜

をいう。

【0040】請求項17の液晶表示装置は、TFTを有する駆動回路一体型の液晶表示装置である。この装置は、基板の上に形成された、ソース、ドレイン領域とチャンネル領域とを有するTFTの半導体層と、半導体層を覆うゲート絶縁膜と、半導体層におけるチャンネル領域の上方においてゲート絶縁膜に接するゲート電極と、ゲート絶縁膜およびゲート電極を覆う層間絶縁膜と、ソース、ドレイン領域上の絶縁膜のコンタクトホール底部でソース、ドレイン領域に接する、層間絶縁膜の上に位置する導電膜（ソース、ドレイン電極）とを備えている。そして、層間絶縁膜およびゲート絶縁膜の膜厚合計 D は500nm以上、チャンネル領域の半導体層の厚さ d_1 は100nm以下であり、 (D/d_1) が10以上であり、ソース、ドレイン領域は、前記半導体層のテーパ状の端面部で前記導電層に接している部分を含む。

【0041】上記の場合、コンタクトホールは半導体層を突き抜けてもよいので、単一のエッチング条件により、エッチングを遂行することができる。このため、エッチング時間を短縮することができる。このテーパ状端面をドライエッチングによって形成するためには、酸素流量を多くして、レジストを後退させながらエッチングすることにより、実現することができる。

【0042】請求項18の液晶表示装置では、請求項17の装置において、ソース、ドレイン領域は、テーパ状端面部に連なる半導体層の上面部で導電膜に接している部分をさらに含む。

【0043】コンタクト部分をテーパ状端面に連なる半導体層上面にまで広げることにより、より広い面積でソース、ドレイン電極とコンタクトをとることができるので、コンタクトの確実性を高めることができる。

【0044】本発明の請求項19の液晶表示装置は、TFTを有する駆動回路一体型の液晶表示装置である。この装置は、基板の上に形成された、ソース、ドレイン領域とチャンネル領域とを有するTFTの半導体層と、半導体層を覆うゲート絶縁膜と、半導体層におけるチャンネル領域の上方においてゲート絶縁膜に接するゲート電極と、ゲート絶縁膜およびゲート電極を覆う層間絶縁膜と、ソース、ドレイン領域上の絶縁膜のコンタクトホール底部でソース、ドレイン領域と接する、層間絶縁膜の上に位置する導電膜とを備える。そして、この装置においては、ソース、ドレイン領域の半導体層の厚さ d_2 がチャンネル領域の半導体層の厚さ d_1 よりも厚い。

【0045】TFTの半導体層の厚さを上記の構成にすることにより、層間絶縁膜に対する高速エッチングの条件のまま半導体層をエッチングしても、突き抜けることなく余裕をもって半導体層のなかで、上記エッチングを停止することができる。また、薄いチャンネル領域の厚みによりオフ電流を低く抑えることができる。

【0046】請求項20の液晶表示装置では、請求項1

9の装置において、ソース、ドレイン領域の半導体層の厚さ d_2 が75nm~250nmの範囲内にあり、チャネル領域の半導体層の厚さ d_1 が25nm~70nmの範囲内にある。

【0047】ソース、ドレイン領域の半導体層の厚さ d_2 が75nm未満では、層間絶縁膜を高速エッチングする条件でエッチングすると半導体層を突き抜ける可能性が高くなり、一方、250nmを超えると半導体層の成膜に時間がかかり、能率が低下する。また、チャネル領域の半導体層の厚さ d_1 が25nm未満では、エッチング条件を絶縁膜の半導体層に対するエッチング選択比を大きいものにしても、突き抜ける可能性を排除することができない。一方、上記厚さ d_1 が70nmを超えるとオフ電流が高くなり表示品位が低下してしまう。

【0048】本発明の請求項21の液晶表示装置は、TFTを有する駆動回路一体型の液晶表示装置である。この装置は、基板の上に形成された、ソース、ドレイン領域とチャネル領域とを有するTFTの半導体層と、半導体層を覆うゲート絶縁膜と、半導体層におけるチャネル領域の上方においてゲート絶縁膜に接するゲート電極と、ゲート絶縁膜およびゲート電極を覆う層間絶縁膜と、ソース、ドレイン領域上の絶縁膜のコンタクトホール底部でソース、ドレイン領域と接する、層間絶縁膜の上に位置する導電膜とを備える。また、この装置では、ソース、ドレイン領域は、半導体層のテーパ状の端面で導電膜に接している部分を含む。この場合、請求項22の液晶表示装置のように、ソース、ドレイン領域のテーパ状端面は、導電膜が基板に接触している部分に連続して位置している。

【0049】上記の半導体層のテーパ状端面を形成するには、層間絶縁膜のエッチングに引き続きエッチングが半導体層を突き抜けてもテーパ状端面で、従来のコンタクト構造と同程度のコンタクト抵抗とすることができる。このため、上記コンタクト部分を安定して製造することができる。

【0050】

【発明の実施の形態】次に、本発明の実施の形態について図を用いて説明する。

【0051】(実施の形態1) 図1は、本実施の形態における液晶表示装置の製造方法を説明するための図である。図1において、ガラス基板1の表面に、例えば、PECVD(Plasma Enhanced Chemical Vapor Deposition)法によって、下地膜2としてシリコン窒化膜とシリコン酸化膜との2層膜を成膜し、次いで、その上にアモルファスシリコン膜を厚さ50nm程度に形成する。エキシマレーザによってアモルファスシリコン膜をアニールして多結晶化した後、ドライエッチングを用いたパターンニングによりチャネル部3を形成する。次に、ゲート絶縁膜4として、例えば、PECVD法によりシリコン酸化膜4aを厚さ30nm程度、次いでシリコン窒化膜

4bを40nm程度連続的に成膜する。すなわち、上記のゲート絶縁膜4を2層膜として形成する。このゲート絶縁膜は、ゲート電極下ではゲート絶縁膜として働き、容量部(図示せず)では容量絶縁膜として機能する。次いで、Cr膜を200nm程度成膜した後、パターンニングしてゲート電極およびゲート配線5を形成する。その後、n型TFTとなるチャネル部のソース、ドレイン領域3a, 3bにリンイオンを打ち込み、p型TFTとなるチャネル部のソース、ドレイン領域3a, 3bにボロンイオンを打ち込む。画素領域には画素ごとに対になった2個のn型TFTが配置され、駆動回路領域には信号線ごとにCMOS回路を構成するn型TFTおよびp型TFTが配置されている。上記の駆動回路一体型液晶表示装置は、画素領域と駆動回路領域とに配置されたTFTを区別して形成せずに、n型TFTを形成する場合は基板全体にわたってn型TFTを形成し、またp型TFTについても同様とする。

【0052】続いて、層間絶縁膜6として、TEOSPECVDによりシリコン酸化膜を厚さ500nm程度形成する。その後、400℃にて活性化アニールを行う。その後、ドライエッチにより層間絶縁膜6にコンタクトホール10を形成する。このコンタクトホールを形成するドライエッチの条件は、下記の3種のエッチング条件A, B, Cで行う。

【0053】(a)エッチング条件A

層間絶縁膜のエッチングをこの条件でエッチングする。このエッチング条件Aは、エッチング速度が大きいことが必須である。まず、シリコン酸化膜6とシリコン窒化膜4bのエッチング速度が近い条件、すなわちシリコン酸化膜6のシリコン窒化膜4bに対するエッチング選択比が1に近い条件で層間絶縁膜6のエッチングを開始する。このエッチング条件として、例えば、次にあげるエッチング条件Aがある。

【0054】圧力：20Pa

RFパワー：2000W

CHF₃流量：200sccm(standard cubic cm/min)

O₂流量：20sccm

Ar流量：200sccm

上記のエッチング条件にてエッチングを開始して、エッチングされる全ての領域でシリコン酸化膜のエッチングが完了し、シリコン窒化膜がエッチングされ始めたとおもわれる時点でエッチングを停止する。この切換えは、エッチング時間で判断してもよいし、酸素をモニタして、排気中の酸素量が減少した時点を層間絶縁膜のエッチング終了時点と判断してもよい。次いで、エッチング条件Bでエッチングする。

【0055】(b)エッチング条件B

ここで、ガスを切り換え、エッチング条件を、シリコン窒化膜のシリコン酸化膜に対するエッチング選択比が大きい、エッチング条件Bとする。この条件として、例え

ば、次のエッチング条件があげられる。

【0056】圧力：5 Pa

RFパワー：1000 W

CF₄流量：50 sccm

O₂流量：60 sccm

上記エッチング条件により、ゲート絶縁膜4のうちのシリコン窒化膜4bのエッチングが完了した時点では、下層のシリコン酸化膜4aはほとんどエッチングされていない。ここで、ガスを切り換え、最後のエッチング条件は、シリコン酸化膜4aの多結晶シリコン膜3に対するエッチング選択比が大きい、エッチング条件Cとする。

【0057】(c)エッチング条件C

シリコン酸化膜の多結晶シリコン膜に対するエッチング選択比が大きいエッチング条件Cとして、例えば、下記のエッチング条件をあげることができる。

【0058】圧力：20 Pa

RFパワー：1000 W

CHF₃流量：200 sccm

O₂流量：20 sccm

Ar流量：200 sccm

このエッチングに際しては、多結晶シリコン膜が15 nm程度エッチされる程度のオーバエッチングを行う。この多結晶シリコン膜のエッチングはエッチング選択比の関係から、シリコン酸化膜30 nm以上エッチングすることと同程度である。したがって、エッチング時間の制御を非常に高精度に行わなければ突き抜けてしまうというような問題はなく、通常の制御で充分制御可能な方法を適用して多結晶シリコン膜のエッチングを15 nmに留めることができる。

【0059】次に、図2および図3を用いて、図1の状態から液晶表示装置完成までの工程を説明する。図2は駆動回路領域のn型およびp型TFTの断面図であり、図3は画素領域のn型TFTの断面図である。図1の状態の駆動回路領域および画素領域の各TFTに対して、連続的に、Cr膜を100 nm、Al系合金膜を400 nm、Cr膜を100 nm順次スパッタによりコンタクトホール内に成膜し、次いでパターニングしてソース、ドレイン電極およびソース、ドレイン配線8、9を形成する。さらに、水素プラズマに基板を30分間程度曝してチャンネル部3の水素化処理を行い、多結晶シリコンのキャリアの移動度の向上等の特性向上や安定化をはかる。次いで、シリコン窒化膜等により、絶縁膜11を形成する。駆動回路領域では、図2に示すように、上記製造方法で作製したn型TFT15およびp型TFT16とを組み合わせることでCMOS(Complementary Metal Oxide Semiconductor)回路を構成して駆動回路を形成する。また、画素領域では、図3に示すように、n型TFT15と画素電極12を接続し、さらに、その上に液晶と接する配向層13を形成する。一方、上部ガラス基板21

には、カラーフィルタ22を貼り付け、その上に対向電極23および配向層24を形成する。上記の基板1と上部ガラス基板21とを、配向層13、24を対面させて一定のギャップを保持して固定し、そのギャップの中に液晶30を封入することにより、液晶表示装置の主要構成部を完成する。

【0060】上記の方法によって製造された液晶表示装置は下記の構造を有する。図4に示すように、ソース、ドレイン領域3a、3bが覆われているゲート絶縁膜4と層間絶縁膜6との合計の膜厚をDとし、チャンネル領域3cの多結晶シリコン膜の厚さをd₁とし、コンタクトホール底部以外のソース、ドレイン領域の多結晶シリコン膜の厚さをd₂とし、コンタクトホール底部のソース、ドレイン領域の厚さをd₃とする。このとき、基板内の全ての領域で、D > 500 nm、d₁ > 100 nm、(d₂/2) > d₃、d₂、d₃が成立する。この層間絶縁膜および多結晶シリコン膜の各部の厚さに関する不等式を満たすことにより次の効果を得ることができる。チャンネル領域の多結晶シリコン膜の厚さが薄いためにオフ電流が低く、また層間絶縁膜を厚くすることにより配線間容量を小さくすることができる。このため、高表示品位の画像を得ることが可能となる。さらに、上記のエッチングを行うことによりコンタクト不良の少ない高歩留りの液晶表示装置を得ることができる。

【0061】(実施の形態2)上記実施の形態1では、ゲート絶縁膜4をシリコン酸化膜とシリコン窒化膜の2層膜とし、層間絶縁膜はシリコン酸化膜とし、両方の絶縁膜を構成する材料を異なるものとした。コンタクトホールが開くされる絶縁膜が、複数の異種材料によって構成されることを利用して、異種材料間の選択比を利用してエッチング不具合を回避することができた。本実施の形態では、ゲート絶縁膜4も層間絶縁膜6と同様に、シリコン酸化膜から構成される場合のコンタクトホール10の開口的エッチングを説明する。本実施の形態において、コンタクトホール開口前までは、ゲート絶縁膜が厚さ70 nmのシリコン酸化膜単層であることを除いて、実施の形態1と同様の製造方法が適用される。コンタクトホール開口時に、最初にシリコン酸化膜のエッチング速度が大きい条件を選択する。このエッチング条件として、例えば、下記のエッチング条件Dをあげることができる。

(d)エッチング条件D

圧力：20 Pa

RFパワー：2000 W

CHF₃流量：200 sccm

O₂流量：20 sccm

Ar流量：200 sccm

このエッチング条件にてエッチングを開始して、シリコン酸化膜を500 nm程度エッチングする。次いで、エッチング条件を切り換えて、シリコン酸化膜の多結晶

シリコンに対するエッチング選択比が高い条件を用いてエッチングを行う。シリコン酸化膜の多結晶シリコンに対するエッチング選択比が高い条件として、例えば、下記のエッチング条件Eをあげることができる。

(e) エッチング条件E

圧力：20 Pa

RFパワー：1000 W

CHF₃流量：200 sccm

O₂流量：20 sccm

Ar流量：200 sccm

シリコン酸化膜の多結晶シリコンに対するエッチング選択比 15

このとき、多結晶シリコン膜が15 nm程度オーバエッチングされるようにエッチングする。多結晶シリコンのエッチングは、ドライエッチングチャンバからの排気ガス中の酸素濃度をモニタしながらエッチングをすることにより、時間管理でエッチングするよりもさらに精度良く制御することができる。すなわち、酸素濃度が低下した時点シリコン酸化膜のジャストエッチング時とし、その後のエッチングを多結晶シリコン膜のエッチングとしてカウントすることにより、正確な多結晶シリコン膜のエッチングを行なうことができる。

【0062】上記の実施の形態2における仕上げエッチングをHFを含むエッチング液、例えば、HF/NH₄F = 1/10のエッチャントを用いたウエットエッチングによって行なってもよい。図5は、後段のエッチングをウエットエッチングによって行ったコンタクトホールを示す断面図である。このウエットエッチングは、レジストを除去した後にいき、さらにウエットエッチング直後にソース、ドレイン電極用の金属膜の成膜を行なうことが、多結晶シリコン表面の自然酸化膜の生成を防止するうえから望ましい。また、レジストを残したままウエットエッチングを行なう場合にも、酸素プラズマを用いたアッシングによってコンタクトホールの周りのレジストを後退させておくことが望ましい。ウエットエッチングに伴うサイドエッチングによるコンタクトホールの断面形状の悪化、すなわちあごの形成を抑制することができる。図6は、図5のS部拡大図であり、あごが形成されている。図7は、アッシングによってレジストを後退させた後にウエットエッチングを行い、あごの形成を防止して開口したコンタクトホールを示す断面図である。

【0063】このHFを含むエッチング液を用いたウエットエッチングにより、酸化シリコンの多結晶シリコン膜に対するエッチング選択比は100以上とすることができるので、多結晶シリコンをほとんど削ることなく十分なマージンをもってシリコン酸化膜を除去して多結晶シリコンを露出させることが可能である。

【0064】上記の実施の形態2示された全ての方法により、コンタクトホール形成の処理時間はそれほど長く

ならず、多結晶シリコン膜がエッチングされる前に多結晶シリコンに対して高エッチング選択比の条件を使用することができ、多結晶シリコンを十分な制御下で露出させることができる。

【0065】上記の仕上げエッチングのさらに別の方法として次の方法がある。図8に示すように、ゲート電極5のパターニングの後に、ゲート電極をマスクにソース、ドレイン領域3a, 3bに不純物を打ち込む。このとき、ゲート絶縁膜4の中にも不純物が混入する。この不純物濃度は、ソース、ドレイン領域に10¹⁹/cm³以上の濃度で打ち込む場合、ゲート絶縁膜中では10¹⁷/cm³の濃度になる。このような場合、エッチング排気中の不純物をモニタして不純物濃度が上昇する時点を観測していても、エッチングがゲート絶縁膜を終了して多結晶シリコンに到達したか判然としない。このため、時間管理に頼らざるをえなくなるが、不正確になることは否めない。このため、図9に示すようにゲート絶縁膜をゲート電極をマスクに除去し、次いで図10に示すように、不純物濃度が10¹⁷/cm³未満の層間絶縁膜6をソース、ドレイン領域3a, 3bの上に直接形成する。この図10の構造によれば、層間絶縁膜6の不純物濃度は10¹⁷/cm³未満であり、エッチングが層間絶縁膜6を経て多結晶シリコン3に到達したことを明確に検知することができる。

【0066】上記においては、ゲート絶縁膜を設けたままソース、ドレイン領域に不純物注入を行ない、その後ゲート絶縁膜を除去した。この手順のほかに、ソース、ドレイン領域上のゲート絶縁膜を除去した後に、ソース、ドレイン領域に不純物注入を行ってもよい。上記の方法によってコンタクトホールを形成した後は、実施の形態1と同様の方法によって液晶表示装置を形成する。

【0067】ここで、酸化シリコン膜のシリコン膜に対するエッチング選択比について説明する。例えば、600 nmの酸化シリコン膜をエッチングする場合、酸化シリコンのエッチ残りが発生しない十分なオーバエッチングを、例えば50%程度行うとすると、計算上は300 nmの酸化シリコン膜を余分にエッチングすることになる。コンタクトホール底部にシリコン膜を露出させるためにシリコン膜をエッチングする際に、シリコン膜を突き抜けないようにする必要がある。シリコン膜のエッチング量をシリコン膜の膜厚50 nmの1/2以下、すなわち、25 nm以下に抑えるための上記エッチング選択比は、12 (= 300 / 25) 以上が必要である。実施の形態2に限らず、多結晶シリコン膜厚d₁で、層間絶縁膜とゲート絶縁膜の膜厚合計Dの場合、絶縁膜の50%のオーバエッチに対してシリコン膜のエッチ膜厚1/2以下とするためには、同様の計算によって、D/d₁以上の上記エッチング選択比が必要である。

【0068】上記の方法で形成された液晶表示装置は、実施の形態1と同様に、ソース、ドレイン領域が被われ

ている絶縁膜の厚さをDとし、チャンネル領域のシリコン膜の厚さを d_1 とし、絶縁膜の下のソース、ドレイン領域のシリコン膜の厚さを d_2 とし、コンタクトホール下のソース、ドレイン領域下のシリコン膜の厚さを d_3 としたとき、基板内の全ての領域で、 $D = 500 \text{ nm}$ 、 $d_1 = 100 \text{ nm}$ 、 $d_2 = 2d_3 = d_1$ が成り立つようにできる。この結果、オフ電流が低くでき表示特性を向上でき、かつ配線間容量を小さくできるので、表示品位に優れ、かつコンタクト不良の少ない駆動回路一体型液晶表示装置を高歩留りで製造することができる。

【0069】(実施の形態3)実施の形態3における液晶表示装置は、図11に示すように、多結晶シリコンのチャンネル領域3cの厚さがソース、ドレイン領域3a, 3bの厚さよりも小さい。このため、オフ電流を小さくでき、かつソース、ドレイン領域上にコンタクトホールを余裕をもって確実に開口することができる。このソース、ドレインの製造方法について説明する。まず、図12に示すように、ガラス基板1の表面に、例えば、PECVDによって下地膜2としてシリコン窒化膜とシリコン酸化膜との2層膜を形成し、その上にアモルファスシリコン膜を連続して形成する。アモルファスシリコン膜については、本実施の形態では150nm程度の膜厚とする。エキシマレーザによってトランジスタのチャンネル部をアニールして多結晶シリコンを生成した後、レジストを図12に示すようにチャンネル領域3cの部分がソース、ドレイン領域3a, 3bの部分よりも薄い形状で形成する。次に、図13に示すように、多結晶シリコンに対してパターニングを行い、ドライエッチングによってチャンネル部3を形成する。次に、図14に示すように、アッシングにより上記のレジストのチャンネル領域の部分除去する。このチャンネル領域が開いたレジストを用いて、図15に示すように、チャンネル領域のみ薄くしたチャンネル部3を形成することができる。上記の形状のレジストを形成するためには、図16および図17に示すように、2種類のマスクを用い、抜く部分(チャンネル部以外の領域)は2度の露光を、薄く残す部分(チャンネル領域)は1度の露光をしてレジストを形成する。また、通常の膜厚を残す部分(ソース、ドレイン領域)は2度ともマスクをして露光することにより、領域により露光量を変えておき、現像を行う。上記の露光回数を変える方法以外に、図18に示すように、チャンネル部以外の領域に対応する透過領域37d、ソース、ドレイン領域に対応する非透過領域37a, 37b、およびチャンネル領域に対応する半透過領域37cからなるマスク37を用いることにより、1度の露光で同様のレジスト17を形成することができる。このようなレジストを形成しておき、チャンネル部のエッチングを行う。通常多結晶シリコンのパターニングに必要なドライエッチを行った後に、酸素プラズマによってチャンネル領域3cの部分の薄いレジストのみを除去する。さらに約100nm

の多結晶シリコン膜をエッチングする。これらの処理は、ドライエッチ装置内で連続して行うことが可能である。この後、ゲート絶縁膜4として、例えば、PECVDによりシリコン酸化膜を70nm程度形成した後に、例えば、Cr膜を200nm程度成膜し、そのCr膜をパターニングしてゲート電極8, 9を形成する。その後、n型TFTとなるチャンネル部のソース、ドレイン領域3a, 3bにリンイオンを打ち込み、p型TFTとなるチャンネル部のソース、ドレイン領域3a, 3bにボロンイオンを打ち込む。画素領域には画素ごとに対応になった2個のn型TFTが配置され、駆動回路領域には信号線ごとにCMOS回路を構成するn型TFTおよびp型TFTが配置されている。上記の駆動回路一体型液晶表示装置は、画素領域と駆動回路領域とに配置されたTFTを区別して形成せずに、n型TFTを形成する場合は基板全体に配置されるn型TFTを形成し、またp型TFTについても同様とする。続いて、層間絶縁膜6として、TEOS(Tetra Ethyl Ortho Silicate)PECVDによりシリコン酸化膜を厚さ700nm程度形成する。その後、400℃にて活性化アニールを行う。その後、ドライエッチにより層間絶縁膜6にコンタクトホール10を形成する。このドライエッチは、シリコン酸化膜のシリコン膜に対するエッチング選択比が比較的大きい、例えば下記のエッチング条件Fにて行う。

(f) エッチング条件F

圧力: 20Pa

RFパワー: 1500W

CHF₃流量: 200sccm

O₂流量: 20sccm

Ar流量: 200sccm

シリコン酸化膜のシリコン膜に対するエッチング選択比: 約10

上記の条件によって、多結晶シリコン膜が50nm程度エッチングされる程度のオーバーエッチングを行う。この場合、図12に示すように、コンタクトホール下の多結晶シリコン膜が150nmと厚いことによって50nm程度のオーバーエッチングを行っても多結晶シリコン膜厚を初期の膜厚の半分以上残すことになる。このオーバーエッチング量は、エッチング選択比から換算するとシリコン酸化膜を500nm程度エッチングすることに相当し、70%程度のオーバーエッチとなる。このため、シリコン酸化膜の表面にエッチングを阻害するものがあつた場合にも、シリコン酸化膜が残ることはほとんど無く、一方、オーバーエッチングの度が過ぎて多結晶シリコン膜が無くなることもない。

【0070】この後の製造方法は実施の形態1の図2および図3における説明と同様である。Cr膜を100nm、Al系合金膜を400nm、Cr膜を100nm、順次、スパッタによりコンタクトホール内に成膜し、次いでパターニングしてソース、ドレイン電極およびソー

ス配線11を形成する。さらに水素プラズマ中に上記の基板を30分間程度曝して、チャンネル部3の多結晶シリコンに対して水素化処理を行い、移動度等の特性の向上や安定化をすることができる。次に、シリコン窒化膜等で絶縁膜を形成する。駆動回路領域では、上記製造方法で作製したn型TFTおよびp型TFTとを組み合わせ、CMOS(Complementary Metal Oxide Semiconductor)回路を構成して駆動回路を形成する。また、画素領域では、n型TFTと画素電極を接続し、さらに、その上に液晶と接する配向層を形成する。一方、上部ガラス基板には、カラーフィルタを貼り付け、その上に対向電極および配向層を形成する。上記の基板と上部ガラス基板とを、配向層を対面させて一定のギャップを保持して固定し、そのギャップの中に液晶を封入することにより、液晶表示装置の主要構成部を完成する。

【0071】上記の方法で形成された液晶表示装置では、基板内の全領域において、 $D = 500 \text{ nm}$ 、 $d_1 = 100 \text{ nm}$ 、 $d_2/2 = d_3$ 、 $d_2 = d_1$ 、 d_2 、が成立する。この結果、オフ電流が低く表示特性が良く、配線間容量を小さくすることができる。このため、コンタクト不良の発生を抑制することができ、高い歩留りで駆動回路一体型の液晶表示装置を製造することが可能となる。

【0072】(実施の形態4)実施の形態4では、コンタクトホール底部の多結晶シリコンをテーパ状の端面が露出するようにエッチングする。この方法を図19を用いて説明する。まず、ガラス基板1の表面に、例えば、PECVDによって下地膜2としてシリコン窒化膜とシリコン酸化膜との2層膜を形成した後、引き続きアモルファスシリコン膜を成膜する。このアモルファスシリコン膜の膜厚は50nm程度とする。この後、エキシマレーザによってトランジスタのチャンネル部3をアニールして多結晶シリコンとした後、ドライエッチングによるパターニングによりチャンネル部3を形成する。この後、ゲート絶縁膜4として、例えば、PECVDによりシリコン酸化膜を厚さ70nm程度に形成した後、例えば、Cr膜を200nm程度成膜し、その後このCr膜をパターニングしてゲート電極およびゲート配線5を形成する。その後、リンイオンをn型TFTのソース、ドレイン領域に注入してn型TFTを形成し、ボロイオンをp型TFTのソース、ドレイン領域に注入してp型TFTを形成する。続いて、層間絶縁膜6として、TEOS/PVCVDによりシリコン酸化膜を500nm程度形成し、400℃にて活性化アニール処理を行う。次に、例えば、下記のドライエッチング条件Gにて、上記層間絶縁膜6およびゲート絶縁膜4にコンタクトホール10を開く。

(g) エッチング条件G

圧力: 20 Pa

RFパワー: 1500 W

CHF₃流量: 200 sccm

O₂流量: 100 sccm

Ar流量: 200 sccm

シリコン酸化膜の多結晶シリコンに対するエッチング選択比: 約10

まず、シリコン酸化膜6のエッチングを始め、シリコン酸化膜のエッチングが完了した時点でエッチングを止める。この完了時点では、コンタクトホール底部の多結晶シリコンがエッチングされている部分が発生している程度にまで十二分にシリコン酸化膜をエッチングする。通常は、ソース、ドレイン領域3a, 3bにおける多結晶シリコン膜が無くなった部分は、ソース、ドレイン電極の導電膜とコンタクトがとれない。しかし、本実施の形態4では、エッチング条件の酸素流量が多いためレジストを後退させながらエッチングが進行する。多めの酸素流量はレジストの後退に作用している。このため、コンタクトホール内の多結晶シリコン膜の端面がテーパ状にエッチングされ、コンタクトホール底部に突き出すように形成される。このテーパ角が30°以下と小さいために、ソース、ドレイン電極の金属膜はシリコン酸化膜の下にテーパ状に突き出している多結晶シリコン膜の端面が広く形成され、図20に示すように、この部分との接触のみによりコンタクトをとることが可能である。ただし、テーパ状の端面のみの接触なので、コンタクト抵抗は多少高くなる。また、さらにドライエッチング完了後に、HFを含むエッチング液、例えば、HF/NH₄F = 1/10を用いたウエットエッチングを付け加えてもよい。ウエットエッチングによって、コンタクトホール周囲の多結晶シリコンの上のシリコン酸化膜をエッチングしてコンタクトホール径を少し広げて、図21に示すように多結晶シリコン膜の表面を露出した構造を形成する。このような形状とすることにより、さらに多結晶シリコンとソース、ドレイン電極との接触面積を増大させてコンタクト抵抗を実用上問題のないレベルにまで下げることが可能である。

【0073】その後は、Cr膜を100nm、Al系合金膜を400nm、Cr膜を100nm、順次パッタにより成膜し、次いで、パターニングしてソース、ドレイン電極およびソース配線11を形成する。さらに、水素プラズマ中で上記の基板を30分間程度曝してチャンネル部3の多結晶シリコンの水素化を行い、移動度等の特性を向上させ、かつ安定化させる。次いで、シリコン窒化膜等により絶縁膜を成膜する。駆動回路領域では、上記製造方法で作製したn型TFTおよびp型TFTとを組み合わせ、CMOS回路を構成して駆動回路を形成する。また、画素領域では、n型TFTと画素電極を接続し、さらに、その上に液晶と接する配向層を形成する。一方、上部ガラス基板には、カラーフィルタを貼り付け、その上に対向電極および配向層を形成する。上記の基板1と上部ガラス基板とを、配向層を対面させて一定のギャップを保持して固定し、そのギャップの中に液晶

を封入することにより、液晶表示装置の主要構成部を完成する。

【0074】上記の液晶表示装置では、基板内の全領域で、 $D = 500 \text{ nm}$ 、 $d_1 = 100 \text{ nm}$ 、の関係が成立する。

【0075】この結果、オフ電流が小さく、配線間容量の小さい表示特性が良好な液晶表示装置を作製することができる。上記のエッチング条件の採用により、コンタクト不良の発生を少なくすることができ、高歩留りの液晶表示装置の製造が可能となる。

【0076】上記において、本発明の実施の形態について説明を行ったが、上記に開示された本発明の実施の形態は、あくまで例示であって、本発明の範囲はこれら発明の実施の形態に限定されない。本発明の範囲は、特許請求の範囲の記載によって示され、さらに特許請求の範囲の記載と均等の意味および範囲内でのすべての変更を含む。

【0077】

【発明の効果】本発明にしたがえば、オフ電流の少ない TFT および低配線容量を備えることにより表示特性が良く、かつコンタクト不良の発生を抑制した液晶表示装置を製造することができる。また、コンタクトホール開口に伴う問題に起因する歩留り低下を防止することができるので、低コストで液晶表示装置を製造することが可能となる。

【図面の簡単な説明】

【図1】 実施の形態1における液晶表示装置の製造方法を説明する図面である。

【図2】 実施の形態1の製造方法を用いて製造した液晶表示装置の駆動回路部の断面図である。

【図3】 実施の形態1の製造方法を用いて製造した液晶表示装置の表示画素の断面図である。

【図4】 実施の形態2における液晶表示装置の製造方法を説明する図面である。

【図5】 実施の形態2における液晶表示装置の他の製造方法を説明する図面である。

【図6】 図5のS部の拡大図である。

【図7】 実施の形態2における液晶表示装置のさらに別の製造方法を説明する図面である。

【図8】 実施の形態2における液晶表示装置のその他の製造方法を説明する図面である。

【図9】 図8の状態から、ゲート電極をマスクにゲート絶縁膜をエッチング削除した段階の断面図である。

【図10】 図9の状態から、層間絶縁膜を成膜して、

その後、コンタクトホールを開口した段階の断面図である。

【図11】 実施の形態3における液晶表示装置の製造方法を説明する図である。

【図12】 図11に示す製造方法の初期段階において、多結晶シリコン層の上にレジストを形成した段階の断面図である。

【図13】 図12の段階から、レジストをマスクに多結晶シリコンをパターニングした段階の断面図である。

【図14】 図13の段階から、レジストにアッシングを行った段階の断面図である。

【図15】 図14の段階から、レジストをマスクに多結晶シリコンをパターニングした段階の断面図である。

【図16】 実施の形態3における液晶表示装置の TFT のチャンネル部をパターニングするレジストを形成する1つの方法を説明する図である。

【図17】 図16の状態から、もう一つのマスクを用いてレジストに露光処理を施した段階の断面図である。

【図18】 実施の形態3における液晶表示装置の TFT のチャンネル部をパターニングするレジストを形成する他の方法を説明する図である。

【図19】 実施の形態4における液晶表示装置の製造方法を説明する図である。

【図20】 図19の状態からレジストを除去した後に、ソース、ドレイン電極の導電膜を形成した段階の断面図である。

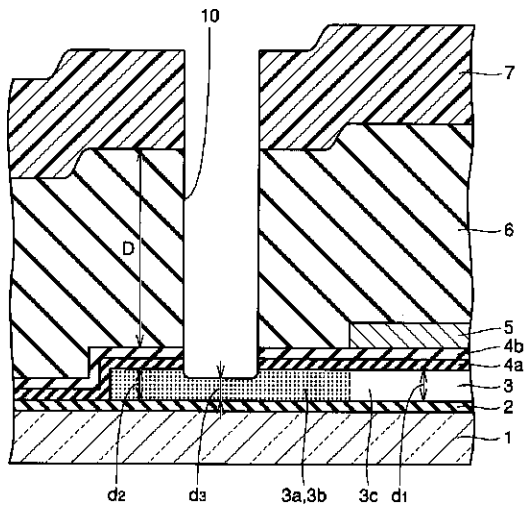
【図21】 実施の形態4における液晶表示装置の他の製造方法を説明する図である。

【図22】 従来の液晶表示装置の製造方法を説明する図である。

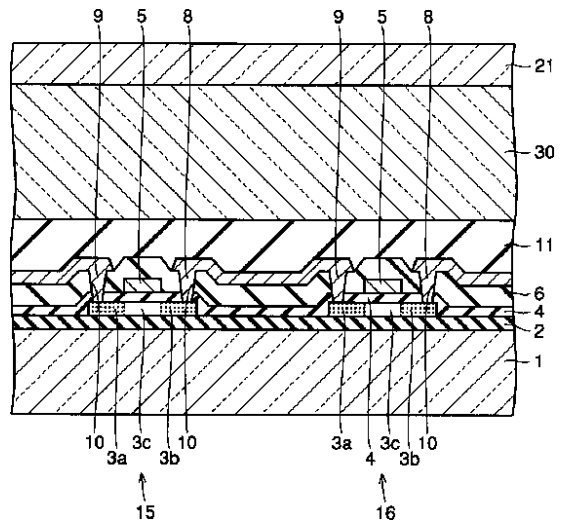
【符号の説明】

1 ガラス基板、2 下地膜、3 チャンネル部、3 a , 3 b ソース、ドレイン電極、3 c チャンネル領域、4 ゲート絶縁膜、5 ゲート電極、6 層間絶縁膜、7 レジスト、8, 9 ソース、ドレイン電極、10 コンタクトホール、11 絶縁膜、12 画素電極、13 配向層、15 n型 TFT、16 p型 TFT、17 レジスト、22 カラーフィルタ、23 対向電極、24 配向層、30 液晶、37 露光マスク、D 層間絶縁膜とゲート絶縁膜との合計厚さ、 d_1 チャンネル領域の厚さ、 d_2 ソース、ドレイン領域の厚さ、 d_3 コンタクトホール底部のソース、ドレイン領域の厚さ。

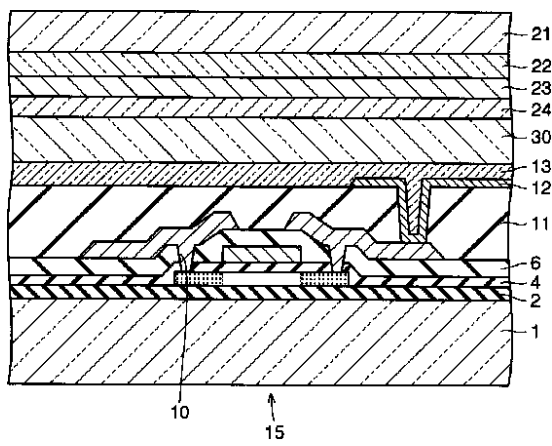
【図1】



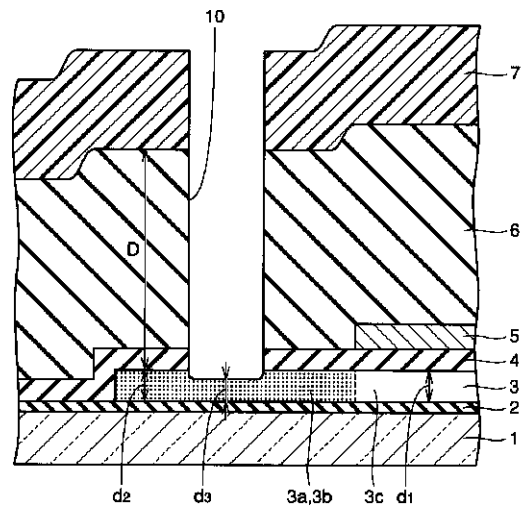
【図2】



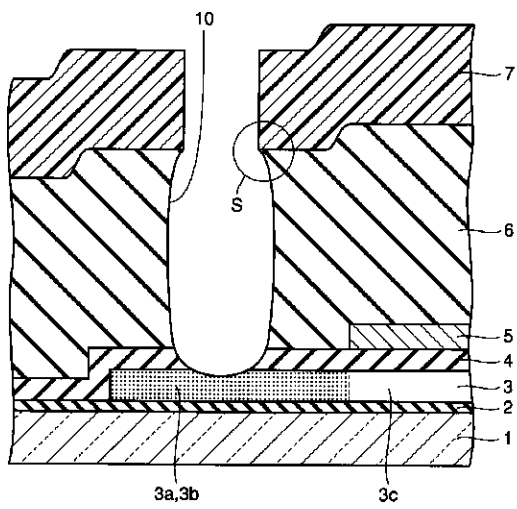
【図3】



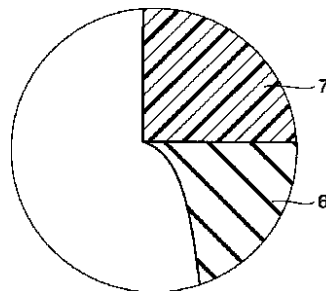
【図4】



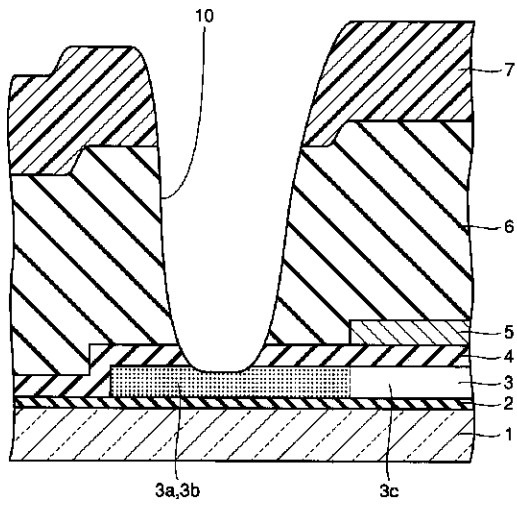
【図5】



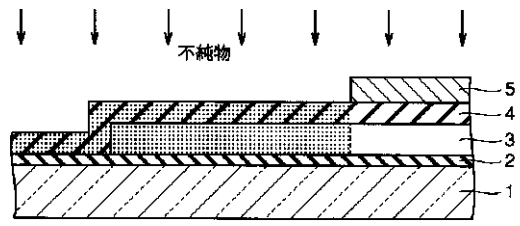
【図6】



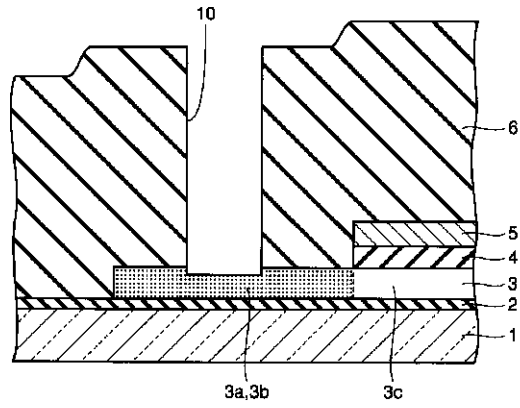
【図7】



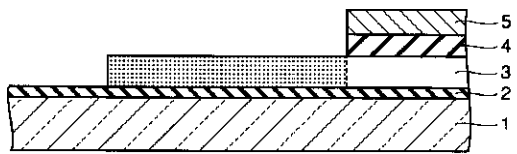
【図8】



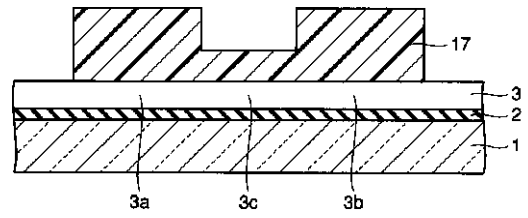
【図10】



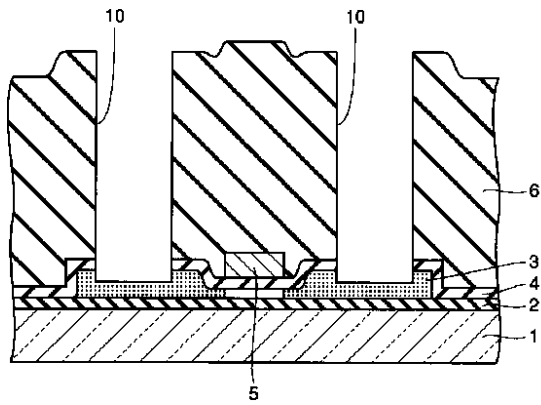
【図9】



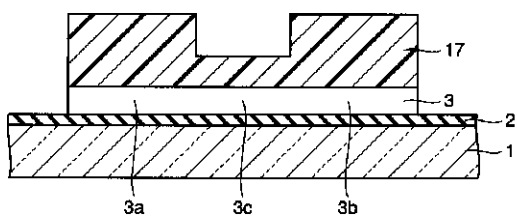
【図12】



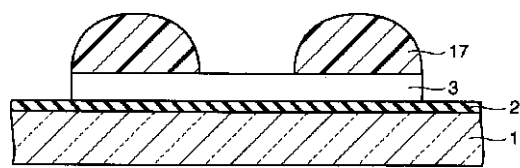
【図11】



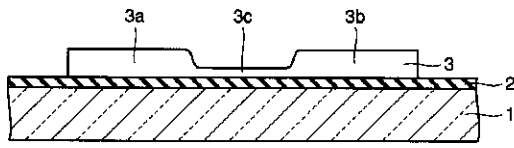
【図13】



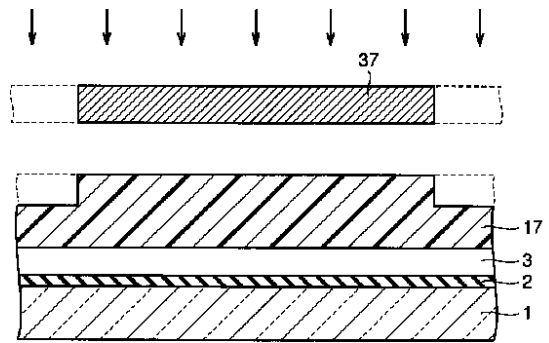
【図14】



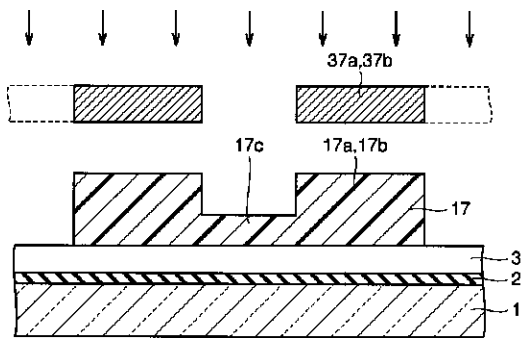
【図15】



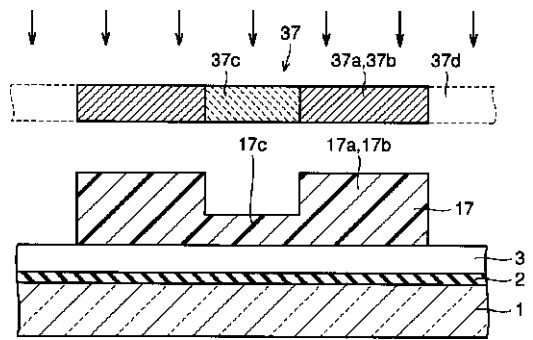
【図16】



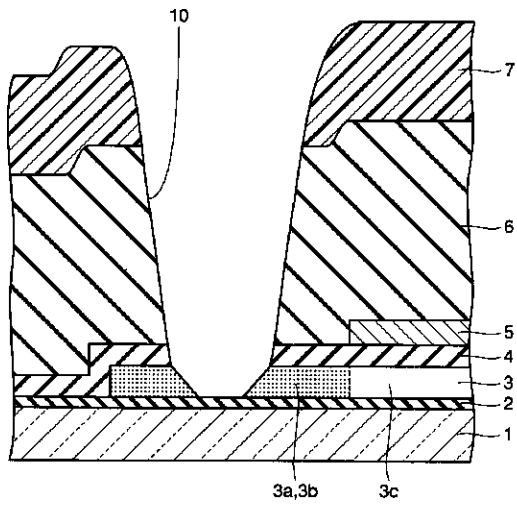
【図17】



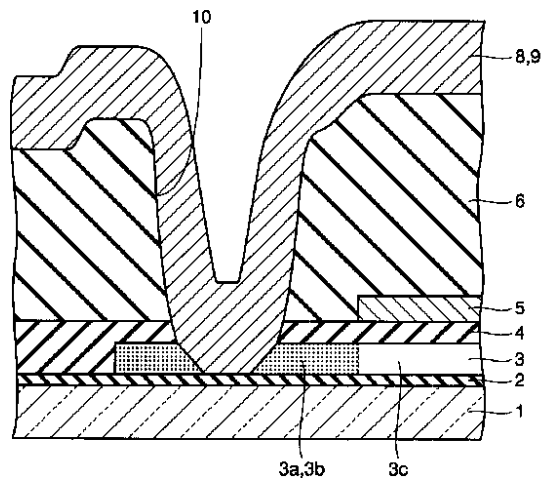
【図18】



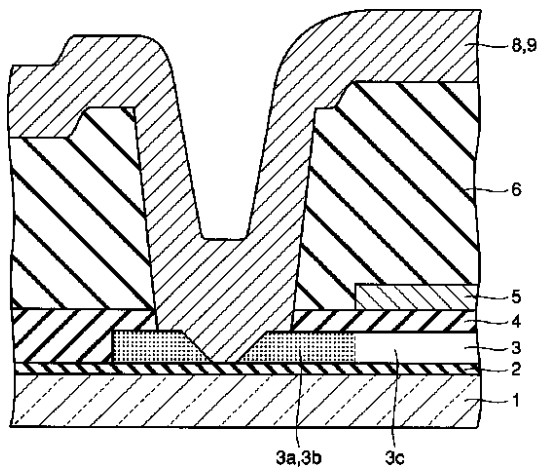
【図19】



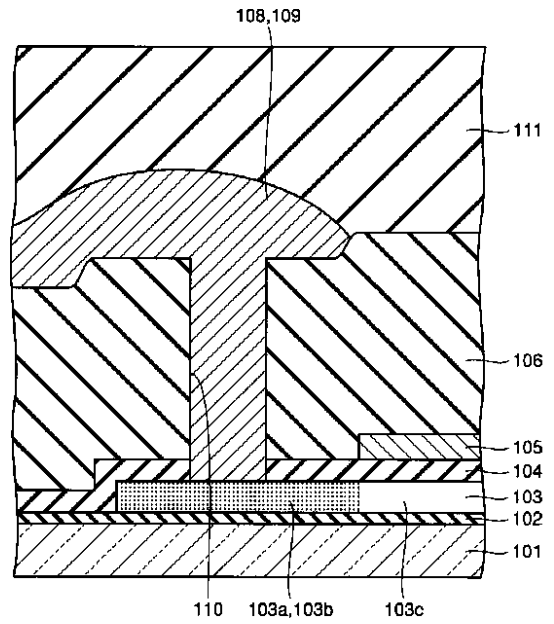
【図20】



【図21】



【図22】



フロントページの続き

(51)Int.Cl.⁷

H 0 1 L 29/786
21/336

識別記号

F I

H 0 1 L 29/78

テ-マコード(参考)

6 1 2 B 5 F 1 1 0
6 1 6 K
6 1 6 T
6 1 8 D
6 2 7 C

(72)発明者 竹口 徹
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72)発明者 村井 一郎
長野県諏訪市大和3丁目3番5号 セイコ
ーエプソン株式会社内

Fターム(参考) 2H092 GA59 JA25 JA35 JA40 JA46
JB56 KA04 KA10 KB25 MA08
MA15 MA18 MA27 MA30 MA35
NA13 NA29

4M104 AA01 AA08 AA09 AA10 BB04
CC01 CC05 DD08 DD12 DD22
DD23 DD37 FF07 FF16 FF18
FF22 FF27 GG09 GG10 GG14
GG20 HH15

5C094 AA42 AA44 BA03 BA43 CA19
CA24 DA14 DA15 EA04 EA07
EB02 ED03 FB12 FB15 GB10

5F004 AA05 CA01 DA01 DA16 DA23
DA26 DA30 DB03 DB07 EA10
EA28 EB01 EB03 FA08

5F033 GG04 JJ01 JJ07 JJ09 KK01
KK07 MM08 MM13 NN06 NN07
NN13 NN16 PP15 QQ11 QQ15
QQ23 QQ24 QQ25 QQ34 QQ37
QQ72 QQ74 QQ89 QQ92 QQ94
RR04 RR06 SS04 SS15 VV15
XX07 XX09 XX24

5F110 AA02 AA06 AA26 BB02 BB04
CC02 DD02 DD13 DD14 DD17
EE04 FF02 FF03 FF09 FF30
GG02 GG13 GG22 GG25 GG26
GG45 GG58 HJ01 HJ04 HJ13
HJ23 HL04 HL06 HL12 HL14
HL23 HM02 NN03 NN04 NN23
NN24 NN35 NN72 PP03 QQ04
QQ05 QQ11 QQ25

专利名称(译)	液晶显示装置和液晶显示装置的制造方法		
公开(公告)号	JP2001264813A	公开(公告)日	2001-09-26
申请号	JP2000080241	申请日	2000-03-22
[标]申请(专利权)人(译)	三菱电机株式会社 精工爱普生株式会社		
申请(专利权)人(译)	三菱电机株式会社 精工爱普生公司		
[标]发明人	久保田健 竹口徹 村井一郎		
发明人	久保田 健 竹口 徹 村井 一郎		
IPC分类号	G02F1/136 G02F1/1368 G09F9/30 H01L21/28 H01L21/302 H01L21/3065 H01L21/336 H01L21/768 H01L29/786		
FI分类号	G09F9/30.338 H01L21/28.L G02F1/136.500 H01L21/302.M H01L21/90.A H01L29/78.612.B H01L29/78. 616.K H01L29/78.616.T H01L29/78.618.D H01L29/78.627.C G02F1/1368 H01L21/302.105.A H01L21 /302.301.N H01L21/302.301.S H01L21/302.301.Z		
F-TERM分类号	2H092/GA59 2H092/JA25 2H092/JA35 2H092/JA40 2H092/JA46 2H092/JB56 2H092/KA04 2H092 /KA10 2H092/KB25 2H092/MA08 2H092/MA15 2H092/MA18 2H092/MA27 2H092/MA30 2H092/MA35 2H092/NA13 2H092/NA29 4M104/AA01 4M104/AA08 4M104/AA09 4M104/AA10 4M104/BB04 4M104 /CC01 4M104/CC05 4M104/DD08 4M104/DD12 4M104/DD22 4M104/DD23 4M104/DD37 4M104/FF07 4M104/FF16 4M104/FF18 4M104/FF22 4M104/FF27 4M104/GG09 4M104/GG10 4M104/GG14 4M104 /GG20 4M104/HH15 5C094/AA42 5C094/AA44 5C094/BA03 5C094/BA43 5C094/CA19 5C094/CA24 5C094/DA14 5C094/DA15 5C094/EA04 5C094/EA07 5C094/EB02 5C094/ED03 5C094/FB12 5C094 /FB15 5C094/GB10 5F004/AA05 5F004/CA01 5F004/DA01 5F004/DA16 5F004/DA23 5F004/DA26 5F004/DA30 5F004/DB03 5F004/DB07 5F004/EA10 5F004/EA28 5F004/EB01 5F004/EB03 5F004 /FA08 5F033/GG04 5F033/JJ01 5F033/JJ07 5F033/JJ09 5F033/KK01 5F033/KK07 5F033/MM08 5F033 /MM13 5F033/NN06 5F033/NN07 5F033/NN13 5F033/NN16 5F033/PP15 5F033/QQ11 5F033/QQ15 5F033/QQ23 5F033/QQ24 5F033/QQ25 5F033/QQ34 5F033/QQ37 5F033/QQ72 5F033/QQ74 5F033 /QQ89 5F033/QQ92 5F033/QQ94 5F033/RR04 5F033/RR06 5F033/SS04 5F033/SS15 5F033/VV15 5F033/XX07 5F033/XX09 5F033/XX24 5F110/AA02 5F110/AA06 5F110/AA26 5F110/BB02 5F110 /BB04 5F110/CC02 5F110/DD02 5F110/DD13 5F110/DD14 5F110/DD17 5F110/EE04 5F110/FF02 5F110/FF03 5F110/FF09 5F110/FF30 5F110/GG02 5F110/GG13 5F110/GG22 5F110/GG25 5F110 /GG26 5F110/GG45 5F110/GG58 5F110/HJ01 5F110/HJ04 5F110/HJ13 5F110/HJ23 5F110/HL04 5F110/HL06 5F110/HL12 5F110/HL14 5F110/HL23 5F110/HM02 5F110/NN03 5F110/NN04 5F110 /NN23 5F110/NN24 5F110/NN35 5F110/NN72 5F110/PP03 5F110/QQ04 5F110/QQ05 5F110/QQ11 5F110/QQ25 2H092/JB58 2H092/MA19 2H192/AA24 2H192/BC31 2H192/CB02 2H192/CB12 2H192 /CB42 2H192/CB82 2H192/CB83 2H192/CC72 2H192/EA67 2H192/FB02 2H192/HA44 2H192/HA66		
其他公开文献	JP4132556B2		
外部链接	Espacenet		

摘要(译)

具有高显示质量的液晶显示装置及其制造方法，在该液晶显示装置中，能够开口能够可靠地与多晶硅膜接触的接触孔。该方法包括用于在第一蚀刻条件下打开层间绝缘膜的第一打开步骤和用于在第二蚀刻条件下暴露半导体层的第二打开步骤。在第二蚀刻条件下，用于打开层间绝缘膜的蚀刻速率高于第二蚀刻条件，并且栅极绝缘膜对半导体层的蚀刻选择比高于第一蚀刻条件。

