

(51) Int.Cl. ⁷	識別記号	F I	テ-マコ-ト [*] (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	520	G 0 2 F 1/133	520 5 C 0 0 6
G 0 9 G 3/20	622	G 0 9 G 3/20	622 B 5 C 0 5 8
	670		670 D 5 C 0 8 0
H 0 4 N 5/66	102	H 0 4 N 5/66	102 B
審査請求 未請求 請求項の数 15 O L (全 9 数)			

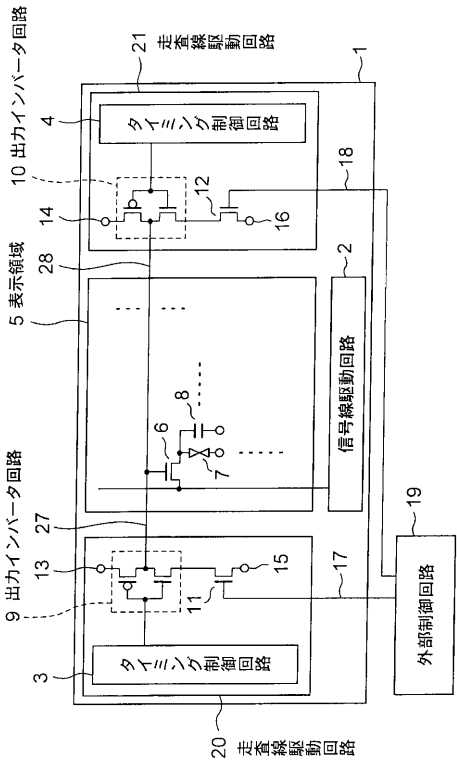
(21)出願番号	特願2000 - 60166(P2000 - 60166)	(71)出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22)出願日	平成12年3月6日(2000.3.6)	(72)発明者	青 木 良 朗 埼玉県深谷市幡羅町1 - 9 - 2 株式会社東芝 深谷工場内
		(74)代理人	100064285 弁理士 佐藤 一雄 (外 3 名)
		最終頁に続く	

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】 液晶表示装置の画素アレイと同一ガラス基板上に、信号線や走査線の駆動回路を配置した構成において、走査線駆動回路の出力部を構成するC - M O Sインバータ回路と、電源を供給する配線との間に、スイッチ回路を設けることにより、電源投入時の不安定な状態を回避する。

【解決手段】 走査線27、28と信号線により駆動される液晶表示領域5と、走査線27、28に走査信号を与える出力インバータ回路9、10と、これらの出力インバータ回路9、10に走査信号を与えるタイミング制御回路3、4を備える液晶表示装置において、出力インバータ回路9、10のロウレベル電源15、16側に介挿されたnチャンネル薄膜トランジスタ11、12を、電源立ち上げ後の一定の時間、外部制御回路19から外部制御信号線17を介して強制的にオフすることにより、出力インバータ回路9、10から走査信号線27、28に出力される走査信号のレベルをハイレベルに安定化する。



【特許請求の範囲】

【請求項 1】絶縁基板上に形成された液晶表示装置の走査線駆動回路を、

走査線を駆動する出力部が C-MOS インバータ回路で構成され、このインバータ回路と、ロウレベルとハイレベルのいずれかを供給する電源配線との間に薄膜トランジスタによるスイッチが挿入され、前記薄膜トランジスタのゲート電極を外部から制御される共通配線に接続したものと構成したことを特徴とする、

液晶表示装置。

【請求項 2】絶縁基板上に形成された液晶表示装置の走査線駆動回路を、

走査線を駆動する出力部が複数段のカスケード状に接続された C-MOS インバータ回路で構成され、前記複数段のインバータ回路は、一段おきにロウレベルを供給する電源配線との間に薄膜トランジスタによるスイッチが挿入され、前記薄膜トランジスタのゲート電極を外部から制御される共通配線に接続したものと構成したことを特徴とする、液晶表示装置。

【請求項 3】請求項 1 及び 2 記載の液晶表示装置において、

前記走査線駆動回路が表示領域を挟んで両側に配置され、共通の走査線をそれぞれ両側の走査線駆動回路から駆動することを特徴とする、液晶表示装置。

【請求項 4】絶縁基板上に形成された液晶表示装置の走査線駆動回路を、

走査線を駆動する出力部が C-MOS インバータ回路で構成され、走査線を駆動する最終段の出力インバータ回路とロウレベルを供給する電源配線との間に第 1 薄膜トランジスタによる第 1 スwitchが挿入され、このインバータ回路とハイレベルを供給する電源配線との間に第 2 薄膜トランジスタによる第 2 スwitchが挿入され、前記第 1 薄膜トランジスタのゲート電極が外部から制御された共通配線に接続され、前記第 2 薄膜トランジスタのゲート配線は、前記第 1 薄膜トランジスタを制御する共通配線から、一段以上、奇数段のインバータ回路経由して制御されるものとして構成したことを特徴とする液晶表示装置。

【請求項 5】請求項 4 記載の液晶表示装置において、前記走査線駆動回路が表示領域を挟んで両側に配置され、共通の走査線をそれぞれ両側の走査線駆動回路から駆動することを特徴とする、液晶表示装置。

【請求項 6】請求項 1 乃至 5 に記載の液晶表示装置において、出力部の一段以上のインバータ回路と、タイミング制御回路との間に、出力振幅を増幅するレベルシフト回路が挿入されていることを特徴とする、液晶表示装置。

【請求項 7】請求項 1 乃至 6 に記載の液晶表示装置において、絶縁基板上の走査線駆動回路は多結晶 Si による薄膜トランジスタによって形成されていることを特徴と

する、液晶表示装置。

【請求項 8】走査線と信号線により駆動される液晶表示領域と、

この液晶表示領域を挟んで両側に配置され、共通の前記走査線にそれぞれ両側から走査信号を与える駆動手段と、

前記駆動手段に走査信号を与える走査制御手段と、

電源立ち上げ後の一定の時間、前記駆動手段から前記走査線に与えられる走査信号のレベルを予め定められた状態に制御する制御手段と、

を備えることを特徴とする液晶表示装置。

【請求項 9】請求項 8 記載の液晶表示装置において、前記制御手段が、前記駆動手段に電源を供給する回路に介挿される少なくとも 1 個のスイッチ手段を制御する、液晶表示装置。

【請求項 10】請求項 8 の液晶表示装置において、前記制御手段が、前記駆動手段の出力レベルを、強制的にロウレベルにするためのレベル制御手段を有する、液晶表示装置。

【請求項 11】請求項 9 の液晶表示装置において、前記制御手段が、前記駆動手段にロウレベル電源を供給する回路に介挿されるスイッチ手段を制御して、電源投入後の一定の時間、前記駆動回路の出力信号をハイレベル側に制御する、液晶表示装置。

【請求項 12】請求項 9 の液晶表示装置において、前記制御手段が、前記駆動手段にハイレベル電源を供給する回路に介挿されるスイッチ手段およびロウレベル電源を供給する回路に介挿されるスイッチ手段を制御して、電源投入後の一定の時間、前記駆動回路を、ハイレベル電源およびロウレベル電源の両方から切り離すようにした、液晶表示装置。

【請求項 13】請求項 8 の液晶表示装置において、前記駆動手段が、CMOS により構成されるインバータ回路で、前記制御手段が、前記インバータ回路のロウレベル電源側に直列に接続された n チャンネル MOS トランジスタのゲートを制御して、電源投入後の一定時間これを強制的にオフする、液晶表示装置。

【請求項 14】請求項 8 の液晶表示装置において、前記駆動手段が、複数段を直列接続した CMOS により構成される回路で構成され、これらの CMOS に一段置きに、ロウレベル電源側に直列に n チャンネル MOS トランジスタを接続し、前記制御手段が、電源投入後の一定時間、n チャンネル MOS トランジスタのゲートを制御して、これらを強制的にオフする、液晶表示装置。

【請求項 15】請求項 8 の液晶表示装置において、前記駆動手段が、CMOS により構成されるインバータ回路で、前記制御手段が、前記インバータ回路のロウレベル電源側に直列に接続された n チャンネル MOS トランジスタのゲートおよび前記インバータ回路のハイレベル電源側に直列に接続された p チャンネル MOS トランジスタ

タの各ゲートを制御して、電源投入後の一定時間これらを強制的にオフする、液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は液晶表示装置に係り、特に、透明絶縁基板上に駆動回路を一体に形成した構造において、駆動回路の特性を安定化する回路構成に関する。

【0002】

【従来の技術】一般に、液晶表示装置は、透明絶縁基板上に液晶を封入し、この透明絶縁基板上に信号線と走査線を直交するように複数本づつ配置し、それぞれの交点付近にマトリクス状に形成される画素アレイ部を、薄膜トランジスタで駆動して画像を形成させるような構造になっていることは良く知られて入る。

【0003】これらの信号線および走査線は、駆動回路により駆動されるが、従来は、この駆動回路は、画素アレイとは別の基板に構成するのが一般的であった。

【0004】しかしながら、近年、液晶表示装置のコストダウンに対する要求が強く、そのためには、基板数は極力低減する必要がある。そのために、信号線および走査線の駆動回路を、画素アレイと同一基板上に形成することが検討されてきた。

【0005】しかし、その一方で、液晶表示装置の外形寸法に対する、実画面サイズの比率を高めることに対する要求も強く、単純に、駆動回路を画素アレイと同一基板上に形成できないという問題もあった。

【0006】しかし、近年、ガラス基板上にポリシリコンを材料として、薄膜トランジスタを形成する製造技術が進歩してきており、この技術を利用することにより、画素アレイ部と駆動回路を、同一のガラス基板上に形成するという試みが盛んになされている。

【0007】しかしながら、ガラス基板上に形成される薄膜トランジスタには、多結晶状態のシリコンを用いるのが一般的であるのに対して、ガラス基板上に均一で特性の良好な多結晶シリコンを形成することは、現状では、困難である。このため、ガラス基板上に構成された駆動回路の各出力特性は、ばらつきを生じ易かった。

【0008】図5は、従来の液晶表示装置の部分回路図であり、特に、走査線を駆動する走査信号線27への駆動信号の送出回路を示すものである。

【0009】図にも示すように、走査線駆動回路20には、タイミング制御回路3と、タイミング制御回路3の出力をバッファする出力インバータ回路9が含まれる。出力インバータ回路9は、ハイレベル電源13とロウレベル電源15の間に配置されたC-MOSインバータである。

【0010】図において示すように、走査線駆動回路20から走査信号線27への駆動信号は、タイミング制御回路3から出力インバータ回路9を介して送り出されて

おり、ハイレベル信号はハイレベル電源13から供給され、ロウレベル信号はロウレベル電源15から供給される。

【0011】

【発明が解決しようとする課題】以上述べたように、駆動回路を画素アレイと同一の透明絶縁基板上に形成した従来の液晶表示装置は、以上述べたように構成されるので、出力インバータ回路9を構成するnチャンネルトランジスタやpチャンネルトランジスタの出力特性にばらつきを生じ易く、タイミング制御回路3から出力インバータ回路9を介して走査信号線27に送り出される信号のレベルが不安定になるという問題点があった。

【0012】特に、電源非投入時の停止状態から電源を投入した瞬間の、出力インバータ回路9の出力制御が困難とされている。

【0013】このため、電源投入時には出力インバータ回路9の出力ばらつきにより、液晶表示装置の表示状態が均一にならないという問題点があった。

【0014】また、同一の走査線を、走査線の両端から、2つの出力インバータ回路9で、共通に駆動するような構成では、電源投入時の2つの出力インバータ回路9の出力不一致が、出力インバータ回路9を経由しての電源系の短絡を招くこともあり、この短絡電流が外部電源の許容電流値を超えてしまうと、電源供給にも支障をおよぼすという問題点もあった。

【0015】本発明は、上記のような従来技術の問題点を解消し、液晶表示装置の画素アレイと同一ガラス基板上に、信号線や走査線の駆動回路を配置した構成において、走査線駆動回路の出力部を構成するC-MOSインバータ回路と、電源を供給する配線との間に、スイッチ回路を設けることにより、電源投入時の不安定な状態を回避することを可能にした液晶表示装置を得ることを目的とする。

【0016】

【課題を解決するための手段】本発明は、絶縁基板上に形成された液晶表示装置の走査線駆動回路を、走査線を駆動する出力部がC-MOSインバータ回路で構成され、このインバータ回路と、ロウレベルとハイレベルのいずれかを供給する電源配線との間に薄膜トランジスタによるスイッチが挿入され、前記薄膜トランジスタのゲート電極を外部から制御される共通配線に接続したものと構成したことを特徴とする、液晶表示装置を提供しようとするものである。

【0017】さらに、本発明は、絶縁基板上に形成された液晶表示装置の走査線駆動回路を、走査線を駆動する出力部が複数段のカスケード状に接続されたC-MOSインバータ回路で構成され、前記複数段のインバータ回路は、一段おきにロウレベルを供給する電源配線との間に薄膜トランジスタによるスイッチが挿入され、前記薄膜トランジスタのゲート電極を外部から制御される共通

配線に接続したものととして構成したことを特徴とする、液晶表示装置を提供しようとするものである。

【0018】さらに、本発明は、絶縁基板上に形成された液晶表示装置の走査線駆動回路を、走査線を駆動する出力部がC-MOSインバータ回路で構成され、走査線を駆動する最終段の出力インバータ回路とロウレベルを供給する電源配線との間に第1薄膜トランジスタによる第1スイッチが挿入され、このインバータ回路とハイレベルを供給する電源配線との間に第2薄膜トランジスタによる第2スイッチが挿入され、前記第1薄膜トランジスタのゲート電極が外部から制御された共通配線に接続され、前記第2薄膜トランジスタのゲート配線は、前記第1薄膜トランジスタを制御する共通配線から、一段以上、奇数段のインバータ回路経由して制御されるものとして構成したことを特徴とする液晶表示装置を提供するものである。

【0019】

【発明の実施の形態】以下、図面を参照しながら本発明の実施形を説明する。

【0020】実施形1. 図1は、本発明の実施形1の液晶表示装置の概略回路図である。図において示すように、駆動回路一体型液晶表装置1は、画素トランジスタ6、画素部7、補助容量8をマトリクス状に配置した表示領域5と同一の基板上に、信号線を駆動するための信号線駆動回路2と、走査線を駆動するための走査線駆動回路20、21を配置して構成される。

【0021】画素トランジスタ6のゲートに走査信号を与えるための走査線駆動回路20、21と、表示領域5の両側に2つが設けられ、走査信号線27および走査信号線28を通じて、タンデムで走査線の駆動が行われる。これは、表示領域5の中で、駆動回路から離れた部分で、画素トランジスタ6、補助容量8、走査線の配線容量などのために、走査信号の波形が、なまってしまうのを補うためである。

【0022】走査線駆動回路20は、タイミング制御回路3と、タイミング制御回路3の出力を走査信号線27に送出するための出力インバータ回路9で構成される。出力インバータ回路9には、ハイレベル電源13からハイレベル電源が、ロウレベル電源15からロウレベル電源が供給される。出力インバータ回路9のロウレベル電源15側には、nチャンネル薄膜トランジスタ11が直列に挿入されており、そのゲートは外部制御信号線17を通じて、外部制御回路19により制御されるようになっている。

【0023】一方、走査線駆動回路21は、タイミング制御回路4と、タイミング制御回路4の出力を走査信号線28に送出するための出力インバータ回路10で構成される。出力インバータ回路10には、ハイレベル電源14からハイレベル電源が、ロウレベル電源16よりロウレベル電源が供給される。出力インバータ回路10の

ロウレベル電源16側には、nチャンネル薄膜トランジスタ12が直列に挿入されており、そのゲートは外部制御信号線18を通じて、外部制御回路19により制御されるようになっている。

【0024】外部制御回路19は、この液晶表示装置への電源投入時に、一定の時間、外部制御信号線17、18に制御信号を送出し、nチャンネル薄膜トランジスタ11、12をオフにする作用を持っている。

【0025】つまり、電源投入時点において、nチャンネル薄膜トランジスタ11、12のゲート電位に駆動電位を与える外部制御信号線17、18は、ロウレベル電源15、16と、略同一レベルにあり、従って、nチャンネル薄膜トランジスタ11、12はオフ状態にある。この状態を積極的に作り出しているのが、外部制御回路19であり、電源投入時点からこのような状態が一定の時間継続するように制御する。

【0026】以上述べたような構成において、次に、その動作を詳細に説明する。

【0027】電源投入以前の時点において、駆動回路一体型液晶表装置1、外部制御回路19の両方共に電源が投入されていないので、ハイレベル電源13、14および、ロウレベル電源15、16は、共に略同一の電圧レベルにある。

【0028】このような状態から、電源が投入されると、ロウレベル電源15、16の電位を基準とすると、これに対して、ハイレベル電源13、14の電位が、ある一定の時間をかけて、立ち上がる。この立ち上がり時間は、電源のインピーダンスおよび電源を供給される負荷のインピーダンスによって決定される。

【0029】さて、この電源立ち上げ時において、外部制御回路19から、外部制御信号線17、18を通じて、nチャンネル薄膜トランジスタ11、12のゲートに対して、ある一定の時間、ロウレベルの電位が与えられる。その結果、nチャンネル薄膜トランジスタ11、12は、電源立ち上げ時の一定時間、強制的にオフ状態に保たれる。

【0030】一方、先にも述べたように、駆動回路一体型液晶表装置1の上に形成される出力インバータ回路9、10はタイミング制御回路3、4からの信号を走査信号線27、28に供給する機能を有するが、この出力インバータ回路9、10は、電源投入時の一定時間、ロウレベル電源15、16から切り離されることになり、接続される電源は、ハイレベル電源13、14のみとなる。その結果、出力インバータ回路9、10により駆動される、走査信号線27、28のレベルは、ハイレベル電源13、14の立ち上がりに伴い、これに追従することになる。

【0031】その結果、タイミング制御回路3、4や、出力インバータ回路9、10が動作不安定にならざるを得ないような電源投入直後の状況にあっても、走査信号

線 27、28 のレベルが、不安定なレベルをとったり、ハイレベル電源 13、14 と、ロウレベル電源 15、16 の間に貫通電流が流れたりといった、不都合を防止することができる。

【0032】電源投入後、一定の時間が経過して、タイミング制御回路 3、4 や出力インバータ回路 9、10 の動作が安定してきた段階で、外部制御回路 19 により、n チャンネル薄膜トランジスタ 11、12 のゲートに対して、外部制御信号線 17、18 を通じて、ハイレベルの信号を供給する。その結果、n チャンネル薄膜トランジスタ 11、12 が共にオンして、出力インバータ回路 9、10 に対して、ロウレベル電源 15、16 が供給され始める。

【0033】以上のような動作を通じて、出力インバータ回路 9、10 の出力は、それぞれタイミング制御回路 3、4 からの信号レベルに応じて、ハイレベル電源 13、14 のレベルまたはロウレベル電源 15、16 のレベルをとるようになり、これを走査信号線 27、28 を通じて、表示領域 5 に供給するという通常の動作状態に移行する。

【0034】以上述べたように、駆動回路一体型液晶表示装置 1 の電源の投入時点において、タイミング制御回路 3、4 や出力インバータ回路 9、10 の動作が不安定な状態の時には、出力インバータ回路 9、10 の出力をハイレベル電源 13、14 によってのみ決定される電位に追従させるので、走査信号線 27、28 の電位の不安定を防止することが可能となり、表示領域 5 における表示むらなどの、表示不良を除去し、均一で安定した表示状態を確保することが可能となる。一方、出力インバータ回路 9、10 の動作不安定に伴う、ハイレベル電源 13、14 と、ロウレベル電源 15、16 の間の短絡事故を回避できるので、装置の信頼性を高められる。

【0035】なお、本実施形 1 では、出力インバータ回路 9、10 のロウレベル電源 15、16 側に、n チャンネル薄膜トランジスタ 11、12 を介在させ、これを電源投入後、一定の時間、強制的にオフすることにより、走査信号線 27、28 のレベルを、ハイレベルに安定化する構成を例示したが、出力インバータ回路 9、10 のハイレベル電源 13、14 側に、p チャンネル薄膜トランジスタを介在させ、これを電源投入後、一定の時間、強制的にオフすることにより、走査信号線 27、28 のレベルを、ロウレベルに安定化するようにしても良いことはもちろんである。

【0036】実施形 2 . 図 2 は、本発明の実施形 2 の液晶表示装置の概略部分回路図であり、特に、図 1 に示すような基本構成における、走査線駆動回路 20 のみを抜き出して示したものである。

【0037】図において示すように、出力インバータ回路 9 は、CMOS の多段カスケード構造となっている。なお本例では、図示のように、第 1 段、第 2 段、第 3

段、第 4 段の、合計 4 個の CMOS インバータが例示される。そして、その中の第 1 段目と、第 4 段目の 2 段の CMOS に対して、実施形 1 と同様に、ロウレベル電源 15 側に、それぞれ n チャンネル薄膜トランジスタ 22、23 が介挿される。これらの n チャンネル薄膜トランジスタ 22、23 のゲートは、外部制御信号線 17 を通じて、外部制御回路 19 から制御される。

【0038】以上述べたような構成において、次に、その動作を詳細に説明する。

【0039】電源投入以前の時点において、外部制御回路 19 には電源が投入されていないので、ハイレベル電源 13 およびロウレベル電源 15 共に、略同一の電圧レベルにある。

【0040】このような状態から、電源が投入されると、ロウレベル電源 15 の電位を基準とすると、これに対して、ハイレベル電源 13 の電位が、ある一定の時間をかけて、立ち上がる。この立ち上がり時間は、電源のインピーダンスおよび電源を供給される負荷のインピーダンスによって決定される。

【0041】さて、この電源立ち上げ時において、外部制御回路 19 から、外部制御信号線 17 を通じて、n チャンネル薄膜トランジスタ 22、23 のゲートに対して、ある一定の時間、ロウレベルの電位が与えられる。その結果、n チャンネル薄膜トランジスタ 22、23 は、電源立ち上げ時の一定時間、強制的にオフ状態に保たれる。

【0042】つまり、タイミング制御回路 3 からの出力を与えられる第 1 段目の CMOS および、この出力を第 2 段の CMOS を介して入力される第 3 段目の CMOS に接続される、n チャンネル薄膜トランジスタ 22、23 の作用により、電源投入時の一定時間、これらの CMOS はロウレベル電源 15 から切り離されることになり、接続される電源は、ハイレベル電源 13 のみとなる。

【0043】その結果、第 1 段の CMOS の出力電位は、タイミング制御回路 3 の出力に関係なく、確実にハイレベルに引き上げられることになり、第 2 段目の CMOS の出力をロウレベルにするように作用する。

【0044】つまり、第 3 段目の CMOS は、n チャンネル薄膜トランジスタ 23 がオフであるため、完全にロウレベル電源 15 と切り離された状態で、第 2 段目の CMOS からロウレベルの駆動信号を与えられることになり、その出力をハイレベルに引き上げられることになる。

【0045】その結果、出力インバータ回路 9 の第 4 段目の CMOS の出力レベルは確実にロウレベルとなり、これが走査信号線 27 に供給される。

【0046】その結果、タイミング制御回路 3 や出力インバータ回路 9 が動作不安定にならざるを得ないような電源投入直後の状況にあっても、走査信号線 27 のレベ

ルを確実にロウレベルに保持できるので、走査信号線 27 が不安定なレベルをとったり、ハイレベル電源 13 と、ロウレベル電源 15 の間に貫通電流が流れたりといった、不都合を防止することができるだけでなく、電流投入時の電流を抑制できるので、電源立ち上げ時間を短縮でき、不安定な状態にある時間を短くできるという効果がある。

【0047】電源投入後、一定の時間が経過して、タイミング制御回路 3 や出力インバータ回路 9 の動作が安定してきた段階で、外部制御回路 19 により、n チャンネル薄膜トランジスタ 22、23 のゲートに対して、外部制御信号線 17 を通じて、ハイレベルの信号を供給する。その結果、n チャンネル薄膜トランジスタ 22、23 が共にオンして、出力インバータ回路 9 の第 1 段目、第 3 段目の CMOS に対して、ロウレベル電源 15 が供給され始める。

【0048】以上のような動作を通じて、出力インバータ回路 9 の出力は、それぞれタイミング制御回路 3 からの信号レベルに応じて、ハイレベル電源 13 のレベルまたはロウレベル電源 15 のレベルをとるようになり、これを走査信号線 27 に供給する通常の動作状態に移行する。

【0049】以上述べたように、電源の投入時点において、タイミング制御回路 3 や出力インバータ回路 9 の動作が不安定な状態の時には、出力インバータ回路 9 の出力をロウレベルに固定させるので、走査信号線 27 の電位の不安定を防止するだけでなく、表示領域に流れる電流を抑制でき、結果として電源立ち上げ後の安定するまでの時間を短縮できる。その結果、電源立ち上げ時の表示むらなどの、表示不良を除去し、均一で安定した表示状態を確保することが可能となる。一方、出力インバータ回路 9 の動作不安定に伴う、ハイレベル電源 13 と、ロウレベル電源 15 の間の短絡事故を回避できるので、装置の信頼性を高められる。

【0050】実施形 3 . 図 3 は、本発明の実施形 2 の液晶表示装置の概略部分回路図であり、特に、図 1 に示すような基本構成における、走査線駆動回路 20 のみを抜き出して示したものである。

【0051】図において示すように、出力インバータ回路 9 は、CMOS 構造となっており、ハイレベル電源 13 側には、p チャンネル薄膜トランジスタ 24 が介挿され、ロウレベル電源 15 側には、n チャンネル薄膜トランジスタ 11 が介挿される。なお、p チャンネル薄膜トランジスタ 24 のゲートには、外部制御回路 19 から外部制御信号線 17、インバータ回路 25 を介して、制御信号が与えられ、n チャンネル薄膜トランジスタ 11 のゲートには、外部制御回路 19 から外部制御信号線 17 を介して、制御信号が与えられる。

【0052】以上述べたような構成において、次に、その動作を詳細に説明する。

【0053】電源投入以前の時点において、外部制御回路 19 には電源が投入されていないので、ハイレベル電源 13 およびロウレベル電源 15 共に、略同一の電圧レベルにある。

【0054】このような状態から、電源が投入されると、ロウレベル電源 15 の電位を基準とすると、これに対して、ハイレベル電源 13 の電位が、ある一定の時間をかけて、立ち上がる。この立ち上がり時間は、電源のインピーダンスおよび電源を供給される負荷のインピーダンスによって決定される。

【0055】さて、この電源立ち上げ時において、外部制御回路 19 から、外部制御信号線 17 を通じて、n チャンネル薄膜トランジスタ 11 のゲートに対して、ある一定の時間、ロウレベルの電位が与えられる。併せて、外部制御回路 19 から、外部制御信号線 17 およびインバータ回路 25 を通じて、p チャンネル薄膜トランジスタ 24 のゲートに対して、ある一定の時間、ハイレベル電源 13 と共に立ち上がるハイレベルの電位が与えられる。

【0056】その結果、n チャンネル薄膜トランジスタ 11 は、電源立ち上げ時の一定時間、強制的にオフ状態に保たれる。

【0057】一方、p チャンネル薄膜トランジスタ 24 も、電源立ち上げ時の一定時間、強制的にオフ状態に保たれることになる。

【0058】つまり、電源立ち上げ後の一定時間の間は、出力インバータ回路 9 は、ハイレベル電源 13 からロウレベル電源 15 からも切り離されることになる。その結果、タイミング制御回路 3 の出力によらず、走査信号線 27 に対しては、ハイレベル、ロウレベルのいずれのレベルの信号も供給されない。

【0059】その結果、タイミング制御回路 3 や出力インバータ回路 9 が動作不安定 ならざるを得ないような電源投入直後の状況下では、出力インバータ回路 9 がハイレベル電源 13、ロウレベル電源 15 から切り離され、走査信号線 27 にも特定のレベルの信号が出力されないで、走査信号線 27 が不安定なレベルをとったり、ハイレベル電源 13 と、ロウレベル電源 15 の間に貫通電流が流れたりといった、不都合を防止することができるだけでなく、電流投入時に走査信号線 27 に流れる電流を抑制できるので、電源立ち上げ時間を短縮でき、不安定な状態にある時間を短くできるという効果がある。

【0060】電源投入後、一定の時間が経過して、タイミング制御回路 3 や出力インバータ回路 9 の動作が安定してきた段階で、外部制御回路 19 により、n チャンネル薄膜トランジスタ 11 のゲートに対しては、ハイレベルの信号、p チャンネル薄膜トランジスタ 24 のゲートに対しては、ロウレベル信号を供給する。その結果、n チャンネル薄膜トランジスタ 11、p チャンネル薄膜ト

ランジスタ 24 が共にオンして、出力インバータ回路 9 に対して、ハイレベル電源 13 およびロウレベル電源 15 が供給され始める。

【0061】以上のような動作を通じて、出力インバータ回路 9 の出力は、それぞれタイミング制御回路 3 からの信号レベルに応じて、ハイレベル電源 13 のレベルまたはロウレベル電源 15 のレベルをとるようになり、これを走査信号線 27 に供給する通常の動作状態に移行する。

【0062】以上述べたように、電源の投入時点において、タイミング制御回路 3 や出力インバータ回路 9 の動作が不安定な状態の時には、出力インバータ回路 9 から走査信号線 27 に特定のレベルの信号が出力されるのを抑制するので、走査信号線 27 の電位の不安定を防止するだけでなく、表示領域に流れる電流を抑制でき、結果として電源立ち上げ後の安定するまでの時間を短縮できる。その結果、電源立ち上げ時の表示むらなどの、表示不良を除去し、均一で安定した表示状態を確保することが可能となる。一方、出力インバータ回路 9 の動作不安定に伴う、ハイレベル電源 13 と、ロウレベル電源 15 20 の間の短絡事故を回避できるので、装置の信頼性を高められる。

【0063】実施形 4 . 図 4 は、本発明の実施形 3 の液晶表示装置の概略部分回路図であり、特に、図 1 に示すような基本構成における、走査線駆動回路 20 のみを抜き出して示したものである。

【0064】図において示すように、出力インバータ回路 9 は、CMOS 構造となっており、実施形 1 と同様に、ロウレベル電源 15 側に、n チャンネル薄膜トランジスタ 11 が介挿される。この n チャンネル薄膜トランジスタ 11 のゲートは、外部制御信号線 17 を通じて、外部制御回路 19 から制御される。30

【0065】一方、タイミング制御回路 3 の出力信号は、レベルシフト回路 26 を介して、出力インバータ回路 9 に与えられる。このレベルシフト回路 26 の働きは、タイミング制御回路 3 の出力振幅を増幅して、出力インバータ回路 9 から走査信号線 27 に出力される駆動信号が、負荷である液晶が要求するレベルに変換する作用を有する。このレベルシフト回路 26 も、電源立ち上げ時には、その出力状態が不安定になる。40

【0066】以上述べたような構成において、次に、その動作を詳細に説明する。

【0067】本実施形の基本的な動作は、図 1 の場合と同様であり、異なる点は、タイミング制御回路 3 と出力インバータ回路 9 の間にレベルシフト回路 26 が介在しているという点だけである。

【0068】このような構成であっても、電源投入時には、外部制御回路 19 から、外部制御信号線 17 を通じて、n チャンネル薄膜トランジスタ 11 のゲートに対して、ある一定の時間、ロウレベルの電位が与えられるの 50

で、n チャンネル薄膜トランジスタ 11 は、電源立ち上げ時の一定時間、強制的にオフ状態ないしはハイレベル電源の状態に保たれる。

【0069】つまり、レベルシフト回路 26 からの振幅増幅された駆動信号出力を与えられる出力インバータ回路 9 は、ロウレベル電源 15 から切り離されることになり、接続される電源は、ハイレベル電源 13 のみとなる。

【0070】その結果、出力インバータ回路 9 の出力レベルは、ハイレベル電源 13 のみに依存することになり、これが走査信号線 27 に供給される。

【0071】その結果、レベルシフト回路 26 を用いる回路構成において、タイミング制御回路 3 や出力インバータ回路 9 が動作不安定にならざるを得ないような電源投入直後の状況にあっても、走査信号線 27 のレベルを確実にハイレベルに保持できるので、走査信号線 27 が不安定なレベルをとったり、ハイレベル電源 13 と、ロウレベル電源 15 の間に貫通電流が流れたりといった、不都合を防止することができる。

【0072】電源投入後、一定の時間が経過して、タイミング制御回路 3 や出力インバータ回路 9 の動作が安定してきた段階で、外部制御回路 19 により、n チャンネル薄膜トランジスタ 11 に対して外部制御信号線 17 を通じて、ハイレベルの信号を供給する。その結果、n チャンネル薄膜トランジスタ 11 がオンして、出力インバータ回路 9 に対して、ロウレベル電源 15 が供給され始める。

【0073】以上のような動作を通じて、出力インバータ回路 9 の出力は、それぞれタイミング制御回路 3 からの信号レベルに応じて、ハイレベル電源 13 のレベルまたはロウレベル電源 15 のレベルをとるようになり、これを走査信号線 27 に供給する通常の動作状態に移行する。

【0074】以上述べたように、レベルシフト回路 26 を介して出力インバータ回路 9 に走査線信号を与えるような構成において、電源の投入時点において、タイミング制御回路 3、レベルシフト回路 26、出力インバータ回路 9 の動作が不安定な状態の時には、出力インバータ回路 9 の出力をハイレベル側に安定させるので、走査信号線 27 の電位の不安定を防止できる。その結果、電源立ち上げ時の表示むらなどの、表示不良を除去し、均一で安定した表示状態を確保することが可能となる。更に、出力インバータ回路 9 の動作不安定に伴う、ハイレベル電源 13 と、ロウレベル電源 15 の間の短絡事故を回避できるので、装置の信頼性を高められる。

【0075】なお、上記各実施例において、スイッチ 11、22、23 を、出力インバータ回路 9 とロウレベル電源 15 との間に接続する例を示したが、出力インバータ回路 9 とハイレベル電源 13 との間に接続することもできる。

【0076】

【発明の効果】以上述べたように、本発明の液晶表示装置は、駆動回路一体型液晶表装置 1 の電源の投入時点において、タイミング制御回路 3、4 や出力インバータ回路 9、10 の動作が不安定な状態の時には、出力インバータ回路 9、10 の出力を、ハイレベルや、ロウレベルに固定したり、電源から完全に切り離したりするように構成したので、表示領域 5 を走査線駆動する走査信号線 27、28 の電位の不安定を防止することが可能となり、表示領域 5 における表示むらなどの、表示不良を除去し、均一で安定した表示状態を確保することが可能となり、更に、出力インバータ回路 9、10 の動作不安定に伴う、ハイレベル電源 13、14 と、ロウレベル電源 15、16 の間の短絡事故を回避できるので、装置の信頼性を高められる効果がある。

【図面の簡単な説明】

【図 1】本発明の実施形 1 の液晶表示装置の概略回路図である。

【図 2】本発明の実施形 2 の液晶表示装置の概略部分回路図である。

【図 3】本発明の実施形 3 の液晶表示装置の概略部分回路図である。

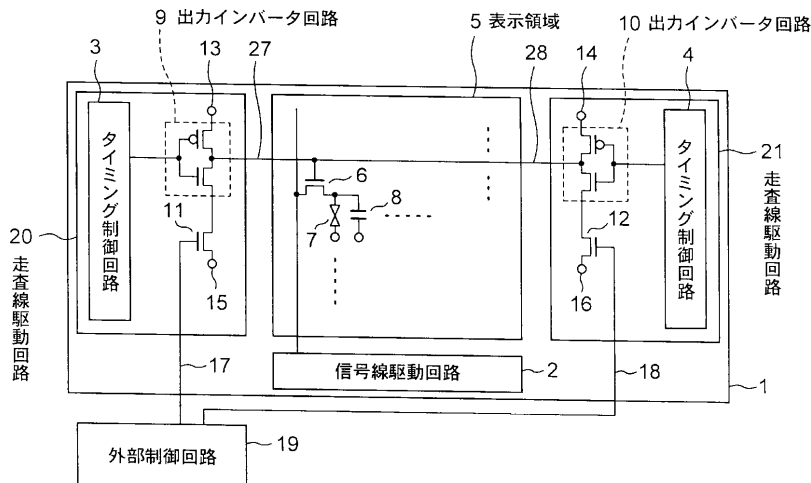
【図 4】本発明の実施形 4 の液晶表示装置の概略部分回路図である。

【図 5】従来の液晶表示装置の部分回路図である。

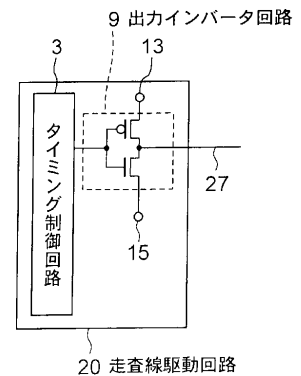
【符号の説明】

- 1 駆動回路一体型液晶表装置
- 2 信号線駆動回路
- 3、4 タイミング制御回路
- 5 表示領域
- 6 画素トランジスタ
- 7 画素部
- 8 補助容量
- 9、10 出力インバータ回路
- 11、12、22、23 nチャンネル薄膜トランジスタ
- 13、14 ハイレベル電源
- 15、16 ロウレベル電源
- 17、18 外部制御信号線
- 19 外部制御回路
- 20、21 走査線駆動回路
- 24 pチャンネル薄膜トランジスタ
- 25 インバータ回路
- 26 レベルシフト回路

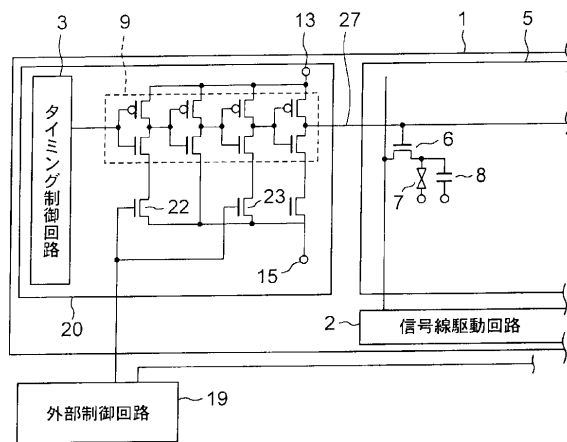
【図 1】



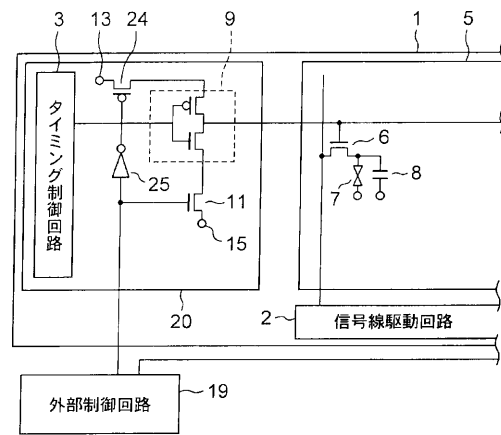
【図 5】



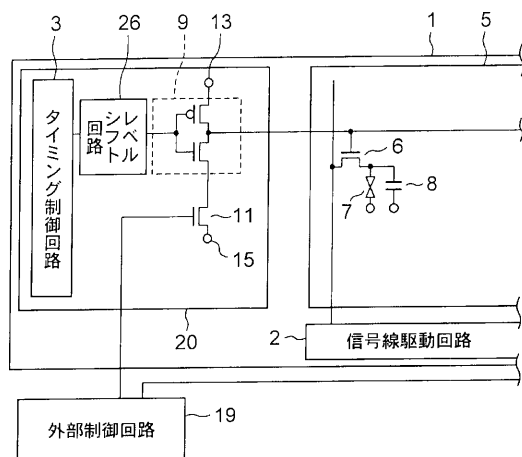
【図2】



【図3】



【図4】



フロントページの続き

F ターム(参考) 2H093 NC02 NC09 NC10 NC16 NC34
 NC90 ND34 ND40
 5C006 AA11 AC22 AF67 BB16 BC03
 BF33 BF34 FA21 FA26
 5C058 AA09 AB01 BA01 BB25
 5C080 AA10 BB05 DD01 DD09 DD30
 FF12 JJ02 JJ03

专利名称(译)	液晶表示装置		
公开(公告)号	JP2001249646A	公开(公告)日	2001-09-14
申请号	JP2000060166	申请日	2000-03-06
[标]申请(专利权)人(译)	株式会社东芝		
申请(专利权)人(译)	东芝公司		
[标]发明人	青木良朗		
发明人	青 木 良 朗		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 H04N5/66		
FI分类号	G09G3/36 G02F1/133.520 G09G3/20.622.B G09G3/20.670.D H04N5/66.102.B		
F-TERM分类号	2H093/NC02 2H093/NC09 2H093/NC10 2H093/NC16 2H093/NC34 2H093/NC90 2H093/ND34 2H093/ND40 5C006/AA11 5C006/AC22 5C006/AF67 5C006/BB16 5C006/BC03 5C006/BF33 5C006/BF34 5C006/FA21 5C006/FA26 5C058/AA09 5C058/AB01 5C058/BA01 5C058/BB25 5C080/AA10 5C080/BB05 5C080/DD01 5C080/DD09 5C080/DD30 5C080/FF12 5C080/JJ02 5C080/JJ03 2H093/NA80 2H193/ZA04 2H193/ZE31 2H193/ZF02 2H193/ZF22		
外部链接	Espacenet		

摘要(译)

解决的问题：以将信号线或扫描线的驱动电路布置在与液晶显示装置的像素阵列相同的玻璃基板上的结构中，向形成扫描线驱动电路的输出部分的C-MOS逆变器电路供电。通过在布线与布线之间设置开关电路，可以避免上电时的不稳定状态。由扫描线27和28以及信号线，输出反相器电路9和10驱动的液晶显示区域5，用于将扫描信号提供给扫描线27和28，并扫描至这些输出反相器电路9和10。在包括用于提供信号的时序控制电路3和4的液晶显示装置中，在接通电源之后，将插入在输出反相器电路9和10的低电平电源15和16侧上的n沟道薄膜晶体管11和12设置为固定时间。通过从外部控制电路19通过外部控制信号线17强制断开，从输出反相器电路9和10输出到扫描信号线27和28的扫描信号的电平稳定在高电平。。

