

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5303095号
(P5303095)

(45) 発行日 平成25年10月2日 (2013. 10. 2)

(24) 登録日 平成25年6月28日 (2013. 6. 28)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)

G02F 1/133 (2006.01)

G09G 3/20 (2006.01)

G09G 3/36

G02F 1/133 550

G02F 1/133 570

G09G 3/20 611A

G09G 3/20 621B

請求項の数 3 (全 25 頁) 最終頁に続く

(21) 出願番号 特願2005-33766 (P2005-33766)
 (22) 出願日 平成17年2月10日 (2005. 2. 10)
 (65) 公開番号 特開2005-292793 (P2005-292793A)
 (43) 公開日 平成17年10月20日 (2005. 10. 20)
 審査請求日 平成19年11月16日 (2007. 11. 16)
 (31) 優先権主張番号 93109015
 (32) 優先日 平成16年4月1日 (2004. 4. 1)
 (33) 優先権主張国 台湾 (TW)

(73) 特許権者 501090788
 瀚宇彩晶股▲ふん▼有限公司
 台湾新北市五股區五權路 48號 4樓
 (74) 代理人 100082670
 弁理士 西脇 民雄
 (72) 発明者 施 博盛
 台湾桃園縣楊梅鎮高獅路580號
 審査官 堀部 修平

最終頁に続く

(54) 【発明の名称】 液晶表示装置の駆動方法

(57) 【特許請求の範囲】

【請求項 1】

複数の走査線及び複数の信号線を有し、前記各走査線及び前記各信号線は、薄膜トランジスタ (TFT) を介して対応する画素に電氣的に接続され、前記 TFT のゲートは対応する前記走査線に電氣的に接続され、前記 TFT のソースは対応する前記信号線に電氣的に接続され、前記 TFT のドレインは蓄積キャパシタを介して前記対応する走査線の隣接走査線に接続され、前記ドレインは、前記画素の画素電極を介して共通電極に電氣的に接続され、前記共通電極の電圧レベルは共通の電圧値であるディスプレイの駆動方法であって、該駆動方法は、

前記対応する走査線に接続された TFT をオンするために、前記対応する走査線に走査電圧を印加し、

前記画素の前記画素電極を充電するために、前記 TFT の前記ソースに電氣的に接続された前記対応する信号線に信号電圧を印加し、

前記蓄積キャパシタを介して前記隣接走査線に電氣的に接続された前記画素電極の前記電圧レベルを変更し、前記画素電極の電圧レベルを共通電極の共通電圧値又は実質的に同様にするために、前記隣接走査線にプレチャージ電圧を印加し、

第一時間区間において、走査線に対し順に第一プレチャージ電圧及び第一走査電圧を印加し、

第一時間区間の後の第二時間区間において、前記走査線に対し、第二プレチャージ電圧及び第二走査電圧を印加し、

10

20

前記走査線に印加する電圧は、前記第一プレチャージ電圧が前記走査線の電圧を第一電圧レベルから第二電圧レベルに変換した後、第一電圧レベルに戻り、続いて、前記第一走査電圧が前記走査線の電圧を第一電圧レベルから第三電圧レベルに変換した後、第一電圧レベルに戻る電圧であることを特徴とするディスプレイ駆動方法。

【請求項 2】

前記画素電極の前記電圧レベルが前記共通電極の電圧レベルより大きい場合、前記共通電極の前記共通電圧値に近づけるために、負のプレチャージ電圧により前記画素電極にバイアスをかけ、前記画素電極の電圧レベルが前記共通電極の電圧レベルより小さい場合、前記共通電極の前記共通電圧値に近づけるために、正のプレチャージ電圧により前記画素電極にバイアスをかけることを特徴とする請求項 1 に記載のディスプレイ駆動方法。

10

【請求項 3】

複数の走査線及び複数の信号線を備え、各走査線及び各信号線は、薄膜トランジスタ (TFT) を介して対応する画素に電氣的に接続され、前記 TFT のゲートは、対応する前記走査線に電氣的に接続され、前記 TFT のソースは、対応する前記信号線に電氣的に接続され、前記 TFT のドレインは、蓄積キャパシタを介して、前記対応する走査線に隣接する隣接走査線及び前記画素の画素電極を介して共通電極に電氣的に接続され、前記共通電極の電圧レベルは、共通電圧値であるディスプレイ駆動方法であって、該駆動方法は、

前記対応する走査線に接続された前記 TFT をオンするために、前記対応する走査線に走査電圧を印加し、

前記画素の前記画素電極を充電するために、前記 TFT の前記ドレインに電氣的に接続された前記対応する信号線に信号電圧を印加し、

20

前記蓄積キャパシタを介して前記隣接走査線に電氣的に接続された前記画素電極の前記電圧レベルを変更し、前記画素電極の電圧レベルを共通電極の共通電圧値又は実質的に同様にするために、前記隣接走査線にプレチャージ電圧を印加し、

第一時間区間において、走査線に対し順に第一プレチャージ電圧及び第一走査電圧を印加し、

第一時間区間の後の第二時間区間において、前記走査線に対し、第二プレチャージ電圧及び第二走査電圧を印加し、

前記走査線に印加する電圧は、前記第一プレチャージ電圧が前記走査線の電圧を第一電圧レベルから第二電圧レベルに変換した後、第一電圧レベルに戻り、続いて、前記第一走査電圧が前記走査線の電圧を第一電圧レベルから第三電圧レベルに変換した後、第一電圧レベルに戻る電圧であり、

30

前記隣接走査線に電氣的に接続された前記画素の前記画素電極は、フィードバック時間間隔にフィードバック方法で前記プレチャージ電圧により容量的に充電されることを特徴とするディスプレイ駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置の駆動方法に関し、特に、走査信号が蓄積コンデンサを介して隣接画素に電氣的に接続される前に、プレチャージ電圧値が走査線に印加される液晶表示装置のプレチャージ方法に関する。

40

【背景技術】

【0002】

液晶表示装置は、その大きさだけでなく、多種多様の画像タイプを向上させている。現在では、液晶テレビ等の多くの製品は、動画を表示することが可能であるにもかかわらず、多くの LCD は、今だ、パーソナルコンピュータ又はワードプロセッシング製品の静止画のために用いられている。LCD は、従来のブラウン管テレビに比べてかなり小型及び薄型であり、取り付け後も場所を取らないため、人々の生活に LCD の人気が増々上昇することは予測できる。

【0003】

50

図1は、従来のLCD構造を示す。このLCDは、第一層ガラス基板及び第二層ガラス基板を備える。LCDパネル100は、画像を表示するためのものである。複数の走査線101（図示のn線）及び信号線（図示のm線）は、第一層ガラス基板上に格子状に配置されている。スイッチとしての薄膜トランジスタ（TFT）103は、各走査線101及び各信号線102の交差点の近くに設けられている。

【0004】

各TFT103のゲートは、走査線101のうちの一つに結合されており、各TFT103のソースは、信号線102のうちの一つに結合されており、各TFT103のドレインは、画素電極104のうちの一つに結合されている。第二層ガラス基板は、第一層ガラス基板に対して設けられており、第一層ガラス基板には、ITO（インジウムスズ酸化物）等からなる共通電極105が形成されている。液晶が、第一層ガラス基板と第二層ガラス基板との間に詰められている。

【0005】

走査線101及び信号線102は、それぞれ走査線駆動回路106及び信号線駆動回路107に結合されている。走査線駆動回路106は、大きな電圧レベルをn走査線101に駆動させ、走査線101に付随する各TFT103のスイッチをオンする。走査線駆動回路106は走査状態であるため、信号線駆動回路107は、m信号線にグラデーション電圧を有する代表画像を出力する。その結果、電圧は、対応する画素電極104に書き込むために走査線102を介してTFT103に結合される。書き込まれた画素電極104は、透過光線の明るさを制御するための共通電極105の電圧レベルとは異なるグラデーション電圧を有する。

【0006】

図2は、走査線駆動回路106から走査線101及び信号線駆動回路107から信号線102への従来のLCDの波形図を示す。ここで、VG1からVGnは、各走査線101の走査信号である。VG1乃至VGnの各間隔が、一つの走査線101のみを提供し、その後全ての走査線101を提供することは明らかである。ここで、VDは信号線102に出力されたグラデーション電圧のデータ信号である。データ信号の強度（その電圧レベルの振幅）は、表示される画像により判断される。Vcomは、共通電極105の電圧レベルであり、通常、経時的に不変である。

【0007】

前述の従来のLCDを、例えば、現在のテレビ装置等の動画ディスプレイに用いると、大量の動画を必要とする。しかしながら、LCDのホールド型アドレス方法によると、表示光は、画素に書き込まれたデータから次の期間の書き込み操作へのフィールド期間長に保持される。このため、エッジぼけが生じる。この問題を解決するために、多くの改良が提案されている。例えば、Tノーズ、Mスズキ、Dササキ、Mイマイ及びHハヤマによる「LCDの動画表示のためのブラックストライプ駆動構造」が2001年のインフォメーションディスプレイ社会においてNECにより開示されている。その回路の構造は、複雑であり、特別なゲート入力波形及び高いデータ周波数を必要とする。一方、RC遅延効果は、ゲート回路から誘起されるため、大規模及び高解像度のパネルには適用することができない。

【0008】

更に、Gナカムラ、Kミワ、Mノグチ、Yワタナベ及びJマミヤによる「新規広視野角動画LCD」が、1998年のSIDにおいてIBMジャパンにより開示されている。その構造は、上半分及び下半分に分割されているため、2つのデータ駆動ICが必要とされる。その構造は、コストを上昇させるだけでなく、ブラックインサート率が50%だけであることから、液晶セルの伝送が大幅に下がる。

【0009】

上述の従来の構図及び当業者にとって周知の技術では、多くの問題が存在する。その問題は、例えば、パネルを大規模又は高解像度のものに適用することができず、又は、パネルを低反転駆動方法のみに用いることができるということである。

【0010】

大規模及び高解像度のパネルを提供するために、関連産業の製造業者は、別のLCD構造体300を提案する。ここで、LCD構造体に相当する回路図を図3に示す。説明の簡素化のために、構造部分のみを図3に示す。LCD構造体300は、走査線301(n)及び301(n+1)と、信号線302(n)及び302(n+1)とを有する。従って、TFT303(n)及び303(n+1)は、信号線301(n)及び302(n)に対応する。

【0011】

広視野角を有するLCD構造体300のTFT、例えば303(n)は、ゲートを介して走査線301(n)に結合されており、ソースは、信号線302(n)に結合されている。TFT303(n)のドレインは、ゲート/ドレインキャパシタCgdを介してそのゲートに結合され、蓄積コンデンサCstを介して走査線301(n+1)に結合され、液晶キャパシタC_{lc}を介して共通電極に結合されている。

10

【0012】

隣接するTFT303(n+1)も同様に、ゲートは、走査線301(n+1)に結合され、ソースは、信号線302(n+1)に結合されている。そのドレインは、Cgdを介してそのゲートに結合され、Cstを介して前の走査線301(n)に結合され、C_{lc}を介してV_{com}に結合されている。

【0013】

LCD構造体300の駆動方法は、容量的な結合駆動方法である図4に示す波形図の通りである。図によると、電圧値V_g(n)及びV_g(n+1)は、それぞれ走査線301(n)及び301(n+1)を満たし、電圧値V_s(n)及びV_s(n+1)は、それぞれ信号線302(n)及び302(n+1)を満たす。駆動方法は、4ゲートの電圧値、即ち、TFTオン電圧、TFTオフ電圧、V_g(+)及びV_g(-)を備える。まず、信号電圧V_sは、TFTを介して画素電極に結合される。画素の充電後、前又は次の段階の信号線を含み、容量的に結合された駆動電圧は、Cstからフィードバックされた画素電極V_g(+)及びV_g(-)に送られる。

20

【0014】

駆動方法は、画素電圧を信号に印加する電圧より大きくすることができる場合、即ち、信号値を小さくすることができる場合に有利である。そのようなLCD駆動構造では、隣接走査線に異極性の電圧値(即ち、コラム反転駆動構造)が常時供給されるため、この駆動方法を通じて信号線及び共通電極の間のキャパシタンスによる電圧値の変動が生じる。また、この駆動構造は、信号線及び画素電極との間の寄生キャパシタンスによる縦のクロストークを排除することができる。

30

【0015】

2000年のSIDにおいて松下電器産業株式会社により、ナカオケンジ、イシハラシヨウイチ、タナカヨシノリ、スズキダイイチ、ウエムラツヨシ、ツダケイスケ、キズノリユキ及びコバヤシジュンイチによる「容量的な結合駆動方法を用いたOCBモードTFT-LCDの応答時間の向上」は、別の従来のLCD構造体を開示している。ここでは、迅速な応答を有する光学自己補償屈折(OBC)がLCDに提案されている。容量的に結合された電圧は、この駆動方法に用いられ、迅速な応答を得るべく画素をオーバードライブさせるために、電圧値は、隣接走査線及び画素電極の間の蓄積キャパシタを介して隣接画素電極に結合される。

40

【0016】

更に、消費電力を削減するために、別の従来のLCD構造体を適用することができる。例えば、ジャクソンヘクター、バスカルブッチャー(Buchsacher)による「AMLCDモバイルディスプレイチップセプトのための低電力駆動オプション」が、2002年のSIDにおいて開示されている。ここでは、LCDの低電力消費は、その提案された構造により達成される。操作電圧領域を低下させるために、その駆動方法には、隣接走査線及び画素電極の間のCstを介して画素電極をプレチャージする容量結合方法を用いる。例えば、正の領域の間、正の電圧(V_{sat}+V_{th})/2が印加され、ここでは、V_{sat}は画素電極の飽和電圧であり、V_{th}は、その閾電圧である。従って、電圧領域は、消費電力を低下させるために削減される。

50

【発明の開示】

【発明が解決しようとする課題】

【0017】

上述のLCD及び駆動方法は有益ではあるが、単に、コラム反転駆動方法又は低反転駆動方法にのみ適応することができる。しかしながら、ますます大規模なLCDが必要とされているため、駆動方法は、旧式の従来の駆動方法とは対照的にドット反転駆動方法として開発されている。

【0018】

本発明は、LCDのTFTを有する画素がオンされる前に電圧値が走査線にプレチャージされ、プレチャージ電圧値は、TFT自身をオンしない液晶表示装置の駆動方法を提供する。プレチャージ電圧値は、蓄積キャパシタを介して走査線に結合された隣接画素に容量的に結合される。

10

【課題を解決するための手段】

【0019】

本発明の実施態様による駆動方法では、画素電極の電圧値は、共通電極の電圧値又はその近傍で維持される。従って、ブラックフレーム挿入及びホールド型アドレス方法がLCDに適用されるため、画像のエッジぼけが防止される。

【0020】

本発明の実施態様による駆動方法では、オーバードライブ及び消費電力の削減方法を提供する。画素をオーバードライブするために電圧値により画素電極がプレチャージされるため、消費電力は、本実施態様により削減される。

20

【0021】

本発明の方法では、大規模なLCDを実現するために、ドット反転駆動を、ブラックフレーム挿入、液晶オーバードライブ及び消費電力の削減のために適用する。

【0022】

本発明の一つの態様によると、LCD駆動方法がLCD構造体に提供される。LCD構造体は、複数の走査線及び複数の信号線を備え、各走査線及び各信号線は、TFTを介して対応する画素に結合されている。TFTのゲートは、対応する走査線に結合され、TFTのソースは、対応する信号線に結合され、TFTのドレインは、蓄積キャパシタンスを介して走査線に隣接する走査線に結合され、また、画素の画素電極を介して共通電極に結合される。共通電極の電圧値は、共通の電圧値である。LCDの駆動方法は、走査線に対応するTFTを開放するために、走査電圧により走査線にバイアスをかけ、信号電圧レベルによりTFTのドレインに結合された信号線にバイアスをかけ、プレチャージ電圧により隣接走査線をプレチャージし、蓄積キャパシタンスを介して画素電極の電圧レベルを結合する。

30

【0023】

本発明の一つの態様によると、画素電極の電圧値は、 $C_{st}/C_{total} \cdot (V_{pre})$ により変わり、ここでは、 V_{pre} はプレチャージ電圧値であり、 C_{st} は画素の蓄積キャパシタンスであり、 C_{total} は画素電極の全キャパシタンスである。

【0024】

本発明の一つの態様によると、LCDの駆動方法は、画素のTFTをオンするために走査線電圧により走査線にバイアスをかけ、走査線は、第一時間間隔内で第一電圧レベルに維持され、第二時間間隔内で第二電圧レベルにプレチャージ電圧により走査線をプレチャージする。ここでは、第二電圧レベルは、TFTをオンせず、走査線に結合された隣接画素の画素電極は、フィードバック方法で、プレチャージ電圧に容量的に結合される。

40

【0025】

本発明の一つの態様によると、LCDの駆動方法は、画素電極の電圧値が共通電圧の電圧値より小さい場合、共通電極の共通の電圧値に近づくように、正のプレチャージ電圧により画素電極にバイアスをかけ、電圧値を第二時間間隔で維持する。本発明の本態様では、LCDのブラックフレーム挿入は、第二時間間隔内で終了する。

【0026】

50

本発明の別の態様によると、LCDの駆動方法は、第三時間間隔内で第二電圧レベルに走査電圧により走査線にバイアスをかけ、第四時間間隔内で第一電圧レベルに走査線にバイアスをかけ、ここで、走査線に結合された隣接画素の画素電極は、フィードバック方法でプレチャージ電圧に容量的に結合される。

【0027】

上述のLCDの駆動方法によると、画素電極の電圧レベルが共通電極の電圧レベルより大きい場合、共通電極の共通電圧値に近づくように、負のプレチャージ電圧により画素電極にバイアスをかけ、第四時間間隔内で電圧値を維持する。本発明の本態様では、LCDのブラックフレーム挿入は、第二時間間隔内で終了する。

【0028】

10

本発明の上述の態様によると、LCDの駆動方法が提供される。該駆動方法は、プレチャージ電圧により隣接走査線にバイアスをかけ、蓄積キャパシタンスを介して画素電極に結合し、フィードバック時間間隔内で、画素電極を共通電極の電圧値の同等の電圧値で維持する。隣接走査線のバイアス方法は、画素のTFTがオンされるように走査電圧値により走査線にバイアスをかけた時、走査線がプレチャージ電圧により第一電圧レベルから第二電圧レベルに第一フィードバック時間内でバイアスをかけるように、走査線は第一電圧レベルにバイアスをかけられ、ここでは、第二電圧レベルは、画素のTFTをオンしない。画素電極の電圧レベルは、第一フィードバック間隔内で、共通電極の電圧レベルと同等である。

【0029】

20

本発明の一つの態様におけるLCDの駆動方法によると、走査線に容量的に結合された隣接画素の画素値は、 $(C_{st}/C_{total}) \cdot V_{pre}$ に変更され、この場合、 V_{pre} はプレチャージ電圧であり、 C_{st} は画素の蓄積キャパシタンスであり、 C_{total} は画素の全キャパシタンスである。

【0030】

本発明の一つの態様によると、LCDの駆動方法は、画素電極の電圧値が共通電極の電圧値より小さい場合に、共通電極の共通の電圧値に近づくように画素電極に正のプレチャージ電圧のバイアスをかけ、第一フィードバック時間間隔内で電圧値を維持する。本発明のこの態様では、LCDのブラックフレーム挿入は、第一フィードバック時間間隔内で終了する。

30

【0031】

本発明の一つの態様によると、LCDの駆動方法が提供される。ここで、隣接する走査線にバイアスをかける方法は、画素のTFTがオンするように、走査電圧値により走査線にバイアスをかけると、プレチャージ電圧により第二フィードバック時間内で第一電圧レベルから第三電圧レベルまで走査線にバイアスをかけるように、第一電圧レベルにより走査線にバイアスがかけられる。この場合、第三電圧レベルは、画素のTFTをオンしない。

【0032】

本発明の一つの態様でのLCDの駆動方法によると、走査線に容量的に結合された隣接画素の画素値は、 V_{pre} がプレチャージ電圧であり、 C_{st} が画素の蓄積キャパシタンスであり、 C_{total} が画素の全キャパシタンスである場合、 $(C_{st}/C_{total}) \cdot V_{pre}$ に変更される。

40

【0033】

本発明の一つの態様によると、LCDの駆動方法は、画素電極の電圧値が共通電極の電圧値より小さい場合、共通電極の共通の電圧値に近づくように画素電極に正のプレチャージ電圧のバイアスをかけ、第二フィードバック時間間隔内で電圧値を維持する。本発明のこの態様では、LCDのブラックフレーム挿入は第二フィードバック時間間隔内で終了する。

【0034】

本発明の一つの態様によると、LCDの駆動方法は提供され、この場合、プレチャージ電圧により、容量結合フィードバック方法で、蓄積キャパシタンスを介して隣接走査線へ画素電極にバイアスをかける。その結果、画素電極の電圧レベルと共通電極の電圧レベルとの間の違いは増大する。画素電極の電圧レベルが共通電極の電圧レベルより大きい場合、

50

共通電極の電圧レベルより小さい場合、画素電極は、正のプレチャージ電圧により画素電極の電圧レベルにバイアスをかけ、画素電極の電圧レベルが共通電極の電圧レベルより大きい場合、負のプレチャージ電圧により画素電極にバイアスをかける。その結果、画素電極の電圧レベル及び共通電極の電圧レベルの違いは増大する。

【 0 0 3 5 】

本発明の一つの態様によると、LCDの駆動方法が提供される。ここでは、隣接走査線にバイアスをかける方法は、画素のTFTがオンされるように走査電圧レベルにより走査線にバイアスをかける場合、プレチャージ電圧により第二時間間隔内で第一電圧レベルから第二電圧レベルまで走査線にバイアスをかけるように、第一時間間隔内で第一電圧レベルまで走査線にバイアスをかける。第一時間間隔が第二時間間隔より短い場合、第二電圧レベルは、画素のTFTをオンせず、プレチャージ電圧は、容量結合方法で走査線に結合された隣接画素の画素電極に結合される。

10

【 0 0 3 6 】

上述のように、LCDの駆動方法によると、画素電極の電圧レベルは、第二時間間隔内で変更され維持される。ここで、第二時間間隔は、第一時間間隔よりも数百倍から数千倍長くなっている。例えば、第二時間間隔がミリセカンド(ms)オーダーの場合、第一時間間隔はマイクロセカンド(μ s)オーダーである。

【 0 0 3 7 】

本発明の一つの態様によると、LCDの駆動方法が提供される。この場合、走査線にバイアスをかける方法は、第三時間間隔内で第二電圧レベルに走査線にバイアスをかけ、第四時間間隔内で第一電圧レベルに走査線にバイアスをかけ、第三時間間隔は、第四時間間隔よりも短く、プレチャージ電圧は、容量結合フィードバック方法で走査線に結合された隣接画素の画素電極に結合される。

20

【 0 0 3 8 】

上述のようなLCDの駆動方法によると、画素電極の電圧レベルは、第四時間間隔内で変更され維持され、第四時間間隔は、第三時間間隔よりも数百倍から数千倍長くなっている。例えば、第四時間間隔の持続時間が、ミリセカンド(ms)オーダーであると、第三時間間隔の持続時間は、マイクロセカンド(μ s)オーダーである。

【 0 0 3 9 】

本発明の一つの態様によると、駆動方法が提供される。この場合、走査線にバイアスをかける方法は、画素のTFTがオンされるように、走査電圧レベルにより走査線にバイアスをかけた場合、第一時間間隔内で第一電圧レベルに走査線にバイアスをかけ、第二時間間隔内で第一電圧レベルから第二電圧レベルにプレチャージ電圧により走査線にバイアスをかけ、第三時間間隔内で第三電圧レベルにプレチャージ電圧によりバイアスをかける。第一時間間隔及び第三時間間隔の合計が第二時間間隔より短い場合、第三電圧レベルは、画素のTFTをオンせず、プレチャージ電圧は、容量結合フィードバック方法で走査線に結合された隣接画素の画素電極に結合される。その結果、画素電極の電圧レベル及び共通電極の電圧レベルの間の違いが増加する。

30

【 0 0 4 0 】

上述のLCDの駆動方法によると、画素電極の電圧レベルが、共通電極の電圧レベルより大きい場合、即ち、第一電圧レベルから第二電圧レベルまで走査線にバイアスをかけた場合、画素電極の電圧レベルと共通電極の電圧レベルとの間の違いが増加するように、正のプレチャージ電圧により画素電極にバイアスをかける。第二電圧レベルから第三電圧レベルまで走査線にバイアスをかけた場合、画素電極の電圧レベルと共通電極の電圧レベルとの間の差が更に増加するように、別の正のプレチャージ電圧により画素電極にバイアスをかける。

40

【 0 0 4 1 】

上述のLCDの駆動方法によると、画素電極の電圧レベルは、第二時間間隔内で変更され維持される。第二時間間隔は、第一時間間隔よりも数百倍から数千倍長くなっている。例えば、第二時間間隔がミリセカンド(ms)オーダーであると、第一時間間隔及び第三時間間

50

隔の合計は、マイクロセカンド(μs)オーダーである。

【0042】

本発明の一つの態様によると、LCDの駆動方法が提供される。ここで、走査線にバイアスがかかる方法は、画素の全てのTFTがオンされるように第一時間間隔内で第一電圧レベルに走査電圧により走査線にバイアスをかけ、第二時間間隔内で第二電圧レベルに所定の電圧レベルにより走査線にバイアスをかけ、第三時間間隔内で、第一電圧レベルから第三電圧レベルにプレチャージ電圧により走査線にバイアス进行をかける。第三時間間隔及び第一時間間隔の合計が第二時間間隔より短い場合、第一電圧レベルは、画素のTFTをオンせず、プレチャージ電圧は、容量結合フィードバック方法で走査線に結合された隣接画素の画素電極に結合される。これにより、画素電極の電圧レベル及び共通電極の電圧レベルの違いが増加する。

10

【0043】

上述のようなLCDの駆動方法によると、画素電極の電圧レベルが共通電極の電圧レベルより大きい場合、即ち、第一電圧レベルから第二電圧レベルまで走査線にバイアスを行った場合、画素電極の電圧レベル及び共通電極の電圧レベルの間の違いが増加するように、正のプレチャージ電圧により画素電極にバイアス进行をかける。第二電圧レベルから第三電圧レベルまで走査線にバイアス进行をかけた場合、画素電極の電圧レベル及び共通電極の電圧レベルの間の違いが更に増加するように、負のプレチャージ電圧により画素電極にバイアス进行をかける。

20

【0044】

上述のLCDの駆動方法によると、画素電極の電圧レベルは、第二時間間隔内及び第三時間間隔内で変更され維持される。第二時間間隔は、第一時間間隔及び第三時間間隔の合計よりも数百倍から数千倍長くなっている。例えば、第二時間間隔がミリセカンド(ms)オーダーであるとする、第一時間間隔及び第三時間間隔の合計は、マイクロセカンド(μs)オーダーとなる。

【発明を実施するための最良の形態】

【0045】

本発明は、走査信号が加えられる前、即ち、LCD画素のTFTがオンされる前にTFTをオンしないプレチャージ電圧によりLCDの走査線にバイアス进行をかける工程を含むLCDの駆動方法を提供する。プレチャージ電圧は、蓄積キャパシタンスを介して走査線に結合された隣接画素に容量的に結合される。

30

【実施例】

【0046】

本発明の一つの実施態様による駆動方法では、共通電極の電圧レベル又は共通電極の電圧レベルと同様になるように、画素電極の電圧レベルにバイアス进行をかける。従って、ブラックフレームの挿入を行なうことができ、即ち、LCDに適応されたホールド型アドレス方法のために、画素のエッジぼけは回避される。

【0047】

本発明の一つの実施態様によると、液晶はオーバードライブされ、消費電力は削減される。本発明の実施態様では、画素をオーバードライブさせるために、所定の電圧レベルが画素電極に印加されるため、消費電力は削減される。

40

【0048】

本発明の駆動方法によると、大規模なLCDを製造することができるよう、ドット反転駆動は、ブラックフレーム挿入、液晶オーバードライブ、及び消費電力の削減を必要とする。以下に、本発明の実施態様を説明する。

第一実施態様

本発明の第一の実施態様は、LCDの駆動方法を提供する。図5は、本発明の一つの実施態様による駆動方法を用いたLCD構造体を示す。LCD構造体は、走査線 $G(n-1)$ 、 $G(n)$ 及び $G(n+1)$ と、信号線 $D(m-1)$ 及び $D(m)$ とを備える。図示するように、走査線 $G(n-1)$ 、 $G(n)$ 及び $G(n+1)$ と信号線 $D(m-1)$ 及び $D(m)$ により構成される対応する画素は、画素I、画素II、画素III

50

及び画素IVである。

【0049】

画素IのTFTのゲートが走査線G(n-1)に結合されている場合、画素II及び画素IIIのTFTのゲートは、走査線G(n)に結合され、画素IVのTFTのゲートは、走査線G(n+1)に結合されている。画素I及び画素IIIのTFTのソースは、信号線D(m-1)に結合され、画素II及び画素IVのソースは信号線D(m)に結合されている。

【0050】

図5に示すように、同一の信号線では、画素Iの蓄積キャパシタは、画素IIIのTFTゲートに結合されており、画素IIIの蓄積キャパシタは、次の段階の画素のTFTのゲートに結合されている。画素IVの蓄積キャパシタは、画素IIのTFTのゲートに結合されており、画素Iの蓄積キャパシタは、前の画素のTFTのゲートに結合されている。説明の簡略化のために、ここでは、4つの画素が例示的に示されているが、LCD構造体の全体では、複数の画素が含まれており、各画素のゲートは、同一の信号線で前の画素の蓄積キャパシタに結合され、容量結合方法で接続されている。択一的に、各画素のゲートは、同一の信号線で次の画素の蓄積キャパシタに結合され、容量結合方法で接続されている。全パネルのLCDアレイは利用に応じて配置される。

【0051】

本発明の一つの態様によると、図中にVpreとして示されているプレチャージ電圧により、走査信号が加えられる前、即ち、LCDの対応する画素のTFTがオンされる前に、走査線にバイアスをかける。ここで、Vpreは、その画素のTFTをオンせずに信号線の電圧レベルを変更する。電圧Vpreは、同一信号線に結合された前又は次の段階に属する画素の蓄積キャパシタに容量的に結合されている。

【0052】

図5に伴う本発明の実施態様によると、駆動方法は、図にVcomとして示されている共通電極の電圧レベル又は共通電極の電圧レベルと同様になるように画素電極の電圧レベルにバイアスをかける工程を有する。従って、ブラックフレーム挿入を行なうことができるため、即ち、ホールド型アドレス方法がLCDに適応されるため、画像のエッジぼけは、回避される。

【0053】

本発明の実施態様によると、図5に示すLCD構造体は、その液晶をオーバードライブさせるため、消費電力は削減される。共通電極の同等の電圧レベルとなるように、画素電極の電圧レベルにバイアスをかける方法と比べ、プレチャージ電圧は、画素をオーバードライブさせるために画素電極にバイアスをかける。

【0054】

図5A乃至図5Dは、画素I、画素II、画素III及び画素IVの駆動方法の概略波形図を示す。本発明の実施態様では、ブラックフレーム挿入が行なわれるように、共通電圧値Vcom又はその近傍に画素電極の電圧値にバイアスをかける。説明の簡略化のために、以下に、図5A乃至図5Dの信号波形図のみを説明するが、これらの図は、本発明の範囲を制限するものではない。まず、図5Aは、容量結合を示す画素電極の電圧レベルを示す。図5Bでは、更に、説明の簡略化のために、液晶キャパシタにG(n-1)を介して結合する画素電極の電圧レベルを示す。駆動方法は、同一の走査線に結合された前又は次の段階の画素から蓄積キャパシタを介して画素電圧値に結合する工程を含む。

【0055】

図5Aは、本発明の一つの実施態様の駆動方法による画素Iの駆動信号波形を示す。プレチャージ電圧は、次の段階の走査線及びその画素電極の間の蓄積キャパシタを介して画素Iの画素電極に接続される。図5に対応する回路と共に図5Aを参照すると、図の上方の黒の実線は、画素Iの画素電極の電圧レベル、即ち、図中のVp(I)を示す。太い破線は、走査線G(n-1)の信号波形である。以下に、画素Iの画素電極の電圧レベルに作用する走査線G(n)の信号波形について説明する。他の走査線の信号波形についても同様であるため、更なる説明は省略される。

走査線G(n)の信号波形

画素IIIのTFTがオンされると、走査線G(n)は、第一時間間隔T1内で電圧レベルV1に維持される。まず、プレチャージ電圧Vpreにより走査線G(n)にバイアスをかける。ここで、Vpreは、走査線G(n)の電圧レベルVG(n)がV1からV2に変更させるが、画素IIIのTFTをオンしない。VG(n)がV2からV3に変わるように、その後、第二時間間隔T2の後に走査電圧により走査線G(n)にバイアスをかける。その後、画素のTFTはオンされる。画素IIIに隣接する画素Iの電圧レベルは、VcomからV4へ変わる。時間間隔T3でV2に戻るよう電圧レベルVG(n)にバイアスをかけ、その後、次回、画素IIIのTFTをオンする前に、時間間隔T4で電圧レベルV1に戻るよう電圧レベルVG(n)にバイアスをかける。

画素Iの画素電極の電圧レベル

上述の説明によると、画素Iの蓄積キャパシタは、同一の信号線D(m-1)で画素IIIのTFTのゲートに接続されており、画素IIIの蓄積キャパシタは、次の段階のTFTのゲートに接続されている。従って、走査線G(n)の画素IIIの電圧レベルの信号波形は、図5Aの中間部分に示される。画素Iの蓄積キャパシタは、画素IIIのTFTのゲートに接続されているため、プレチャージ電圧Vpreにより走査線G(n)にバイアスをかけた時、走査線G(n)の電圧レベルVG(n)は、V1からV2に変わり、第二時間間隔で維持されるがTFTはまだオンされない。図の左側に示される第一矢印のように、プレチャージ電圧Vpreは、画素の画素電極に容量的にフィードバック結合される。現状の画素Iは負の領域にあるため、電圧レベルV4又は共通電極Vcomの近くとなるよう画素電極にバイアスをかけるために、図5Aに示すように、正の値のプレチャージ電圧Vpreにより、即ちVpre(+)により画素電極にバイアスをかける。

【0056】

第二時間間隔T2は、ブラックフレーム挿入のタイミングである。本発明の実施態様によると、ブラックフレーム挿入の持続時間は、全体のフレームのおよそ30%である。ここで、フレームの持続時間は、LCD構造体の全ての走査線を一度に走査するために必要な時間の長さである。この構造は、設計要求に基づき変更することができる。

【0057】

極性が反転すると、図の右側の第二矢印が示すように、画素Iの画素電極の電圧レベルが共通電極Vcomより大きい場合、VG(n)は、走査信号から画素IIIで電圧レベルV2に変更され、第三時間間隔T3の後にV1に戻され、第四時間間隔T4で維持される。VG(n)がV2からV1へ変わると、プレチャージ電圧Vpreは、走査線G(n)と画素Iの画素電極との間の蓄積キャパシタを介して画素電極に結合される。現状の画素Iは、正の領域にあるため、ブラックフレームを挿入するときに、共通電極に戻すように又は共通電極の近くとなるよう画素電極の電圧レベルにバイアスをかけるために、負のVpre、即ち、図5Aに示すようなVpre(-)により画素電極にバイアスをかける。

【0058】

本実施態様の上述の説明によると、LCD構造体の各画素のゲートが、同一の信号線に伴い隣接画素の蓄積キャパシタに容量的に結合されると、プレチャージ電圧Vpreにより隣接画素の走査線にバイアスをかける時の時間、即ち、図に示す第二時間間隔T2又は第4時間間隔T4の開始時間は、容量的に結合された画素のTFTがオンされる時の時間よりも前である。その後、画素電極は、蓄積キャパシタを介して電圧Vpreによりプレチャージされ、ここでは、正又は負の電圧レベルのVpreは、極性により判断される。

【0059】

画素Iの画素電極を走査線G(n)及び蓄積キャパシタを介して電圧Vpreによりプレチャージするために、結合電圧値、即ち、Vpreによりプレチャージする時の画素電極の電圧の変化は、本実施態様では、 $(C_{st}/C_{total}) \cdot Vpre$ であり、Cstは、画素Iの蓄積キャパシタであり、Ctotalは、画素電極の全キャパシタンスである。即ち、画素電極の電圧レベル変化は、用いられたプレチャージ電圧Vpreにより決定される。

【0060】

本発明の実施態様によると、時間間隔T1、T2、T3及びT4は、個々に設定（カスタマイ

10

20

30

40

50

ズ)される。容量結合方法によるバイアス時間、即ち、図に示す第二時間間隔 T_2 及び第4時間間隔 T_4 は、特徴付けられるように設定される。正の領域又は負の領域で走査線 $G(n)$ の電圧レベルにより作用された画素 I の画素電極の電圧レベルの間の関連性によると、ドット反転駆動方法が、本実施態様では用いられる。

【0061】

同一の駆動方法及びその説明を、図5B乃至図5Dに示す信号波形図に適應する。図5Cの画素 III の駆動信号波形図は、図5Aと同一であるため、ここでは、省略する。

【0062】

図5Bは、画素 II の駆動信号波形図を示し、図5Dは、画素 IV の駆動信号波形図を示す。図5Bでは、図5の右側に示すように、LCDアレイの各画素のゲートは、同一の信号線に伴い次の段階の画素の蓄積キャパシタに容量的に結合される。従って、前の段階の画素の走査線がプレチャージされる時間は、 $V_p(II)$ として図示されるように、容量的に結合された画素のTFTが次のデータ書込みのためにオンされた時、その電圧レベルを調整するために、画素が電圧 V_{pre} によりプレチャージされた時の時間より前である。負のプレチャージ電圧 $V_{pre}(-)$ の印加を図5Bの左側の矢印で示し、一方、正のプレチャージ電圧 $V_{pre}(+)$ の印加を図5Bの右側の矢印で示される。

【0063】

画素電極の電圧レベルが、共通電極の電圧レベルに戻され又は共通電極の電圧レベルの近くとなるように調節された場合、ブラックフレームは挿入される。ブラックフレームの持続時間は、本発明の実施態様ではフレームの約30%であり、特徴づけられたように、調節することができる。図5Dの画素 IV の駆動信号波形図は、図5Bと同様であるため、ここでは、その説明は省略する。

第2実施態様

本発明の別の実施態様では、走査信号によりLCDの走査線にバイアスをかける前に、走査線は、フィードバック時間間隔で、電圧 V_{pre} によりプレチャージされる。ここで、電圧 V_{pre} による電圧の変化は、そのTFTをオンしない。電圧 V_{pre} は、蓄積キャパシタを介して同一の走査線に結合された前又は次の段階の画素の画素電圧に容量的に結合される。例えば、図6の説明に伴う本発明の実施態様では、共通電極の電圧レベル、即ち、 V_{com} 、又は共通電極の電圧レベルと同等となるように画素電極の電圧レベルにバイアスをかける。

【0064】

図6に示すLCD構造体は、走査線 $G(n-1)$ 、 $G(n)$ 及び $G(n+1)$ と信号線 $D(m-1)$ 及び $D(m)$ とを備える。走査線 $G(n-1)$ 、 $G(n)$ 及び $G(n+1)$ と信号線 $D(m-1)$ 及び $D(m)$ により構成される対応する画素は、図に示すように、画素 I 、画素 II 、画素 III 及び画素 IV である。画素 I のTFTのゲートが走査線 $G(n-1)$ に結合されると、画素 II 及び画素 III のTFTのゲートは走査線 $G(n)$ に結合され、画素 IV のTFTのゲートは走査線 $G(n+1)$ に結合される。画素 I 及び画素 III のTFTのソースは信号線 $D(m-1)$ に結合され、画素 II 及び画素 IV のソースは信号線 $D(m)$ に結合される。

【0065】

図5A乃至図5Dの違いは、フィードバック時間間隔 T でプレチャージ電圧 V_{pre} により走査線にバイアスをかけた後、走査線の電圧レベルは元のレベル、即ち、プレチャージされる前の電圧レベルに戻ることである。本発明の実施態様での特徴としたフィードバック時間間隔 T は、ブラックフレームの挿入のために蓄えられる。

【0066】

図6A乃至図6Dは、画素 I 、画素 II 、画素 III 及び画素 IV の駆動方法の概略波形図を示す。まず、図6Aは、画素 I の信号波形図を示す。図の上方の黒い実線は、画素 I の画素電極の電圧レベル、即ち、図中の $V_p(I)$ を示す。太い破線は、走査線 $G(n-1)$ の信号波形を示す。以下に、画素 I の画素電極の電圧レベルに作用する走査線 $G(n)$ の信号波形について説明する。他の信号線の信号波形は同様であるため、更なる説明は省略する。

走査線 $G(n)$ の信号波形

画素 III のTFTがオンすると、走査線 $G(n)$ は、第一時間間隔 T_1 内で電圧レベル V_1 から V_2 にバイアスをかけるようにTFTをオンしない電圧 V_{pre} によりプレチャージされる。プレ

10

20

30

40

50

チャージ電圧 V_{pre} は、一定の時間間隔で維持され、時間間隔は、所望のとおり構成され、更に、画素IIIのTFTが次の時間にオンされる前に終了する。例えば、本発明の実施態様では、ブラックフレームが挿入されると、第一フィードバック時間間隔 T_1 は、フィールドの約30%であり、その時間間隔は、所望のとおり調節することができる。本実施態様と図5A乃至図5Dとの間の違いは、プレチャージ電圧 V_{pre} により走査線 $G(n)$ にバイアスをかけ、時間間隔後に元の電圧レベル V_1 に戻ることである。

【0067】

次に、画素IIIのTFTをオンするために、走査信号電圧により走査線 $G(n)$ にバイアスをかける。走査線 $G(n)$ が電圧レベル V_1 に戻ると、一定時間停止する。第二フィードバック時間間隔 T_2 内で電圧レベル V_1 から V_5 までプレチャージ電圧 V_{pre} により走査線 $G(n)$ にバイアスをかける。プレチャージ電圧 V_{pre} は、所望のとおり構成された特定の時間間隔内で維持されるだけであり、さらに、画素IIIのTFTが次の時間にオンされる前に終了する。

画素Iの画素電極の電圧レベル

上述の説明によると、同一の信号線 $D(m-1)_1$ に伴い、画素Iの蓄積キャパシタは、画素IIのTFTのゲートに結合され、また、画素IIIの蓄積キャパシタは、次の段階のTFTのゲートに接続される。従って、画素IIIの走査線 $G(n)$ の信号波形を図6Aの中間部分に示す。画素Iの蓄積キャパシタは、画素IIIのTFTのゲートに結合されているため、走査線が、第一フィードバック時間間隔 T_1 内で V_{pre} によりプレチャージされると、即ち、電圧レベル V_1 から V_2 まで走査線 $G(n)$ の電圧レベル $V_G(n)$ にバイアスをかけると、図の左側の第一矢印のように、 V_{pre} は、蓄積キャパシタを介して画素Iの画素電極に容量的にフィードバック結合される。画素Iが負の領域にある場合、画素Iの画素電極の電圧レベル V_4 は、共通電極の電圧レベル V_{com} より小さい。従って、ブラックフレーム挿入時に、 V_5 から共通電極の電圧レベルに戻るようには又は共通電極の電圧レベルの近くとなるように画素電極の電圧レベルにバイアスをかけるために、正のプレチャージ電圧 V_{pre} 、即ち図6Aに示す $V_{pre}(+)$ により画素電極にバイアスをかける。

【0068】

その後、極性が反転すると、図の右側の第二矢印が示すように、画素Iの画素電極の電圧レベル V_6 が共通電極の電圧レベル V_{com} より大きい場合、時間間隔 T でプレチャージ電圧 V_{pre} により走査線 $G(n)$ にバイアスをかけ、即ち、プレチャージ電圧 V_{pre} が走査線 $G(n)$ 及び画素Iの画素電極の間の蓄積キャパシタを介して画素電極に結合されると、 $V_G(n)$ は、電圧レベル V_1 から電圧レベル V_5 に変わる。現状の画素Iは正の領域にあるため、ブラックフレームを挿入する時に、共通電極の電圧レベル V_{com} に戻るようには又は共通電極の電圧レベルの近くとなるように画素電極の電圧レベル V_6 にバイアスをかけるために、図6Aに示すように負の V_{pre} 、即ち $V_{pre}(-)$ により画素電極にバイアスをかける。

【0069】

本発明の実施態様によると、時間間隔 T_1 及び T_2 は個々に設定(カスタマイズ)される。容量結合方法によるバイアス時間は、即ち、図に示すような第一時間間隔 T_1 及び第二時間間隔 T_2 は、構成されたように設定される。図6Aに示すように正の領域又は負の領域での走査線 $G(n)$ の電圧レベルにより作用された画素Iの画素極性の電圧レベルの間の関連性によると、本実施例では、ドット反転方法が用いられる。

【0070】

同一の駆動方法及びその説明を図6A乃至図6Dに示す信号波形図に適応する。図6Cの画素IIIの駆動信号波形図は、図6Aと同一であるためここでは省略する。

【0071】

図6Bは、画素IIの駆動信号波形図を示し、図6Dは、画素IVの駆動信号波形図を示す。図6Bでは、図6の右側に示すように、LCDアレイの各画素のゲートは、同一の信号線に伴い次の段階の画素の蓄積キャパシタに容量的に結合されている。従って、フィードバック時間間隔 T でプレチャージ電圧 V_{pre} により前の段階の走査線にバイアスをかける。即ち、電圧レベル V_1 から V_2 まで走査線の電圧レベルにバイアスをかけると、走査線に容量的に結合された画素のTFTが次のデータ書き込みの状態となる前に、プレチャージ電圧 V_{pre} に

より画素電極にバイアスをかける。画素IIが正の領域にある場合、電圧レベルV3から共通電極の電圧レベルVcomに戻すように又は近くなるように画素電極の電圧レベルにバイアスをかけるために、負のプレチャージ電圧値Vpre、即ち、図6Bの左側の矢印で示すVpre(-)により画素電極にバイアスをかける。一方で、画素IIが負の領域にある場合、電圧レベルV4から共通電極の電圧レベルVcomに戻すように又は近くなるように画素電極の電圧レベルにバイアスをかけるために、正のプレチャージ電圧Vpre(+)により画素電極にバイアスをかける。

【0072】

画素電極の電圧レベルが共通電極に戻され又は近くに調整されると、ブラックフレームは挿入される。ブラックフレームの存続時間は、本発明の実施態様ではフレームの約30%であり、さらに、構成されたように調整することができる。図6Dの画素IVの駆動信号波形図は、図6Bと同様であるため、ここでは、説明は省略する。

10

第3実施態様

本発明の別の実施態様では、図7に示すように、液晶オーバードライブ及び削減された消費電力を有する駆動方法を提供する。図7に示すLCD構造体は、走査線G(n-1)、G(n)及びG(n+1)と信号線D(m-1)及びD(m)とを備える。図に示すように、走査線G(n-1)、G(n)及びG(n+1)と信号線D(m-1)及びD(m)とにより構成される対応する画素は、画素I、画素II、画素III及び画素IVである。画素IのTFTのゲートが走査線G(n-1)に結合されると、画素II及び画素IIIのTFTのゲートは走査線G(n)に結合され、画素IVのTFTのゲートは走査線G(n+1)に結合される。画素I及び画素IIIのTFTのソースは信号線D(m-1)に結合され、画素II及び画素IVのソースは信号線D(m)に結合される。

20

【0073】

図7A乃至図7Dは、画素I、画素II、画素III及び画素IVの駆動方法の概略波形図を示す。本発明の実施態様では、共通電極の電圧レベルに戻すように又はその近くなるように画素電極の電圧レベルにバイアスをかける方法と比較して、本実施態様では、画素がオーバードライブされ消費電力が削減されるように、画素の電圧レベルが共通電極の電圧レベルVcomより高い場合、プレチャージ電圧は更に増加する。

【0074】

図7Aは、画素Iの信号波形図を示す。図の上方の黒の実線は、画素Iの画素電極の電圧レベル、即ち、図中のVp(I)を示す。太い破線は、走査線G(n-1)の信号波形である。以下に、画素Iの画素電極の電圧レベルに作用する走査線G(n)の信号の波形について説明する。他の走査線の信号波形は同様であるため、更なる説明は省略される。

30

走査線G(n)の信号波形

図7Aの中間部分を参照すると、画素IのTFTがオンされ、画素IIIのTFTがオンされると、第一時間間隔T1内で電圧レベルV1からV2まで走査線G(n)にバイアスをかけるように電圧Vpreによりプレチャージされる。ここで、Vpreは、そのTFTをオンしない。画素の全てのTFTをオンするために、VG(n)が電圧レベルV2からV3までバイアスをかけられるように、プレチャージ電圧により走査線G(n)に再度バイアスをかける。その後、走査線G(n)の電圧レベルVG(n)は、V3からV2に変わり時間間隔T4で維持され、V2からV1に変わり時間間隔T2で維持される。

40

画素Iの画素電極の電圧レベル

上述の説明によると、同一の信号線D(m-1)に伴い、画素Iの蓄積キャパシタは、画素IIIのTFTのゲートに結合され、また、画素IIIの蓄積キャパシタは、次の段階の画素のTFTのゲートに接続されている。従って、画素IIIの走査線G(n)の信号波形を図7Aの中間部に示す。画素Iの蓄積キャパシタは、画素IIIのTFTのゲートに結合されているため、走査線がVpreによりプレチャージされた場合、図の左側の第一矢印が示すように、Vpreは、蓄積キャパシタを介して画素Iの画素電極に容量的にフィードバック結合される。従って、画素Iの画素電極の電圧レベルは、V4からVcomとは更に異なるV5に上昇する。ここで、変化量は、所望のとおり構成される。例えば、変化量は(Cst/Ctotal)・Vpreであり、ここでは、Cstは、画素Iの蓄積キャパシタンスであり、Ctotalは、画素I画素電極の全キャパシタン

50

スである。即ち、画素電極の電圧レベル変化量は、プレチャージ電圧 V_{pre} により所望のとなり構成される。

【0075】

ブラックフレーム挿入とは異なり、画素電極の電圧レベルの増加時間は、変化せずに維持されている電圧レベルの増加時間よりも数百倍から数千倍長くなっている。例えば、画素電極の電圧レベルの増加時間は、ミリセカンド(ms)オーダであり、変化せずに維持されている電圧レベルの時間は、マイクロセカンド(μs)オーダである。当然、その違いは、必要に応じて変更することができる。即ち、画素IIIのTFTがオンされると、電圧レベル $V_G(n)$ が V_1 から V_2 に増加するように、時間間隔 T_1 でプレチャージ電圧 V_{pre} により走査線 $G(n)$ にバイアスをかけ、第3時間間隔 T_3 で維持される。ここで、時間間隔 T_3 は、時間間隔 T_1 よりもはるかに長い。例えば、時間間隔 T_3 が、ミリセカンドオーダであると、時間間隔 T_1 は、マイクロセカンドオーダであり、数百倍から数千倍異なる。

【0076】

その後、極性が反転すると、図の右側の第二矢印が示すように、画素Iの画素電極の電圧レベルが共通電圧の電圧レベル V_{com} より小さい場合、電圧レベル V_2 から V_1 まで走査線 $G(n)$ の電圧レベル $V_G(n)$ にバイアスをかける。プレチャージ電圧 V_{pre} が、蓄積キャパシタを介して画素Iの画素電極に結合されると、画素電極の電圧レベルは、 V_6 から V_{com} とは更に異なる V_7 に変更される。

【0077】

上述の説明によると、LCDの各画素のゲートは、同一の信号線に伴い容量結合方法で前の段階の画素の蓄積キャパシタに結合される。走査線が電圧 V_{pre} によりプレチャージされる時の時間は、走査線に容量的に結合された画素のTFTに書き込まれたデータの後であり、画素のTFTがオンされた後の短い時間間隔内である。図7Aを参照すると、画素IのTFTがオンされた後及び画素IIIのTFTがオンされた後、走査線 $G(n)$ は、時間間隔 T_1 の後、電圧 V_{pre} によりプレチャージされる。第3実施態様と第1実施態様及び第二実施態様との間の違いは、ブラックフレーム挿入時間が全体のフレームの約30%を占めることである。従って、次のフレームの画素IのTFTがオンされる前に、挿入を行なうことができる。しかしながら、液晶オーバードライブ及び消費電力の削減のために、時間間隔 T_3 は、時間間隔 T_1 よりもはるかに長くなければならない。従って、時間間隔 T_1 は、画素IIIのTFTがオンされた後に、短時間間隔内で始まる必要があり、走査線 $G(n)$ は、その時 V_{pre} によりプレチャージされる。

【0078】

画素電極の電圧レベル $V_p(I)$ が共通電極の電圧レベル V_{com} より大きい場合、正のプレチャージ電圧 $V_{pre}(+)$ が印加される。一方、画素電極の電圧レベル $V_p(I)$ が共通電極の電圧レベル V_{com} より小さい場合、負のプレチャージ電圧 $V_{pre}(-)$ が、極性により印加される。

【0079】

同一の駆動方法及びその説明は、図7B乃至図7Dに示す信号波形図に適する。図7Cの画素IIIの駆動信号波形図は、図7Aと同様であるため、ここでは省略される。

【0080】

図7Bは画素IIの駆動信号波形図を示し、図7Dは画素IVの駆動信号波形図を示す。図7Bでは、図7の右側に示すように、LCDアレイの各画素のゲートは、同一の信号線に伴い次の段階の画素の蓄積キャパシタに容量的に結合されている。従って、プレチャージ電圧 V_{pre} により前の段階の走査線にバイアスをかける時の時間は、走査線に容量的に結合された画素のTFTがオンされた後の短い時間間隔内である。図7Bの左側に示された矢印のように、負のプレチャージ電圧 $V_{pre}(-)$ が印加され、又は、図7Bの右側に示された矢印のように、正のプレチャージ電圧 $V_{pre}(+)$ が印加される。図7Dの画素IVを示す駆動信号波形図は、図7Bと同様であるため、ここでは、その説明は省略される。

走査線 $G(n-1)$ の信号波形

図7Bは、画素IIの駆動信号波形図を示す。図の上方の黒の実線は、画素IIの画素電極

の電圧レベル、即ち、図中の $V_p(II)$ を示す。画素IのTFTが走査線 $G(n-1)$ に伴いオンされると、第三時間間隔 T_3 内で電圧レベル V_1 から V_2 まで走査線 $G(n-1)$ の電圧レベル $V_G(n-1)$ にバイアスをかけるように、走査線 $G(n)$ は、電圧 V_{pre} によりプレチャージされる。ここでは、 V_{pre} はそのTFTをオンしない。画素Iの全てのTFTをオンするために、電圧レベル V_2 から電圧レベル V_3 まで $V_G(n-1)$ にバイアスをかけるように、再度、プレチャージ電圧により走査線 $G(n-1)$ にバイアスをかける。その後、走査線 $G(n-1)$ の電圧レベル $V_G(n-1)$ は V_2 に戻され、時間間隔 T_4 で維持され、 V_1 に戻され、時間間隔 T_2 で維持される。

画素IIの画素電極の電圧レベル

上述の説明によると、同一の信号線 $D(m)$ に伴い、画素IIの蓄積キャパシタは、走査線 $G(n-1)$ に結合される。従って、走査線 $G(n-1)$ の信号波形は、図7Bの上方に示すとおりである。画素IIの蓄積キャパシタは、走査線 $G(n-1)$ に結合されている為、走査線 $G(n-1)$ の電圧レベル $V_G(n-1)$ が V_2 から V_1 に変更された場合、図の左側に示された矢印のように第二時間間隔 T_2 で維持される。従って、画素IIの電圧レベル $V_p(II)$ が、 V_4 から V_{com} より更に異なる V_5 に変更されるように、 V_2 及び V_1 の間の電圧レベルの違いは、蓄積キャパシタを介して画素IIの画素電極にフィードバックされる。変更量は、所望とおり構成される。例えば、変化量は、 $(C_{st}/C_{total}) \cdot V_{pre}$ であり、ここで、 C_{st} は、画素IIの蓄積キャパシタンスであり、 C_{total} は、画素IIの画素電極の全キャパシタンスである。即ち、画素電極の電圧レベルの変化量は、所望のとおり、プレチャージ電圧 V_{pre} により構成される。

【0081】

ブラックフレーム挿入とは異なり、画素電極の電圧レベルの増加時間は、変更されずに維持されている電圧レベルの時間よりも数百倍から数千倍長くなっている。例えば、画素電極の電圧レベルの増加時間は、ミリセカンドオーダー(ms)であり、変更されずに維持されている電圧レベルの時間は、マイクロセカンドオーダー(μs)である。当然、その違いは、必要に応じて変更することができる。即ち、走査線 $G(n-1)$ の電圧レベルが V_4 で維持されている時間間隔 T_4 は、時間間隔 T_2 よりはるかに短い。例えば、時間間隔 T_2 がミリセカンドオーダーであると、時間間隔 T_4 はマイクロセカンドオーダーとなり、数百倍から数千倍異なる。その後、画素IIの極性が反転すると、図の右側における第2矢印のように、画素IIの画素電極の電圧レベルが共通電極の電圧レベル V_{com} より大きい場合、走査線 $G(n-1)$ の電圧レベル $V_G(n-1)$ は、電圧レベル V_1 から V_2 に増加する。プレチャージ電圧 V_{pre} が、蓄積キャパシタを介して画素IIの画素電極に結合されると、画素電極の電圧レベルは、 V_6 から V_{com} よりさらに異なる V_7 に変更される。

【0082】

上述の説明によると、LCDの各画素のゲートは、容量結合方法で同一の信号線に伴い前の段階の画素の蓄積キャパシタに結合されている。走査線が電圧 V_{pre} によりプレチャージされる時の時間は、走査線に容量的に結合された画素のTFTに書き込まれたデータの後であり、画素のTFTがオンされた後の短い時間間隔内である。

【0083】

画素電極の電圧レベル $V_p(I)$ が共通電極の電圧レベル V_{com} より大きい場合、正のプレチャージ電圧 $V_{pre}(+)$ が印加される。一方、画素電極の電圧レベル $V_p(I)$ が、共通電極の電圧レベル V_{com} より小さい場合、負のプレチャージ電圧 $V_{pre}(-)$ が極性に依りて印加される。

第4実施態様

本発明の別の実施態様では、液晶オーバードライブ及び削減された消費電力を有する駆動方法を図8に示すように提供する。図8に示すように、LCD構造体は、走査線 $G(n-1)$ 、 $G(n)$ 及び $G(n+1)$ と、信号線 $G(m-1)$ 及び $D(m)$ とを備える。図に示すように、走査線 $G(n-1)$ 、 $G(n)$ 及び $G(n+1)$ と、信号線 $D(m-1)$ 及び $D(m)$ とにより構成された対応する画素は、画素I、画素II、画素III及び画素IVである。画素IのTFTのゲートが、走査線 $G(n-1)$ に結合される場合、画素II及び画素IIIのTFTのゲートは、走査線 $G(n)$ に結合され、画素IVのTFTのゲートは走査線 $G(n+1)$ に結合される。画素I及び画素IIIのTFTのソースは信号線 $D(m-1)$ に結合され、画素II及び画素IVのソースは信号線 $D(m)$ に結合される。

【 0 0 8 4 】

図 8 A乃至図 8 Dは、画素 I、画素 II、画素 III 及び画素 IV の駆動方法の概略波形図を示す。本実施態様と前の実施態様との違いは、以下に、図に伴い説明される走査線に適用する信号波形図である。

【 0 0 8 5 】

図 8 Aは、画素 I の信号波形図を示す。図上方の黒の実線は、画素 I の画素電極の電圧レベル、即ち、図中の $V_p(I)$ を示す。太い破線は、走査線 $G(n-1)$ の信号波形である。以下に、画素 I の画素電極の電圧レベルに作用する走査線 $G(n)$ の信号の波形を説明する。他の走査線の信号波形は同様であるため、更なる説明は省略する。

走査線 $G(n)$ の信号波形

10

図 8 A の中間部分を参照すると、画素 I の TFT がオンされ、画素 III の TFT がオンされると、第一時間間隔 T_3 内で電圧レベル V_3 から V_4 に下がるように走査線 $G(n)$ にバイアスをかけ電圧 V_{pre} によりプレチャージされる。ここで、 V_{pre} はその TFT をオンしない。再度、時間間隔 T_4 で電圧レベル V_4 から電圧レベル V_1 まで走査線 $G(n)$ にバイアスをかける。電圧レベル $V_G(n)$ が V_1 から V_2 に変更され、時間間隔 T_5 で維持されるように、その後、正のプレチャージ電圧 V_{pre} により走査線にバイアスをかける。その後、画素 III の TFT をオンするために電圧レベルが V_2 から V_3 まで変更されるように、走査電圧により走査線 $G(n)$ にバイアスをかける。その後、 V_3 から V_2 まで走査線 $G(n)$ の電圧レベル $V_G(n)$ にバイアスをかけ、時間間隔 T_1 で維持される。走査線 $G(n)$ の電圧レベル $V_G(n)$ は、 V_2 から V_4 に変更され、時間間隔 T_6 で維持される。

20

【 0 0 8 6 】

また、走査線 $G(n)$ に適応する上述の信号波形は、他の走査線にも適している。前述の時間間隔 T_1 、 T_2 、 T_3 、 T_4 、 T_5 及び T_6 は、所望のとおり構成される。本発明の実施態様では、時間間隔 T_1 、 T_3 、 T_5 及び T_6 は、時間間隔 T_2 及び T_4 よりはるかに短い。例えば、時間間隔 T_2 及び T_4 がミリセカンド (ms) オーダであると、時間間隔 T_1 、 T_3 、 T_5 及び T_6 は、マイクロセカンド (μs) オーダであり、数百倍から数千倍異なる。

画素 I の画素電極の電圧レベル

上述の説明によると、同一の信号線 $D(m-1)$ に伴い、画素 I の蓄積キャパシタは、画素 III の TFT のゲートに結合され、また、画素 III の蓄積キャパシタは、次の段階の画素の TFT のゲートに結合される。従って、画素 III の走査線 $G(n)$ の信号波形は、図 8 A の中間部分に示すとおりである。画素 I の蓄積キャパシタは画素 III の TFT のゲートに結合されるため、電圧レベル V_4 から電圧レベル V_1 まで走査線にバイアスをかけた場合、図の左側の第一矢印に示すように、プレチャージ電圧 V_{pre} は、蓄積キャパシタを介して画素 I の画素電極に容量的にフィードバック結合される。従って、画素 I の画素電極の電圧レベル、 $V_p(I)$ は、 V_5 から V_6 に増加する。

30

【 0 0 8 7 】

プレチャージ電圧 V_{pre} が、走査線 $G(n)$ 及び蓄積キャパシタを介して画素 I の画素電極に容量的に結合されると、例えば、画素電極の電圧変化は、 $(C_{st}/C_{total}) \cdot V_{pre}$ であり、この場合、 C_{st} は、画素 I の蓄積キャパシタンスであり、 C_{total} は、画素 I の画素電極の全キャパシタンスである。即ち、画素電極の電圧レベル変化量は、所望のとおりプレチャージ電圧 V_{pre} により構成される。

40

【 0 0 8 8 】

画素電極の電圧レベルの増加時間、即ち、電圧レベルがフィールド内で V_6 に維持される時間間隔は、 V_5 で維持されている電圧レベルの時間よりも数百倍から数千倍長い。例えば、画素電極の電圧レベルの増加時間はミリセカンドオーダ (ms) であり、変更されずに維持されている時間はマイクロセカンドオーダ (μs) である。当然、その違いは、必要に応じて変更することができる。

【 0 0 8 9 】

その後、極性が反転すると、図の右側の第二矢印が示すように、画素 I の画素電極の電圧レベル $V_p(I)$ が共通電極の電圧レベル V_{com} より小さい場合、走査電圧レベルから V_2

50

に戻るよう画素IIIの走査線G(n)の電圧レベルVG(n)にバイアスをかけ、時間間隔T1で維持され、V1に戻るようバイアスをかけ、時間間隔T2で維持される。電圧レベルV2からV1に戻るよう走査線G(n)にバイアスをかけると、画素電極の電圧レベルVp(I)がV7からVcomよりさらに異なるV8に変化されるように、電圧変化量は、蓄積キャパシタを介して画素Iの画素電極に結合される。

【0090】

上述の説明によると、LCDの各画素のゲートは、容量的な結合方法で、同一の信号線に伴い前の段階の画素の蓄積キャパシタに結合される。図8Aから、画素Iの画素電極の電圧レベルVp(I)が、走査線G(n)から画素Iの蓄積キャパシタを介して容量的に結合されていることがわかる。走査線G(n)に適応された信号波形に関しては、正の極性を有する画素Iは例示的なものであり、走査線G(n)に対応するTFTがオンされた後、時間間隔T3で電圧レベルV4にバイアスをかけ、時間間隔T4で電圧レベルV1に電圧レベルVG(n)にバイアスをかける。電圧レベルVp(I)がV5で維持されている時間間隔T5は、電圧レベルVp(I)がV6で維持されている時間間隔よりはるかに短い。

【0091】

画素Iの極性が負である場合は、走査線G(n)に対応するTFTがオンされた後に、時間間隔T1で電圧レベルV2に電圧レベルVG(n)にバイアスをかけ、時間間隔T2で電圧レベルV1にバイアスをかける。電圧レベルVp(I)がV7で維持される時間間隔は、V8で維持される時間間隔よりはるかに短い。上述の時間間隔T1、T2、T3、T4、T5、及びT6は、必要に応じて調節することができる。

【0092】

同一の駆動方法及びその説明は、図8B乃至図8Dに示される信号波形図に適する。図8Cの画素IIIの駆動信号波形図は、図8Aと同一であるため、ここでは省略される。

【0093】

図8Bは、画素IIの駆動信号波形図を示し、画素8Dは、画素IVの駆動信号波形図を示す。図8Bでは、走査線G(n-1)は、蓄積キャパシタを介して画素IIの画素電極の電圧レベルVp(II)に容量的に結合されている。走査線G(n-1)に適応された信号波形では、画素IのTFTがオンされると、時間間隔T1で電圧レベルV3から電圧レベルV2まで走査線G(n-1)の電圧レベルVG(n-1)にバイアスをかける。その後、時間間隔T2で電圧レベルV2から電圧レベルV1まで走査線G(n-1)の電圧レベルVG(n-1)にバイアスをかける。T2の後、時間間隔T6で電圧レベルV1から電圧レベルV4まで走査線G(n-1)の電圧レベルVG(n-1)にバイアスをかける。上述のように、その後、電圧レベルV4から電圧レベルV3まで走査線G(n-1)の電圧レベルVG(n-1)にバイアスをかけ、時間間隔T3で電圧レベルV3から電圧レベルV4までバイアスをかける。

【0094】

上述の時間間隔は、T1、T2、T3、T4、T5及びT6は必要に応じて調節可能である。本発明の実施態様によると、時間間隔T1、T3、T5及びT6は、T2及びT4よりはるかに短い。例えば、時間間隔T2及びT4がミリ秒オーダー(ms)であり、時間間隔T1、T3、T5及びT6は、略マイクロ秒オーダー(μs)であり、数百倍から数千倍異なる。当然、その違いは必要に応じて変更することができる。

【0095】

図8Bからわかるように、画素IIの極性が負である場合、V2からV1まで走査線G(n-1)の電圧レベルにバイアスをかけることに必要な時間は、画素IIのTFTがオンされた後十分短い。図の左側の第一矢印が示すように、電圧レベルVP(II)は、画素IIの蓄積キャパシタを介して容量的に結合されている。画素IIの極性が正の場合、V4からV1まで走査線G(n-1)の電圧レベルにバイアスをかけるために必要な時間は、画素IIのTFTがオンされた後十分短い。電圧レベルVP(II)は、画素IIの蓄積キャパシタを介して容量的に結合されている。更に、画素IIのTFTがオンされる前にV1からV2までG(n-1)の電圧レベルにバイアスをかける時間、即ち、T5と、画素IIのTFTがオンされる前にV1からV4までG(n-1)の電圧レベルにバイアスをかける時間、即ち、T6とは、実質的には短い。当然、蓄積キャパシ

タを介して結合された画素IIの電圧レベル $V_p(II)$ は、所望のとおり構成される。

【0096】

上述の実施態様によると、本発明は、LCDの画素のTFTがオンされる前、即ち、走査信号により走査線にバイアスをかける前に電圧値により走査線のプレチャージを行なう工程を含むLCDの駆動方法を提供する。プレチャージ電圧は、蓄積キャパシタを介して同一の走査線に接続された隣接する画素の電圧レベルに容量的に結合された画素のTFTをオンしない。

【0097】

本発明の第一及び第二実施態様によると、駆動方法は、共通電極の電圧レベルに戻るようには又は近くとなるように画素電極の電圧値の電圧レベルにバイアスをかける肯定を含む。従って、ブラックフレーム挿入は行なわれ、即ち、エッジボケをさけるために、ホールド型アドレス方法をLCDに適用することができる。

10

【0098】

本発明の第三及び第四実施態様によると、駆動方法は、液晶オーバードライブ及び消費電力の削減に適しており、画素電極は、画素のオーバードライブ及び消費電力の削減のためにプレチャージされる。

【0099】

本発明の駆動方法は、ブラックフレーム挿入、液晶オーバードライブ、消費電力の削減又は他の目的に適しており、ドット反転駆動方法は、大規模なLCDパネルに適している。

【0100】

20

本発明は、特定の実施例を参照し記載されたが、記載された実施例への変形が、本発明の精神から逸脱しない限り行なわれることは当業者にとって自明である。従って、本発明の範囲は、添付された請求項によって限定され、上記の実施例によって限定されるものではない。

【図面の簡単な説明】

【0101】

【図1】従来技術による液晶表示装置の概略構成図である。

【図2】従来技術による走査線駆動回路から走査線への信号及び信号駆動回路から信号線への信号を示す液晶表示装置の波形図である。

【図3】本発明の実施態様による液晶表示装置を示す概略構成図である。

30

【図4】図3による液晶表示装置の容量結合方法を示す波形図である。

【図5】本発明の実施態様による液晶表示装置の概略構成図である。

【図5A】本発明の実施態様による画素Iの駆動方法を示す図5の液晶表示装置の信号波形図である。

【図5B】本発明の実施態様による画素IIの駆動方法を示す図5の液晶表示装置の信号波形図である。

【図5C】本発明の実施態様による画素IIIの駆動方法を示す図5の液晶表示装置の信号波形図である。

【図5D】本発明の実施態様による画素IVの駆動方法を示す図5の液晶表示装置の信号波形図である。

40

【図6】本発明の実施態様による液晶表示装置を示す概略構成図である。

【図6A】本発明の一つの実施態様による画素Iの駆動方法を示す図6の液晶表示装置の信号波形図である。

【図6B】本発明の一つの実施態様による画素IIの駆動方法を示す図6の液晶表示装置の信号波形図である。

【図6C】本発明の一つの実施態様による画素IIIの駆動方法を示す図6の液晶表示装置の信号波形図である。

【図6D】本発明の一つの実施態様による画素IVの駆動方法を示す図6の液晶表示装置の信号波形図である。

【図7】本発明の実施態様による液晶表示装置を示す概略構成図である。

50

【図 7 A】本発明の一つの実施態様による画素 I の駆動方法を示す図 7 の液晶表示装置の信号波形図である。

【図 7 B】本発明の一つの実施態様による画素 I I の駆動方法を示す図 7 の液晶表示装置の信号波形図である。

【図 7 C】本発明の一つの実施態様による画素 I I I の駆動方法を示す図 7 の液晶表示装置の信号波形図である。

【図 7 D】本発明の一つの実施態様による画素 I V の駆動方法を示す図 7 の液晶表示装置の信号波形図である。

【図 8】本発明の実施態様による液晶表示装置を示す概略構成図である。

【図 8 A】本発明の一つの実施態様による画素 I の駆動方法を示す図 8 の液晶表示装置の信号波形図である。

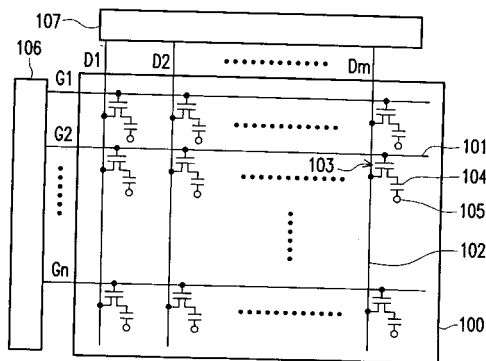
【図 8 B】本発明の一つの実施態様による画素 I I の駆動方法を示す図 8 の液晶表示装置の信号波形図である。

【図 8 C】本発明の一つの実施態様による画素 I I I の駆動方法を示す図 8 の液晶表示装置の信号波形図である。

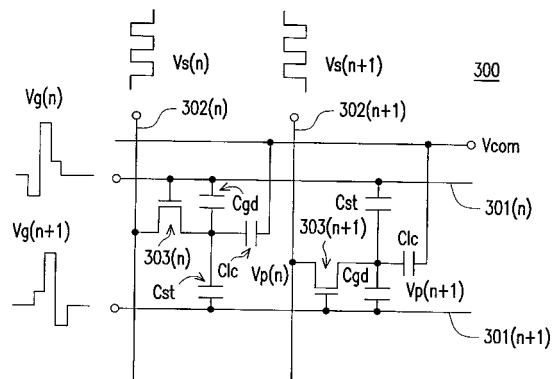
【図 8 D】本発明の一つの実施態様による画素 I V の駆動方法を示す図 8 の液晶表示装置の信号波形図である。

10

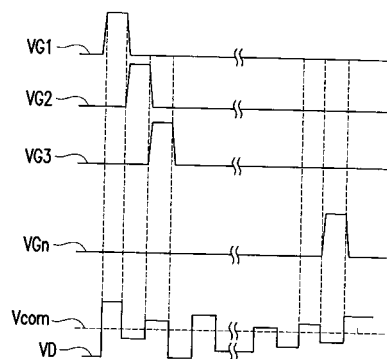
【図 1】



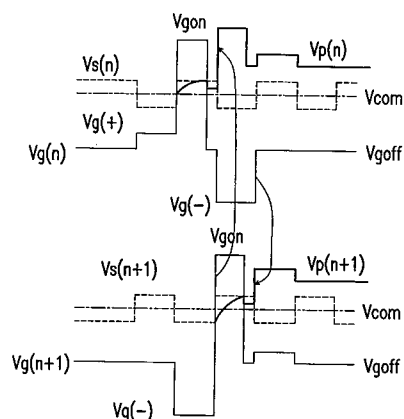
【図 3】



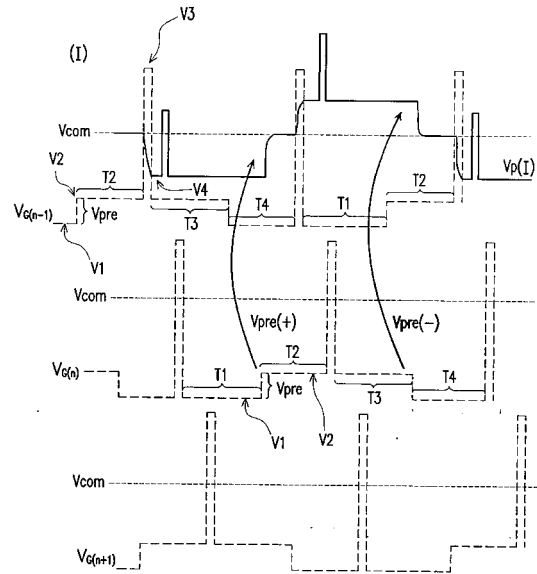
【図 2】



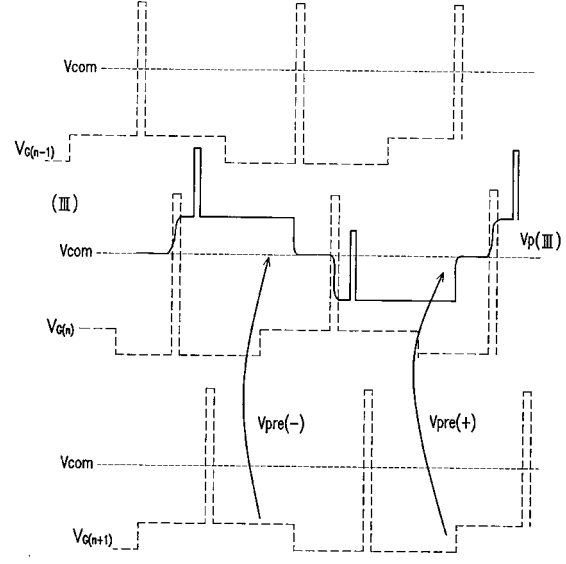
【図 4】



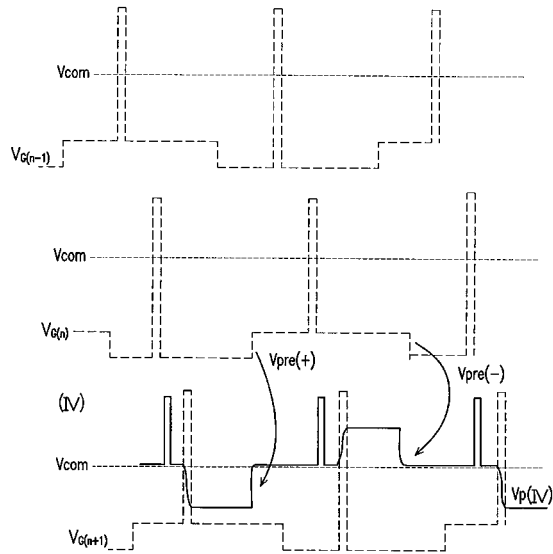
【 図 5 A 】



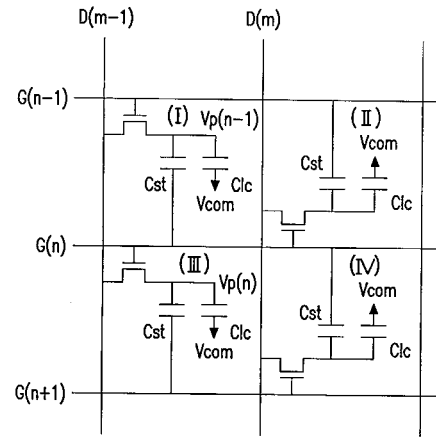
【 図 5 C 】



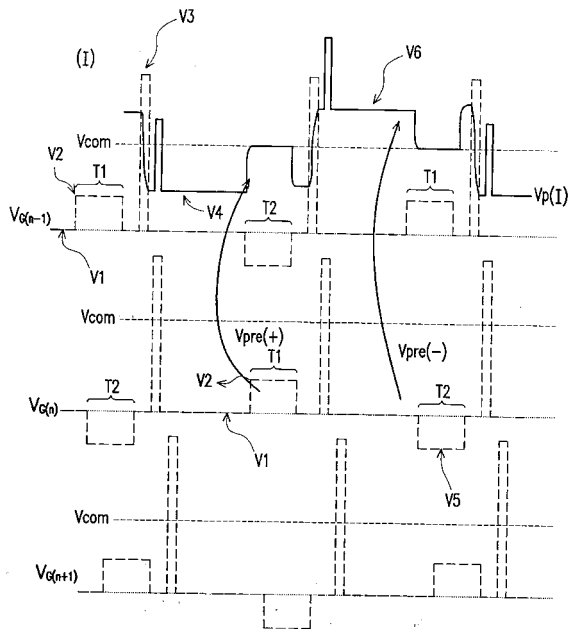
【図 5 D】



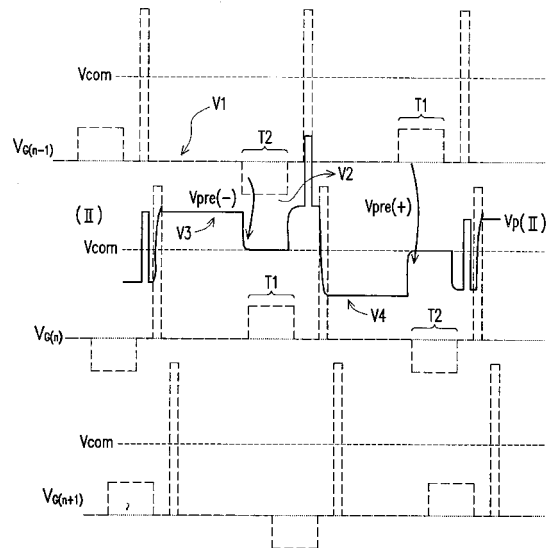
【図 6】



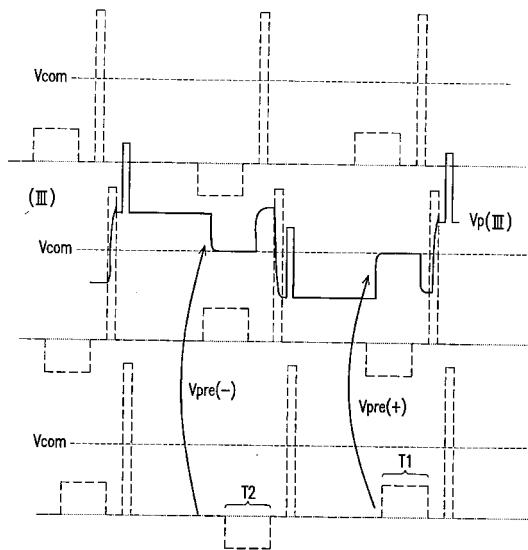
【図 6 A】



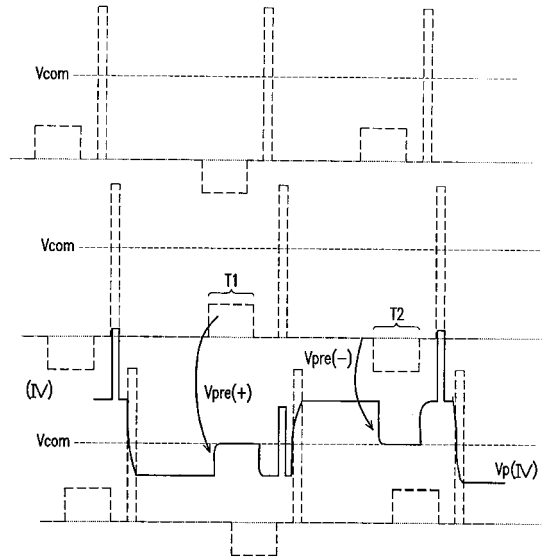
【図 6 B】



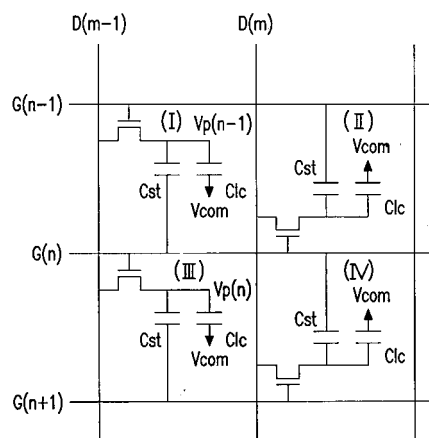
【図 6 C】



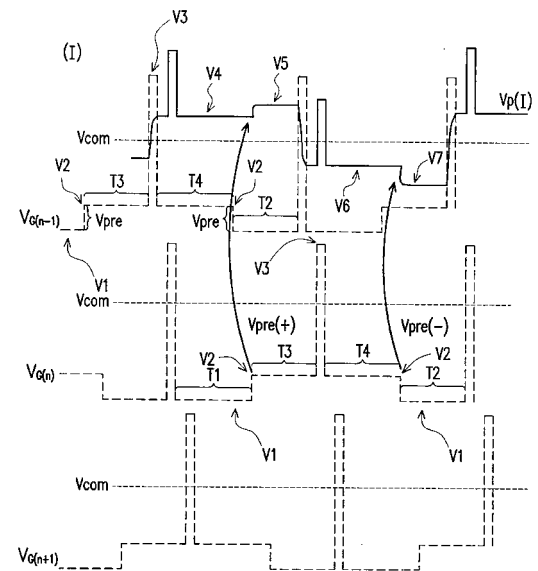
【図 6 D】



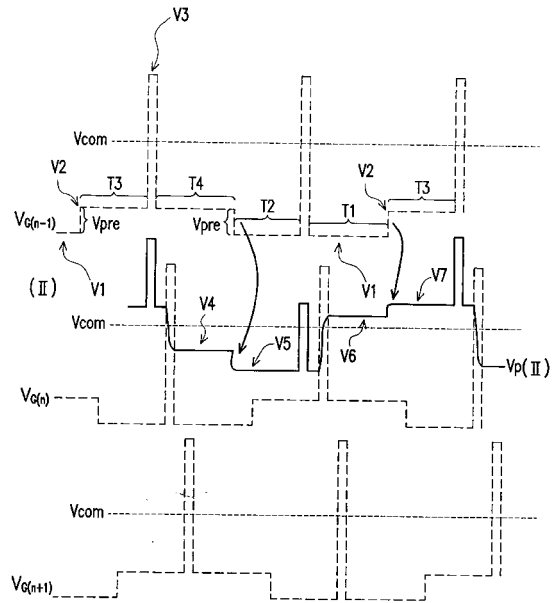
【図 7】



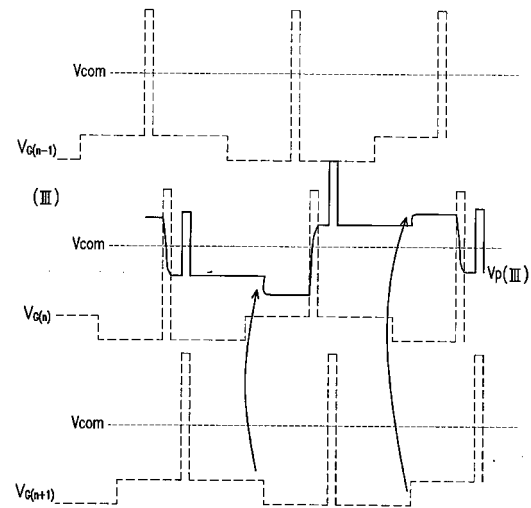
【図 7 A】



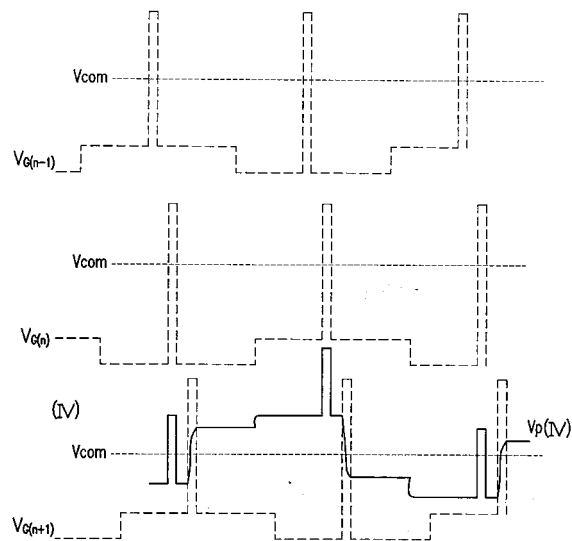
【図 7 B】



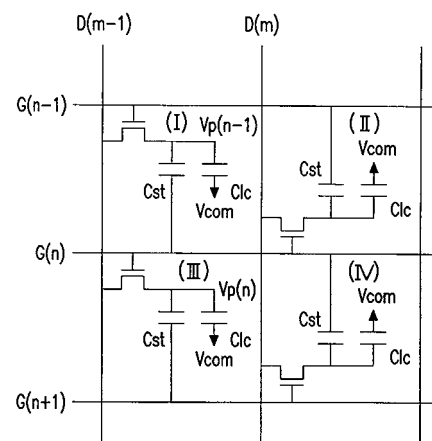
【図 7 C】



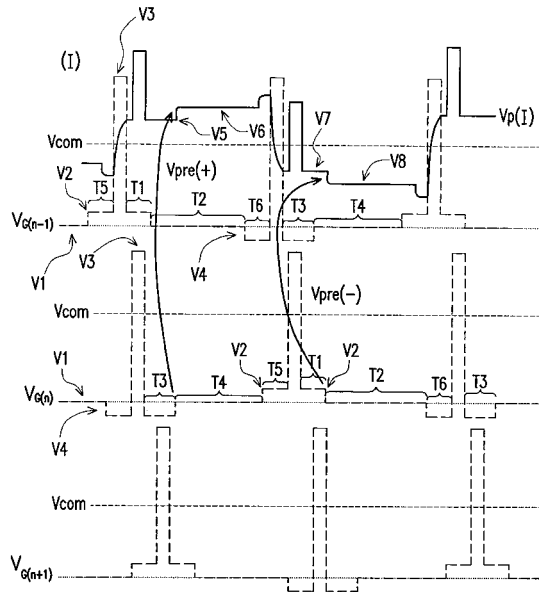
【図 7 D】



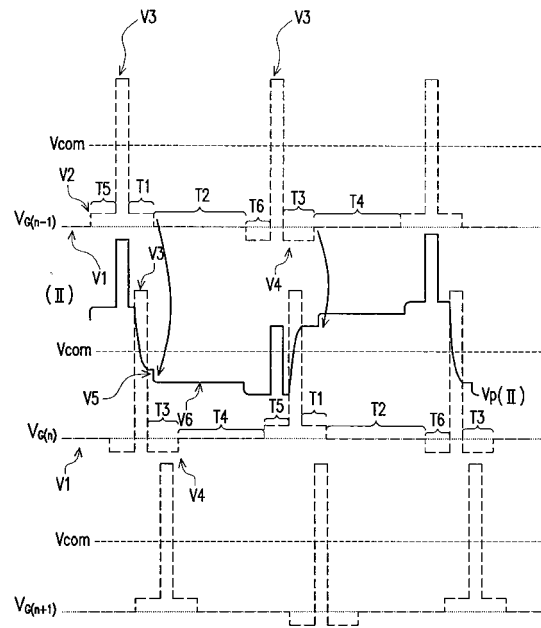
【図 8】



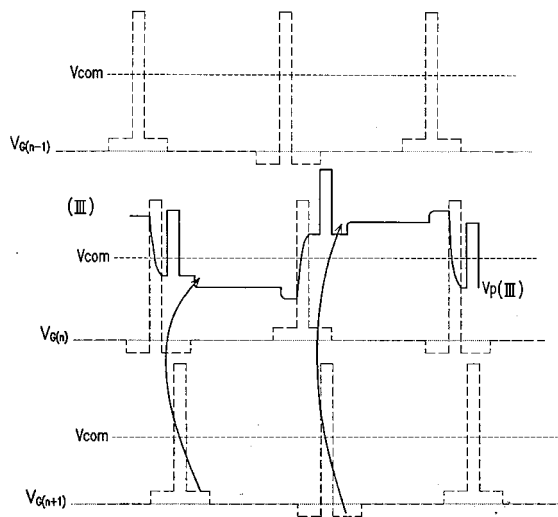
【図 8 A】



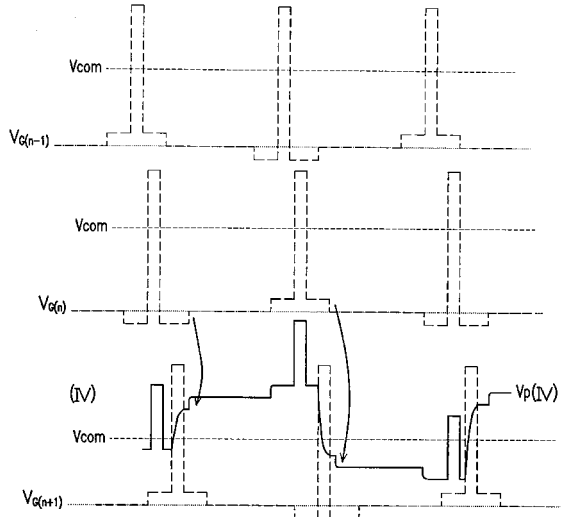
【図 8 B】



【図 8 C】



【図 8 D】



 フロントページの続き

(51) Int.Cl.	F I		
	G 0 9 G	3/20	6 2 1 F
	G 0 9 G	3/20	6 2 2 C
	G 0 9 G	3/20	6 2 4 B
	G 0 9 G	3/20	6 6 0 V

(56)参考文献 特開 2 0 0 1 - 2 6 5 2 8 7 (J P , A)
 特開 2 0 0 1 - 3 3 1 1 5 6 (J P , A)
 特開 2 0 0 3 - 2 5 5 9 1 5 (J P , A)
 特開平 0 7 - 3 1 8 9 0 1 (J P , A)
 特開平 1 1 - 3 5 2 4 6 4 (J P , A)
 特開 2 0 0 2 - 0 2 3 7 0 3 (J P , A)
 特開 2 0 0 3 - 2 9 5 1 5 7 (J P , A)
 特開平 0 6 - 2 6 5 8 4 6 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
 G 0 9 G 3 / 0 0 - 3 / 3 8
 G 0 2 F 1 / 1 3 3

专利名称(译)	用于驱动液晶显示装置的方法		
公开(公告)号	JP5303095B2	公开(公告)日	2013-10-02
申请号	JP2005033766	申请日	2005-02-10
[标]申请(专利权)人(译)	瀚宇彩晶股份有限公司		
申请(专利权)人(译)	瀚宇彩晶股▲ふん▼有限公司		
当前申请(专利权)人(译)	瀚宇彩晶股▲ふん▼有限公司		
[标]发明人	施博盛		
发明人	施 博盛		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 G09G5/00		
CPC分类号	G09G3/3659 G09G3/3614 G09G2320/0252		
FI分类号	G09G3/36 G02F1/133.550 G02F1/133.570 G09G3/20.611.A G09G3/20.621.B G09G3/20.621.F G09G3/20.622.C G09G3/20.624.B G09G3/20.660.V		
F-TERM分类号	2H093/NA16 2H093/NA31 2H093/NA43 2H093/NA53 2H093/NC10 2H093/NC12 2H093/NC18 2H093/NC34 2H093/NC35 2H093/NC49 2H093/NC65 2H093/ND06 2H093/ND32 2H093/ND39 2H093/ND43 2H093/ND58 2H193/ZA04 2H193/ZA06 2H193/ZA08 2H193/ZB02 2H193/ZD23 2H193/ZE01 2H193/ZF22 2H193/ZF36 2H193/ZF59 2H193/ZH40 5C006/AC11 5C006/AC22 5C006/AC27 5C006/AC28 5C006/AF71 5C006/BB16 5C006/BC03 5C006/BC06 5C006/FA12 5C006/FA29 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD02 5C080/DD08 5C080/DD26 5C080/EE19 5C080/EE29 5C080/FF07 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04		
优先权	093109015 2004-04-01 TW		
其他公开文献	JP2005292793A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种没有运动图像模糊且功耗低的液晶显示装置的驱动方法。解决方案：在将扫描信号施加到扫描线之前，将相关像素的薄膜晶体管未导通的预充电电压值施加到液晶显示装置的扫描线。预充电电压值通过相邻像素的存储电容器电连接到扫描线的像素电压。采用点反转驱动，黑插入和过驱动驱动来实现大规模LCD并降低功耗。Ž

2】

