

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5173313号

(P5173313)

(45) 発行日 平成25年4月3日 (2013.4.3)

(24) 登録日 平成25年1月11日 (2013.1.11)

(51) Int. Cl.	F 1
GO2F 1/1343 (2006.01)	GO2F 1/1343
GO2F 1/1368 (2006.01)	GO2F 1/1368
GO9F 9/30 (2006.01)	GO9F 9/30 338

請求項の数 19 (全 20 頁)

(21) 出願番号	特願2007-209563 (P2007-209563)	(73) 特許権者	501426046
(22) 出願日	平成19年8月10日 (2007.8.10)		エルジー ディスプレイ カンパニー リ
(65) 公開番号	特開2008-165174 (P2008-165174A)		ミテッド
(43) 公開日	平成20年7月17日 (2008.7.17)		大韓民国 ソウル、ヨンドゥンポグ、ヨ
審査請求日	平成19年8月10日 (2007.8.10)		ウィーテロ 128
(31) 優先権主張番号	10-2006-0137829	(74) 代理人	100094112
(32) 優先日	平成18年12月29日 (2006.12.29)		弁理士 岡部 譲
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100064447
			弁理士 岡部 正夫
		(74) 代理人	100085176
			弁理士 加藤 伸晃
		(74) 代理人	100096943
			弁理士 臼井 伸一
		(74) 代理人	100101498
			弁理士 越智 隆夫

最終頁に続く

(54) 【発明の名称】 横電界型の液晶表示装置用アレイ基板

(57) 【特許請求の範囲】

【請求項 1】

第1及び第2画素領域 (P1、P2) を含む基板 (101) 上に形成された第1ゲート配線 (104) 及び第2ゲート配線を備え、前記第1ゲート配線が前記第1画素領域と前記第2画素領域の間に配置され、前記第2画素領域が前記第1ゲート配線と前記第2ゲート配線の間に配置され、

さらに、

共通配線 (110) と、

前記第1及び第2ゲート配線と交差して前記第1及び第2画素領域を定義するデータ配線 (125) と、

前記第1ゲート配線及びデータ配線に連結されて、前記第1画素領域に配置されている第1薄膜トランジスタ (Tr) と、

前記第2ゲート配線及びデータ配線に連結されて、前記第2画素領域に配置されている第2薄膜トランジスタと、

各画素領域に配置された多数の画素電極 (155) と、

各画素領域に配置されて前記共通配線に連結され、前記多数の画素電極と交互に配列された多数の共通電極 (157) と、

前記第1及び第2画素領域の各々に配置され、各画素領域の前記画素電極に接続された画素パターンとを含み、各画素パターンが、第1画素パターンと該第1画素パターンの両端から延長された第2及び第3画素パターンからなり、前記第1画素領域の第3画素パタ

10

20

ーン（１５３ｃ）と前記第２画素領域の第２画素パターン（１８３ｂ）が前記第１ゲート配線を挟んで配置され、

さらに、

前記第１薄膜トランジスタのドレイン電極（１３０）及び前記第１画素領域の第３画素パターンに連結され、前記第１ゲート配線上を交差して前記第２画素領域に延長され、前記第２画素領域の第２画素パターンと重なるリペアパターン（１３２）を含むことを特徴とする横電界型の液晶表示装置用アレイ基板。

【請求項２】

前記第１薄膜トランジスタは、ゲート電極、半導体層、ソース電極及び前記ドレイン電極を含むことを特徴とする請求項１に記載の横電界型の液晶表示装置用アレイ基板。

10

【請求項３】

前記ドレイン電極は、前記第１ゲート配線に平行であることを特徴とする請求項２に記載の横電界型の液晶表示装置用アレイ基板。

【請求項４】

前記リペアパターンは、前記ドレイン電極に垂直であることを特徴とする請求項３に記載の横電界型の液晶表示装置用アレイ基板。

【請求項５】

前記リペアパターンは、前記ドレイン電極と同一層に、同一物質で構成されることを特徴とする請求項２に記載の横電界型の液晶表示装置用アレイ基板。

【請求項６】

20

前記共通電極が、

前記第１画素領域において前記データ配線に平行に離隔して形成された第１共通電極連結パターン（１１３ａ）と、

前記第１画素において前記第１共通電極パターンと対向して前記データ配線と平行な第２共通電極連結パターン（１１３ｂ）を有し、

前記第１画素領域の第１画素パターン（１５３ａ）が、前記第２共通電極連結パターンと重なり、

前記第１画素領域が、

前記第２共通電極連結パターンと前記第１画素パターンとの間に介される絶縁膜をさらに含み、前記第２共通電極連結パターン、第１画素パターン及び絶縁膜は、第２ストレージキャパシター（Ｓｔｇ２）を構成することを特徴とする請求項１に記載の横電界型の液晶表示装置用アレイ基板。

30

【請求項７】

前記第１画素領域において、

前記第２共通電極連結パターンに連結され、前記第１ゲート配線に平行な第３共通電極連結パターン（１１３ｃ）を含み、

前記画素パターンの第２画素パターン（１５３ｂ）が、前記第３共通電極連結パターンと重なり、

前記絶縁膜が前記第３共通電極連結パターンと前記第２画素パターンとの間に配置され、

40

前記第３共通電極連結パターン、前記第２画素パターン及び前記絶縁膜は、第３ストレージキャパシター（Ｓｔｇ３）を構成することを特徴とする請求項６に記載の横電界型の液晶表示装置用アレイ基板。

【請求項８】

前記第１画素領域の第３画素パターン（１５３ｃ）が、前記第１薄膜トランジスタに接続されたことを特徴とする請求項１に記載の横電界型の液晶表示装置用アレイ基板。

【請求項９】

前記第１画素領域において、

前記共通電極が、前記第１ゲート配線に平行な第３共通電極連結パターン（１１３ｃ）を有し、

50

前記第 3 画素パターンと前記第 3 共通電極連結パターンとの間に形成され、前記第 3 画素パターンに連結される金属パターン（131）をさらに含み、前記第 3 共通電極連結パターン、前記金属パターン及び前記第 3 共通電極連結パターンと金属パターンとの間に介された絶縁膜は、第 1 ストレージキャパシター（Stg1）を構成することを特徴とする請求項 8 に記載の横電界型の液晶表示装置用アレイ基板。

【請求項 10】

前記金属パターンは、前記リペアパターンと同一層に、同一物質で構成されることを特徴とする請求項 9 に記載の横電界型の液晶表示装置用アレイ基板。

【請求項 11】

前記ドレイン電極と前記共通配線の上部に、前記ドレイン電極及び前記共通配線を各々露出させるドレインコンタクトホール及び共通コンタクトホールを含む保護層をさらに含み、

前記多数の画素電極は、前記ドレインコンタクトホールを通じて前記ドレイン電極に連結され、

前記多数の共通電極は、前記共通コンタクトホールを通じて前記共通配線に連結されることを特徴とする請求項 2 に記載の横電界型の液晶表示装置用アレイ基板。

【請求項 12】

第 1 及び第 2 画素領域（P1、P2）を含む基板（201）上に形成された第 1 ゲート配線（204）及び第 2 ゲート配線を備え、前記第 1 ゲート配線が前記第 1 画素領域と前記第 2 画素領域の間に配置され、前記第 2 画素領域が前記第 1 ゲート配線と前記第 2 ゲート配線の間に配置され、

さらに、

共通配線（210）と、

前記第 1 及び第 2 ゲート配線と交差して前記第 1 及び第 2 画素領域を定義するデータ配線（225）と、

前記第 1 ゲート配線及びデータ配線に連結され、前記第 1 画素領域に配置されている第 1 薄膜トランジスタ（Tr）と、

前記第 2 ゲート配線及びデータ配線に連結され、前記第 2 画素領域に配置されている第 2 薄膜トランジスタと、

各画素領域に配置された多数の画素電極（255）と、

各画素領域に配置されて前記共通配線に連結され、前記多数の画素電極と交互に配列された多数の共通電極（257）と、

前記第 1 及び第 2 画素領域の各々に配置され、各画素領域の前記薄膜トランジスタのドレイン電極及び前記画素電極に接続される画素パターンとを含み、各画素パターンが、第 1 画素パターンと該第 1 画素パターンの両端から延長された第 2 及び第 3 画素パターンからなり、前記第 1 画素領域の第 3 画素パターン（253c）と前記第 2 画素領域の第 2 画素パターン（283b）が前記第 1 ゲート配線を挟んで配置され、

さらに、

前記第 1 画素領域の第 3 画素パターンに接続された第 1 リペアパターン（233）と、

前記第 2 画素領域の第 2 画素パターンから前記第 1 ゲート配線と交差して前記第 1 画素領域に延長され、前記第 1 リペアパターンと重なる第 2 リペアパターン（254）とを含むことを特徴とする横電界型の液晶表示装置用アレイ基板。

【請求項 13】

前記第 1 薄膜トランジスタは、ゲート電極、半導体層、ソース電極及び前記ドレイン電極を含むことを特徴とする請求項 12 に記載の横電界型の液晶表示装置用アレイ基板。

【請求項 14】

前記第 1 リペアパターンは、前記ドレイン電極と同一層に、同一物質で構成されることを特徴とする請求項 13 に記載の横電界型の液晶表示装置用アレイ基板。

【請求項 15】

第 1 及び第 2 画素領域（P1、P2）を含む基板（301）上に形成された第 1 ゲート

10

20

30

40

50

配線（３０４）及び第２ゲート配線を備え、前記第１ゲート配線が前記第１画素領域と前記第２画素領域の間に配置され、前記第２画素領域が前記第１ゲート配線と前記第２ゲート配線の間に配置され、

さらに、

共通配線（３１０）と、

前記第１及び第２ゲート配線と交差して前記第１及び第２画素領域を定義するデータ配線（３２５）と、

前記第１ゲート配線及びデータ配線に連結され、前記第１画素領域に配置されている第１薄膜トランジスタ（Ｔｒ）と、

前記第２ゲート配線及びデータ配線に連結され、前記第２画素領域に配置されている第２薄膜トランジスタと、

前記第１画素領域に配置された多数の画素電極（３５５）と、

前記第１画素領域に配置されて前記共通配線に連結され、前記多数の画素電極と交互に配列された多数の共通電極（３５７）と、

前記第１及び第２画素領域の各々に配置され、各画素領域の前記薄膜トランジスタのドレイン電極及び前記画素電極に接続された画素パターンとを含み、各画素パターンが、第１画素と該第１画素の両端から延長された第２及び第３画素パターンからなり、前記第１画素領域の第３画素パターン（３５３ｃ）と前記第２画素領域の第２画素パターン（３５３ａ）が前記第１ゲート配線を挟んで配置され、

さらに、

前記第１画素領域に配置されたアイランド状の第１リペアパターン（３３３）と、

前記第１画素領域の第３画素パターンに接続された第２リペアパターン（３５２）と、

前記第２画素領域の第２画素パターンから前記第１画素領域に延長された第３リペアパターン（３５４）とを含み、

前記第２及び第３リペアパターンは、前記第１リペアパターンの両端に各々重なることを特徴とする横電界型の液晶表示装置用アレイ基板。

【請求項１６】

前記第１リペアパターンは、前記共通配線と前記第１ゲート配線との間となる位置に配置されていることを特徴とする請求項１５に記載の横電界型の液晶表示装置用アレイ基板。

【請求項１７】

前記第１薄膜トランジスタは、ゲート電極、半導体層、ソース電極及び前記ドレイン電極を含むことを特徴とする請求項１５に記載の横電界型の液晶表示装置用アレイ基板。

【請求項１８】

前記第１リペアパターンは、前記ドレイン電極と同一層に、同一物質で構成されていることを特徴とする請求項１７に記載の横電界型の液晶表示装置用アレイ基板。

【請求項１９】

請求項１に記載の横電界型の液晶表示装置用アレイ基板において、前記第１薄膜トランジスタが動作不良となった場合に、前記第１の薄膜トランジスタから前記リペアパターンが切り離され、前記リペアパターンと前記第２画素パターンが連結されるように構成されたことを特徴とする横電界型の液晶表示装置用アレイ基板。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、液晶表示装置用アレイ基板に係り、特に、リペアパターンを含む液晶表示装置用アレイ基板とその製造方法に関する。

【背景技術】

【０００２】

一般的な液晶表示装置の駆動原理は、液晶の光学的異方性と分極性質を利用する。液晶は、構造が細く長いために、分子の配列において方向性を有しており、任意に液晶に電界

10

20

30

40

50

を加えると、分子配列の配列方向が制御できる。従って、液晶の分子配列方向を任意に調節すると、光学的異方性によって液晶の分子配列方向に光が屈折して画像情報を表現する。

【0003】

液晶表示装置は、共通電極が形成されたカラーフィルター基板(上部基板)と画素電極が形成されたアレイ基板(下部基板)と、両基板間に充填された液晶とで構成される。このような液晶表示装置は、共通電極と画素電極に印加される電圧により生じる垂直方向の電界によって液晶を駆動する方式であり、透過率と開口率等の特性が優れる。現在は、薄膜トランジスタとこの薄膜トランジスタに連結された画素電極がマトリックス状に配列されたアクティブマトリックス型液晶表示装置(AM-LCD、以下、「液晶表示装置」と称する。)が、解像度及び動画像の表示能力の点で優れており最も注目を浴びている。

10

【0004】

以下、図1を参照して、液晶表示装置を概略的に説明する。

図1は、液晶表示装置を概略的に示した分解斜視図である。

図1に示したように、一般的な液晶表示装置は、液晶層70を間に介し、アレイ基板10とカラーフィルター基板80が対面合着された構成であって、このうち、下部のアレイ基板10は、基板上に交差配列され多数の画素領域Pを定義する複数のゲート配線13とデータ配線30を含み、両配線13、30の交差点には、スイッチング素子である薄膜トランジスタTrを備え、各画素領域Pに形成されている画素電極60と一対一に対応して接続されている。

20

【0005】

また、アレイ基板10と向かい合う上部のカラーフィルター基板80は、この背面に、ゲート配線13とデータ配線30、薄膜トランジスタTr等の非表示領域を遮るように各画素領域Pを取り囲む格子状のブラックマトリックス85が形成されており、ブラックマトリックス85の格子内部には各画素領域Pに対応するように順に反復して配列された赤色R、緑色G、青色Bのカラーフィルターパターン89a、89b、89cを含むカラーフィルター層89が形成されていて、ブラックマトリックス85とカラーフィルター層89の下部に、全面にかけて透明な共通電極92を備えている。

【0006】

また、第1及び第2基板12、82各々の各外部面には、偏光軸と平行な光のみを透過させる第1及び第2偏光板(図示せず)がそれぞれ配置され、第1偏光板(図示せず)の下部には、別途の光源であるバックライト(図示せず)が配置されている。

30

【0007】

図2は、従来の液晶表示装置用アレイ基板の一部を概略的に示した平面図である。

図2に示したように、互いに所定間隔離隔して、一方向に延長されて多数のゲート配線13が形成されており、図面には示していないが、ゲート配線13の一端には、外部の駆動回路基板(図示せず)と連結するためのゲートパッド(図示せず)が形成されている。

【0008】

また、ゲート配線13と交差して画素領域Pを定義する多数のデータ配線30が他方向に延長されて形成されており、この時、各データ配線30の一端にも外部の駆動回路基板(図示せず)と連結するためのデータパッド(図示せず)が形成されている。

40

【0009】

各々のゲート配線13とデータ配線30の交差点には、ゲート電極15と半導体層23とソース電極33及びドレイン電極36とを含む薄膜トランジスタTrが構成されている。ゲート電極15は、ゲート配線13に連結されて、ソース電極33は、データ配線30に連結されている。また、ドレイン電極36は、ソース電極33から所定間隔離隔して形成されている。各画素領域Pには、ドレインコンタクトホール47を通じてドレイン電極36に連結される画素電極60が形成されている。ストレージパターン15がゲート配線13の一部と重なって、ストレージコンタクトホール49を通じて画素電極60に連結されるように構成されている。ストレージパターン15と重なったゲート配線13が第1

50

電極として作用し、ストレージパターン15が第2電極として作用して、その間の絶縁層(図示せず)が誘電体として作用することによりストレージパターン15と重なったゲート配線13、ストレージパターン15及び絶縁層は、ストレージキャパシターStgCを構成する。ストレージキャパシターStgCは、画素電極60に次の信号が印加されるまで、現在の印加された電圧を維持させる役割をする。

【0010】

前述した構成の液晶表示装置用アレイ基板10は、非常に多い工程段階を行って形成されるが、製造工程の際に、静電気が発生したり、異物等によって薄膜トランジスタTr等に不良が発生したりして、所望のイメージが表示できなくなる。この場合、リペア工程を行って画素電極に連結された薄膜トランジスタのドレイン電極を切断することによって信号電圧が印加されないようにして画素領域を暗点(ノーマリブラックモードの場合)化したり、輝点(ノーマリホワイトの場合)化したりする。

10

【0011】

このように不良画素の発生時、画素領域を暗点化または輝点化するのは、通常的に液晶表示装置には、その大きさ別、解像度別に、少なくても数万、多くても数千万の画素が形成されているが、このような数万ないし数千万の画素全体が正常動作するようにアレイ基板を製造するには、失敗費用が大変多くて製造費用が上昇する。

【0012】

前述したように、画素領域に信号電圧が印加されないように処理するリペア方法は、ノーマリブラックモードで動作する場合、非常に明るい画像を表示すると、暗点化された画素領域が目立つ現象が発生し、逆に、ノーマリホワイトの場合、暗い画面が表示されると、輝点化された画素によってまるで光漏れ不良のように周辺より明るい輝度で表示されるため、使用者に目立つ現象が発生する。従って、表示品質が低下する。

20

【発明の開示】

【発明が解決しようとする課題】

【0013】

前述したような問題を解決するために、本発明の目的は、画素不良の発生時に、暗点化または輝点化せず、その下部に位置する画素領域に印加される画像信号の印加を受けるリペアパターンを備え、このリペアパターンを利用してリペア工程を行うことによって不良が発生した画素をその下部に位置した画素と同一な動作をさせて表示品質が向上した横電

30

【課題を解決するための手段】

【0014】

前述したような目的を達成するために、本発明は、第1及び第2画素領域を含む基板上に形成された第1及び第2ゲート配線と、前記第1ゲート配線と平行に離隔して形成された共通配線と、前記第1及び第2ゲート配線と交差して前記第1及び第2画素領域を定義するデータ配線と、前記第1ゲート配線及びデータ配線に連結されて、前記第1画素領域に配置されている第1薄膜トランジスタと、前記第2ゲート配線及びデータ配線に連結されて、前記第2画素領域に配置されている第2薄膜トランジスタと、前記第1薄膜トランジスタから前記第2画素領域に延長されたリペアパターンと、前記第1画素領域に配置され、前記第1薄膜トランジスタに連結された多数の画素電極と、前記第1画素領域に配置されて前記共通配線に連結され、前記多数の画素電極と交互に配列された多数の共通電極と、前記第2画素領域に配置されて前記第2薄膜トランジスタに連結され、前記リペアパターンと重なる第1画素パターンとを含むことを特徴とする横電界型の液晶表示装置用アレイ基板を提供する。

40

【0015】

前記第1薄膜トランジスタは、ゲート電極、半導体層、ソース電極及びドレイン電極を含み、前記多数の画素電極は、前記ドレイン電極に連結され、前記ドレイン電極は、前記第1ゲート電極に実質的に平行である。

【0016】

50

前記リペアパターンは、前記ドレイン電極に実質的に平行であって、前記リペアパターンは、前記ドレイン電極と同一層に、同一物質で構成される。

【0017】

前記共通配線の一端に連結されて、前記データ配線と平行な第1共通電極連結パターンと、前記第1薄膜トランジスタに連結されて、前記第1共通電極連結パターンと重なる第2画素パターンと、前記第1共通電極連結パターンと前記第2画素パターンとの間に介される第1絶縁膜をさらに含み、前記第1共通電極連結パターン、第2画素パターン及び第1絶縁膜は、第1ストレージキャパシターを構成する。

【0018】

前記第1共通電極連結パターンに連結されて、前記共通配線と実質的に平行な第2共通電極連結パターンと、前記第2画素パターンに連結されて、前記第2共通電極連結パターンと重なる第3画素パターンと、前記第2共通電極連結パターンと前記第3画素パターンとの間に介される第2絶縁膜をさらに含み、前記第2共通電極連結パターン、前記第3画素パターン及び前記第2絶縁膜は、第2ストレージキャパシターを構成する。

10

【0019】

前記第1薄膜トランジスタに連結されて、前記共通配線と重なる第2画素パターンをさらに含む。

【0020】

前記第2画素パターンと前記共通電極との間に形成されて、前記第2画素パターンに連結される金属パターンをさらに含み、前記共通配線、前記金属パターン及び前記共通配線と金属パターンとの間に介された絶縁膜は、ストレージキャパシターを構成する。

20

前記金属パターンは、前記リペアパターンと同一層に、同一物質で構成される。

【0021】

前記ドレイン電極と前記共通配線の上部に、前記ドレイン電極及び前記共通配線を各々露出させるドレインコンタクトホール及び共通コンタクトホールを含む保護層をさらに含み、前記多数の画素電極は、前記ドレインコンタクトホールを通じて前記ドレイン電極に連結されて、前記多数の共通配線は、前記共通コンタクトホールを通じて前記共通配線に連結される。

【0022】

また、本発明は、第1及び第2画素領域を含む基板上に形成された第1及び第2ゲート配線と、前記第1ゲート配線と平行に離隔して形成された共通配線と、前記第1及び第2ゲート配線と交差して前記第1及び第2画素領域を定義するデータ配線と、前記第1ゲート配線及びデータ配線に連結されて、前記第1画素領域に配置されている第1薄膜トランジスタと、前記第2ゲート配線及びデータ配線に連結されて、前記第2画素領域に配置されている第2薄膜トランジスタと、前記第1薄膜トランジスタから延長された第1リペアパターンと、前記第1画素領域に配置され、前記第1薄膜トランジスタに連結された多数の画素電極と、前記第1画素領域に配置されて前記共通配線に連結され、前記多数の画素電極と交互に配列された多数の共通電極と、前記第2画素領域に配置されて前記第2薄膜トランジスタに連結された画素パターンと、前記画素パターンから延長されて前記第1リペアパターンと重なる第2リペアパターンとを含むことを特徴とする横電界型の液晶表示装置用アレイ基板を提供する。

30

40

【0023】

前記第1薄膜トランジスタは、ゲート電極、半導体層、ソース電極及びドレイン電極を含み、前記多数の画素電極は、前記ドレイン電極に連結される。

【0024】

前記第1リペアパターンは、前記ドレイン電極と同一層に、同一物質で構成される。

【0025】

さらに、本発明は、第1及び第2画素領域を含む基板上に形成された第1及び第2ゲート配線と、前記第1ゲート配線と平行に離隔して形成された共通配線と、前記第1及び第2ゲート配線と交差して前記第1及び第2画素領域を定義するデータ配線と、前記第1ゲ

50

ート配線及びデータ配線に連結されて、前記第1画素領域に配置されている第1薄膜トランジスタと、前記第2ゲート配線及びデータ配線に連結されて、前記第2画素領域に配置されている第2薄膜トランジスタと、前記第1薄膜トランジスタから延長された第1リペアパターンと、前記第1画素領域に配置され、前記第1薄膜トランジスタに連結された多数の画素電極と、前記第1画素領域に配置されて前記共通配線に連結され、前記多数の画素電極と交互に配列された多数の共通電極と、前記第2画素領域に配置されて前記第2薄膜トランジスタに連結された画素パターンと、前記画素パターンから延長され前記第1リペアパターンと重なる第2リペアパターンと、アイランド状の第3リペアパターンとを含み、前記第1及び第2リペアパターンは、前記第3リペアパターンの両端に各々重なることを特徴とする横電界型の液晶表示装置用アレイ基板を提供する。

10

【0026】

前記第3リペアパターンは、前記共通配線と前記第1ゲート配線との間となる位置に配置されている。

【0027】

前記第1薄膜トランジスタは、ゲート電極、半導体層、ソース電極及びドレイン電極を含み、前記多数の画素電極は、前記ドレイン電極に連結される。

【0028】

前記第3リペアパターンは、前記ドレイン電極と同一層に、同一物質で構成される。

【0029】

以下、添付した図面を参照して、本発明によるより好ましい実施例を説明する。

20

【0030】

本発明による液晶表示装置用アレイ基板は、共通電極と画素電極がアレイ基板に形成される黄電界型の液晶表示装置用アレイ基板であって、この時、不良が発生した画素領域を、これと隣接した画素領域内の画素電極と電気的に連結させるリペアパターンを備える。

【0031】

このように、横電界型の液晶表示装置用アレイ基板を提案する理由は、従来のように、共通電極と画素電極が互いに向い合う基板に各々形成され、両電極に印加される電圧により生じる垂直方向の電界によって液晶を駆動する方式、すなわち、ツイストネマティックモードの液晶表示装置は、透過率と開口率等の特性は優れているが、視野角の特性は優れていない短所を有しており、このような視野角低下の短所を克服するために、画素電極と共通電極が一つの基板に形成され、横電界によって液晶を駆動する視野角の特性が優れる液晶表示装置を提供する。

30

【発明の効果】**【0032】**

本発明による横電界型の液晶表示装置用アレイ基板は、画素不良の発生時、リペアパターンによって、その下部に位置する画素領域の画素電極と、不良が発生した画素領域の画素電極が電気的に連結できる構造を有する。従って、不良が発生した画素領域がその下側に位置した画素と同一な駆動をして表示品質を向上させる。

【発明を実施するための最良の形態】**【0033】**

40

[第1実施例]

図3は、本発明の第1実施例における液晶表示装置用アレイ基板の一部を概略的に示した平面図である。

図3に示したように、本発明の第1実施例による横電界型の液晶表示装置用アレイ基板101は、平行に一方向に延長されたゲート配線104と、ゲート配線104と交差して画素領域Pを定義しているデータ配線125とが形成されており、ゲート配線104と実質的に平行であって、ゲート配線104と所定間隔離隔して共通配線110が形成されている。

【0034】

また、画素領域には、共通配線110の両一端から各々分岐してデータ配線125と同

50

一な方向に第1共通電極連結パターン113a及び第2共通電極連結パターン113bが形成されており、第1共通電極連結パターン113a及び第2共通電極連結パターン113bの各一端は、第3共通電極連結パターン113cによって連結されることによって、第1ないし第3共通電極連結パターン113a、113b、113cは、共通配線110と共に、画素領域P内に四角形状を構成する。すなわち、第1共通電極連結パターン113a及び第2共通電極連結パターン113bの各一端は、共通配線110に連結されて、各他端は、第3共通電極連結パターン113cに連結されている。

【0035】

共通配線110と第3共通電極連結パターン113cは、幅の広い部分と幅の狭い部分で構成される。共通配線110の場合、幅の狭い部分は、第1共通電極連結パターン113aに連結されて、幅の広い部分は、第2共通電極連結パターン113bに連結される。逆に、第3共通電極連結パターン113cの場合、幅の狭い部分は、第2共通電極連結パターン113bに連結されて、幅の広い部分は、第1共通電極連結パターン113aに連結される。但し、これは一例であって、共通配線110と第3共通電極連結パターン113cの形状は、これに限定されるものではない。

【0036】

また、画素領域Pにおいて、ゲート配線104とデータ配線125に連結されて、ゲート電極107と、ゲート絶縁膜(図示せず)と、半導体層(図示せず)と、互いに離隔するソース電極128及びドレイン電極130とで構成されて、スイッチング素子として作動する薄膜トランジスタTrが形成されている。ソース電極128及びドレイン電極130は、ゲート配線104と重なって、その重なった部分は、ゲート電極107として定義される。ゲート絶縁膜がゲート電極107の上部に形成されて、その上に半導体層が形成され、半導体層の上部にソース電極128及びドレイン電極130が形成されている。ドレイン電極130は、ゲート配線104と平行に形成されおり、ソース電極128は、U字状であって、ドレイン電極130は、U字状の内部となる位置に配置されている。但し、ソース電極128がそれ以外の他の形状であってもよい。

【0037】

また、一つの画素領域Pにおいて、薄膜トランジスタTrのドレイン電極130に連結されて、互いに離隔する多数の画素電極155が透明導電性物質より形成されている。このような透明導電性物質としては、インジウムスズオキシドITOとインジウムジンクオキシドIZOまたはインジウムジンクオキシドIZOがある。さらに、第1ないし第3画素パターン153a、153b、153cが画素領域P内に形成される。多数の画素電極155は、第1画素パターン153aから分岐した形態で構成され、第1画素パターン153aの両端が各々折曲され延長されることによって、第2画素パターン153b及び第3画素パターン153cを構成する。第2画素パターン153b及び第3画素パターン153cは、幅の広い部分と幅の狭い部分で構成される。第2画素パターン153bの場合、幅の狭い部分が第1画素パターン153aに連結されているが、第3画素パターン153cの場合、幅の広い部分が第1画素パターン153aに連結されている。すなわち、第2画素パターン153b及び第3画素パターン153cは、各々第3共通電極連結パターン113c及び共通配線110と実質的に同一な形状である。但し、第2画素パターン153b及び第3画素パターン153cの形状は、これに限定されるものではない。画素電極155は、第2画素パターン153b及び第3画素パターン153cとは、互いに実質的に平行であるが、第1画素パターン153aとは平行でない。

【0038】

第3画素パターン153cは、ドレイン電極130から延長された金属パターン131とドレインコンタクトホール143を通じて連結されている。従って、各画素領域Pに入力される信号は、ドレイン電極130、金属パターン131、第3画素パターン153c及び第1画素パターン153aを経て多数の画素電極155に印加される。

【0039】

金属パターン131は、共通配線110と重なる。金属パターン131と重なった共通

10

20

30

40

50

配線 1 1 0 と、金属パターン 1 3 1 と、その間に介された絶縁層とは、第 1 ストレージキャパシター S t g 1 を構成する。金属パターン 1 3 1 と重なった共通配線 1 1 0 が第 1 電極として作用し、金属パターン 1 3 1 が第 3 画素パターン 1 5 3 c に連結され第 2 電極として作用して、その間の絶縁層が誘電体として作用する。

【0040】

また、第 1 画素パターン 1 5 3 a は、第 2 共通電極連結パターン 1 1 3 b と重なっており、重なった第 1 画素パターン 1 5 3 a 及び第 2 共通電極連結パターン 1 1 3 b が各々第 1 及び第 2 電極として作用し、その間に介された絶縁層(図示せず)が誘電体として作用することによって第 2 ストレージキャパシター S t g 2 を構成する。

【0041】

さらに、第 2 画素パターン 1 5 3 b は、第 3 共通電極連結パターン 1 1 3 c と重なっており、重なった第 2 画素パターン 1 5 3 b 及び第 3 共通電極連結パターン 1 1 3 c が各々第 1 及び第 2 電極として作用し、その間に介された絶縁層(図示せず)が誘電体として作用することによって第 3 ストレージキャパシター S t g 3 を構成する。

【0042】

金属パターン 1 3 1 と重なった共通配線 1 1 0 と、金属パターン 1 3 1 と、その間に介された絶縁層とは、第 1 ストレージキャパシター S t g 1 を構成する。金属パターン 1 3 1 と重なった共通配線 1 1 0 が第 1 電極として作用し、金属パターン 1 3 1 が第 2 電極として作用して、その間の絶縁層が誘電体として作用する。

【0043】

また、第 1 共通電極連結パターン 1 1 3 a と共通コンタクトホール 1 4 1 を通じて接触して、インジウムスズオキシサイド I T O またはインジウムジンクオキシサイド I Z O のような透明導電性物質で構成された第 4 共通電極連結パターン 1 5 6 が第 1 共通電極連結パターン 1 1 3 a と重なって形成されており、このような第 4 共通電極連結パターン 1 5 6 から分岐して、多数の共通電極 1 5 7 が多数の画素電極 1 5 5 と交互に並んで形成されている。

【0044】

この時、多数の共通電極 1 5 7 と画素電極 1 5 5 は、同一層に透明導電性物質によって形成されて、両電極 1 5 7、1 5 5 は、ゲート配線 1 0 4 と所定の角度を有して形成されている。尚、共通電極 1 5 7 と画素電極 1 5 5 はゲート配線 1 0 4 と並んで形成されることもできる。

【0045】

また、リペアパターン 1 3 2 が基板 1 0 1 上に形成されている。画素領域 P は、第 1 画素領域 P 1 及びこれとは上下関係の位置にある第 2 画素領域 P 2 のように区分される。リペアパターン 1 3 2 は、第 1 画素領域 P 1 のドレイン電極 1 3 0 から第 2 画素領域 P 2 に延長されて形成され、第 2 画素領域 P 2 の第 2 画素パターン 1 5 3 b と重なっている。この時、第 1 画素領域 P 1 のドレイン電極 1 3 0 と同一層に、同一物質で構成され、これに連結して形成されているリペアパターン 1 3 2 と、第 2 画素領域 P 2 内に形成されている第 2 画素パターン 1 5 3 b とは、絶縁層(図示せず)を間に介して互いに異なる層に位置するために、これをリペアして通電させる前には、互いに電氣的に連結されない構成となっている。また、第 2 画素領域 P 2 のドレイン電極 1 3 0 に連結されたリペアパターン 1 3 2 は、第 1 画素領域 P 1 とは反対側に第 2 画素領域 P 2 を挟んで位置する画素領域に延長され、その画素領域の第 2 画素パターン 1 5 3 b と重なるように構成される。

【0046】

このような構成の横電界型の液晶表示装置用アレイ基板において、異物等によって第 1 画素領域 P 1 内の薄膜トランジスタ T r の作動不良が発生した場合、電氣的に遮断するために、ドレイン電極 1 3 0 上の切断線 C L に沿ってレーザーを照射して不良が発生した薄膜トランジスタ T r から画素電極 1 5 5 を電氣的に分離させる。

【0047】

以後、第 1 画素領域 P 1 から第 2 画素領域 P 2 まで延長して形成されたリペアパターン

10

20

30

40

50

132と、その上部に位置する第2画素領域P2の第2画素パターン153bを導通させるリペア工程によって第2画素領域P2内の画素電極155に印加させる信号電圧がリペアパターン132等を通じ、第1画素領域P1内のドレイン電極130を経て最終的に第1画素領域P1の画素電極155に印加される。リペア工程は、リペア地点RPにレーザーを照射してリペアパターン132と第2画素パターン153bを連結させる。

【0048】

従って、画素不良が発生した第1画素領域P1は、その下部に位置した第2画素領域と同一な画像を表示することによって周辺の画素領域とほとんど類似の色及びグレーレベルを表示するため、暗い画像が表示される場合あるいは明るい画像が表示される場合に関係なく、使用者によって不良として認知されなくなることによって表示品質が向上される。

10

【0049】

以後、前述した平面構造の横電界型の液晶表示装置用アレイ基板の断面図を参照してその断面構造を説明する。説明の便宜上、薄膜トランジスタTrが形成される領域をスイッチング領域TrAと定義する。

【0050】

図4と図5は、図3の各々IV-IV線、V-V線に沿って切断した断面図である。

【0051】

図4と図5に示したように、基板101上にゲート配線104が形成されており、各画素領域P1、P2のスイッチング領域TrAには、ゲート配線104に連結されゲート電極107が形成されていて、ゲート配線104と所定間隔離隔して共通配線110が形成され、第3共通電極連結パターン113cが第2画素領域P2に形成されている。

20

【0052】

前述したように、第2画素領域P2において、第3共通電極連結パターン113cは、第1共通電極連結パターン113a及び第2共通電極連結パターン113bを通じて共通配線110に連結される。第1共通電極連結パターン113a及び第2共通電極連結パターン113bは、第3共通電極連結パターン113cと同一層に、同一物質で形成される。

【0053】

ゲート配線104とゲート電極107及び共通配線110と第3共通電極連結パターン113cとの上に、無機絶縁物質によってゲート絶縁膜115が全面に形成されている。

30

【0054】

スイッチング領域TrAにおいては、ゲート絶縁膜115上に、純粋非晶質シリコンで構成されたアクティブ層120aと、アクティブ層120a上に互いに離隔する不純物非晶質シリコンで構成されたオーミックコンタクト層120bとで構成された半導体層120が形成されており、オーミックコンタクト層120b上に互いに離隔してソース電極128及びドレイン電極130が形成されている。

【0055】

また、ゲート絶縁膜115の上部には、第1画素領域P1のドレイン電極130に連結され同一物質で構成されて、第2画素領域P2まで延長されたリペアパターン132が形成されている。さらに、ゲート絶縁膜115上にソース電極128に連結され下部のゲート配線104と交差して各画素領域P1、P2を定義してデータ配線(図3の125)が形成されている。

40

【0056】

また、ゲート絶縁膜115の上部に、共通配線110と重なる金属パターン131が形成される。前述したように、金属パターンと重なった共通配線110を第1電極とし、金属パターン131を第2電極として、その間に介されたゲート絶縁膜115を誘電体として第1ストレージキャパシターStg1を構成する。

【0057】

この時、データ配線(図3の125)とリペアパターン132の下部には、これらと同一な形態で半導体層120が形成されている。これは、半導体層120、データ配線及びリ

50

ペア配線 1 3 2 が一つのマスク工程によって同時にパターンニングされたからである。半導体層 1 2 0、データ配線及びリペア配線 1 3 2 を各々別途のマスク工程によってパターンニングした場合、半導体層 1 2 0 は、半導体層 1 2 0、データ配線及びリペア配線 1 3 2 の下部に形成されない。

【0058】

データ配線(図示せず)とソース電極 1 2 8 及びドレイン電極 1 3 0 とリペアパターン 1 3 2 と金属パターン 1 3 1 との上の全面に、保護層 1 4 0 が形成されており、この時、保護層 1 4 0 には、金属パターン 1 3 1 の一部を露出させるドレインコンタクトホール 1 4 3 と、第 1 共通電極連結パターン(図 3 の 1 1 3 a)の一部を露出させる共通コンタクトホール(図 3 の 1 4 1)が形成される。

10

【0059】

保護層 1 4 0 上に多数の画素電極 1 5 5、第 2 画素パターン 1 5 3 b、第 3 画素パターン 1 5 3 c 及び多数の共通電極 1 5 7 が形成される。多数の画素電極 1 5 5、第 2 画素パターン 1 5 3 b、第 3 画素パターン 1 5 3 c 及び多数の共通電極 1 5 7 は、インジウムスズオキシサイド ITO とインジウムジニクオキシサイド IZO のような透明導電性物質で構成される。また、保護層 1 4 0 上には、第 1 画素パターン(図 3 の 1 5 3 a)と第 4 共通電極連結パターン(図 3 の 1 5 6)が形成される。

【0060】

第 1 画素パターン(図 3 の 1 5 3 a)は、第 2 共通電極連結パターン 1 1 3 b と重なって、第 2 画素パターン 1 5 3 b 及び第 3 画素パターン 1 5 3 c は、第 1 画素パターン(図 3 の 1 5 3 a)の両端の各々から延長され形成される。第 2 画素パターン 1 5 3 b 及び第 3 画素パターン 1 5 3 c 各々は、第 3 共通電極連結パターン 1 1 3 c 及び共通配線 1 1 0 と重なる。また、第 2 画素領域 P 2 内の第 2 画素パターン 1 5 3 b は、第 1 画素領域 P 1 のドレイン電極 1 3 0 から延長されたリペアパターン 1 3 2 と重なる。多数の画素電極 1 5 5 は、第 1 画素パターン 1 5 3 a から延長される。多数の画素電極 1 5 5 と第 2 画素パターン 1 5 3 b 及び第 3 画素パターン 1 5 3 c は、互いに平行であって、第 1 画素パターン 1 5 3 a に傾いて形成される。第 3 画素パターン 1 5 3 c は、ドレインコンタクトホール 1 4 3 を通じて金属パターン 1 3 1 に連結される。

20

【0061】

第 4 共通電極連結パターン(図 3 の 1 5 6)は、共通コンタクトホール(図 3 の 1 4 1)を通じて第 1 共通電極連結パターン(図 3 の 1 1 3 a)に連結され、第 1 共通電極連結パターン(図 3 の 1 1 3 a)と重なる。多数の共通電極 1 5 7 は、第 4 共通配線(図 3 の 1 5 6)から傾いて延長され形成される。多数の共通電極 1 5 7 は、多数の画素電極 1 5 5 と互いに平行で、交互に配列される。

30

【0062】

前述したように、横電界型の液晶表示装置用アレイ基板において、第 1 画素領域 P 1 の薄膜トランジスタ T r に不良が発生した場合、リペア工程を行うことによって不良が発生した画素領域 P 1 内の多数の画素電極 1 5 5 と薄膜トランジスタ T r を電氣的に分離させる。すなわち、ドレイン電極 1 3 0 付近の切断では切断線 C L に沿ってレーザーを利用して切断することによって多数の画素電極 1 5 5 と薄膜トランジスタ T r は、電氣的に分離される。

40

【0063】

次いで、リペア地点 R P にレーザーを照射することによってリペアパターン 1 3 2 と第 2 画素領域 P 2 の第 2 画素パターン 1 5 3 b を電氣的に連結させる。

【0064】

結果的に、第 1 画素領域 P 1 の画素電極 1 5 5 は、第 2 画素領域 P 2 の画素電極 1 5 5 と同一な信号の印加を受けて、同一なグレーレベルの画像を表示する。

【0065】

[第 2 実施例]

本発明の第 2 実施例では、ドレイン電極がデータ配線と並んで形成されることを特徴と

50

する薄膜トランジスタを備えた横電界型の液晶表示装置用アレイ基板に対してリペアパターンを形成する。

【0066】

図6は、本発明の第2実施例における横電界型の液晶表示装置用アレイ基板の一部を概略的に示した平面図である。この時、各画素領域の内部構造は、上述した第1実施例と同一であるので、これに対する説明は省略して、異なる点のあるリペアパターンが形成される部分を主に説明する。また、図面の符号については、同一な構成要素に対しては、第1実施例の構成要素に100を加えた符号番号を付与している。

【0067】

図6に示したように、ゲート配線204とデータ配線225が互いに交差して第1画素領域P1及び第2画素領域P2を定義する。ソース電極228は、データ配線225から延長されU字状を有する。ソース電極228と離隔されたドレイン電極230は、U字状の内部となる位置に配置されて、データ配線225と平行に形成される。ソース電極228とドレイン電極230は、ゲート配線204と重なって、重なったゲート配線204の領域は、ゲート電極207として定義される。

【0068】

第1画素領域P1の金属パターン231は、ドレイン電極230から延長して形成されている。また、金属パターン231から第1リペアパターン233がドレイン電極230と平行に延長されて、第2リペアパターン254が第2画素領域P2の第2画素パターン253bから延長され第1リペアパターン233と重なる。リペア地点RPは、第1リペアパターン233及び第2リペアパターン254が重なる地点に位置する。

【0069】

図7は、図6のV I I - V I I 線に沿って切断した部分の断面図である。

図7に示したように、ゲート配線204、共通配線210、第3共通電極連結パターン213cが基板201上に形成されている。ゲート配線204、共通配線210、第3共通電極連結パターン213c上にゲート絶縁膜215が形成されて、アクティブ層220aとオーミックコンタクト層220bで構成される半導体層220がゲート絶縁膜215の上部に形成される。また、金属パターン231がドレイン電極(図6の230)から延長され半導体層220の上部に形成されて、共通配線210と重なる。共通配線210の重なる部分と、金属パターン231と、その間のゲート絶縁膜215とは、第1ストレージキャパシターStg1を構成する。

【0070】

さらに、金属パターン231から延長された第1リペアパターン233がゲート絶縁膜215上に形成されている。金属パターン231と第1リペアパターン233の上部に保護層240が形成されて、その上部に多数の画素電極255と多数の共通電極257と第2画素パターン253bと第2リペアパターン254が形成される。多数の画素電極255及び多数の共通電極257は、第1画素領域P1に形成されて、第2画素パターン253bは、第2画素領域P2に形成されている。第2画素パターン253bは、下部の第3共通電極連結パターン213cと重なって、その間のゲート絶縁膜215及び保護層240と共に第3ストレージキャパシターStg3を構成する。第2リペアパターン254は、第2画素領域P2の第2画素パターン253bから第1画素領域P1に延長され第1リペアパターン233と重なる。

【0071】

第1リペアパターン233及び第2リペアパターン254の間には、保護層240が介在されているために、第1リペアパターン233及び第2リペアパターン254は、互いに電氣的に分離されている状態である。

【0072】

従って、第1リペアパターン233及び第2リペアパターン254は、画素不良が発生しない場合、互いに電氣的に連結されない状態を維持する。もし第1画素領域P1で画素不良が発生した場合には、共通配線210とゲート配線204との間に位置したドレイン

10

20

30

40

50

電極 230 部分を切断線(図 6 の CL)に沿ってレーザーで切断する。

【0073】

次いで、第 1 リペアパターン 233 及び第 2 リペアパターン 254 が重なったリペア地点 RP にレーザーを照射して第 1 リペアパターン 233 及び第 2 リペアパターン 254 を導通させる。

【0074】

従って、第 1 実施例と同様に第 2 画素領域 P2 内の画素電極 255 に印加される信号電圧が第 1 画素領域 P1 内の画素電極 255 に同一に印加され、第 2 画素領域 P2 と同一な駆動をするようになる。

【0075】

10

[第 3 実施例]

図 8 は、本発明の第 3 実施例による横電界型の液晶表示装置用アレイ基板の一部を概略的に示した平面図であって、図 9 は、図 8 の IX-IX 線に沿って切断した部分に対する断面図である。この時、画素領域の内部構造は、上述した第 2 実施例と同一であるので、これに対する説明は省略して、異なる点のあるリペアパターンが形成される部分を主に説明する。また、図面の符号において、同一な構成要素に対しては、第 2 実施例の構成要素に 100 を加えた符号番号を付与している。

【0076】

図 8 と図 9 に示したように、ゲート配線 304 とデータ配線 325 が交差して第 1 画素領域 P1 及び第 2 画素領域 P2 を定義する。ゲート配線 304 と離隔して共通配線 310 が形成されている。データ配線 325 から延長され U 字状のソース電極 328 が形成されており、ソース電極 328 から離隔されたドレイン電極 330 が U 字状の内部となる位置に配置されている。ドレイン電極 330 は、データ配線 325 に実質的に平行である。

20

【0077】

ドレイン電極 330 から第 1 画素領域 P1 に延長され共通配線 310 と重なる金属パターン 331 が形成されている。また、第 1 ないし第 3 リペアパターン 333、352、354 が第 1 画素領域 P1 に形成される。第 1 ないし第 3 リペアパターン 333、352、354 は、第 2 画素領域 P2 にも同じように形成される。

【0078】

第 1 リペアパターン 333 は、ゲート配線 304 と共通配線 310 との間に位置して、ドレイン電極 330 及び金属パターン 331 と同一層に、同一物質で構成される。しかし、第 1 リペアパターン 333 は、アイランド状であって、ドレイン電極 330 及び金属パターン 331 と電氣的に分離されている。第 2 リペアパターン 352 は、第 1 画素領域 P1 の第 3 画素パターン 353c から延長され第 1 リペアパターン 333 の一端と重なる。また、第 3 リペアパターン 354 は、第 2 画素領域の第 2 画素パターン 353b から延長され第 1 リペアパターン 333 の他端と重なる。

30

【0079】

第 1 リペアパターン 333 は、ゲート絶縁膜 315 上に形成されて、ゲート配線 304 と共通配線 310 との間に位置されている。第 1 リペアパターン 333 上に保護層 340 が形成されて、その上に第 2 リペアパターン 352 及び第 3 リペアパターン 354 が形成される。

40

【0080】

前述したように、第 2 リペアパターン 352 は、第 1 画素領域 P1 の第 3 画素パターン 353c から延長され第 1 リペアパターン 333 の一端と重なって、第 3 リペアパターン 354 は、第 2 画素領域 P2 の第 2 画素パターン 353b から第 1 画素領域 P1 に延長され第 1 リペアパターン 333 の他端と重なる。第 2 リペアパターン 352 と第 1 リペアパターン 333 が重なる領域は、第 1 リペア地点 RP1 で定義されて、第 3 リペアパターン 354 と第 1 リペアパターン 333 が重なる領域は、第 2 リペア地点 RP2 で定義される。第 1 リペアパターン 333 と第 2 リペアパターン 352 との間及び第 1 リペアパターン 333 と第 3 リペアパターン 354 との間には、保護層 340 が介されるため、第 2 リペ

50

アパターン352及び第3リペアパターン354は、第1リペアパターン333と電氣的に分離されている。

【0081】

第1画素領域P1の薄膜トランジスタTrに不良が発生した場合、第1画素領域P1のドレイン電極330を切断線CLに沿って切断することによって、第1画素領域P1の画素電極355を第1画素領域P1の薄膜トランジスタTrから分離させる。

【0082】

第1リペア地点RP1及び第2リペア地点RP2にレーザーを照射することによって、第1リペアパターン333を第2リペアパターン352及び第3リペアパターン354と電氣的に連結させる。結果的に、第2リペアパターン352は、第1リペアパターン333を通じて第3リペアパターン354と電氣的に連結される。また、第1画素領域P1の画素電極355は、第1画素パターン353a及び第3画素パターン353cを通じて第2リペアパターン352に連結されて、第3リペアパターン354は、第2画素領域P2の第1画素パターン353a及び第2画素パターン353bを通じて第2画素領域P2の画素電極355に連結されているために、第1画素領域P1の画素電極355は、第2画素領域P2の画素電極355と同一な信号の印加を受けるようになる。

【0083】

本発明の第1実施例における横電界型の液晶表示装置用アレイ基板の製造方法を簡単に説明する。

【0084】

第1金属物質層を基板に形成して、第1金属物質層をマスク工程を利用してパターンニングすることによってゲート配線、ゲート電極、共通配線及び第1ないし第3共通電極連結パターンを形成する。このマスク工程は、フォトレジストPR層の形成工程、マスクを利用したフォトレジスト層の露光工程、フォトレジストパターンを形成するためのフォトレジスト層の現像工程、フォトレジスト間に露出された第1金属物質層を除去する工程とを含む。

【0085】

前述したように、共通配線は、ゲート配線から離隔されて、第1及び第2共通電極連結パターンは、共通配線の各一端から延長されて形成される。第1及び第2共通電極連結パターンは、ゲート配線に実質的に垂直である。第3共通電極連結パターンは、第1及び第2共通電極連結パターンを連結させる。尚、共通配線及び第1ないし第3共通電極連結パターンは、四角形状である。

【0086】

ゲート配線、ゲート電極、共通配線及び第1ないし第3共通電極連結パターンの上部に、酸化シリコン、窒化シリコン等の無機絶縁物質を蒸着してゲート絶縁膜を形成する。

【0087】

ゲート絶縁膜の上に、全面に純粋非晶質シリコンと不純物非晶質シリコンと第2金属層を形成し、これを回折マスク工程またはハーフトーンマスク工程を利用してパターンニングすることによって、アクティブ層とオーミックコンタクト層で構成される半導体層と、データ配線、ソース電極、ドレイン電極とを形成する。データ配線は、ゲート配線と交差して第1及び第2画素領域を定義し、ソース電極は、データ配線から延長されドレイン電極とは離隔して位置する。半導体層は、ソース電極及びドレイン電極の下部のみならずデータ配線の下部にも形成されると同時に、第1画素領域のドレイン電極から第2画素領域に延長され第2画素領域の第3共通電極連結パターンと重なるリペアパターンが形成される。また、ドレイン電極から第1画素領域に延長され共通配線と重なる金属パターンが形成される。リペアパターン及び金属パターンは、互いに反対方向に延長される。

【0088】

データ配線、ソース電極、ドレイン電極、リペアパターン及び金属パターン上に保護層を形成し、この保護層をパターンニングしてドレインコンタクトホールと共通コンタクトホールを形成する。ドレインコンタクトホール及び共通コンタクトホールの各々は、金属パ

10

20

30

40

50

ターンと第1共通電極連結パターンを露出させる。

【0089】

保護層上に透明導電性物質層を形成してパターンニングし、多数の画素電極、第1ないし第3画素パターン、多数の共通電極及び第4共通電極連結パターンを形成する。第1画素パターンは、第2共通電極連結パターンと重なり、データ配線と実質的に平行である。第2画素パターンは、第1画素パターンの一端から延長されて、第3共通電極連結パターン及びリペアパターンと重なる。第3画素パターンは、第1画素パターンの他端から延長され金属パターンと重なってドレインコンタクトホールを通じて金属パターンに連結される。多数の画素電極は、第1画素パターンから延長され第2及び第3画素パターン間に、第2及び第3画素パターンと実質的に平行に位置する。第4共通電極連結パターンは、第1共通電極連結パターンと重なって、共通コンタクトホールを通じて第1共通電極連結パターンに連結される。また、多数の共通電極は、第4共通電極連結パターンから延長され多数の画素電極と交互に配列される。

10

【0090】

本発明の第2実施例において、ドレイン電極は、ゲート配線ではないデータ配線と平行に形成される。また、第1リペアパターンが金属パターンから延長され形成され、第2リペアパターンが第2画素パターンから延長され第1リペアパターンと重なる。

【0091】

また、本発明の第3実施例において、第1リペアパターンは、共通配線とゲート配線との間に位置する。第1リペアパターンは、ドレイン電極及び金属パターンと同一層に、同一物質で形成されるが、アイランド状でドレイン電極及び金属パターンと電氣的に分離されている。第2リペアパターンは、第3画素パターンから延長され第1リペアパターンの一端と重なる。さらに、第3リペアパターンは、第2画素パターンから延長され第1画素パターンの他端と重なる。

20

【0092】

本発明によると、いずれかの画素の薄膜トランジスタに不良が発生した場合、不良が発生した薄膜トランジスタに連結された画素電極を、不良が発生していない薄膜トランジスタに連結されている画素電極に電氣的に連結させることができる。

【0093】

本発明の趣旨に反しない限度内で、本発明が属する技術分野で通常の知識がある者によって多様に変更することができて、このような変化と変形が本発明に属するのは、添付された特許請求の範囲によって分かる。

30

【図面の簡単な説明】

【0094】

【図1】従来の液晶表示装置を概略的に示した分解斜視図である。

【図2】従来の液晶表示装置用アレイ基板の一部を概略的に示した平面図である。

【図3】本発明の第1実施例による横電界型の液晶表示装置用アレイ基板の一部を概略的に示した平面図である。

【図4】図3のI-V-I線に沿って切断した断面図である。

【図5】図3のV-V線に沿って切断した断面図である。

40

【図6】本発明の第2実施例による横電界型の液晶表示装置用アレイ基板の一部を概略的に示した平面図である。

【図7】図6のV-I-I-V-I線に沿って切断した断面図である。

【図8】本発明の第3実施例による横電界型の液晶表示装置用アレイ基板の一部を概略的に示した平面図である。

【図9】図8のI-X-I-X線に沿って切断した断面図である。

【符号の説明】

【0095】

101：アレイ基板

104：ゲート配線

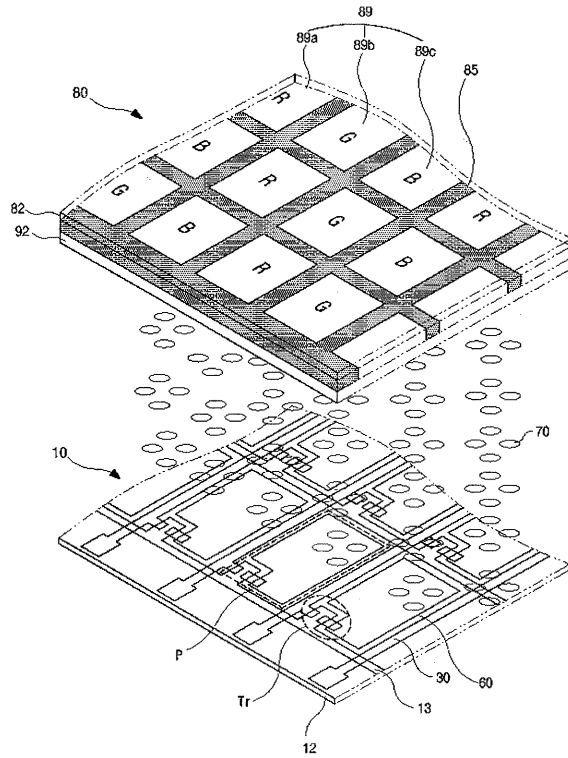
50

1 0 7 : ゲート電極
1 1 0 : 共通配線
1 1 3 a : 第 1 共通電極連結パターン
1 1 3 b : 第 2 共通電極連結パターン
1 1 3 c : 第 3 共通電極連結パターン
1 2 5 : データ配線
1 2 8 : ソース電極
1 3 0 : ドレイン電極
1 3 1 : 第 2 ストレージ電極
1 3 2 : リペアパターン
1 4 1 : 共通コンタクトホール
1 4 3 : ドレインコンタクトホール
1 5 3 a : 第 1 画素パターン
1 5 3 b : 第 2 画素パターン
1 5 3 c : 第 3 画素パターン
1 5 5 : 画素電極
1 5 6 : 第 4 共通電極連結パターン
1 5 7 : 共通電極
C L : 画素の不良時、レーザーによる切断線
L P : 不良時、レーザーによる導通ポイント
P 1 : 第 1 画素領域
P 2 : 第 2 画素領域
S t g 1 : 第 1 ストレージキャパシター
S t g 2 : 第 2 ストレージキャパシター
S t g 3 : 第 3 ストレージキャパシター
T r : 薄膜トランジスタ

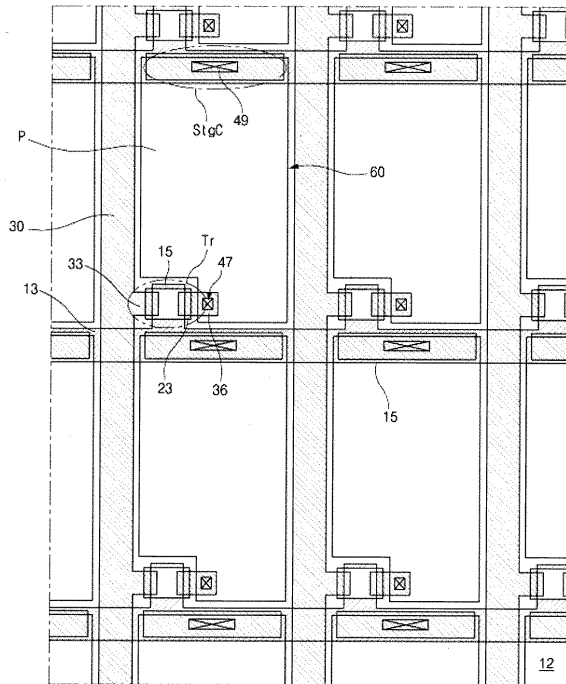
10

20

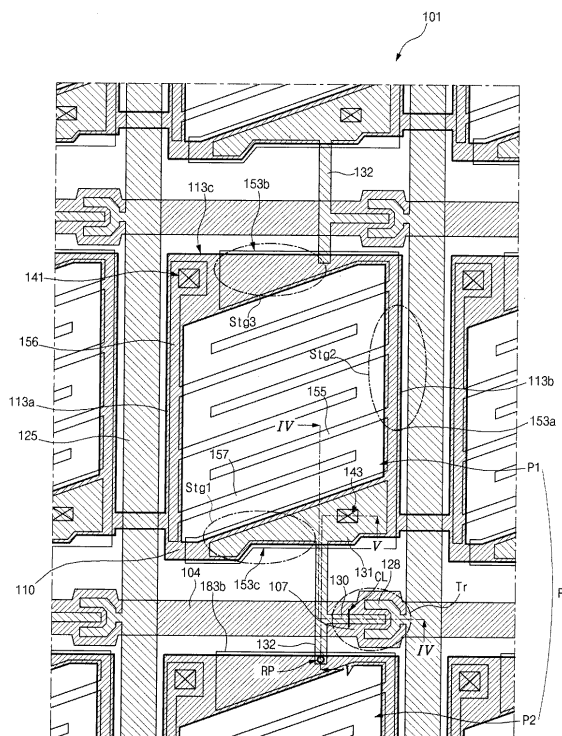
【図 1】



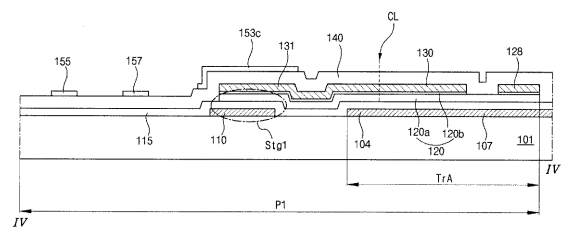
【図 2】



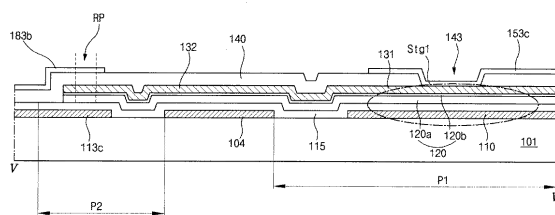
【図 3】



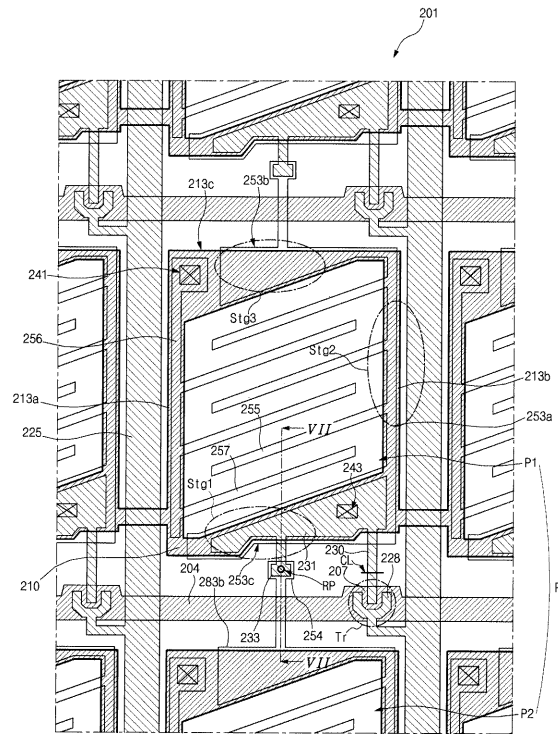
【図 4】



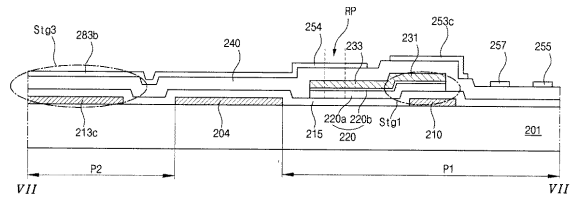
【図 5】



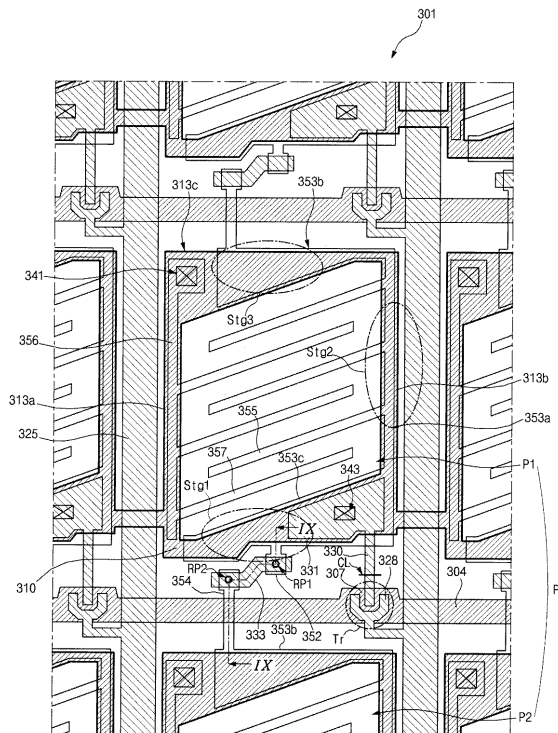
【図 6】



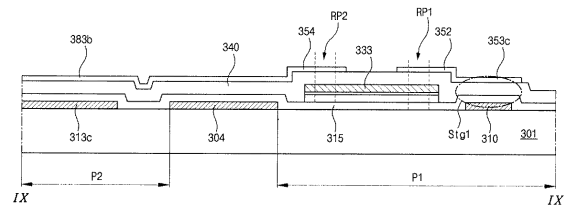
【図 7】



【図 8】



【図 9】



フロントページの続き

(74)代理人 100104352

弁理士 朝日 伸光

(74)代理人 100128657

弁理士 三山 勝巳

(72)発明者 チェ イルマン

大韓民国 702-0111 デグ プック サンギョク1ドン 993-14 15/3

(72)発明者 キム テヒュン

大韓民国 157-0101 ソウル カンソグ ファゴッドン 985-29 4/8

(72)発明者 イ ミンジ

大韓民国 701-0201 デグ トング シンチョンドン 556-1 シンチョンジュゴン
アパート 107/803

審査官 福田 知喜

(56)参考文献 特開2003-315827 (JP, A)

特開平01-297627 (JP, A)

特開平08-328035 (JP, A)

特開2002-090775 (JP, A)

特開2002-091342 (JP, A)

特開2002-278476 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1343

G02F 1/1368

G09F 9/30

专利名称(译)	用于横向电场型液晶显示装置的阵列基板		
公开(公告)号	JP5173313B2	公开(公告)日	2013-04-03
申请号	JP2007209563	申请日	2007-08-10
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji显示有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	チェイルマン キムテヒュン イミンジ		
发明人	チェ イルマン キム テヒュン イ ミンジ		
IPC分类号	G02F1/1343 G02F1/1368 G09F9/30		
CPC分类号	G02F1/136259 G02F1/134363		
FI分类号	G02F1/1343 G02F1/1368 G09F9/30.338		
F-TERM分类号	2H092/GA14 2H092/JA24 2H092/JA45 2H092/JA48 2H092/JB05 2H092/JB13 2H092/JB16 2H092/JB64 2H092/JB73 2H092/JB75 2H092/MA48 2H092/MA52 2H092/NA29 2H192/AA24 2H192/BB03 2H192/BB73 2H192/BB84 2H192/BC31 2H192/CB05 2H192/CB52 2H192/CC04 2H192/CC42 2H192/DA15 2H192/DA32 2H192/DA43 2H192/HA44 2H192/HB34 2H192/HB43 2H192/HB46 2H192/HB63 2H192/JA32 5C094/AA41 5C094/BA03 5C094/BA43 5C094/DB01		
代理人(译)	臼井伸一 朝日 伸光		
审查员(译)	福田 知喜		
优先权	1020060137829 2006-12-29 KR		
其他公开文献	JP2008165174A		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过允许修复图案在修复步骤中使用修复图案在修复图案下作为与缺陷像素相同的操作来提供用于面内切换模式液晶显示器的阵列基板，其显示出改善的显示质量。解决方案：用于面内切换模式液晶显示装置的阵列基板包括：形成在包括第一和第二像素区域的基板上的第一和第二栅极线；与第一栅极线平行且分开的公共线；数据线与第一和第二栅极线交叉，分别限定第一和第二像素区域；第一和第二薄膜晶体管分别连接到第一和第二栅极线和数据线，并分别放置在第一和第二像素区域中；修复图案从第一薄膜晶体管延伸到第二像素区域；第一像素图案放置在第二像素区域中，连接到第二薄膜晶体管并与修复图案重叠。 Z

