

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5140999号  
(P5140999)

(45) 発行日 平成25年2月13日(2013.2.13)

(24) 登録日 平成24年11月30日(2012.11.30)

|              |               |                  |      |        |   |
|--------------|---------------|------------------|------|--------|---|
| (51) Int.Cl. |               | F I              |      |        |   |
| <b>GO2F</b>  | <b>1/1345</b> | <b>(2006.01)</b> | GO2F | 1/1345 |   |
| <b>HO5K</b>  | <b>1/11</b>   | <b>(2006.01)</b> | HO5K | 1/11   | Z |
| <b>HO5K</b>  | <b>1/02</b>   | <b>(2006.01)</b> | HO5K | 1/02   | K |

請求項の数 12 (全 21 頁)

|           |                               |           |                      |
|-----------|-------------------------------|-----------|----------------------|
| (21) 出願番号 | 特願2006-315152 (P2006-315152)  | (73) 特許権者 | 000001443            |
| (22) 出願日  | 平成18年11月22日(2006.11.22)       |           | カシオ計算機株式会社           |
| (65) 公開番号 | 特開2008-129374 (P2008-129374A) |           | 東京都渋谷区本町1丁目6番2号      |
| (43) 公開日  | 平成20年6月5日(2008.6.5)           | (72) 発明者  | 石井 裕満                |
| 審査請求日     | 平成21年11月13日(2009.11.13)       |           | 東京都八王子市石川町2951番地の5   |
|           |                               |           | カシオ計算機株式会社八王子技術センター内 |
|           |                               | (72) 発明者  | 中村 やよい               |
|           |                               |           | 東京都八王子市石川町2951番地の5   |
|           |                               |           | カシオ計算機株式会社八王子技術センター内 |
|           |                               | 審査官       | 福田 知喜                |

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

基板上の表示領域に、マトリクス状に配置された複数の画素電極と、前記各画素電極に接続されたスイッチング用薄膜トランジスタと、前記各スイッチング用薄膜トランジスタに該各スイッチング用薄膜トランジスタを選択状態又は非選択状態とする走査信号を供給するための複数の走査ラインと、前記各スイッチング用薄膜トランジスタにデータ信号を供給するための複数のデータラインと、が設けられ、

前記基板上の前記表示領域の外側の走査ライン駆動用ドライバ搭載領域内に、前記走査ラインに接続された走査ライン用静電気保護兼テスト用スイッチング回路が設けられ、

前記走査ライン用静電気保護兼テスト用スイッチング回路は、ソース・ドレイン電極の一方が前記各走査ラインに接続された複数の走査ライン用静電気保護兼テスト用薄膜トランジスタと、前記各走査ライン用静電気保護兼テスト用薄膜トランジスタのゲート電極に接続された第1の走査ライン用テスト端子と、前記各走査ライン用静電気保護兼テスト用薄膜トランジスタの前記ソース・ドレイン電極の他方に接続された他の走査ライン用テスト端子とを有し、

前記第1の走査ライン用テスト端子及び前記他の走査ライン用テスト端子は前記走査ライン駆動用ドライバ搭載領域上に搭載される走査ライン駆動用ドライバの外部端子に接続され、

前記走査ライン駆動用ドライバ搭載領域上に前記走査ライン駆動用ドライバが搭載され、前記表示領域に画像表示を行う実駆動中に、前記第1の走査ライン用テスト端子及び前

10

20

記他の走査ライン用テスト端子に、前記走査ライン駆動用ドライバから前記スイッチング用薄膜トランジスタを前記非選択状態とする前記走査信号と同電位の電圧が供給されることを特徴とする液晶表示装置。

【請求項 2】

請求項 1 に記載の発明において、

前記第 1 の走査ライン用テスト端子は、前記各走査ライン用静電気保護兼テスト用薄膜トランジスタの前記ゲート電極に、第 1 の走査ラインテスト用引き回し線を介して接続され、

前記他の走査ライン用テスト端子は、前記各走査ライン用静電気保護兼テスト用薄膜トランジスタの前記ソース・ドレイン電極の他方に、他の走査ラインテスト用引き回し線を介して接続されていることを特徴とする液晶表示装置。

10

【請求項 3】

請求項 2 に記載の発明において、

前記各走査ラインおよび前記走査ライン用静電気保護兼テスト用薄膜トランジスタの前記ソース・ドレイン電極の一方は、前記基板上の前記走査ライン駆動用ドライバ搭載領域内に設けられた走査用出力端子に接続されていることを特徴とする液晶表示装置。

【請求項 4】

請求項 2 に記載の発明において、

前記他の走査ラインテスト用引き回し線は第 2、第 3 の走査ラインテスト用引き回し線からなり、前記他の走査ライン用テスト端子は第 2、第 3 の走査ライン用テスト端子からなり、

20

前記各走査ラインのうち一方側から数えて奇数番目の走査ラインはそれに対応する前記走査ライン用静電気保護兼テスト用薄膜トランジスタおよび前記第 2 の走査ラインテスト用引き回し線を介して前記第 2 の走査ライン用テスト端子に接続され、

前記各走査ラインのうち一方側から数えて偶数番目の走査ラインはそれに対応する前記走査ライン用静電気保護兼テスト用薄膜トランジスタおよび前記第 3 の走査ラインテスト用引き回し線を介して前記第 2 の走査ライン用テスト端子に接続されていることを特徴とする液晶表示装置。

【請求項 5】

請求項 4 に記載の発明において、

前記第 2、第 3 の走査ラインテスト用引き回し線は同一の層上に互いに交差しないように配置されていることを特徴とする液晶表示装置。

30

【請求項 6】

請求項 3 に記載の発明において、

すべての前記走査ライン用静電気保護兼テスト用薄膜トランジスタの前記ソース・ドレイン電極の他方は 1 つの前記走査ラインテスト用引き回し線を介して 1 つの前記走査ライン用テスト端子に接続されていることを特徴とする液晶表示装置。

【請求項 7】

請求項 1 に記載の発明において、

前記基板上の前記表示領域の外側のデータライン駆動用ドライバ搭載領域内に、前記データラインに接続されたデータライン用静電気保護兼テスト用スイッチング回路が設けられていることを特徴とする液晶表示装置。

40

【請求項 8】

基板上の表示領域に、マトリクス状に配置された複数の画素電極と、前記各画素電極に接続されたスイッチング用薄膜トランジスタと、前記各スイッチング用薄膜トランジスタに該各スイッチング用薄膜トランジスタを選択状態又は非選択状態とする走査信号を供給するための複数の走査ラインと、前記各スイッチング用薄膜トランジスタにデータ信号を供給するための複数のデータラインと、が設けられ、

前記基板上の前記表示領域の外側のデータライン駆動用ドライバ搭載領域内に、前記データラインに接続されたデータライン用静電気保護兼テスト用スイッチング回路が設けら

50

れ、

前記データライン用静電気保護兼テスト用スイッチング回路は、ソース・ドレイン電極の一方が前記各データラインに接続された複数のデータライン用静電気保護兼テスト用薄膜トランジスタと、前記各データライン用静電気保護兼テスト用薄膜トランジスタのゲート電極に接続された第1のデータライン用テスト端子と、前記各データライン用静電気保護兼テスト用薄膜トランジスタの前記ソース・ドレイン電極の他方に接続された他のデータライン用テスト端子とを有し、

前記第1のデータライン用テスト端子及び前記他のデータライン用テスト端子は前記データライン駆動用ドライバ搭載領域上に搭載されるデータライン駆動用ドライバの外部端子に接続され、

前記データライン駆動用ドライバ搭載領域上に前記データライン駆動用ドライバが搭載され、前記表示領域に画像表示を行う実駆動中に、前記第1のデータライン用テスト端子及び前記他のデータライン用テスト端子に、前記データライン駆動用ドライバから前記スイッチング用薄膜トランジスタを前記非選択状態とする前記走査信号と同電位の電圧が供給されることを特徴とする液晶表示装置。

【請求項9】

請求項8に記載の発明において、

前記第1のデータライン用テスト端子は、前記各データライン用静電気保護兼テスト用薄膜トランジスタの前記ゲート電極に第1のデータラインテスト用引き回し線を介して接続され、

前記他のデータライン用テスト端子は、前記各データライン用静電気保護兼テスト用薄膜トランジスタの前記ソース・ドレイン電極の他方に他のデータラインテスト用引き回し線を介して接続されていることを特徴とする液晶表示装置。

【請求項10】

請求項9に記載の発明において、

前記各データラインおよび前記データライン用静電気保護兼テスト用薄膜トランジスタの一方の前記ソース・ドレイン電極の一方は、前記基板上的前記データライン駆動用ドライバ搭載領域内に設けられたデータ用出力端子に接続されていることを特徴とする液晶表示装置。

【請求項11】

請求項9に記載の発明において、

前記他のデータラインテスト用引き回し線は第2～第4のデータラインテスト用引き回し線からなり、前記他のデータライン用テスト端子は第2～第4のデータライン用テスト端子からなり、

前記各データラインのうち第1の色表示用のデータラインはそれに対応する前記データライン用静電気保護兼テスト用薄膜トランジスタおよび前記第2のデータラインテスト用引き回し線を介して前記第2のデータライン用テスト端子に接続され、

前記各データラインのうち第2の色表示用のデータラインはそれに対応する前記データライン用静電気保護兼テスト用薄膜トランジスタおよび前記第3のデータラインテスト用引き回し線を介して前記第3のデータライン用テスト端子に接続され、

前記各データラインのうち第3の色表示用のデータラインはそれに対応する前記データライン用静電気保護兼テスト用薄膜トランジスタおよび前記第4のデータラインテスト用引き回し線を介して前記第4のデータライン用テスト端子に接続されていることを特徴とする液晶表示装置。

【請求項12】

請求項9に記載の発明において、

すべての前記データライン用静電気保護兼テスト用薄膜トランジスタの前記ソース・ドレイン電極の他方は1つの前記データラインテスト用引き回し線を介して1つの前記データライン用テスト端子に接続されていることを特徴とする液晶表示装置。

【発明の詳細な説明】

10

20

30

40

50

## 【技術分野】

## 【0001】

この発明は液晶表示装置に関する。

## 【背景技術】

## 【0002】

従来のアクティブマトリクス型の液晶表示装置には、スイッチング用薄膜トランジスタの静電気に起因する特性シフトや絶縁破壊等の不良を防止するために、マトリクス状に設けられた複数の走査ラインと複数のデータラインとの各交点近傍に画素電極および該画素電極に接続されたスイッチング用薄膜トランジスタが設けられた表示領域の外側に、走査ライン用静電気保護ラインおよび該走査ライン用静電気保護ラインと各走査ラインとの間に設けられた走査ライン用静電気保護用薄膜トランジスタと、データライン用静電気保護ラインおよび該データライン用静電気保護ラインと各データラインとの間に設けられたデータライン用静電気保護用薄膜トランジスタとを設けたものがある（例えば、特許文献1参照）。

10

## 【0003】

【特許文献1】特開2005-93459号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0004】

しかしながら、上記従来の液晶表示装置では、表示領域の外側に走査ライン用静電気保護ラインおよび走査ライン用静電気保護用薄膜トランジスタとデータライン用静電気保護ラインおよびデータライン用静電気保護用薄膜トランジスタとを設けているので、これらの配置領域を確保するため、額縁面積が大きくなってしまおうという問題があった。

20

## 【0005】

また、従来のこのような液晶表示装置において、線欠陥等の検査を行なう場合には、表示領域の外側で走査ライン用静電気保護用薄膜トランジスタおよびデータライン用静電気保護用薄膜トランジスタの各配置領域の反対側にテスト端子を設けることが考えられる。その場合、走査ラインおよびデータラインを選択的に駆動するには、テスト端子と各走査ラインおよび各データラインとの間に走査ライン用テスト用薄膜トランジスタおよびデータライン用テスト用薄膜トランジスタを配置する必要がある、これらの配置領域を確保するため、額縁面積がより一層大きくなってしまおうという問題がある。

30

## 【0006】

そこで、この発明は、額縁面積を小さくすることができる液晶表示装置を提供することを目的とする。

## 【課題を解決するための手段】

## 【0007】

請求項1に記載の発明は、基板上の表示領域に、マトリクス状に配置された複数の画素電極と、前記各画素電極に接続されたスイッチング用薄膜トランジスタと、前記各スイッチング用薄膜トランジスタに該各スイッチング用薄膜トランジスタを選択状態又は非選択状態とする走査信号を供給するための複数の走査ラインと、前記各スイッチング用薄膜トランジスタにデータ信号を供給するための複数のデータラインと、が設けられ、前記基板の上の前記表示領域の外側の走査ライン駆動用ドライバ搭載領域内に、前記走査ラインに接続された走査ライン用静電気保護兼テスト用スイッチング回路が設けられ、前記走査ライン用静電気保護兼テスト用スイッチング回路は、ソース・ドレイン電極の一方が前記各走査ラインに接続された複数の走査ライン用静電気保護兼テスト用薄膜トランジスタと、前記各走査ライン用静電気保護兼テスト用薄膜トランジスタのゲート電極に接続された第1の走査ライン用テスト端子と、前記各走査ライン用静電気保護兼テスト用薄膜トランジスタの前記ソース・ドレイン電極の他方に接続された他の走査ライン用テスト端子とを有し、前記第1の走査ライン用テスト端子及び前記他の走査ライン用テスト端子は前記走査ライン駆動用ドライバ搭載領域上に搭載される走査ライン駆動用ドライバの外部端子に接続

40

50

され、前記走査ライン駆動用ドライバ搭載領域上に前記走査ライン駆動用ドライバが搭載され、前記表示領域に画像表示を行う実駆動中に、前記第1の走査ライン用テスト端子及び前記他の走査ライン用テスト端子に、前記走査ライン駆動用ドライバから前記スイッチング用薄膜トランジスタを前記非選択状態とする前記走査信号と同電位の電圧が供給されることを特徴とするものである。

請求項2に記載の発明は、請求項1に記載の発明において、前記第1の走査ライン用テスト端子は、前記各走査ライン用静電気保護兼テスト用薄膜トランジスタの前記ゲート電極に、第1の走査ラインテスト用引き回し線を介して接続され、前記他の走査ライン用テスト端子は、前記各走査ライン用静電気保護兼テスト用薄膜トランジスタの前記ソース・ドレイン電極の他方に、他の走査ラインテスト用引き回し線を介して接続されていること 10

請求項3に記載の発明は、請求項2に記載の発明において、前記各走査ラインおよび前記走査ライン用静電気保護兼テスト用薄膜トランジスタの前記ソース・ドレイン電極の一方は、前記基板上的前記走査ライン駆動用ドライバ搭載領域内に設けられた走査用出力端子に接続されていることを特徴とするものである。

請求項4に記載の発明は、請求項2に記載の発明において、前記他の走査ラインテスト用引き回し線は第2、第3の走査ラインテスト用引き回し線からなり、前記他の走査ライン用テスト端子は第2、第3の走査ライン用テスト端子からなり、前記各走査ラインのうち一方側から数えて奇数番目の走査ラインはそれに対応する前記走査ライン用静電気保護兼テスト用薄膜トランジスタおよび前記第2の走査ラインテスト用引き回し線を介して前記第2の走査ライン用テスト端子に接続され、前記各走査ラインのうち一方側から数えて偶数番目の走査ラインはそれに対応する前記走査ライン用静電気保護兼テスト用薄膜トランジスタおよび前記第3の走査ラインテスト用引き回し線を介して前記第2の走査ライン用テスト端子に接続されていることを特徴とするものである。 20

請求項5に記載の発明は、請求項4に記載の発明において、前記第2、第3の走査ラインテスト用引き回し線は同一の層上に互いに交差しないように配置されていることを特徴とするものである。

請求項6に記載の発明は、請求項3に記載の発明において、すべての前記走査ライン用静電気保護兼テスト用薄膜トランジスタの前記ソース・ドレイン電極の他方は1つの前記走査ラインテスト用引き回し線を介して1つの前記走査ライン用テスト端子に接続されていることを特徴とするものである。 30

請求項7に記載の発明は、請求項1に記載の発明において、前記基板上的前記表示領域の外側のデータライン駆動用ドライバ搭載領域内に、前記データラインに接続されたデータライン用静電気保護兼テスト用スイッチング回路が設けられていることを特徴とするものである。

請求項8に記載の発明は、基板上的表示領域に、マトリクス状に配置された複数の画素電極と、前記各画素電極に接続されたスイッチング用薄膜トランジスタと、前記各スイッチング用薄膜トランジスタに該各スイッチング用薄膜トランジスタを選択状態又は非選択状態とする走査信号を供給するための複数の走査ラインと、前記各スイッチング用薄膜トランジスタにデータ信号を供給するための複数のデータラインと、 40  
が設けられ、前記基板上的前記表示領域の外側のデータライン駆動用ドライバ搭載領域内に、前記データラインに接続されたデータライン用静電気保護兼テスト用スイッチング回路が設けられ、前記データライン用静電気保護兼テスト用スイッチング回路は、ソース・ドレイン電極の一方が前記各データラインに接続された複数のデータライン用静電気保護兼テスト用薄膜トランジスタと、前記各データライン用静電気保護兼テスト用薄膜トランジスタのゲート電極に接続された第1のデータライン用テスト端子と、前記各データライン用静電気保護兼テスト用薄膜トランジスタの前記ソース・ドレイン電極の他方に接続された他のデータライン用テスト端子とを有し、前記第1のデータライン用テスト端子及び前記他のデータライン用テスト端子は前記データライン駆動用ドライバ搭載領域上に搭載されるデータライン駆動用ドライバの外部端子に接続され、前記データライン駆動用ドライバ搭載領域上に前記 50

データライン駆動用ドライバが搭載され、前記表示領域に画像表示を行う実駆動中に、前記第1のデータライン用テスト端子及び前記他のデータライン用テスト端子に、前記データライン駆動用ドライバから前記スイッチング用薄膜トランジスタを前記非選択状態とする前記走査信号と同電位の電圧が供給されることを特徴とするものである。

請求項9に記載の発明は、請求項8に記載の発明において、前記第1のデータライン用テスト端子は、前記各データライン用静電気保護兼テスト用薄膜トランジスタの前記ゲート電極に第1のデータラインテスト用引き回し線を介して接続され、前記他のデータライン用テスト端子は、前記各データライン用静電気保護兼テスト用薄膜トランジスタの前記ソース・ドレイン電極の他方に他のデータラインテスト用引き回し線を介して接続されていることを特徴とするものである。

10

請求項10に記載の発明は、請求項9に記載の発明において、前記各データラインおよび前記データライン用静電気保護兼テスト用薄膜トランジスタの一方の前記ソース・ドレイン電極の一方は、前記基板上的前記データライン駆動用ドライバ搭載領域内に設けられたデータ用出力端子に接続されていることを特徴とするものである。

請求項11に記載の発明は、請求項9に記載の発明において、前記他のデータラインテスト用引き回し線は第2～第4のデータラインテスト用引き回し線からなり、前記他のデータライン用テスト端子は第2～第4のデータライン用テスト端子からなり、前記各データラインのうち第1の色表示用のデータラインはそれに対応する前記データライン用静電気保護兼テスト用薄膜トランジスタおよび前記第2のデータラインテスト用引き回し線を介して前記第2のデータライン用テスト端子に接続され、前記各データラインのうち第2の色表示用のデータラインはそれに対応する前記データライン用静電気保護兼テスト用薄膜トランジスタおよび前記第3のデータラインテスト用引き回し線を介して前記第3のデータライン用テスト端子に接続され、前記各データラインのうち第3の色表示用のデータラインはそれに対応する前記データライン用静電気保護兼テスト用薄膜トランジスタおよび前記第4のデータラインテスト用引き回し線を介して前記第4のデータライン用テスト端子に接続されていることを特徴とするものである。

20

請求項12に記載の発明は、請求項9に記載の発明において、すべての前記データライン用静電気保護兼テスト用薄膜トランジスタの前記ソース・ドレイン電極の他方は1つの前記データラインテスト用引き回し線を介して1つの前記データライン用テスト端子に接続されていることを特徴とするものである。

30

【発明の効果】

【0008】

請求項1に記載の発明によれば、基板上的表示領域の外側の走査ライン駆動用ドライバ搭載領域内に走査ライン用静電気保護兼テスト用スイッチング回路を設けているので、走査ライン用静電気保護兼テスト用スイッチング回路を配置するためのそれ専用の配置領域が不要となり、それに応じて額縁面積を小さくすることができる。

請求項8に記載の発明によれば、基板上的表示領域の外側のデータライン駆動用ドライバ搭載領域内にデータライン用静電気保護兼テスト用スイッチング回路を設けているので、データライン用静電気保護兼テスト用スイッチング回路を配置するためのそれ専用の配置領域が不要となり、それに応じて額縁面積を小さくすることができる。

40

【発明を実施するための最良の形態】

【0009】

(第1実施形態)

図1はこの発明の第1実施形態としての液晶表示装置の要部の等価回路的平面図を示す。この液晶表示装置は、アクティブ基板1と該アクティブ基板1の上方に位置する対向基板2とがほぼ方形棒状のシール材(図示せず)を介して貼り合わされ、シール材の内側における両基板1、2間に液晶(図示せず)が封入されたものからなっている。この場合、アクティブ基板1の下辺部は対向基板2から突出されている。以下、この突出された部分を突出部1aという。また、図1において一点鎖線で囲まれた方形状の領域は表示領域3となっている。

50

## 【 0 0 1 0 】

アクティブ基板 1 上の表示領域 3 には、マトリックス状に配置された複数の赤、緑、青の各色表示用の画素電極 4 R、4 G、4 B と、各画素電極 4 R、4 G、4 B に接続された一方のソース・ドレイン電極を有するスイッチング用薄膜トランジスタ 5 と、行方向に延ばされ、各スイッチング用薄膜トランジスタ 5 のゲート電極に走査信号を供給するための走査ライン 6 と、各スイッチング用薄膜トランジスタ 5 の他方のソース・ドレイン電極にデータ信号を供給するためのデータライン 7 とが設けられている。

## 【 0 0 1 1 】

ここで、図 1 において、画素電極 4 R、4 G、4 B は僅かに 4 個 × 6 個だけ図示しているのは図面の明確化のためであり、実際には数百個 × 数百個もしくはそれ以上の個数が配列されている。この場合、赤色表示用の画素電極 4 R は第  $(1 + 3n)$  列 ( $n$  は 0 を含む正の整数) に配置され、緑色表示用の画素電極 4 G は第  $(2 + 3n)$  列に配置され、青色表示用の画素電極 4 B は第  $(3 + 3n)$  列に配置されている。

10

## 【 0 0 1 2 】

走査ライン 6 の右端部は、表示領域 3 の右側および下側に設けられた走査用引き回し線 8 を介して、アクティブ基板 1 の突出部 1 a 上の右側の点線で示す走査ライン駆動用ドライバ搭載領域 9 内の上側に設けられた走査用出力端子 1 0 に接続されている。データライン 7 の下端部は、表示領域 3 の下側に設けられたデータ用引き回し線 1 1 を介して、アクティブ基板 1 の突出部 1 a 上の左側の点線で示すデータライン駆動用ドライバ搭載領域 1 2 内の上側に設けられたデータ用出力端子 1 3 に接続されている。

20

## 【 0 0 1 3 】

走査ライン駆動用ドライバ搭載領域 9 内には走査ライン用静電気保護兼テスト用スイッチング回路 1 4 が設けられている。すなわち、走査ライン駆動用ドライバ搭載領域 9 内の左側には第 1 ~ 第 3 の走査ライン用テスト端子 1 5 ~ 1 7 が設けられている。走査ライン駆動用ドライバ搭載領域 9 内において各走査用出力端子 1 0 の下側には走査ライン用静電気保護兼テスト用薄膜トランジスタ 1 8 が設けられている。走査ライン用静電気保護兼テスト用薄膜トランジスタ 1 8 の一方のソース・ドレイン電極はその上側の走査用出力端子 1 0 に接続されている。走査ライン用静電気保護兼テスト用薄膜トランジスタ 1 8 のゲート電極は第 1 の走査ラインテスト用引き回し線 1 9 を介して第 1 の走査ライン用テスト端子 1 5 に接続されている。

30

## 【 0 0 1 4 】

図 1 において左側から数えて奇数番目の走査ライン用静電気保護兼テスト用薄膜トランジスタ 1 8 の他方のソース・ドレイン電極は第 2 の走査ラインテスト用引き回し線 2 0 を介して第 2 の走査ライン用テスト端子 1 6 に接続されている。左側から数えて偶数番目の走査ライン用静電気保護兼テスト用薄膜トランジスタ 1 8 の他方のソース・ドレイン電極は第 3 の走査ラインテスト用引き回し線 2 1 を介して第 3 の走査ライン用テスト端子 1 7 に接続されている。

## 【 0 0 1 5 】

データライン駆動用ドライバ搭載領域 1 2 内にはデータライン用静電気保護兼テスト用スイッチング回路 2 2 が設けられている。すなわち、データライン駆動用ドライバ搭載領域 1 2 内の左側には第 1 ~ 第 4 のデータライン用テスト端子 2 3 ~ 2 6 が設けられている。データライン駆動用ドライバ搭載領域 1 2 内において各データ用出力端子 1 3 の下側にはデータライン用静電気保護兼テスト用薄膜トランジスタ 2 7 が設けられている。データライン用静電気保護兼テスト用薄膜トランジスタ 2 7 の一方のソース・ドレイン電極はその上側のデータ用出力端子 1 3 に接続されている。データライン用静電気保護兼テスト用薄膜トランジスタ 2 7 のゲート電極は第 1 のデータラインテスト用引き回し線 2 8 を介して第 1 のデータライン用テスト端子 2 3 に接続されている。

40

## 【 0 0 1 6 】

図 1 において左側から数えて  $(1 + 3n)$  番目のデータライン用静電気保護兼テスト用薄膜トランジスタ 2 7 の他方のソース・ドレイン電極は第 2 のデータラインテスト用引き

50

回し線 29 を介して第 2 のデータライン用テスト端子 24 に接続されている。左側から数えて  $(2 + 3n)$  番目のデータライン用静電気保護兼テスト用薄膜トランジスタ 27 の他方のソース・ドレイン電極は第 3 のデータラインテスト用引き回し線 30 を介して第 3 のデータライン用テスト端子 25 に接続されている。左側から数えて  $(3 + 3n)$  番目のデータライン用静電気保護兼テスト用薄膜トランジスタ 27 の他方のソース・ドレイン電極は第 4 のデータラインテスト用引き回し線 31 を介して第 4 のデータライン用テスト端子 26 に接続されている。

【0017】

走査ライン駆動用ドライバ搭載領域 9 内の下側には走査用入力端子 32 が設けられている。走査用入力端子 32 は、その下側に設けられた走査用引き回し線 33 を介して、その下側に設けられた走査用外部接続端子 34 に接続されている。データライン駆動用ドライバ搭載領域 12 内の下側にはデータ用入力端子 35 が設けられている。データ用入力端子 35 は、その下側に設けられたデータ用引き回し線 36 を介して、その下側に設けられたデータ用外部接続端子 37 に接続されている。

10

【0018】

なお、図面の明確化のために、図示は省略しているが、走査ライン駆動用ドライバ搭載領域 9 上には走査ライン駆動回路部を内蔵する走査ライン駆動用ドライバ(チップ)が搭載され、走査ライン駆動用ドライバの外部電極は走査用出力端子 10、第 1 ~ 第 3 の走査ライン用テスト端子 15 ~ 17 および走査用入力端子 32 に COG (Chip On Glass) 法によりボンディングされている。ボンディング方法は半田付けによる方法でもよいし、異方性導電接着材による方法でもよい。

20

【0019】

また、データライン駆動用ドライバ搭載領域 12 上にはデータライン駆動回路部を内蔵するデータライン駆動用ドライバが搭載され、データライン駆動用ドライバの外部電極はデータ用出力端子 13、第 1 ~ 第 4 のデータライン用テスト端子 23 ~ 26 およびデータ用入力端子 35 に COG 法によりボンディングされている。この場合も、ボンディング方法は半田付けによる方法でもよいし、異方性導電接着材による方法でもよい。

【0020】

次に、この液晶表示装置の一部の具体的な構造について説明する。まず、図 2 は図 1 に示すスイッチング用薄膜トランジスタ 5 および画素電極 4 (4R、4G、4B) の部分の断面図を示す。ガラス等からなるアクティブ基板 1 の上面の所定の箇所にはクロム等からなるゲート電極 41、該ゲート電極 41 に接続された走査ライン 6 および該走査ライン 6 に接続された走査用引き回し線 8 (図 1 参照) が設けられている。

30

【0021】

ゲート電極 41 および走査ライン 6 等を含むアクティブ基板 1 の上面には窒化シリコンからなるゲート絶縁膜 42 が設けられている。ゲート電極 41 上におけるゲート絶縁膜 42 の上面の所定の箇所には真性アモルファスシリコンからなる半導体薄膜 43 が設けられている。半導体薄膜 43 の上面ほぼ中央部には窒化シリコンからなるチャネル保護膜 44 が設けられている。

【0022】

40

チャネル保護膜 44 の上面両側およびその両側における半導体薄膜 43 の上面には n 型アモルファスシリコンからなるオーミックコンタクト層 45、46 が設けられている。一方のオーミックコンタクト層 45 の上面およびその近傍のゲート絶縁膜 42 の上面の所定の箇所にはクロム等からなる一方のソース・ドレイン電極 47 が設けられている。他方のオーミックコンタクト層 46 の上面およびゲート絶縁膜 42 の上面の所定の箇所にはクロム等からなる他方のソース・ドレイン電極 48、該他方のソース・ドレイン電極 48 に接続されたデータライン 7 および該データライン 7 に接続されたデータ用引き回し線 11 (図 1 参照) が設けられている。

【0023】

ここで、スイッチング用薄膜トランジスタ 5 は、ゲート電極 41、ゲート絶縁膜 42、

50

半導体薄膜 43、チャネル保護膜 44、オーミックコンタクト層 45、46 およびソース・ドレイン電極 47、48 により構成されている。

【0024】

スイッチング用薄膜トランジスタ 5 およびデータライン 7 等を含むゲート絶縁膜 42 の上面には窒化シリコンからなるオーバーコート膜 49 が設けられている。オーバーコート膜 49 の上面の所定の箇所にはITO等の透明導電材料からなる画素電極 4 が設けられている。画素電極 4 は、オーバーコート膜 49 の所定の箇所に設けられたコンタクトホール 50 を介して一方のソース・ドレイン電極 47 に接続されている。

【0025】

次に、図 3 は図 1 に示す走査ライン駆動用ドライバ搭載領域 9 内の左側から数えて奇数番目の走査用出力端子 10 およびそれに接続された走査ライン用静電気保護兼テスト用薄膜トランジスタ 18 等の部分の断面図を示す。走査ライン用静電気保護兼テスト用薄膜トランジスタ 18 は、図 2 に示すスイッチング用薄膜トランジスタ 5 とほぼ同じ構造であり、ゲート電極 41、ゲート絶縁膜 42、半導体薄膜 43、チャネル保護膜 44、オーミックコンタクト層 45、46 およびソース・ドレイン電極 47、48 からなっている。

10

【0026】

走査用出力端子 10 は、アクティブ基板 1 の上面に設けられたクロム等からなる下層金属層 10a と、ゲート絶縁膜 42 に設けられたコンタクトホール 51 を介して露出された下層金属層 10a の上面およびその周囲におけるゲート絶縁膜 42 の上面に設けられたクロム等からなる上層金属層 10b との 2 層構造となっており、オーバーコート膜 49 に設けられた開口部 52 を介して露出されている。

20

【0027】

第 1 の走査ライン用テスト端子 15 は、アクティブ基板 1 の上面に設けられたクロム等の金属層からなり、ゲート絶縁膜 42 およびオーバーコート膜 49 に設けられた開口部 53、54 を介して露出されている。第 2 の走査ライン用テスト端子 16 は、アクティブ基板 1 の上面に設けられたクロム等の金属層からなり、ゲート絶縁膜 42 およびオーバーコート膜 49 に設けられた開口部 55、56 を介して露出されている。

【0028】

第 2 の走査ラインテスト用引き回し線 20 は、アクティブ基板 1 の上面に設けられたクロム等からなる下層引き回し線 20a (図 1 において行方向に延びる線) と、ゲート絶縁膜 42 の上面に設けられたクロム等からなる上層引き回し線 20b (図 1 において列方向に延びる線) とからなり、上層引き回し線 20b の一端部はゲート絶縁膜 42 に設けられたコンタクトホール 57 を介して下層引き回し線 20a に接続されている。

30

【0029】

そして、走査用出力端子 10 の下層金属層 10b は、アクティブ基板 1 の上面に設けられたクロム等からなる走査用引き回し線 8 に接続されている。走査ライン用静電気保護兼テスト用薄膜トランジスタ 18 のゲート電極 41 は、アクティブ基板 1 の上面に設けられたクロム等からなる第 1 の走査ラインテスト用引き回し線 19 を介して第 1 の走査ライン用テスト端子 15 に接続され、一方のソース・ドレイン電極 47 は走査用出力端子 10 の上層金属層 10b に接続され、他方のソース・ドレイン電極 48 は上層引き回し線 20b および下層引き回し線 20a からなる第 2 の走査ラインテスト用引き回し線 20 を介して第 2 の走査ライン用テスト端子 16 に接続されている。

40

【0030】

次に、図 4 は図 1 に示す走査ライン駆動用ドライバ搭載領域 9 内の左側から数えて偶数番目の走査用出力端子 10 およびそれに接続された走査ライン用静電気保護兼テスト用薄膜トランジスタ 18 等の部分の断面図を示す。図 4 において、図 3 に示す場合と異なる点についてのみ説明すると、第 3 の走査ライン用テスト端子 17 は、ゲート絶縁膜 42 の上面に設けられたクロム等の金属層からなっている。そして、走査ライン用静電気保護兼テスト用薄膜トランジスタ 18 の他方のソース・ドレイン電極 48 は、ゲート絶縁膜 42 の上面に設けられたクロム等からなる第 3 の走査ラインテスト用引き回し線 21 を介して第

50

3の走査ライン用テスト端子17に接続されている。

【0031】

この場合、第3の走査ラインテスト用引き回し線21は、図1において行方向に延びる部分21aも列方向に延びる部分21bも、ゲート絶縁膜42の直上に形成されており、この中、列方向に延びる部分21bは第2の走査ラインテスト用引き回し線20のうち図1において行方向に延びる部分(下層引き回し線20a)と交差するが、その間にゲート絶縁膜42が介在されているため、ショートすることはない。

【0032】

次に、図5は図1に示すデータライン駆動用ドライバ搭載領域12内の左側から数えて(1+3n)番目のデータ用出力端子13およびそれに接続されたデータライン用静電気保護兼テスト用薄膜トランジスタ27等の部分の断面図を示す。データライン用静電気保護兼テスト用薄膜トランジスタ27は、図2に示すスイッチング用薄膜トランジスタ5とほぼ同じ構造であり、ゲート電極41、ゲート絶縁膜42、半導体薄膜43、チャネル保護膜44、オーミックコンタクト層45、46およびソース・ドレイン電極47、48からなっている。

10

【0033】

データ用出力端子13は、ゲート絶縁膜42の上面に設けられたクロム等の金属層からなり、オーバーコート膜49に設けられた開口部61を介して露出されている。第1のデータライン用テスト端子23は、アクティブ基板1の上面に設けられたクロム等の金属層からなり、ゲート絶縁膜42およびオーバーコート膜49に設けられた開口部62、63を介して露出されている。第2のデータライン用テスト端子24は、アクティブ基板1の上面に設けられたクロム等の金属層からなり、ゲート絶縁膜42およびオーバーコート膜49に設けられた開口部64、65を介して露出されている。

20

【0034】

第2のデータラインテスト用引き回し線29は、アクティブ基板1の上面に設けられたクロム等からなる下層引き回し線29a(図1において行方向に延びる線)と、ゲート絶縁膜42の上面に設けられたクロム等からなる上層引き回し線29b(図1において列方向に延びる線)とからなり、上層引き回し線29bの一端部はゲート絶縁膜42に設けられたコンタクトホール66を介して下層引き回し線29aに接続されている。

【0035】

30

そして、データ用出力端子13は、アクティブ基板1の上面に設けられたクロム等からなるデータ用引き回し線11に接続されている。データライン用静電気保護兼テスト用薄膜トランジスタ27のゲート電極41は、アクティブ基板1の上面に設けられたクロム等からなる第1のデータラインテスト用引き回し線28を介して第1のデータライン用テスト端子23に接続され、一方のソース・ドレイン電極47はデータ用出力端子13に接続され、他方のソース・ドレイン電極48は上層引き回し線29bおよび下層引き回し線29aからなる第2のデータラインテスト用引き回し線29を介して第2のデータライン用テスト端子24に接続されている。

【0036】

次に、図6は図1に示すデータライン駆動用ドライバ搭載領域12内の左側から数えて(2+3n)番目のデータ用出力端子13およびそれに接続されたデータライン用静電気保護兼テスト用薄膜トランジスタ27等の部分の断面図を示す。図6において、図5に示す場合と異なる点についてのみ説明すると、第3のデータライン用テスト端子25は、アクティブ基板1の上面に設けられたクロム等の金属層からなり、ゲート絶縁膜42およびオーバーコート膜49に設けられた開口部67、68を介して露出されている。

40

【0037】

第3のデータラインテスト用引き回し線30は、アクティブ基板1の上面に設けられたクロム等からなる下層引き回し線30a(図1において行方向に延びる線)と、ゲート絶縁膜42の上面に設けられたクロム等からなる上層引き回し線30b(図1において列方向に延びる線)とからなり、上層引き回し線30bの一端部はゲート絶縁膜42に設けら

50

れたコンタクトホール 6 9 を介して下層引き回し線 3 0 a に接続されている。

【 0 0 3 8 】

そして、データライン用静電気保護兼テスト用薄膜トランジスタ 2 7 の他方のソース・ドレイン電極 4 8 は上層引き回し線 3 0 b および下層引き回し線 3 0 a からなる第 3 のデータラインテスト用引き回し線 3 0 を介して第 3 のデータライン用テスト端子 2 5 に接続されている。この場合、第 3 のデータラインテスト用引き回し線 3 0 のうち図 1 において列方向に延びる部分（上層引き回し線 3 0 b）は、第 2 のデータラインテスト用引き回し線 2 9 のうち図 1 において行方向に延びる部分（下層引き回し線 2 9 a）と交差するが、その間にゲート絶縁膜 4 2 が介在されているため、ショートすることはない。

【 0 0 3 9 】

次に、図 7 は図 1 に示すデータライン駆動用ドライバ搭載領域 1 2 内の左側から数えて（ $3 + 3n$ ）番目のデータ用出力端子 1 3 およびそれに接続されたデータライン用静電気保護兼テスト用薄膜トランジスタ 2 7 等の部分の断面図を示す。図 7 において、図 5 に示す場合と異なる点についてのみ説明すると、第 4 のデータライン用テスト端子 2 6 は、ゲート絶縁膜 4 2 の上面に設けられたクロム等の金属層からなり、オーバーコート膜 4 9 に設けられた開口部 7 0 を介して露出されている。第 4 のデータラインテスト用引き回し線 3 1 は、ゲート絶縁膜 4 2 の上面に設けられたクロム等の金属層からなっている。

【 0 0 4 0 】

そして、データライン用静電気保護兼テスト用薄膜トランジスタ 2 7 の他方のソース・ドレイン電極 4 8 は、第 4 のデータラインテスト用引き回し線 3 1 を介して第 4 のデータライン用テスト端子 2 6 に接続されている。この場合、第 4 のデータラインテスト用引き回し線 3 1 のうち図 1 において列方向に延びる部分 3 1 b は、第 2 のデータラインテスト用引き回し線 2 9 のうち図 1 において行方向に延びる部分（下層引き回し線 2 9 a）および第 3 のデータラインテスト用引き回し線 3 0 のうち図 1 において行方向に延びる部分（下層引き回し線 3 0 a）と交差するが、その間にゲート絶縁膜 4 2 が介在されているため、ショートすることはない。

【 0 0 4 1 】

次に、上記構成の液晶表示装置において、アクティブ基板 1 の製造工程中における静電気保護動作について説明する。この場合、スイッチング用薄膜トランジスタ 5 の静電気による不良は、正の静電気が侵入した場合のみであるため、静電気が正の場合について説明する。また、アクティブ基板 1 の製造工程中においては、第 1 の走査ライン用テスト端子 1 5 および第 1 のデータライン用テスト端子 2 3 にはテスト用プローブ（図示せず）が接触されていないため、走査ライン用静電気保護兼テスト用薄膜トランジスタ 1 8 およびデータライン用静電気保護兼テスト用薄膜トランジスタ 2 7 のゲート電極はフローティングゲートとなっている。

【 0 0 4 2 】

さて、図 1 において下側から数えて奇数番目の走査ライン  $6_{1+2n}$  のうちある 1 本の走査ライン  $6_1$  に外部から何らかの理由により正の静電気が侵入したとする。すると、当該走査ライン  $6_1$  に走査用引き回し線 8 および走査用出力端子 1 0 を介して接続された走査ライン用静電気保護兼テスト用薄膜トランジスタ 1 8 がオン状態となり、当該走査ライン  $6_1$  から電流がそれに接続された走査ライン用静電気保護兼テスト用薄膜トランジスタ 1 8 を介して第 2 の走査ラインテスト用引き回し線 2 0 に流れ、第 2 の走査ラインテスト用引き回し線 2 0 が高電位となる。

【 0 0 4 3 】

第 2 の走査ラインテスト用引き回し線 2 0 が高電位になると、図 1 において下側から数えて奇数番目の走査ライン  $6_{1+2n}$  のうち他のすべての走査ライン  $6_{1+2n}$  に接続された走査ライン用静電気保護兼テスト用薄膜トランジスタ 1 8 が導通状態となり、第 2 の走査ラインテスト用引き回し線 2 0 から電流が走査ライン用静電気保護兼テスト用薄膜トランジスタ 1 8 を介して他のすべての走査ライン  $6_{1+2n}$  に流れ、図 1 において下側から数えて奇数番目の走査ライン  $6_{1+2n}$  のすべてが同電位となる。これにより、奇数番目の走査ライン 6

10

20

30

40

50

$1+2n$  に接続された各スイッチング用薄膜トランジスタ 5 に印加される電荷が緩和され、各スイッチング用薄膜トランジスタ 5 および各絶縁膜の特性変動や破壊を防止することができる。

【 0 0 4 4 】

図 1 において下側から数えて偶数番目の走査ライン  $6_{2+2n}$  のうちある 1 本の走査ライン  $6_2$  に外部から何らかの理由により正の静電気が侵入した場合には、上記と同様の静電気保護動作により、第 3 の走査ラインテスト用引き回し線 2 1 が高電位になり、図 1 において下側から数えて偶数番目の走査ライン  $6_{2+2n}$  のすべてが同電位となる。これにより、奇数番目の走査ライン  $6_{2+2n}$  に接続された各スイッチング用薄膜トランジスタ 5 に印加される電荷が緩和される。かくして、走査ライン 6 に外部から何らかの理由により正の静電気が侵入しても、スイッチング用薄膜トランジスタ 5 および各絶縁膜の静電気に起因する特性変動や破壊等の不良が防止される。

10

【 0 0 4 5 】

一方、図 1 において左側から数えて  $(1+3n)$  番目の赤色表示用のデータライン  $7_{1+3n}$  のうちある 1 本のデータライン  $7_1$  に外部から何らかの理由により正の静電気が侵入したとする。すると、当該データライン  $7_1$  に接続されたデータライン用静電気保護兼テスト用薄膜トランジスタ 2 7 が導通状態となり、当該データライン  $7_1$  から電流がそれに接続されたデータライン用静電気保護兼テスト用薄膜トランジスタ 2 7 を介して第 2 のデータラインテスト用引き回し線 2 9 に流れ、第 2 のデータラインテスト用引き回し線 2 9 が高電位となる。

20

【 0 0 4 6 】

第 2 のデータラインテスト用引き回し線 2 9 が高電位になると、赤色表示用のデータライン 7 のうち他のすべてのデータライン  $7_{1+3n}$  に接続されたデータライン用静電気保護兼テスト用薄膜トランジスタ 2 7 が導通状態となり、第 2 のデータラインテスト用引き回し線 2 9 から電流がデータライン用静電気保護兼テスト用薄膜トランジスタ 2 7 を介して当該残りのデータライン  $7_{1+3n}$  に流れ、赤色表示用のデータライン  $7_{1+3n}$  のすべてが同電位となる。

【 0 0 4 7 】

図 1 において左側から数えて  $(2+3n)$  番目（または  $(3+3n)$  番目）の緑色表示用（または青色表示用）のデータライン  $7_{2+3n}$  ( $7_{3+3n}$ ) のうちある 1 本のデータライン  $7_2$  ( $7_3$ ) に外部から何らかの理由により正の静電気が侵入した場合には、上記と同様の静電気保護動作により、第 3 のデータラインテスト用引き回し線 3 0（または第 4 のデータラインテスト用引き回し線 3 1）が高電位になり、緑色表示用（または青色表示用）のデータライン 7 のすべてが同電位となる。かくして、データライン  $7_{2+3n}$  ( $7_{3+3n}$ ) に外部から何らかの理由により正の静電気が侵入しても、スイッチング用薄膜トランジスタ 5 および各絶縁膜の静電気に起因する特性変動や破壊等の不良が防止される。

30

【 0 0 4 8 】

次に、上記構成の液晶表示装置の点灯検査方法について説明する。まず、すべてのテスト端子 1 5 ~ 1 7、2 3 ~ 2 6 に検査装置に接続されたテスト用プローブ（図示せず）を接触させる。そして、第 1 に、例えば、第 2 の走査ライン用テスト端子 1 6 に駆動電圧を供給し、且つ、第 2 ~ 第 4 のデータライン用テスト端子 2 4 ~ 2 6 に駆動電圧を供給した状態において、第 1 の走査ライン用テスト端子 1 5 および第 1 のデータライン用テスト端子 2 3 にゲート電圧を供給すると、図 1 において、下側から数えて奇数番目の行の画素電極 4 R、4 G、4 B に対応する画素が点灯する。このとき、相隣接する走査ライン 6 間でショートが発生している場合には、このショートが発生している部分に対応する下側から数えて偶数番目の行の画素電極 4 R、4 G、4 B に対応する画素が点灯し、相隣接する走査ライン 6 間のショート不良が検出される。また、このとき、下側から数えて偶数番目のある行の画素電極 4 R、4 G、4 B の少なくとも一部が点灯しない場合には、これに対応する走査ライン 6 が断線していることになり、走査ライン 6 の断線不良が検出される。同様に、駆動電圧を第 2 の走査ライン用テスト端子 1 6 に供給せずに、第 2 の走査ライン用

40

50

テスト端子 17 に供給することにより、下側から数えて偶数番目の行が相隣接する走査ライン 6 とショートしているか否か、および下側から数えて偶数番目の行の走査ライン 6 が断線しているか否かを検出することができる。

【 0 0 4 9 】

第 2 に、例えば、第 1、第 2 の走査ライン用テスト端子 16、17 に駆動電圧を供給し、且つ、第 2 のデータライン用テスト端子 24 に駆動電圧を供給した状態において、第 1 の走査ライン用テスト端子 15 および第 1 のデータライン用テスト端子 23 にゲート電圧を供給すると、すべての赤色表示用の画素電極 4R に対応する画素が点灯する。このとき、相隣接するデータライン 7 間でショートが発生している場合には、このショートが発生している部分に対応する緑色表示用の画素電極 4G あるいは青色表示用の 4B に対応する画素が点灯し、相隣接するデータライン 7 間のショート不良が検出される。また、このとき、ある列の赤色表示用の画素電極 4R の少なくとも一部が点灯しない場合には、これに対応するデータライン  $7_{1+3n}$  が断線していることになり、データライン  $7_{1+3n}$  の断線不良が検出される。緑色表示用の画素電極 4G および青色表示用の画素電極 4B についても、駆動電圧を第 2 のデータライン用テスト端子 24 に供給せずに、第 2 のデータライン用テスト端子 25 または 26 に供給することにより、赤色表示用の画素電極 4R と同様に相隣接のデータライン間 7 のショートおよび当該表示色の表示用の画素電極 4 が接続されたデータライン  $7_{2+3n}$  または  $7_{3+3n}$  の断線不良を検出することができる。

【 0 0 5 0 】

ところで、この液晶表示装置では、図 1 に示すように、アクティブ基板 1 上の表示領域 3 の外側の突出部 1a 上の走査ライン駆動用ドライバ搭載領域 9 内に、走査ライン用静電気保護兼テスト用スイッチング回路 14、すなわち、走査ライン用静電気保護兼テスト用薄膜トランジスタ 18、第 1～第 3 の走査ラインテスト用引き回し線 19～21 および第 1～第 3 の走査ライン用テスト端子 15～17 を設けているので、これらを配置するためのそれ専用の配置領域が不要となり、それに応じて額縁面積を小さくすることができる。

【 0 0 5 1 】

また、この液晶表示装置では、図 1 に示すように、アクティブ基板上 1 の表示領域 3 の外側の突出部 1a 上のデータライン駆動用ドライバ搭載領域 12 内に、データライン用静電気保護兼テスト用スイッチング回路 22、すなわち、データライン用静電気保護兼テスト用薄膜トランジスタ 27、第 1～第 4 のデータラインテスト用引き回し線 28～31 および第 1～第 4 のデータライン用テスト端子 23～26 を設けているので、これらを配置するためのそれ専用の配置領域が不要となり、それに応じて額縁面積を小さくすることができる。

【 0 0 5 2 】

次に、この液晶表示装置において、走査ライン駆動用ドライバ搭載領域 9 上に走査ライン駆動用ドライバ（図示せず）を搭載し、データライン駆動用ドライバ搭載領域 12 上にデータライン駆動用ドライバ（図示せず）を、フェースダウン・ボンディング等適宜な方法により COG 実装し、実駆動を行なう場合の一部について説明する。この場合、走査ライン駆動用ドライバの外部電極は、半田、異方導電性材料、金属共晶等適宜な接続材料により、それぞれ、対応する走査用出力端子 10、第 1～第 3 の走査ライン用テスト端子 15～17 および走査用入力端子 32 に接続され、データライン駆動用ドライバの外部電極は、それぞれ、対応するデータ用出力端子 13、第 1～第 4 のデータライン用テスト端子 23～26 およびデータ用入力端子 35 に接続されている。

【 0 0 5 3 】

そして、非選択状態の走査ライン 6 に走査ライン駆動用ドライバから走査用出力端子 10 を介して電圧  $V_{g1}$ （例えば、 $V_{g1} = -20 \sim -15V$ ）が供給されている場合には、第 1 の走査ライン用テスト端子 15 にも走査ライン駆動用ドライバから電圧  $V_{g1}$  が供給され、すべての走査ライン用静電気保護兼テスト用薄膜トランジスタ 18 はオフ状態に保持されている。また、第 2、第 3 の走査ライン用テスト端子 16、17 にも走査ライン駆動用ドライバから電圧  $V_{g1}$  が供給され、走査ライン用静電気保護兼テスト用薄膜ト

10

20

30

40

50

ンジスタ 18 の他方のソース・ドレイン電極の電位は  $V_{g1}$  に保持されている。

【0054】

ところで、実駆動中では、スイッチング用薄膜トランジスタ 5 がオン状態となる時間はほんの一瞬であり、大部分の時間はオフ状態である。したがって、非選択状態の走査ライン 6 には大部分の時間電圧  $V_{g1}$  が供給されている。この結果、第 1 の走査ライン用テスト端子 15 を介して走査ライン用静電気保護兼テスト用薄膜トランジスタ 18 のゲート電極に供給される電圧  $V_{g1}$  は非選択状態の走査ライン 6 に供給される電圧  $V_{g1}$  と同じとなり、走査ライン用静電気保護兼テスト用薄膜トランジスタ 18 からのリーク電流を低減することができる。

【0055】

また、第 2、第 3 の走査ライン用テスト端子 16、17 を介して走査ライン用静電気保護兼テスト用薄膜トランジスタ 18 の他方のソース・ドレイン電極に供給される電圧  $V_{g1}$  は、非選択状態の走査ライン 6 に接続された走査出力端子 10 を介して走査ライン用静電気保護兼テスト用薄膜トランジスタ 18 の一方のソース・ドレイン電極に供給される電圧  $V_{g1}$  と同じであり、走査ライン用静電気保護兼テスト用薄膜トランジスタ 18 からのリーク電流を低減することができる。なお、第 2、第 3 の走査ライン用テスト端子 16、17 に供給される電圧は GND 電位またはそれ未満の負電位としてもよい。

【0056】

一方、第 1 のデータライン用テスト端子 23 にはデータライン駆動用ドライバから電圧  $V_{g1}$  が供給され、すべてのデータライン用静電気保護兼テスト用薄膜トランジスタ 27 はオフ状態に保持されている。また、第 2～第 4 のデータライン用テスト端子 24～26 にはデータライン駆動用ドライバからそのベース電圧 (LSI - GND とする) が供給され、第 2～第 4 のデータラインテスト用引き回し線 29～31 の電位は LSI - GND に保持されている。

【0057】

そして、すべてのデータライン用静電気保護兼テスト用薄膜トランジスタ 27 がオフ状態に保持されていると、データライン 7 同士は高抵抗で分離され、データライン 7 にデータ用出力端子 13 を介して供給されるデータ信号が干渉し合わないようにすることができ、またデータライン用静電気保護兼テスト用薄膜トランジスタ 27 からのリーク電流を低減することができる。

【0058】

ここで、図 5 および図 6 に示すように、第 2、第 3 のデータラインテスト用引き回し線 29、30 は上層引き回し線 29b、30b の一端部がコンタクトホール 66、69 を介して下層引き回し線 29a、30a に接続された構造であり、コンタクトホール 66、69 の部分がオーバーコート膜 49 によって覆われている。しかるに、コンタクトホール 66、69 の部分におけるオーバーコート膜 49 には欠陥が発生しやすい。

【0059】

一方、コンタクトホール 66、69 の部分におけるオーバーコート膜 49 上はデータライン駆動用ドライバによって覆われるので、コンタクトホール 66、69 の部分におけるオーバーコート膜 49 に欠陥があり、且つ、コンタクトホール 66、69 の部分における上層引き回し線 29b、30b とデータライン駆動用ドライバとの間に電位差があると、イオンの移動により、コンタクトホール 66、69 の部分における上層引き回し線 29b、30b が腐食する原因となる。

【0060】

これに対し、第 2～第 4 のデータライン用テスト端子 24～26 にはデータライン駆動用ドライバから電圧 LSI - GND が供給され、第 2～第 4 のデータラインテスト用引き回し線 29～31 の電位が LSI - GND に保持されていると、コンタクトホール 66、69 の部分における上層引き回し線 29b、30b とデータライン駆動用ドライバとの間に電位差が生じないので、コンタクトホール 66、69 の部分におけるオーバーコート膜 49 に欠陥があっても、上記のような引き回し線の腐食が発生しないようにすることがで

10

20

30

40

50

きる。

【 0 0 6 1 】

ところで、図 3 に示すように、第 2 の走査ライン用テスト端子 1 6 をアクティブ基板 1 の上面に設けると、第 2 の走査ラインテスト用引き回し線 2 0 は、アクティブ基板 1 の上面に設けられた下層引き回し線 2 0 a の一端部を、ゲート絶縁膜 4 2 に設けられたコンタクトホール 5 7 を介して、ゲート絶縁膜 4 2 の上面に設けられた下層引き回し線 2 0 a に接続させた構造とする必要がある。したがって、コンタクトホール 5 7 が必要となる。次に説明する第 2 実施形態は、コンタクトホール 5 7 を不要としたものである。

【 0 0 6 2 】

( 第 2 実施形態 )

図 8 はこの発明の第 2 実施形態としての液晶表示装置の走査ライン駆動用ドライバ搭載領域 9 の部分の等価回路的平面図を示し、図 9 は同第 2 実施形態としての液晶表示装置の図 3 同様の断面図を示す。この液晶表示装置では、まず、図 8 に示すように、第 2 の走査ライン用テスト端子 1 6 は第 1 の走査ライン用テスト端子 1 5 の上側に配置され、第 2 の走査ラインテスト用引き回し線 2 0 のうち行方向に延びる共通な部分は走査ライン駆動用ドライバ搭載領域 9 の上側に配置されている。

【 0 0 6 3 】

なお、図 8 において、走査ライン用静電気保護兼テスト用薄膜トランジスタ 1 8 は千鳥状に配置しているが、これは左側から数えて偶数番目の走査ライン用静電気保護兼テスト用薄膜トランジスタ 1 8 とその上側の第 2 の走査ラインテスト用引き回し線 2 0 の一部とを図面上明確にするためである。したがって、走査ライン用静電気保護兼テスト用薄膜トランジスタ 1 8 は、図 8 に示すように、千鳥状に配置してもよいが、図 1 に示すように、同一直線上に配置する方が好ましい。

【 0 0 6 4 】

次に、図 9 に示すように、第 2 の走査ライン用テスト端子 1 6 は、ゲート絶縁膜 4 2 の上面に設けられたクロム等の金属層からなり、オーバーコート膜 4 9 に設けられたコンタクトホール 5 6 を介して露出されている。そして、走査ライン用静電気保護兼テスト用薄膜トランジスタ 1 8 の他方のソース・ドレイン電極 1 9 は、ゲート絶縁膜 4 2 の上面に設けられたクロム等からなる第 2 の走査ラインテスト用引き回し線 2 0 を介して第 2 の走査ライン用テスト端子 1 6 に接続されている。したがって、図 3 に示すようなコンタクトホール 5 7 は不要となる。

【 0 0 6 5 】

なお、図 1 0 に示すように、第 2 の走査ライン用テスト端子 1 6 は第 1 の走査ライン用テスト端子 1 5 と第 3 の走査ライン用テスト端子 1 7 との間に配置し、第 2 の走査ラインテスト用引き回し線 2 0 は第 1 の走査ライン用テスト端子 1 5 の左側を通るように配置し、第 2 の走査ラインテスト用引き回し線 2 0 のうち行方向に延びる共通な部分は走査ライン駆動用ドライバ搭載領域 9 内において走査用出力端子 1 0 の上側に配置してもよい。

【 0 0 6 6 】

( その他の実施形態 )

図 1 では、走査ライン駆動用ドライバ搭載領域 9 において、走査ライン用静電気保護兼テスト用薄膜トランジスタ 1 8 を左側から数えて奇数番目と偶数番目とに分けているが、これは、上述の如く、相隣接する走査ライン 6 間のショート不良を検出することができるようにするためである。このようなショート検査を行なわない場合には、すべての走査ライン用静電気保護兼テスト用薄膜トランジスタ 1 8 の他方のソース・ドレイン電極を第 3 の走査ラインテスト用引き回し線 2 1 を介して第 3 の走査ライン用テスト端子 1 7 に接続し、第 2 の走査ラインテスト用引き回し線 2 0 および第 2 の走査ライン用テスト端子 1 6 を省略してもよい。

【 0 0 6 7 】

このようにした場合には、ある 1 本の走査ライン 6 に静電気が侵入したときの電荷分散先を残りのすべての走査ライン 6 とすることができるので、静電気耐性を向上することが

10

20

30

40

50

できる。また、図3に示すようなコンタクトホール57が不要となるので、このようなコンタクトホールに起因する引き回し線の腐食が発生しないようにすることができる。

【0068】

また、図1では、データライン駆動用ドライバ搭載領域12において、データラインテスト用薄膜トランジスタ18を赤、緑、青の各色表示用に分けているが、これは、上述の如く、赤、緑、青の各色別に検査することができるようにするためである。このような各色別の検査を行わない場合には、あるいは、1本のデータライン6にスイッチング用薄膜トランジスタ5を介して複数色の画素電極が接続されている場合には、すべてのデータライン用静電気保護兼テスト用薄膜トランジスタ27の他方のソース・ドレイン電極を第4のデータラインテスト用引き回し線31を介して第4のデータライン用テスト端子26に接続し、第2、第3のデータラインテスト用引き回し線29、30および第2、第3のデータライン用テスト端子23、24を省略してもよい。

10

【0069】

このようにした場合には、ある1本のデータライン7に静電気が侵入したときの電荷分散先を残りのすべてのデータライン6とすることができるので、静電気耐性を向上することができる。また、図5および図6に示すようなコンタクトホール66、69が不要となるので、このようなコンタクトホールに起因する引き回し線の腐食が発生しないようにすることができる。この場合、実駆動中において第4のデータライン用テスト端子26に供給する電圧は、LSI-GND電位のほかに、Vsig中心またはVcom中心の電位としてもよい。実駆動中において第4のデータライン用テスト端子26に供給する電圧をVsig中心またはVcom中心の電位とした場合には、データライン用静電気保護兼テスト用薄膜トランジスタ27の両ソース・ドレイン電極間の電位差が小さくなるので、リーク電流をより一層低減することができる。

20

【0070】

また、図1では、走査ライン駆動用ドライバ搭載領域9とデータライン駆動用ドライバ搭載領域12とを分離しているが、走査ライン駆動用ドライバとデータライン駆動用ドライバとを1チップ化したものが市販されており、このような1チップドライバを用いる場合には、走査ライン駆動用ドライバ搭載領域とデータライン駆動用ドライバ搭載領域は連続して形成してもよい。

【0071】

30

また、図1では、走査ライン駆動用ドライバ搭載領域9とデータライン駆動用ドライバ搭載領域12とをアクティブ基板1の一边である突出部1aに形成したものとしているが、アクティブ基板の複数の辺を突出部とし、各突出部に走査ライン駆動用ドライバ搭載領域とデータライン駆動用ドライバ搭載領域を形成するようにしてもよい。

【図面の簡単な説明】

【0072】

【図1】この発明の第1実施形態としての液晶表示装置の要部の等価回路的平面図。

【図2】図1に示すスイッチング用薄膜トランジスタおよび画素電極の部分の断面図。

【図3】図1に示す走査ライン駆動用ドライバ搭載領域内の左側から数えて奇数番目の走査用出力端子およびそれに接続された走査ラインテスト用薄膜トランジスタ等の部分の断面図。

40

【図4】図1に示す走査ライン駆動用ドライバ搭載領域内の左側から数えて偶数番目の走査用出力端子およびそれに接続された走査ラインテスト用薄膜トランジスタ等の部分の断面図。

【図5】図1に示すデータライン駆動用ドライバ搭載領域内の左側から数えて(1+3n)番目のデータ用出力端子およびそれに接続されたデータラインテスト用薄膜トランジスタ等の部分の断面図。

【図6】図1に示すデータライン駆動用ドライバ搭載領域内の左側から数えて(2+3n)番目のデータ用出力端子およびそれに接続されたデータラインテスト用薄膜トランジスタ等の部分の断面図。

50

【図 7】図 1 に示すデータライン駆動用ドライバ搭載領域内の左側から数えて  $(3 + 3n)$  番目のデータ用出力端子およびそれに接続されたデータラインテスト用薄膜トランジスタ等の部分の断面図。

【図 8】この発明の第 2 実施形態としての液晶表示装置の走査ライン駆動用ドライバ搭載領域の部分の等価回路的平面図。

【図 9】同第 2 実施形態としての液晶表示装置の図 3 同様の断面図。

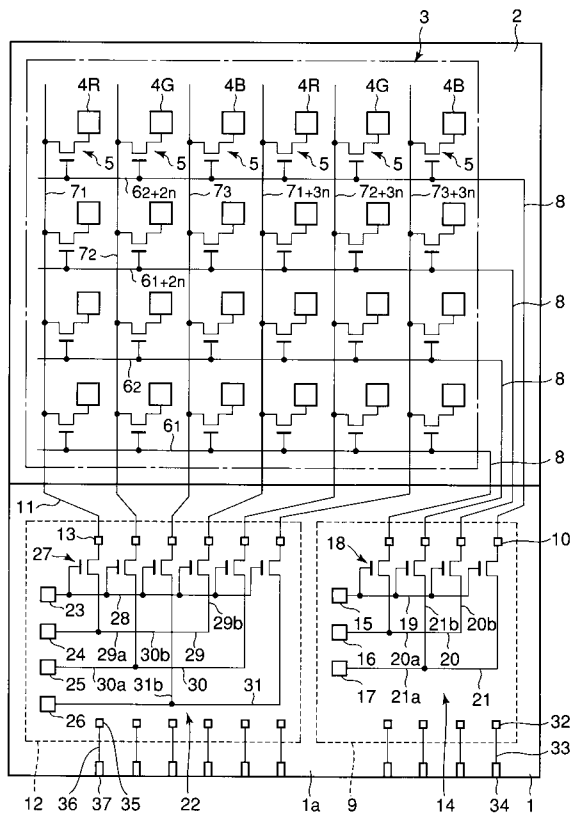
【図 10】図 8 に示す場合の変形例を説明するために示す同様の等価回路的平面図。

【符号の説明】

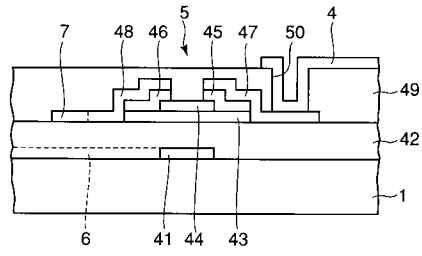
【 0 0 7 3 】

- |         |                            |    |
|---------|----------------------------|----|
| 1       | アクティブ基板                    | 10 |
| 2       | 対向基板                       |    |
| 3       | 表示領域                       |    |
| 4、      | 4 R、4 G、4 B 画素電極           |    |
| 5       | スイッチング用薄膜トランジスタ            |    |
| 6       | 走査ライン                      |    |
| 7       | データライン                     |    |
| 8       | 走査用引き回し線                   |    |
| 9       | 走査ライン駆動用ドライバ搭載領域           |    |
| 10      | 走査用出力端子                    |    |
| 11      | データ用引き回し線                  | 20 |
| 12      | データライン駆動用ドライバ搭載領域          |    |
| 13      | データ用出力端子                   |    |
| 14      | 走査ライン用静電気保護兼テスト用スイッチング回路   |    |
| 15 ~ 17 | 第 1 ~ 第 3 の走査ライン用テスト端子     |    |
| 18      | 走査ライン用静電気保護兼テスト用薄膜トランジスタ   |    |
| 19 ~ 21 | 第 1 ~ 第 3 の走査ラインテスト用引き回し線  |    |
| 22      | データライン用静電気保護兼テスト用スイッチング回路  |    |
| 23 ~ 26 | 第 1 ~ 第 4 のデータライン用テスト端子    |    |
| 27      | データライン用静電気保護兼テスト用薄膜トランジスタ  |    |
| 28 ~ 31 | 第 1 ~ 第 4 のデータラインテスト用引き回し線 | 30 |

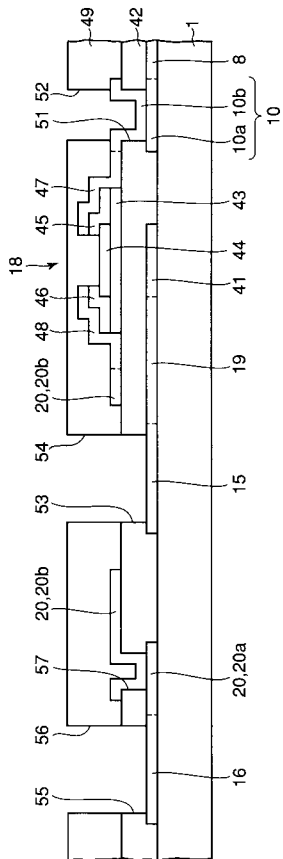
【図 1】



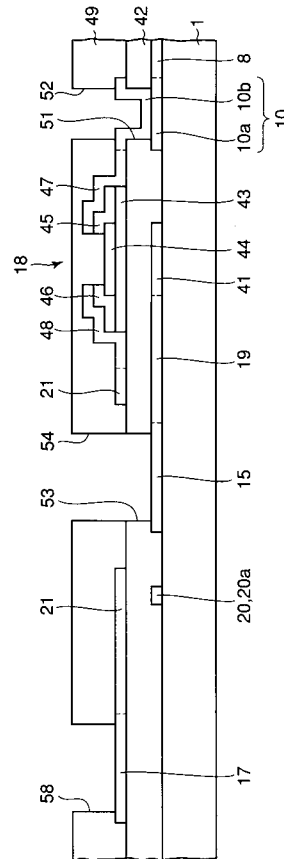
【図 2】



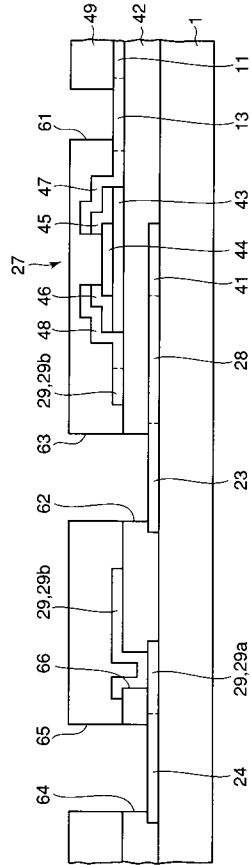
【図 3】



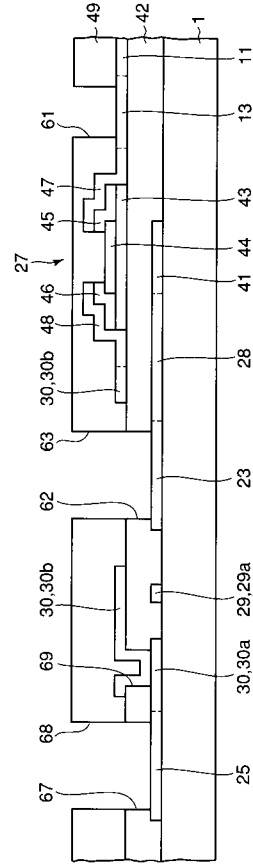
【図 4】



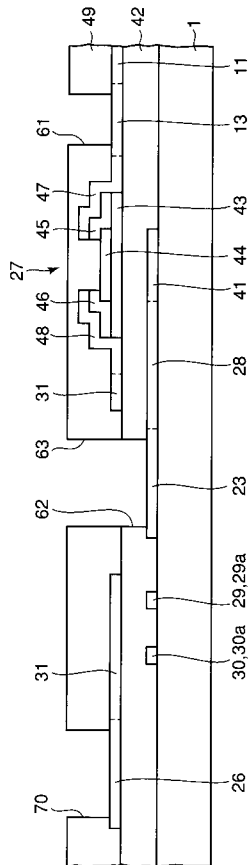
【 図 5 】



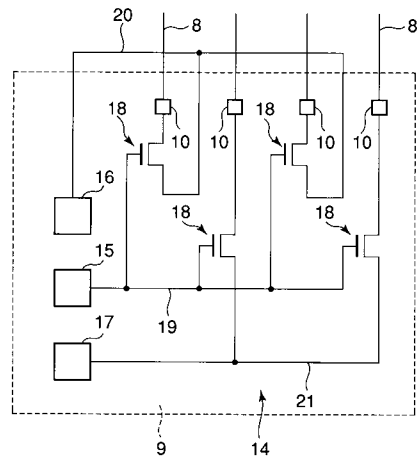
【 図 6 】



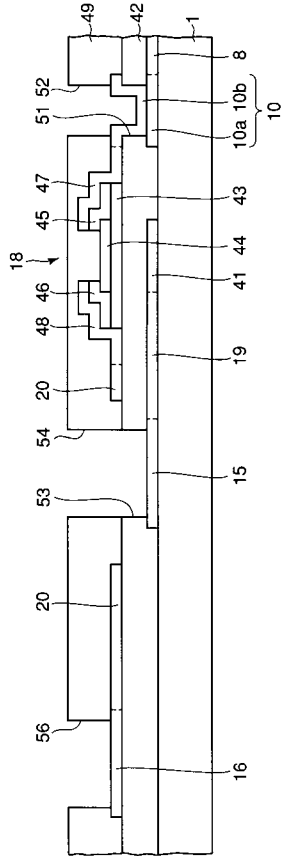
【 図 7 】



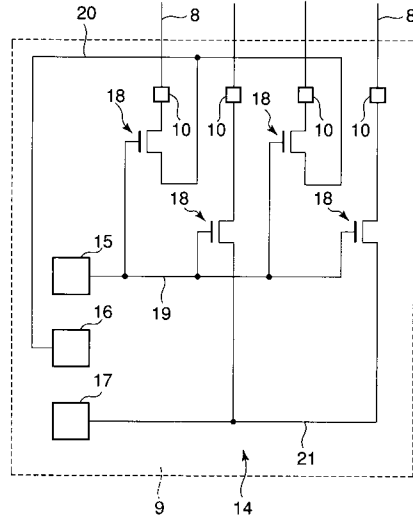
【 図 8 】



【図 9】



【図 10】



---

フロントページの続き

- (56)参考文献 特開平09 - 329796 (JP, A)  
特開平11 - 338376 (JP, A)  
特開平07 - 333275 (JP, A)  
特開平11 - 119246 (JP, A)  
特開2005 - 115049 (JP, A)  
特開2003 - 228298 (JP, A)  
特開平05 - 005897 (JP, A)  
特開2004 - 101863 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1345  
G02F 1/1368

|                |  |         |            |
|----------------|--|---------|------------|
| 专利名称(译)        | 液晶表示装置   |         |            |
| 公开(公告)号        | <a href="#">JP5140999B2</a>  | 公开(公告)日 | 2013-02-13 |
| 申请号            | JP2006315152   | 申请日     | 2006-11-22 |
| [标]申请(专利权)人(译) | 卡西欧计算机株式会社   |         |            |
| 申请(专利权)人(译)    | 卡西欧计算机有限公司   |         |            |
| 当前申请(专利权)人(译)  | 卡西欧计算机有限公司   |         |            |
| [标]发明人         | 石井裕満<br>中村やよい  |         |            |
| 发明人            | 石井 裕満<br>中村 やよい  |         |            |
| IPC分类号         | G02F1/1345 H05K1/11 H05K1/02   |         |            |
| CPC分类号         | G02F1/136204 G02F2001/136254 Y10S345/904   |         |            |
| FI分类号          | G02F1/1345 H05K1/11.Z H05K1/02.K   |         |            |
| F-TERM分类号      | 2H092/GA38 2H092/GA42 2H092/GA59 2H092/GA60 2H092/GA64 2H092/HA06 2H092/JB21 2H092/JB22 2H092/JB25 2H092/JB31 2H092/JB33 2H092/JB77 2H092/JB79 2H092/NA25 5E317/AA02 5E317/AA08 5E317/CD29 5E317/GG14 5E317/GG20 5E338/AA18 5E338/CC01 5E338/CC07 5E338/CC10 5E338/CD40 5E338/EE22 |         |            |
| 审查员(译)         | 福田 知喜  |         |            |
| 其他公开文献         | JP2008129374A  |         |            |
| 外部链接           | <a href="#">Espacenet</a>  |         |            |

摘要(译)

要解决的问题：减少液晶显示器中的框架区域，具有保护薄膜晶体管以防止静电转换的静电保护功能和测试功能。Z SOLUTION：当用于静电保护和扫描线测试的薄膜晶体管18时，用于测试第一至第三扫描线的测试线19至21和用于第一至第三扫描线的测试端子15至17是在安装有用于驱动扫描线的驱动器的区域9中设置有用于布置的专用区域，并且可以相应地减小框架区域。当用于静电保护的薄膜晶体管27和数据线的测试时，在区域12中提供用于测试第一至第四数据线的绘制线28至31和用于数据线的测试端子23至26，安装了用于驱动数据线的驱动器，用于处理这些驱动器的专用区域变得不必要，并且可以相应地减小框架区域。Z

