

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5016789号
(P5016789)

(45) 発行日 平成24年9月5日 (2012.9.5)

(24) 登録日 平成24年6月15日 (2012.6.15)

(51) Int.Cl.	F I
G02F 1/133 (2006.01)	G02F 1/133 505
G02F 1/1368 (2006.01)	G02F 1/1368
G09G 3/36 (2006.01)	G09G 3/36

請求項の数 9 (全 12 頁)

(21) 出願番号	特願2005-148581 (P2005-148581)	(73) 特許権者	501426046
(22) 出願日	平成17年5月20日 (2005.5.20)		エルジー ディスプレイ カンパニー リ
(65) 公開番号	特開2005-346053 (P2005-346053A)		ミテッド
(43) 公開日	平成17年12月15日 (2005.12.15)		大韓民国 ソウル, ヨンドゥンポーク, ヨ
審査請求日	平成20年1月18日 (2008.1.18)		イドードン 20
(31) 優先権主張番号	10-2004-0039340	(74) 代理人	100110423
(32) 優先日	平成16年5月31日 (2004.5.31)		弁理士 曾我 道治
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100084010
			弁理士 古川 秀利
		(74) 代理人	100094695
			弁理士 鈴木 憲七
		(74) 代理人	100111648
			弁理士 梶並 順

最終頁に続く

(54) 【発明の名称】 駆動回路部一体型の液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

基板上に単位画素がマトリックス状に配列される画面表示部と、
前記画面表示部の外郭に形成された駆動回路部と
を含み、
前記駆動回路部には、LDD構造のNMOSとPMOSが一对をなすCMOSと、GOLDD構造のTFTとPMOSが一对をなすCMOSとが備えられ、
前記駆動回路の薄膜トランジスタは、モビリティ変化量が7%以下であるときはLDD構造を選択し、モビリティ変化量が7%を超えるときはGOLDD構造を選択することを特徴とする駆動回路部一体型の液晶表示装置。

10

【請求項 2】

前記駆動回路部は、
外部入力信号を受信してゲートドライバー及びデータドライバーを制御する制御信号を生成するタイミングコントローラと、
外部から入力される直流電圧を前記画面表示部内部の駆動に必要な直流電圧に変換するDC-DCコンバータと、
前記タイミングコントローラから入力される制御信号を利用して前記画面表示部のデータラインに特定電圧を出力するデータドライバーと、
前記タイミングコントローラから入力される制御信号を利用して前記画面表示部のゲートラインに特定電圧を出力するゲートドライバーと、

20

前記画面表示部に形成される画素電極と共に液晶に電界を形成する共通電極の電圧を駆動する共通電圧ドライブと

を備えることを特徴とする請求項 1 に記載の駆動回路部一体型の液晶表示装置。

【請求項 3】

前記タイミングコントローラ、DC-DCコンバータ及び共通電圧ドライバーに使用されるCMOSは、LDD構造であることを特徴とする請求項 2 に記載の駆動回路部一体型の液晶表示装置。

【請求項 4】

前記データドライバーは、

前記タイミングコントローラから入力される制御信号を貯蔵するシフトレジスタと、前記シフトレジスタから入力される制御信号を前記画面表示部に必要なアナログ信号に変換するデジタル-アナログコンバータと、前記デジタル-アナログコンバータから入力される信号をデータラインに印加する出力バッファブロックとを備え、

前記ゲートドライバーは、

シフトレジスタと、前記シフトレジスタから入力される制御信号を特定レベルに移動させるレベルシフターと、前記レベルシフターから入力される制御信号を前記画面表示部のゲートラインに印加する出力バッファブロックとを備え、

前記ゲートドライバー及びデータドライバーの内部の出力バッファブロック及びレベルシフターは、GOLD構造の薄膜トランジスタを含むCMOSを備え、

前記データドライバー及びゲートドライバーの内部のシフトレジスタは、LDD構造の薄膜トランジスタを含むCMOSを備える

ことを特徴とする請求項 2 に記載の駆動回路部一体型の液晶表示装置。

【請求項 5】

前記画面表示部に形成されるスイッチング素子は、駆動電圧によってGOLD構造の薄膜トランジスタ、LDD構造の薄膜トランジスタまたはPMOSのうちから選択されて形成されることを特徴とする請求項 1 に記載の駆動回路部一体型の液晶表示装置。

【請求項 6】

前記駆動回路の薄膜トランジスタは、チャンネルの幅と長さがそれぞれ4 μm であり、LDD領域の長さが1.5 μm であるポリシリコン薄膜トランジスタである

ことを特徴とする請求項 1 に記載の駆動回路部一体型の液晶表示装置。

【請求項 7】

基板上に単位画素がマトリックス状に配列される画面表示部と、

前記画面表示部の外郭に形成された駆動回路部とを備え、

前記駆動回路部には、LDD構造のNMOSとPMOSが一对をなすCMOSと、GOLD構造のTFTとPMOSが一对をなすCMOSとが備えられ、

前記駆動回路部の薄膜トランジスタは、チャンネルの幅と長さがそれぞれ4 μm であり、LDD領域の長さが1.5 μm であるポリシリコン薄膜トランジスタであり、モビリティ変化量が7%以下であるときはLDD構造を選択し、モビリティ変化量が7%を超えるときはGOLD構造を選択する

ことを特徴とする駆動回路部一体型の液晶表示装置。

【請求項 8】

前記駆動回路部は、

LDD構造の薄膜トランジスタを含むCMOSで構成されるタイミングコントローラ、データドライバー内のシフトレジスタ、デジタル-アナログコンバータ及び共通電圧ドライバーと、

GOLD構造の薄膜トランジスタを含むCMOSで構成されるゲートドライバー内の出力バッファブロック及びレベルシフターと

を備えることを特徴とする請求項 7 に記載の駆動回路部一体型の液晶表示装置。

【請求項 9】

前記駆動電圧が10V以上の場合、GOLD構造のTFTを含むCMOSで構成され、前記駆動電圧が10V以下の場合、LDD構造のTFTを含むCMOSで構成されることを特徴とする請求項5に記載の駆動回路部一体型の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示素子及びその製造方法に関し、特に、ゲート重畳LDD (gate overlapped lightly doped drain: 以下、GOLDと称する) 構造の薄膜トランジスタとLDD (lightly doped drain) 構造の薄膜トランジスタを両方とも備える液晶表示素子及びその製造方法に関する。

10

【背景技術】

【0002】

最近、軽薄短小化した平板表示素子 (Flat Panel Display device) の研究が活発に行われているが、その中でも液晶表示素子 (liquid crystal display: LCD) が現在量産化されて使用されている。このLCDは、透過型表示素子であり、それぞれの画素を個別駆動するスイッチング素子である薄膜トランジスタ (thin film transistor: TFT) を備えた薄膜トランジスタ液晶表示素子 (TFT LCD) が主に使用されている。

【0003】

TFTは、基本的に、電流の流れるチャンネルが形成される半導体層と、信号が印加されることによりチャンネルに電界を形成して電流の流れをオン (on) / オフ (off) するゲート電極と、信号が入力されるソース電極と、信号が出力されるドレイン電極とから構成される。

20

【0004】

一般に、LCDは、複数の画素が備えられ、実際に画像が具現される画素領域と、前記画素領域に各種信号を印加する駆動回路部とから構成される。TFTは、画素領域と駆動回路部の両方ともに形成される。特に、最近では、COG (Chip On Glass) 構造のLCDが紹介されるにつれて、駆動回路部に電気移動度の高い多結晶TFTを形成することで小型のLCDを形成することが主要研究課題になっている。

【0005】

一般に、駆動回路部に形成されるTFTとしては、画素内に形成されるTFTより遙かに大きい電気移動度を有する大きいTFTが要求され、このような要求に応じて主に多結晶TFTを形成する。

30

【0006】

一方、最近、軽薄短小の映像機器に対する要求が増加するにつれて、LCDのサイズを小型化するための研究が行われている。しかしながら、画像が表示される画素領域のサイズを減少させることは不可能なので (この画素領域のサイズは設定されている)、実質的にLCDのサイズの減少は、駆動回路部の面積減少を意味する。

【0007】

しかしながら、駆動回路部の面積を減少させると、必然的に駆動回路部に配置されるTFTのサイズが減少するようになる。TFTのサイズの減少は、結局、チャンネルの長さの減少を意味する。しかしながら、このチャンネルの長さの減少は、チャンネルを通過するホットキャリア (hot carrier) によるチャンネル層の損傷を生じさせる。また、ホットキャリアがゲート電極によって形成される電界によりチャンネル内にトラップ (trap) されることで、素子のしきい電圧 (threshold voltage) が変化するため、不良が発生する。

40

【0008】

このような問題を解決するために提案されたTFTが、チャンネル層と隣接した領域には低濃度の不純物層が形成され、低濃度のチャンネル領域の外郭には高濃度の不純物層が形成されたLDD構造のTFTである。また、前記LDD構造のTFTは、一般的な構造のTFTに比べてオフ電流 (off current) が小さいため、漏洩電流を効果的に防止することができ、従って、画質低下を防止することができるという長所がある。

50

【 0 0 0 9 】

しかしながら、前記 L D D 構造の T F T は、チャンネルの長さの減少に限界がある。さらに、L D D 構造を採用して T F T を構成する場合、短くなるチャンネルによって T F T の信頼性に対する問題が発生する。従って、H D T V のような高画質の映像機器に適用される場合、ホットキャリアによるチャンネルの損傷が発生するため、信頼性が低下する。

【 0 0 1 0 】

このような問題点を解決するために提案された T F T が、G O L D D (Gate Overlapped LDD) 構造の T F T である。この G O L D D 構造の T F T は、ゲート電極と L D D 層が重複されるので、短いチャンネル (short channel) の構成が可能になり、よって、信頼性を有する小型の T F T の製造が可能になる。

10

【 0 0 1 1 】

以下、図 4 A ~ 図 4 F を参照して従来技術による G O L D D 構造の T F T の製造工程を説明する。

図 4 A に示すように、ガラスのような透明な物質からなる基板 1 0 1 上にバッファ層 1 0 2 を形成した後、バッファ層 1 0 2 の上にシリコンのような非晶質半導体を積層してエッチングすることで半導体層を形成する。次に、前記半導体層の上にフォトレジストパターンを形成して半導体層の一部領域をブロックした状態で、前記半導体層の一部領域に低濃度の不純物 (即ち、 n^- イオン) を注入してそれぞれチャンネル層 1 0 3 a 及び n^- 層 1 0 3 b を形成する。

【 0 0 1 2 】

20

その後、図 4 B に示すように、チャンネル層 1 0 3 a 上のフォトレジスト 1 0 4 を除去してレーザーを照射することで前記非晶質半導体層を結晶化すると同時に、前記注入された不純物イオンを活性化する。

【 0 0 1 3 】

次に、図 4 C に示すように、チャンネル層 1 0 3 a 及び n^- 層 1 0 3 b の上にゲート絶縁層 1 0 5 を形成した後、その上に金属層 1 0 6 を積層する。

【 0 0 1 4 】

図 4 D に示すように、金属層 1 0 6 の上にフォトレジストを塗布して写真エッチング工程によってパターニングすることでフォトレジストパターン 1 0 7 を形成した後、フォトレジストパターン 1 0 7 を利用して金属層 1 0 6 をエッチングすることでゲート電極 1 0 6 a を形成する。ここで、ゲート電極 1 0 6 a は、チャンネル層 1 0 3 a より大きく形成する。

30

【 0 0 1 5 】

次に、図 4 E に示すように、前記ゲート電極 1 0 6 a をマスクとして適用して高濃度の不純物イオン (n^+ イオン) を n^- 層 1 0 3 b に注入する。前記 n^+ イオンの注入によって n^- 層 1 0 3 b の一部 (即ち、ゲート電極 1 0 6 a によってブロックされなかった領域) が高濃度の n^+ 層 1 0 3 c になり、ゲート電極 1 0 6 a と低濃度の不純物領域 (L D D 領域) が重畳される。

【 0 0 1 6 】

このように、高濃度の不純物層 1 0 3 c を形成した後、図 4 F に示すように、基板 1 0 1 の全体に保護層 1 0 8 を形成し、保護層 1 0 8 の上に金属層を積層してエッチングすることで、ソース電極 1 0 9 及びドレイン電極 1 1 0 を形成する。ここで、ソース電極 1 0 9 及びドレイン電極 1 1 0 は、保護層 1 0 8 及びゲート絶縁層 1 0 5 に形成されたコンタクトホールを通じて n^+ 層 1 0 3 c と接続される。

40

【 0 0 1 7 】

上述したように、G O L D D 構造の T F T の製造工程では低濃度の不純物イオンと高濃度の不純物イオンの注入領域を備えるようになり、これは、基本的に L D D 構造と同一である。しかしながら、L D D 構造の T F T は、T F T の小型製造には有利であるが、該素子の小型化によって信頼性が低下する問題点があり、G O L D D 構造の T F T は、信頼性は優れているが、T F T のサイズの小型化に限界がある。

50

【発明の開示】

【発明が解決しようとする課題】

【0018】

従って、本発明の目的は、駆動回路部一体型の液晶表示装置において、駆動回路部の面積を減少させることで、小型の液晶表示装置を形成することにある。特に、本発明の目的は、駆動回路部の多様な駆動素子に対して、その駆動電圧によって、LDD構造のTFTとGOLD構造のTFTを選択的に適用することにより、最適の駆動回路部を形成すると共に、面積が減少したLCDを形成することにある。

【課題を解決するための手段】

【0019】

このような目的を達成するために、本発明による駆動回路部一体型の液晶表示装置は、基板上に単位画素がマトリックス状に配列される画面表示部と、前記画面表示部の外郭に形成された駆動回路部とを含み、前記駆動回路部には、LDD構造のNMOSとPMOSが対をなすCMOSと、GOLD構造のTFTとPMOSが対をなすCMOSとが備えられ、前記駆動回路の薄膜トランジスタは、モビリティ変化量が7%以下であるときはLDD構造を選択し、モビリティ変化量が7%を超えるときはGOLD構造を選択する。

【発明の効果】

【0021】

本発明は、相対的に高い駆動電圧が必要な素子にはGOLD構造のTFTを含むCMOSを構成し、低い駆動電圧が必要な素子にはLDD構造のTFTを含むCMOSを構成することによって、駆動回路部の面積縮小及び信頼性を同時に満足する駆動回路部一体型の液晶パネルを製造することができるという効果がある。

【0022】

また、本発明による駆動回路部一体型の液晶パネルの製造工程は、別途のマスク工程を必要としないので、工程遅延なしに液晶パネルの性能を向上させることができるという効果がある。

【発明を実施するための最良の形態】

【0023】

以下、本発明の液晶表示装置のアレイ基板の構造を図1を参照して説明する。

液晶パネルは、単位画素がマトリックス状に配列されるアレイ基板と、前記アレイ基板と対向するカラーフィルター基板とから構成され、前記アレイ基板とカラーフィルター基板間に液晶が充填される。また、前記アレイ基板は、単位画素が形成される画面表示部と、前記画面表示部に駆動信号を印加する駆動回路部とから構成される。

【0024】

図1に示すように、アレイ基板200の所定位置に、画面表示部201が形成され、画面表示部201の外郭に各種駆動回路が形成される駆動回路部202が形成される。

特に、現在、ポリシリコンを利用した高速動作の液晶表示装置が開発されるのに従って、高速動作特性を必要とする駆動回路部を画面表示部が形成された基板と一緒に形成するSOG技術が開発され、これにより、液晶パネルの製造工程の短縮及び液晶パネルの小型化が可能になった。前記ポリシリコンは、前記液晶パネルの製造工程の短縮及び小型化を可能にするもので、非晶質シリコンに比べて非常に優れた電気伝導度も有する。従って、本発明は、液晶パネルのアレイ基板の形成に際して、ポリシリコンをチャンネルとして採用するポリシリコンTFTを使用して駆動回路部及び画面表示部のスイッチング素子を形成する。

【0025】

画面表示部のスイッチング素子は、P型TFTまたはN型TFTから選択的に使用され、駆動回路部の駆動素子としては、NMOSとPMOSが対をなして相補的に駆動されるCMOS (complementary metal oxide silicon) が使用される。特に、ポリシリコンをチャンネルとして採用するNMOSは、キャリアである電子による漏洩電流の発生を抑制す

10

20

30

40

50

るために、LDD構造で構成される。

【0026】

本発明の駆動回路部は、前記CMOSを駆動素子として採用する。特に、前記CMOSを構成するとき、LDD構造のNMOSの代りにGOLDD構造のTFTを利用してCMOSを構成することもできる。即ち、本発明は、各種駆動素子が形成される駆動回路部に、LDD構造のTFT+PMOSまたはGOLDD構造のTFT+PMOSの結合でCMOSを構成することによって、漏洩電流の防止及び駆動回路部の小型化に最適になる。

【0027】

図1に示すように、アレイ基板200の駆動回路部202には、画面表示部201のゲートラインにゲート信号を供給するゲートドライバー(gate driver)203と、画面表示部201に形成され、前記ゲートラインと垂直に交差するデータラインにデータ信号を印加するデータドライバー(data driver)204とが、画面表示部に隣接して形成される。

10

【0028】

また、駆動回路部202には、外部信号を受信してゲートドライバー及びデータドライバーに提供される制御信号を生成し、該生成された制御信号をゲートドライバー及びデータドライバーに供給するタイミングコントローラ(timing controller)と、外部から入力される直流(DC)電圧を液晶パネルの内部駆動に必要としたDC電圧に変換するDC-DCコンバータと、外部入力デジタル信号をアナログ信号に変換するデジタル-アナログコンバータ(digital-to-analog converter)と、ガンマ(gamma)電圧校正部と、共通電圧を調節する共通電圧ドライバー(Vcom driver)205とをさらに備える。前記駆動回路部に形成される各種駆動素子は、CMOSを基盤として構成される。

20

【0029】

本発明は、CMOSの構成に際して、相対的に高電圧で作動して漏洩電流を発生する恐れがある駆動素子は、GOLDD構造のTFTを適用したCMOSで構成し、相対的に低電圧で作動する駆動素子は、LDD構造のNMOSを適用したCMOSで構成することで、駆動回路部の駆動安全性及び面積縮小を同時に達成する。

【0030】

例えば、駆動回路部において、10V以上の高電圧によって動作するゲートドライバー内の出力バッファブロック、レベルシフター(level shifter)及び画素スイッチングTFTなどは、GOLDDを採用するCMOSで構成する。他方、10V以下の低電圧で動作するタイミングコントローラ、データドライバー内のシフトレジスタ(shift resistor)、DC-DCコンバータ及び共通電圧ドライバーなどは、LDD構造のTFTを採用するCMOSで構成する。

30

【0031】

このように構成することにより、駆動回路部の面積縮小効果を有するLDD構造のTFTと優れた信頼性を有するGOLDD構造のTFTを同時に駆動回路部に採用することによって、信頼性及び面積縮小の面で最適化した駆動回路部を構成することができる。

【0032】

以下、図2A～図2Fを参照して駆動回路部に形成されるCMOSの製造工程を説明する。

40

本発明の駆動回路部にはNMOS及びPMOSが1対をなすCMOSと、GOLDD構造のTFT及びPMOSが1対をなすCMOSが備えられるが、説明の便宜のためにNMOS、GOLDD構造のTFT及びPMOSの製造工程を中心に説明する。

【0033】

図2Aに示すように、透明基板301の所定領域(即ち、LDD構造のTFT領域L、GOLDD構造のTFT領域G、PMOS領域P)にそれぞれアクティブ層302a、302b、302cを形成する。

【0034】

アクティブ層302a、302b、302cは、基板301の上にPECVD方法によ

50

って非晶質のシリコン層を形成し、フォトリソグラフィ工程によって前記非晶質のシリコン層をパターニングすることによって形成される。即ち、アクティブ層302a、302b、302cの製造工程は、PECVD方法によって非晶質のシリコン層を基板301の上に蒸着する段階と、前記非晶質シリコン層の上にフォトレジスト（図示せず）を塗布する段階と、前記フォトレジストをマスクを適用して露光する段階として現像する段階と、該現像されたフォトレジストパターンを利用して前記非晶質のシリコンをパターニングする段階とを含む。

【0035】

アクティブ層302a、302b、302cが形成された後、図2Bに示すように、アクティブ層の上にフォトレジストを塗布し、フォトリソグラフィ工程によってフォトレジストパターン304を形成する。フォトレジストパターン304は、LDD構造のTF T領域L及びGOLD D構造のTF T領域Gの上のアクティブ層302a、302bの一部を覆い、PMOS領域Pの上のアクティブ層302cの全体を覆う。前記LDD構造のTF T領域L及びGOLD D構造のTF T領域Gのアクティブ層302a、302b上で、フォトレジストパターン304はアクティブ層のチャンネル領域303cを覆い、残りの領域は露出させる。

【0036】

次に、フォトレジストパターン304を不純物遮断マスクとして適用して低濃度の不純物イオンを注入する。前記注入される不純物イオンは、リン(P)などの5族元素を使用することができる。前記イオンの注入により前記LDD構造のTF T領域L及びGOLD D構造のTF T領域G上のアクティブ層302a、302bの一部、即ち、フォトレジストパターン304によって覆われなかった領域（ソース及びドレイン領域303a、303b）に低濃度の不純物が注入される。しかしながら、PMOS領域Pのアクティブ層302cは、フォトレジストパターン304によって覆われるので、不純物イオンが注入されない。

【0037】

次に、図2Cに示すように、前記アクティブ層302a、302b、302c上にシリコン酸化膜(SiO₂)から構成されるゲート絶縁層305をプラズマ化学気相蒸着方法(PECVD)方法によって形成した後、アルミニウム(Al)などの金属層を形成し、フォトリソグラフィ工程を通じて前記金属層をパターニングすることで、ゲート電極306、307、308を形成する。前記ゲート電極中、GOLD D構造のTF T領域Gに形成されるゲート電極307は、該ゲート電極307の下に低濃度不純物領域を形成するために、LDD構造のTF T領域Lに形成されるゲート電極306より大きく形成する。ゲート電極307、308、309は、アクティブ層の中央に形成されるチャンネル領域303cの上部に形成される。

【0038】

次に、ゲート電極306、307、308上にフォトレジストパターン309a、309bを形成するが、LDD構造のTF T領域Lのゲート電極306上には、ゲート電極306とソース及びドレイン領域303a、303bの一部を覆うようにフォトレジストパターン309aを形成し、PMOS領域Pには、PMOS領域Pが全て覆われるようにフォトレジストパターン309bを形成し、GOLD D構造のTF T領域Gには、フォトレジストパターンを形成しない。

【0039】

次に、フォトレジストパターン309a、309bをマスクとして適用して高濃度不純物イオンをソース及びドレイン領域に注入する。その結果、LDD構造のTF T領域Lのソース及びドレイン領域303a、303bに高濃度不純物領域310b、310cが、チャンネル領域の隣接部にはLDD領域310aがそれぞれ形成される。また、GOLD D構造のTF T領域Gのソース及びドレイン領域303a、303bには、高濃度不純物領域311b、311cと、ゲート電極307の下のチャンネル領域の隣接部に低濃度不純物領域311aが形成される。ここで、前記注入される高濃度不純物イオンは、前記低濃度

10

20

30

40

50

不純物イオンと同様に、リン（P）などの5族元素であることができる。

【0040】

一方、前記LDD構造のTFT領域L及びGOLDD構造のTFT領域Gのソース及びドレイン領域に不純物が注入される間、PMOS領域のアクティブ層は、フォトレジストによって覆われているので、不純物が注入されない。

【0041】

次に、図2Eに示すように、前記LDD構造のTFT領域L及びGOLDD構造のTFT領域Gを両方ともフォトレジスト312によって覆う。ここで、PMOS領域Pは、前記フォトレジスト312によって覆われない。

【0042】

次に、前記フォトレジスト312をイオンブロックマスクとして適用してホウ素（B）などの3族の高濃度P型不純物イオンを注入する。ここで、PMOS領域Pのソース及びドレイン領域313a、313bに高濃度のP型不純物イオンが注入されてPMOSが構成される。

前記工程の結果、LDD構造のNMOS、GOLDD構造のTFT及びPMOSが構成される。

【0043】

前述したように、前記LDD構造のNMOSは、10V以下の低電圧駆動素子領域に形成され、GOLDD構造のTFTは、10V以上の相対的に高電圧駆動素子領域に形成される。

【0044】

次に、図2Fに示すように、LDD構造のNMOSとPMOSを1対にしてCMOSを形成し、これと同時に、GOLDD構造のTFTとPMOSを1対にしてCMOSを構成する。図2Fは、GOLDD構造のTFTとPMOSを連結してCMOSを構成する一例を示す。TFTが完成された後、基板全体に絶縁層314を形成する。次に、絶縁層314上にTFTのソース及びドレイン領域を露出させるコンタクトホールを形成する。

【0045】

その後、前記コンタクトホールを通じてソース及びドレイン領域と連結されるソース320及びドレイン電極321を形成するが、前記ソース及びドレイン電極が形成される段階で、PMOSのドレイン電極313bとGOLDD構造のTFTのドレイン電極311cを連結する共通ドレイン電極315を形成する。

【0046】

次に、前記ソース及びドレイン電極上に保護層317を形成し、共通ドレイン電極315と連結されるドレイン接続端子316を形成する。

【0047】

一方、前記工程は、駆動回路部に形成されるCMOSの製造工程を中心に説明したが、駆動回路部が形成される工程で画面表示部にもスイッチング素子としてTFTが同時に形成されることができる。前記画面表示部のTFTは、PMOSまたはNMOSから選択されて形成されることができる。また、前記画面表示部のスイッチング素子が高電圧で駆動する場合、優れた信頼性のGOLDD構造のTFTをスイッチング素子として使用することができる。前記結果、LDD構造のTFTとGOLDD構造のTFTを共に含む駆動回路部一体型の液晶パネルを完成する。

【0048】

ここで、本発明では、駆動回路部中、10V以上の高電圧で駆動される回路に対してはGOLDD構造のTFTで構成し、10V以下の低電圧で駆動される回路に対してはLDD構造のTFTで構成されるが、その根拠は次の通りである。

【0049】

図3は、チャネルの幅と長さがそれぞれ4 μ mであり、LDD領域の長さが1.5 μ mであるLDD構造とGOLDD構造のポリシリコン薄膜トランジスタのドレイン電圧-モビリティ変化量を示す実験結果による特性図である。

10

20

30

40

50

【0050】

図3に示すように、LDD構造とGOLDD構造のモビリティ変化量を比較すると、ドレイン電圧 V_d が10V以上のとき、すなわち、モビリティ変化量が7%を越えると、LDD構造の場合、その変動が激しくなるのに対し、GOLDD構造の場合は、安定している。従って、高速度駆動（高電圧駆動）が要求される回路に対しては、信頼性が優れたGOLDD構造の素子とPMOSで構成されたCMOSを適用することが好ましく、通常速度で駆動するロジック回路等相対的に低い電圧駆動が可能な回路に対しては、GOLDD素子対比面積が相対的に低いLDD素子のPMOSで構成されたCMOSを適用することが好ましいと言える。

【0051】

10

このようなドレイン電圧 - モビリティ変化量の特性を考慮して、本発明では、駆動回路の薄膜トランジスタとして、チャネルの幅と長さがそれぞれ $4\mu m$ であり、LDD領域の長さが $1.5\mu m$ であるポリシリコン薄膜トランジスタであり、モビリティ変化量が7%以下であるときはLDD構造を選択し、モビリティ変化量が7%を超えるときはGOLDD構造を選択することにより、駆動回路部の面積縮小及び信頼性を同時に満足する駆動回路部一体型の液晶パネルを製造することができる。

【図面の簡単な説明】

【0052】

【図1】本発明によるアレイ基板を示す平面図である。

【図2A】本発明によるLDD構造のTFT、GOLDD構造のTFT及びPMOSの製造工程を示す手順図である。

20

【図2B】図2Aに続く製造工程を示す手順図である。

【図2C】図2Bに続く製造工程を示す手順図である。

【図2D】図2Cに続く製造工程を示す手順図である。

【図2E】図2Dに続く製造工程を示す手順図である。

【図2F】図2Eに続く製造工程を示す手順図である。

【図3】チャネルの幅と長さがそれぞれ $4\mu m$ であり、LDD領域の長さが $1.5\mu m$ であるLDD構造とGOLDD構造のポリシリコン薄膜トランジスタのドレイン電圧 - モビリティ変化量を示す実験結果による特性図である。

【図4A】従来技術によるGOLDD構造のTFTの製造工程を示す手順図である。

30

【図4B】図4Aに続く製造工程を示す手順図である。

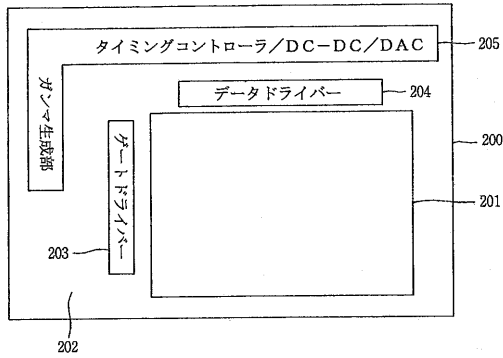
【図4C】図4Bに続く製造工程を示す手順図である。

【図4D】図4Cに続く製造工程を示す手順図である。

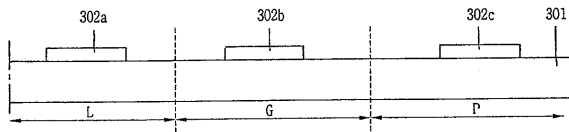
【図4E】図4Dに続く製造工程を示す手順図である。

【図4F】図4Eに続く製造工程を示す手順図である。

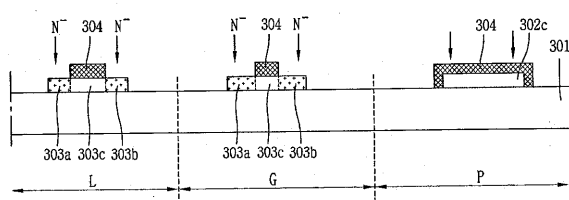
【図 1】



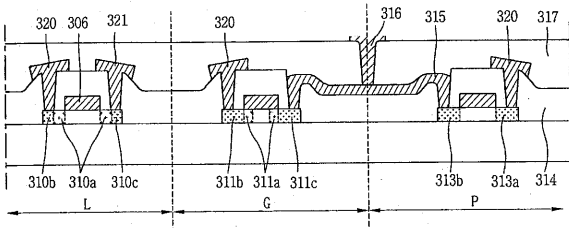
【図 2 A】



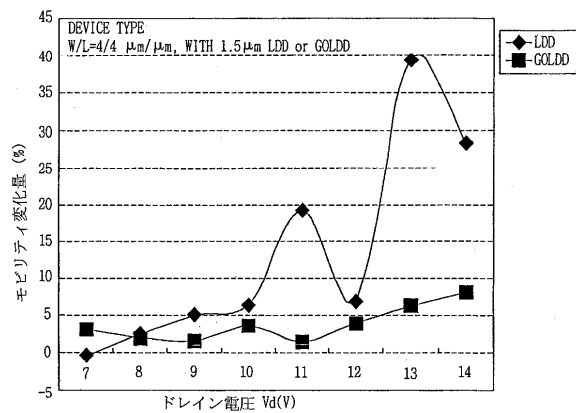
【図 2 B】



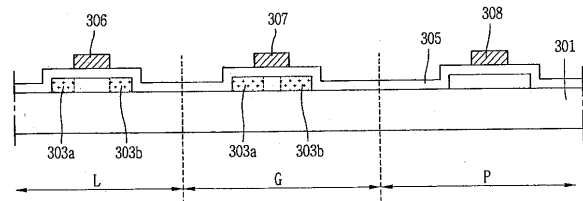
【図 2 F】



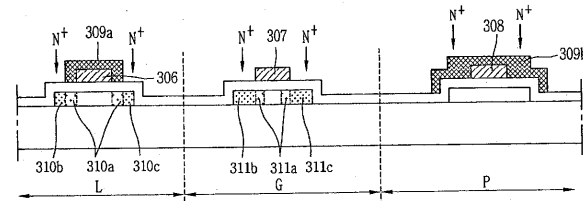
【図 3】



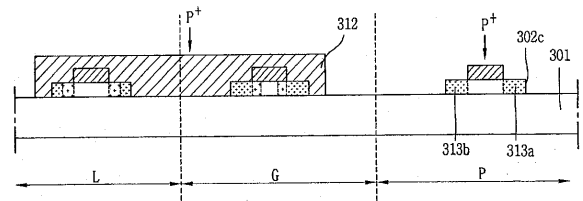
【図 2 C】



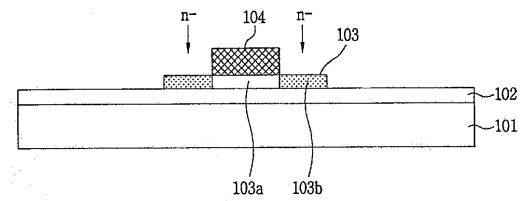
【図 2 D】



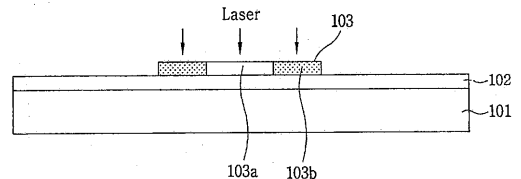
【図 2 E】



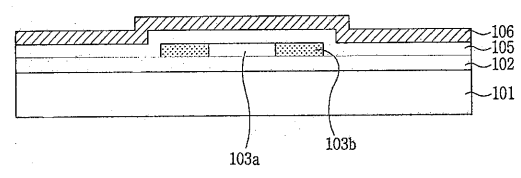
【図 4 A】



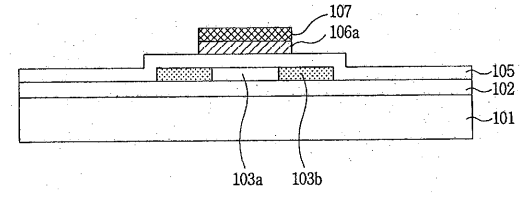
【図 4 B】



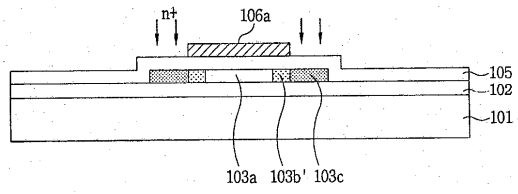
【図 4 C】



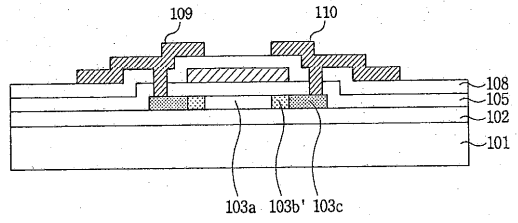
【図 4 D】



【図 4 E】



【図 4 F】



フロントページの続き

(72)発明者 ソク - ウ・イ

大韓民国、キョンギ - ド、アニョン、ドンガン - グ、ピサン - ドン 1102、クワナク・アパー
トメント 127 - 1207

審査官 吉田 英一

(56)参考文献 特開2001 - 077373 (JP, A)

特開平11 - 133877 (JP, A)

特開2001 - 320053 (JP, A)

特開2001 - 111060 (JP, A)

特開平10 - 268254 (JP, A)

特開平08 - 220505 (JP, A)

特開2003 - 045892 (JP, A)

特開2001 - 077374 (JP, A)

特開2001 - 265243 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G02F 1 / 133

G02F 1 / 1368

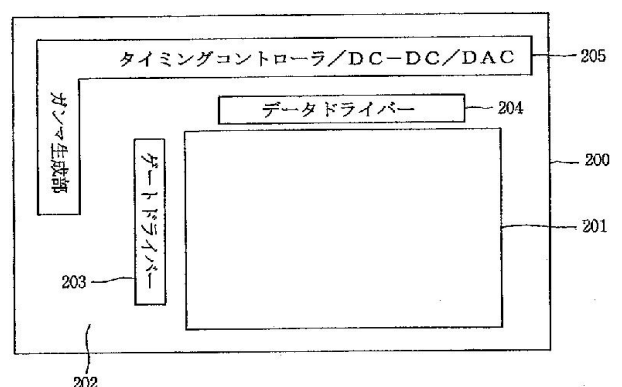
G09G 3 / 36

专利名称(译)	驱动电路单元集成了液晶显示单元		
公开(公告)号	JP5016789B2	公开(公告)日	2012-09-05
申请号	JP2005148581	申请日	2005-05-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji飞利浦杜迪股份有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	ソクウイ		
发明人	ソク-ウ-イ		
IPC分类号	G02F1/133 G02F1/1368 G09G3/36 G02F1/1345 G02F1/136 G02F1/1362 H01L21/00 H01L21/336 H01L21/77 H01L21/84 H01L27/146 H01L29/786		
CPC分类号	H01L27/1214 G02F1/13454 H01L27/127 H01L27/14643 H01L29/66757 H01L29/78621 H01L29/78627		
FI分类号	G02F1/133.505 G02F1/1368 G09G3/36 G02F1/1345 H01L29/78.612.B H01L29/78.613.A		
F-TERM分类号	2H092/GA59 2H092/GA60 2H092/JA24 2H092/JA31 2H092/JA37 2H092/JA49 2H092/KA04 2H092/KA05 2H092/KA10 2H092/MA27 2H092/MA30 2H092/NA25 2H092/NA27 2H192/AA24 2H192/CB02 2H192/CB53 2H192/FB13 2H192/FB15 5C006/AF83 5C006/BC03 5C006/BC11 5C006/BC20 5C006/BF03 5C006/BF25 5C006/BF34 5C006/BF46 5C006/FA41 5F110/AA04 5F110/BB02 5F110/BB04 5F110/CC02 5F110/EE03 5F110/EE25 5F110/FF02 5F110/FF30 5F110/GG02 5F110/GG13 5F110/GG15 5F110/GG28 5F110/GG45 5F110/HJ01 5F110/HJ13 5F110/HM05 5F110/HM15 5F110/NN02 5F110/NN72 5F110/NN77 5F110/NN78		
代理人(译)	英年古河 Kajinami秩序		
审查员(译)	吉田栄一		
优先权	1020040039340 2004-05-31 KR		
其他公开文献	JP2005346053A		
外部链接	Espacenet		

摘要(译)

要解决的问题：相对于与驱动电路部分集成的液晶显示装置，提供具有减小的面积和改进的可靠性的最佳驱动电路部分。在与驱动电路部分集成的液晶显示装置中，用相对高电压驱动的驱动电路部分的TFT由具有可靠性优异的GOLDD结构的TFT和具有相对低电压的TFT构成。待驱动的驱动电路部分的TFT由具有LDD结构的薄膜晶体管构成。点域1

【 図 1 】



【 図 2 A 】