

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第4928712号
(P4928712)

(45) 発行日 平成24年5月9日(2012.5.9)

(24) 登録日 平成24年2月17日(2012.2.17)

(51) Int.Cl. F I

GO2F 1/1368 (2006.01)

GO9F 9/30 (2006.01)

GO9F 9/35 (2006.01)

HO1L 21/28 (2006.01)

HO1L 29/786 (2006.01)

GO2F 1/1368

GO9F 9/30 338

GO9F 9/35

HO1L 21/28 301R

HO1L 29/78 619B

請求項の数 3 (全 32 頁) 最終頁に続く

(21) 出願番号	特願2003-420084 (P2003-420084)	(73) 特許権者	390019839
(22) 出願日	平成15年12月17日 (2003.12.17)		三星電子株式会社
(65) 公開番号	特開2004-199074 (P2004-199074A)		Samsung Electronics
(43) 公開日	平成16年7月15日 (2004.7.15)		Co., Ltd.
審査請求日	平成18年11月21日 (2006.11.21)		大韓民国京畿道水原市靈通区梅灘洞416
(31) 優先権主張番号	2002-080812		416, Maetan-dong, Yeongtong-gu, Suwon-si,
(32) 優先日	平成14年12月17日 (2002.12.17)		Gyeonggi-do, Republic of Korea
(33) 優先権主張国	韓国 (KR)		
前置審査		(74) 代理人	100121382
			弁理士 山下 託嗣
		(72) 発明者	金 東 奎
			大韓民国京畿道龍仁市水枝邑豊徳川里11
			67番地523棟1305号
			最終頁に続く

(54) 【発明の名称】 薄膜トランジスタアレイ基板及びこれを含む液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

絶縁基板と、
前記絶縁基板上に形成され、ゲート線及び前記ゲート線と連結されているゲート電極を含むゲート配線と、
前記ゲート配線を覆うゲート絶縁膜と、
前記ゲート線と交差するデータ線、前記データ線に連結されているソース電極、前記ゲート電極を中心に前記ソース電極と対向するドレーン電極を含むデータ配線と、
前記ゲート絶縁膜上部に形成され、一部は前記データ線の下部まで延びている半導体層と、
前記データ線の下部の前記半導体層と重なり、前記ゲート配線と同一層に形成されている光遮断膜と、
前記ドレーン電極と電気的に連結されている画素電極と、
前記ドレーン電極上に形成され、前記ドレーン電極と前記画素電極とを連結するための接触孔を備える保護膜と、
を含み、前記データ配線は下部膜と、前記下部膜の上部に形成されている上部膜とを含み、前記ドレーン電極は前記画素電極と連結される部分で前記上部膜が除去されており、前記保護膜の接触孔の縁に沿う凹部と、前記凹部の中央部に位置する凸部とよりなる凹凸が前記下部膜に形成され、前記半導体層と重なる前記光遮断膜の幅は、前記半導体層の幅に比べて少なくとも60%以上であり、前記ソース電極と前記ドレーン電極との間のチャン

ネル部を除いた前記半導体層は、前記データ配線と同一のパターンで形成されている薄膜トランジスタアレイ基板。

【請求項 2】

前記データ線の下部の前記半導体層は、前記データ線と同一であるか、より広い幅で形成されている請求項 1 に記載の薄膜トランジスタアレイ基板。

【請求項 3】

前記半導体層の一部は、前記データ配線の周縁外部に露出している請求項 1 に記載の薄膜トランジスタアレイ基板。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は薄膜トランジスタアレイ基板及びこれを含む液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置は現在最も広く使われている平板表示装置の一つで、電極が形成されている二枚の基板とその間に挿入されている液晶層から構成され、電極に電圧を印加して液晶層の液晶分子を再配列することにより、透過する光の量を調節する表示装置である。液晶表示装置の中でも現在主流となっているものは、二つの基板に電極が各々形成されて、電極に印加される電圧をスイッチングする薄膜トランジスタを有する液晶表示装置である。

20

【0003】

このような液晶表示装置の一つの基板には、ゲート信号を伝達するゲート線または画像信号を伝達するデータ線を含む信号用配線と、データ線を通じて印加された画像信号が伝達される画素電極及びゲート信号を通じて各画素の画素電極に伝達される画像信号を制御する薄膜トランジスタなどが形成されている。他の基板には、様々な色の画像を実現するためのカラーフィルター及び画素間の光漏れを遮断したりコントラスト比の低下を防止するためのブラックマトリックスが形成されている。

【0004】

この時、薄膜トランジスタの半導体層としては、水素化された非晶質シリコンが主に用いられるが、製造工程の時に配線下部の非晶質シリコン層が除去できないので、配線の断線

30

【0005】

しかし、液晶表示装置の光源であるバックライトから出る光は、非晶質シリコン層に入射して、非晶質シリコン層に電孔や電子を発生させ、光漏れ電流を生成する。このような光漏れ電流は液晶表示装置の特性を低下させる原因になる。特に、このような光漏れ電流はデータ線を通じて伝えられる画像信号を変化させる。結果的に、画素電極に伝達される画素電圧を変化させ、画像表示の時に輝度差のある帯が上下に動く現象が生じ、画質を低下させる。

(先行技術文献)

(特許文献)

40

(特許文献 1) 米国特許出願公開第2002/0080295号明細書

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明が目的とする技術的課題は、液晶表示装置の表示特性を向上させることができる薄膜トランジスタアレイ基板及びこれを含む液晶表示装置を提供することである。

【課題を解決するための手段】

【0007】

本発明による薄膜トランジスタアレイ基板及びこれを含む液晶表示装置には、データ線下部に位置する非晶質シリコン層下部に光遮断膜が形成されている。

50

【0008】

参考発明として示す液晶表示装置用薄膜トランジスタアレイ基板では、絶縁基板上部にゲート線及びゲート線と連結されたゲート電極を含むゲート配線が形成されている。ゲート配線を覆うゲート絶縁膜上部には、ゲート線と交差するデータ線、データ線に連結されているソース電極、ゲート電極を中心にソース電極と対向するドレーン電極を含むデータ配線が形成されている。ここで、ゲート電極のゲート絶縁膜上部には半導体層が形成され、半導体層の一部はデータ線下部まで延びており、基板上部にはゲート配線と同一層でデータ線の下半導体層と重なっている光遮断膜が形成されている。また、基板上部にはドレーン電極と電気的に連結されている画素電極が形成されている。

【0009】

10

この時、半導体層と重なる光遮断膜の幅は、半導体層の幅に比して少なくとも60%以上であることが好ましい。データ線下部の半導体層はデータ線と同じであるかデータ線より広い幅を有するように構成できる。ここで、ソース電極とドレーン電極との間のチャンネル部を除いた半導体層は、データ配線と同一のパターンで構成することができ、半導体層の一部をデータ配線の周縁の外部に露出させることもできる。

【0010】

データ配線は下部膜と下部膜の上部に形成され、下部膜と異なる模様を有する上部膜を含む構成にすることができる。

【0011】

本発明に係る薄膜トランジスタアレイ基板は、絶縁基板と、絶縁基板上に形成され、ゲート線及びゲート線と連結されているゲート電極を含むゲート配線と、ゲート配線を覆うゲート絶縁膜と、ゲート線と交差するデータ線、データ線に連結されているソース電極、ゲート電極を中心にソース電極と対向するドレーン電極を含むデータ配線と、ゲート絶縁膜上部に形成され、一部はデータ線の下部まで延びている半導体層と、データ線の下部の半導体層と重なり、ゲート配線と同一層に形成されている光遮断膜と、ドレーン電極と電気的に連結されている画素電極とを含み、データ配線は下部膜と、下部膜の上部に形成されている上部膜とを含み、ドレーン電極は画素電極と連結される部分で上部膜が除去されており、下部膜が凹凸を有する。

20

【0012】

ここで、半導体層と重なる光遮断膜の幅は、半導体層の幅に比べて少なくとも60%以上であることが好ましい。

30

【0013】

また、データ線の下部の半導体層は、データ線と同一であるか、より広い幅で形成されていることが好ましい。

【0014】

ソース電極とドレーン電極との間のチャンネル部を除いた半導体層は、データ配線と同一のパターンで形成されていることが好ましい。

【0015】

また、半導体層の一部は、データ配線の周縁外部に露出していることが好ましい。

【0016】

40

このような本発明による薄膜トランジスタアレイ基板を含む液晶表示装置の光源として使用されるバックライトは、オン/オフの矩形波信号を出力するインバータにより駆動される。

【発明の効果】

【0017】

本発明では、データ線の下部に位置する非晶質シリコン層に入射されるバックライトの光を遮断する光遮断膜が配置されて液晶表示装置の表示特性を向上させることができる。特に、インバータにより駆動されるバックライトを利用する液晶表示装置において、画像が表示される時に輝度差のある帯が発生することを防止でき、帯が動く滝現象を除去することができる。

50

【発明を実施するための最良の形態】

【0018】

添付した図面を参照して本発明の実施例に対して本発明の属する技術分野における通常の知識を有する者が容易に実施できるように詳細に説明する。しかし、本発明は多様な形態で実現することができ、ここで説明する実施例に限定されない。

【0019】

図面は、種々の層及び領域を明確に表現するために厚さを拡大して示している。明細書全体を通じて類似した部分については同一の図面符号を付けている。層、膜、領域、板などの部分が他の部分の“上に”あるとする時、これは他の部分の“すぐ上に”ある場合に限らず、その中間に更に他の部分がある場合も含む。逆に、ある部分が他の部分の“すぐ上に”あるとする時は、中間に他の部分がないことを意味する。

10

【0020】

以下、本発明の実施例による薄膜トランジスタアレイ基板及びこれを含む液晶表示装置に対して図面を参照して詳細に説明する。

(参考例)

まず、図1及び図2を参照して本発明の第1の参考例による液晶表示装置用薄膜トランジスタアレイ基板の構造について詳細に説明する。図1は本発明の参考例による液晶表示装置用薄膜トランジスタアレイ基板の配置図で、図2は図1のII-II'線に沿った断面図で、薄膜トランジスタアレイ基板とこれと対向する対向基板と一緒に示されている。

【0021】

20

薄膜トランジスタアレイ基板100には、下部絶縁基板110上に単一のアルミニウム(A1)からなる下部膜201と、モリブデンまたはクロムなど他の物質と接触特性の良い上部膜202を含むゲート線121がテーパー構造で形成されている。ゲート線121は、端部125を通じて外部からのゲート信号の印加を受ける。ゲート線121には薄膜トランジスタのゲート電極123が含まれている。また、ゲート線121は、以降形成される画素電極190と連結されている維持蓄電器用導電体パターン177と重なって、画素の電荷保存能力を向上させる維持蓄電器を構成する。ここで、電荷保存能力が不足する場合は、ゲート配線と分離する維持配線を追加することもできる。また、絶縁基板110上部には縦方向に延びて、フローティングされている光遮断膜129が形成されている。光遮断膜129は、以降形成されるデータ線171下部に位置する非晶質シリコン層150、163と重なって、基板110の下部から入射されるバックライト光が、非晶質シリコン層150、163に入射されることを遮断する機能を有する。

30

【0022】

基板110上には、窒化ケイ素(SiNx)などからなるゲート絶縁膜140がゲート線121と光遮断膜129を覆っている。

【0023】

ゲート電極125のゲート絶縁膜140上部には、非晶質シリコンなどの半導体からなる半導体層150が形成されている。半導体層150上部には、シリサイドまたはn型不純物が高濃度でドーピングされているn+水素化非晶質シリコンなどの物質で作られた抵抗接触層163、165が各々形成されている。この場合、非晶質シリコン層150、163は、以降形成されるデータ線171が段差のため断線されることを防止するために、データ線171に沿って縦方向に延びて、光遮断膜129と重なっている。ここでは、光遮断膜129の幅が非晶質シリコン層150、163の幅より広いが、狭い幅を有することができる。光遮断膜129と非晶質シリコン層が重なる幅は、非晶質シリコン層150、163の幅に対して少なくとも60%以上であることが好ましい。また、光遮断膜129は、以降形成される互いに隣接する画素領域の画素電極190間に位置するが、画素電極190と重ならないことが好ましい。

40

【0024】

抵抗接触層163、165またはゲート絶縁膜140上には、モリブデンやモリブデン合金からなる複数のデータ線171及びドレーン電極175が形成されている。データ線

50

１７１は、縦方向に延びてゲート線１２１と交差して画素領域を定義しており、光遮断膜１２９及び縦方向に延びた非晶質シリコン層１５０、１６３と重なっている。データ線１７１のうち抵抗接触層１６３上部まで延びている部分は、薄膜トランジスタのソース電極１７３である。データ線１７１の一端に連結されている端部１７９は外部からの画像信号の印加を受ける。また、データ線１７１と同一層には、保持容量を向上させるためにゲート線１２１と重なっており、以降形成される画素電極１９０と電氣的に連結されている維持蓄電器用導電体パターン１７７が形成されている。

【００２５】

ここで、データ線１７１及びドレーン電極１７５は、ゲート線１２１と同様にアルミニウムやアルミニウム合金または銀や銀合金の導電膜を含むことが好ましく、クロムまたはモリブデンやモリブデン合金の導電膜を含む多層膜から構成されることができる。また、モリブデンやモリブデン合金の導電膜/アルミニウムの導電膜/モリブデンまたはモリブデン合金の導電膜の３層膜から構成されることもできる。

【００２６】

データ線１７１とドレーン電極１７５及びこれらに覆われない半導体層１５０上部には、窒化ケイ素または $a-Si:C:H$ などを含む低誘電率絶縁物質の保護膜１８０が形成されている。ここで、保護膜１８０は、平坦化特性が優れて感光性を有する有機物質からなる有機絶縁膜をさらに含むことができる。このような場合、有機絶縁膜はソース及びドレーン電極１７３、１７５の間に露出される半導体層１５０を直接覆わないことが好ましい。また、ゲート線１２１及びデータ線１７１それぞれの端部１２５、１７９が位置するパッド部からは有機絶縁物質を完全に取り除くことが好ましい。このような構造は、パッド部のゲート線１２１及びデータ線１７１上部に走査信号及び映像信号を各々伝達するために、薄膜トランジスタ基板上部にゲート駆動集積回路及びデータ駆動集積回路を直接実装するCOG(chip on glass)方式の液晶表示装置に適用する時にさらに有効である。

【００２７】

保護膜１８０には、ドレーン電極１７５、維持蓄電器用導電体パターン１７７及びデータ線端部１７９を各々露出する接触孔１８５、１８７、１８９が形成されており、ゲート絶縁膜１４０と一緒にゲート線端部１２５を露出する接触孔１８２が形成されている。

【００２８】

保護膜１８０上部には、接触孔１８５を通じてドレーン電極１７５と電氣的に連結され、画素領域に位置し、透明な導電物質であるITO(indium tin oxide)またはIZO(indium zinc oxide)から構成される画素電極１９０が形成されている。この時、開口率を確保するために画素電極１９０はデータ線１７１またはゲート線１２１と重なることが好ましい。しかし、保護膜１８０の誘電率を考慮して、データ線１７１及びゲート線１２１を通じて伝えられる信号の干渉を最少化するために、画素電極１９０はデータ線１７１またはゲート線１２１と重ならない構成にすることもできる。また、保護膜１８０上には、接触孔１８２、１８９を通じて各々ゲート線及びデータ線それぞれの端部１２５、１７９と連結されている補助ゲート部材９２及び補助データ部材９７が形成されている。ここで、補助ゲート及びデータ部材９２、９７は、ゲート線及びデータ線それぞれの端部１２５、１７９を保護するためのもので必須ではない。

【００２９】

薄膜トランジスタアレイ基板１００と対向する対向基板２００には、上部絶縁基板２１０に、画素領域に開口部を有するブラックマトリックス(図示せず)が形成されている。そして、それぞれの画素領域には赤色、緑色、青色のカラーフィルター(図示せず)が形成されており、画素電極１９０と対向して液晶分子を駆動するために、共通電圧が伝達される共通電極２１０が全面に形成されている。

【００３０】

このような第１の参考例による薄膜トランジスタアレイ基板１００を含む液晶表示装置は、薄膜トランジスタ基板１００と対向する対向基板２００及び薄膜トランジスタアレイ

10

20

30

40

50

基板 1 0 0 を中心に対向基板 2 0 0 の反対側から入射する光を発光するバックライト 5 0 0 を含む。この時、バックライト 5 0 0 はインバータを通じて出力されるオン / オフの信号の矩形波により駆動される。

【 0 0 3 1 】

第 1 の参考例とは異なって、光遮断膜 1 2 9 を有しない液晶表示装置の場合、バックライトがオンになった時は、バックライトから発光した光が非晶質シリコン層 1 5 0、1 6 3 に入射する。入射したバックライトの光により非晶質シリコン層 1 5 0、1 6 3 には電子と正孔が生成され、これらは画像信号印加の際にデータ線 1 7 1 を通じて伝達される電荷と再結合する。一方、バックライトがオフになった時は、非晶質シリコン層 1 5 0、1 6 3 には電子と正孔が生成されず、データ線 1 7 1 を通じて伝達される画像信号の遅延だけが発生する。これにより、バックライトのオン / オフによりデータ線 1 7 1 を通じて伝達される画像信号が変化して、以降の画素電極 1 9 0 に伝達される画素電圧を変化させることになる。その結果、画像表示の時に輝度差のある帯が発生する。さらに、バックライトを駆動するインバータの周波数、つまりバックライトのオン / オフ周波数とフレーム周波数、即ち全てのゲート線 1 2 1 に対して順次にゲート信号が印加される周波数が同期されなかった時には、輝度差のある帯が上下に動く淹現象が発生する。

10

【 0 0 3 2 】

第 1 の参考例による薄膜トランジスタアレイ基板を含む液晶表示装置は、データ線 1 7 1 に沿って形成された非晶質シリコン層 1 5 0、1 6 3 下部に光遮断膜 1 2 9 を備えており、バックライトがオンになった時非晶質シリコン層 1 5 0、1 6 3 に入射するバックライトの光を遮断することができる。従って、光遮断膜 1 2 9 は、非晶質シリコン層 1 5 0、1 6 3 にバックライトによる電子または正孔が生成することを防止して、画像表示の時に輝度差のある帯の発生や淹現象が発生することを防止し、液晶表示装置の画質を向上させることができる。

20

【 0 0 3 3 】

一方、このような第 1 の参考例による液晶表示装置用薄膜トランジスタアレイ基板は、ゲート配線 1 2 1 またはデータ線 1 7 1 が比抵抗の低いアルミニウムを含んでおり、大型の液晶表示装置に適用することができ、表示特性を向上させることができる。

【 0 0 3 4 】

以下、図 3 a 乃至図 6 b、図 1 及び図 2 を参照して参考例による薄膜トランジスタアレイ基板の製造方法について具体的に説明する。

30

【 0 0 3 5 】

まず、図 3 a 及び図 3 b に示したように、ガラス基板 1 1 0 上部にアルミニウムの下部膜 2 0 1 とクロムまたはモリブデンやモリブデン合金の上部膜 2 0 2 を各々 2 0 0 0 ~ 4 0 0 0 及び 5 0 0 ~ 2 0 0 0 程の厚さに順次積層し、マスクを利用した写真エッチング工程により上部膜 2 0 2 と下部膜 2 0 1 を一緒にパターニングして、ゲート線 1 2 1 と光遮断膜 2 9 を形成する。この時、ゲート線 1 2 1 及び光遮断膜 1 2 9 は、2 0 ~ 8 0 ° 範囲のテーパ角を有するテーパ構造に形成する。エッチング工程は湿式エッチングが好ましい。上部膜 2 0 2 がモリブデンやモリブデン合金である場合は、同一なエッチング液を利用して一つのエッチング条件でパターニングすることもできる。

40

【 0 0 3 6 】

次に、図 4 a 及び図 4 b に示したように、窒化ケイ素 (S i N_x) からなるゲート絶縁膜 1 4 0、非晶質シリコン (a - S i : H) からなる半導体層 1 5 0、ドーピングされた非晶質シリコン層 (n + a - S i : H) 1 6 0 の 3 層膜を連続して積層し、マスクを利用したパターニング工程により半導体層 1 5 0 とドーピングされた非晶質シリコン層 1 6 0 をパターニングして、ゲート電極 1 2 5 と対向するゲート絶縁膜 1 4 0 上部に半導体層 1 5 0 と抵抗接触層 1 6 0 を形成する。この時、非晶質シリコン層 1 5 0、1 6 0 は、乾式エッチングで一度にパターニングして、以降形成されるデータ線 1 7 1 が非晶質シリコン層 1 5 0、1 6 0 の段差のため断線されることを防止するために、データ線 1 7 1 に沿って縦方向に形成する。しかし、前述のように、インバータを利用して駆動するバックライト

50

の光が非晶質シリコン層 150、160に入射する時は、液晶表示装置の特性が低下する。本発明の実施例においては、バックライトの光が非晶質シリコン層 150、160に入射することを防止するために、データ線 171 下部に位置する非晶質シリコン層 150、160 下部に光遮断膜 129 を形成する。

【0037】

次に、図 5 a 乃至図 5 b に示したように、アルミニウムやアルミニウム合金の導電膜、またはクロムまたはモリブデンやモリブデン合金の導電膜を 2000 程度の厚さに積層し、マスクを利用した写真エッチング工程によりパターンニングして、ゲート線 121 と交差するデータ線 171、ドレイン電極 175、維持蓄電器用導電体パターン 177 をテーパー構造で形成する。

10

【0038】

この時、データ配線 171 はアルミニウムの導電膜を含む構成とすることができ、このような場合には、アルミニウムの導電膜が中央に位置させて、その上部及び下部にモリブデンやモリブデン合金の導電膜を形成することが好ましい。

【0039】

次に、データ配線 171 及びドレイン電極 175 で覆われないドーピングされた非晶質シリコン層パターン 160 をエッチングし、ゲート電極 123 を中心に両側に分離させる一方、両側のドーピングされた非晶質シリコン層 163、165 間の半導体層パターン 150 を露出させる。次に、露出された半導体層 150 表面を安定化させるために酸素プラズマ処理を実施することが好ましい。

20

【0040】

次に、図 6 a 及び 6 b のように、窒化ケイ素を積層したり、PECVD (plasma enhanced chemical vapor deposition) 方法により a-Si : C : O 膜または a-Si : O : F 膜などの低誘電率 CVD 膜を蒸着して保護膜 180 を形成する。次いで、マスクを利用した写真エッチング工程によりゲート絶縁膜 140 と一緒にパターンニングし、ゲート線端部 125、ドレイン電極 175、データ線端部 179 及び維持蓄電器用導電体パターン 177 を露出する接触孔 182、185、189、187 を形成する。この時、接触孔 182、185、189、187 を通じて露出された部分からアルミニウムの導電膜が露出する場合は、以降形成される ITO または IZO の画素電極 190 との接触特性を考慮して、アルミニウムの導電膜を取り除くことが好ましい。

30

【0041】

次に、図 1 及び図 2 のように、ITO または IZO の透明導電物質を 900 程度の厚さに蒸着し、マスクを写真エッチング工程によりパターンニングして、接触孔 187、185 を通じてドレイン電極 175 及び維持蓄電器用導電体パターン 177 と連結される画素電極 190 と接触孔 182、189 を通じてゲート線及びデータ線の各端部 125、179 とそれぞれ連結される補助ゲート部材 92 及び補助データ部材 97 を形成する。

【0042】

前記、半導体層とデータ線を互いに異なるマスクを利用した写真エッチング工程により形成する方法に基づいて本発明の実施例を説明した。ところが、製造コストを最小化するために、半導体層とデータ線を一つの感光膜パターンを利用した写真エッチング工程により形成する液晶表示装置用薄膜トランジスタアレイ基板の製造方法によっても、データ線下部に非晶質シリコン層が残されて光遮断膜を有する参考例を同様に適用できる。これについて図面を参照して詳細に説明する。

40

【0043】

まず、図 7 ~ 図 9 を参照して第 2 の参考例による液晶表示装置用薄膜トランジスタ基板の単位画素構造について詳細に説明する。

【0044】

図 7 は第 2 の参考例による液晶表示装置用薄膜トランジスタ基板の配置図で、図 8 及び図 9 は各々図 7 に示した薄膜トランジスタ基板の VIII-VIII' 線及び IX-IX' 線に沿った断面

50

図である。図 8 及び図 9 には対向基板が省略されている。

【 0 0 4 5 】

まず、絶縁基板 1 1 0 上に、アルミニウムからなる導電膜を含む複数のゲート線 1 2 1 がテーパ構造で形成されている。ゲート線 1 2 1 と同一の層には、ゲート線 1 2 1 と平行で、対向基板 2 0 0 (図 2 参照) の共通電極 2 2 0 (図 2 参照) に入力される共通電極電圧または隣接する画素行の薄膜トランジスタにゲート信号を伝達する前段のゲート線 1 2 1 に電氣的に連結されて、前段のゲート電圧などの電圧の印加を受ける維持電極線 1 3 1 が形成されている。維持電極線 1 3 1 は、後述する画素電極 1 9 0 と連結されたドレーン電極 1 7 5 と重なって、画素の電荷保存能力を向上させる維持蓄電器を構成するが、後述する画素電極 1 9 0 とゲート線 1 2 1 の重畳で発生する保持容量が十分な場合には形成しないこともある。また、ゲート線 1 2 1 と同一の層には、以降形成されるデータ線 1 7 1 下部に位置する非晶質シリコン層 1 5 2、1 6 3 と重なって、基板 1 1 0 の下部から非晶質シリコン層 1 5 2、1 6 3 に入射する光を遮断するための光遮断膜 1 2 9 が形成されている。ここでは、光遮断膜 1 2 9 が第 1 の参考例と異なって、非晶質シリコン層 1 5 2、1 6 3 より狭い幅を有する。そして、第 1 の参考例と同様に、光遮断膜 1 2 9 と非晶質シリコン層 1 5 2、1 6 3 が重なる幅は非晶質シリコン層 1 5 2、1 6 3 の幅に対して少なくとも 6 0 % 以上であることが好ましい。

10

【 0 0 4 6 】

ゲート線 1 2 1 及び維持電極線 1 3 1 上には、窒化ケイ素 (SiN_x) などからなるゲート絶縁膜 1 4 0 が形成され、ゲート線 1 2 1、維持電極線 1 3 1 及び光遮断膜 1 2 9 を覆っている。

20

【 0 0 4 7 】

ゲート絶縁膜 1 4 0 上には、多結晶シリコンまたは非晶質シリコンなどからなる半導体パターン 1 5 2 が形成されている。半導体パターン 1 5 2 上には、リン (P) などの n 型または p 型不純物で高濃度にドーピングされた非晶質シリコンなどから構成される抵抗性接触層パターンまたは中間層パターン 1 6 3、1 6 5 が形成されている。

【 0 0 4 8 】

抵抗性接触層パターン 1 6 3、1 6 5 上には、クロムまたはモリブデンやモリブデン合金からなる導電膜またはアルミニウムやアルミニウム合金の導電膜を含むデータ線 1 7 1 及びドレーン電極 1 7 5 がテーパ構造で形成されている。データ線 1 7 1 は縦方向に延びてゲート線 1 2 1 と交差しており、外部から画像信号の印加を受けるデータ線端部 1 7 9 と薄膜トランジスタのソース電極 1 7 3 を有する。ソース電極 1 7 3 は、薄膜トランジスタのチャンネル部 (C) に対して維持電極線 1 3 1 と重なる薄膜トランジスタのドレーン電極 1 7 5 の反対側に位置する。

30

【 0 0 4 9 】

接触層パターン 1 6 3、1 6 5 は、その下部の半導体パターン 1 5 2 とその上部のデータ線 1 7 1 及びドレーン電極 1 7 5 の接触抵抗を低くする役割をし、データ線 1 7 1 及びドレーン電極 1 7 5 と完全に同一な形態を有する。即ち、データ線部中間層パターン 1 6 3 はデータ線 1 7 1 と同一で、ドレーン電極用中間層パターン 1 6 3 はドレーン電極 1 7 3 と同一である。

40

【 0 0 5 0 】

一方、半導体パターン 1 5 2 は、薄膜トランジスタのチャンネル部 C を除けば、データ線 1 7 1 及びドレーン電極 1 7 5 とその下部の抵抗性接触層パターン 1 6 3、1 6 5 とパターンが同一である。具体的には、薄膜トランジスタのチャンネル部 (C) において、データ線部 1 7 1、特にソース電極 1 7 3 とドレーン電極 1 7 5 が分離されており、データ線部中間層 1 6 3 とドレーン電極用接触層パターン 1 6 5 も分離されている。しかし、薄膜トランジスタ用半導体パターン 1 5 2 は、ここで分離されず連結されて薄膜トランジスタのチャンネルを生成する。ここで、半導体パターン 1 5 2 はデータ線 1 7 1 周縁外部に露出されており、データ線 1 7 1 下部に位置する半導体パターン 1 5 2 は光遮断膜 1 2 9 より広い幅を有する。

50

【 0 0 5 1 】

データ線 1 7 1 及びドレーン電極 1 7 5 とこれらにより覆われない半導体層 1 5 2 上部には、低い誘電率を有する有機物質から構成される有機絶縁膜または第 1 の実施例と同様の低誘電率 P E C V D 膜を含む保護膜 1 8 0 が形成されている。保護膜 1 8 0 は、データ線端部 1 7 9 及びドレーン電極 1 7 5 を露出する接触孔 1 8 9、1 8 5 を有し、さらにゲート絶縁膜 1 4 0 と共にゲート線端部 1 2 5 を露出する接触孔 1 8 2 を有する。

【 0 0 5 2 】

保護膜 1 8 0 上には、薄膜トランジスタから画像信号を受けて、上板の電極と共に電場を生成する画素電極 1 9 0 が形成されている。画素電極 1 9 0 は、I T O または I Z O などの透明な導電物質、またはアルミニウムまたは銀のような反射度を有する導電物質から構成されており、接触孔 1 8 5 を通じてドレーン電極 1 7 5 と物理的・電氣的に連結され、画像信号の伝達を受ける。ここで、保護膜 1 8 0 は低誘電率を有する有機絶縁膜を含み、画素電極 1 9 0 は隣接するゲート線 1 2 1 及びデータ線 1 7 1 と重なり開口率を高めても、これらの重畳のため信号の干渉は殆ど生じない。そして、光遮断膜 1 2 9 は、互いに隣接する画素領域の画素電極 1 9 0 と重なり、隣接する画素領域間に漏れる光を遮断するように構成できる。一方、ゲート線及びデータ線の各端部 1 2 5、1 7 9 上には、接触孔 1 8 2、1 8 9 を通じて各々これらと連結される補助ゲート部材 9 2 及び補助データ部材 9 7 が形成されている。これらは、ゲート線及びデータ線それぞれの端部 1 2 5、1 7 9 と外部回路装置との接着性を補完し、保護する役割をするもので、必須ではなく適用の可否は選択的である。

【 0 0 5 3 】

このような第 2 の参考例による薄膜トランジスタアレイ基板においても、第 1 の参考例と同様に、バックライトがオンになった時、データ線 1 7 1 下部の非晶質シリコン層 1 6 3 に入射される光を遮断する光遮断膜 1 2 9 を備えている。そのため、画像表示の時に輝度差のある帯が発生したり、帯が動く淹現象が発生することを防止し、液晶表示装置の画質を向上させることができる。

【 0 0 5 4 】

以下、図 7 ~ 図 9 の構造を有する液晶表示装置用薄膜トランジスタアレイ基板を製造する方法について図 7 ~ 図 9 及び図 1 0 a ~ 図 1 6 c を参照して詳細に説明する。

【 0 0 5 5 】

まず、図 1 0 a ~ 1 0 c に示したように、アルミニウムやアルミニウムを含む導電膜またはモリブデンやモリブデン合金またはクロムの導電膜を積層し、マスクを利用した写真エッチング工程によりパターンニングして、ゲート線 1 2 1、維持電極線 1 3 1 及び光遮断膜 1 2 9 をテーパ構造で形成する。

【 0 0 5 6 】

次に、図 1 1 a 及び 1 1 b に示したように、窒化ケイ素からなるゲート絶縁膜 1 4 0、ドーピングされない非晶質シリコンの半導体層 1 5 0、ドーピングされた非晶質シリコンの中間層 1 6 0 を化学気相蒸着法を利用して各々 1 5 0 0 ~ 5 0 0 0、5 0 0 ~ 2 0 0 0、1 4 0 0 ~ 6 0 0 の厚さに連続蒸着する。次いで、モリブデンやモリブデン合金からなる導電物質またはアルミニウムを含む導電物質の導電体層 1 7 0 をスパッタリング方法等により 1 5 0 0 ~ 3 0 0 0 の厚さに蒸着した後、その上に感光膜 2 1 0 を 1 μ m ~ 2 μ m の厚さに塗布する。

【 0 0 5 7 】

その後、マスクを通じて感光膜 2 1 0 に光を照射した後現像し、図 1 2 b 及び 1 2 c に示したように、感光膜パターン 2 1 2、2 1 4 を形成する。この時、感光膜パターン 2 1 2、2 1 4 のうち薄膜トランジスタのチャンネル部 C、即ちソース電極 1 7 3 とドレーン電極 1 7 5 との間に位置した第 1 部分 2 1 4 は、データ配線部 A、つまりデータ線 1 7 1 が形成される部分に位置した第 2 部分 2 1 2 より厚さを薄くし、その他の部分 B の感光膜は全て取り除く。ここで、チャンネル部 Cに残っている感光膜 2 1 4 の厚さとデータ配線部 Aに残っている感光膜 2 1 2 の厚さとの比は、後述するエッチング工程における工程条

10

20

30

40

50

件により異ならせる必要があるが、第 1 部分 2 1 4 の厚さが第 2 部分 2 1 2 の厚さの 1 / 2 以下であることが好ましく、例えば、4 0 0 0 以下が好適である。

【 0 0 5 8 】

このように、位置によって感光膜の厚さを異ならせるには様々の方法があつて、A 領域の光透過量を調節するために主にスリットや格子形態のパターンを形成したり、半透明膜を使用する。この時、スリット間に位置したパターンの線幅やパターン間の間隔、つまりスリットの幅は露光時に使用する露光器の分解能より小さいのが好ましい。半透明膜を利用する場合には、マスク作製の時に透過率を調節するために、透過率の異なる薄膜を利用したり、厚さの異なる薄膜を利用することができる。

【 0 0 5 9 】

10

このようにマスクを通じて感光膜に光を照射すれば、光に直接露出される部分は高分子が完全に分解されるが、スリットパターンや半透明膜が形成されている部分は光の照射量が少ないので高分子は不完全分解の状態となり、遮光幕で遮った部分は高分子がほとんど分解されない。次いで、感光膜を現像すれば分子が分解されない高分子だけが残され、照射光が少ない中央部分には光が全く照射されなかった部分より厚さの薄い感光膜を残すことができる。この時、露光時間が長いと全ての分子が分解されてしまうため、そうならないように注意が必要である。

【 0 0 6 0 】

このような薄い厚さの感光膜 2 1 4 はリフローが可能な物質からなる感光膜を利用して、光が完全に透過できる部分と光が完全に透過できない部分に分けられた通常のマスキにより露光して現像し、リフローさせて、感光膜が残留しない部分に感光膜の一部が流れるようにして形成することもできる。

20

【 0 0 6 1 】

次に、感光膜パターン 2 1 4 及びその下部の膜、つまり導電体層 1 7 0、中間層 1 6 0 及び半導体層 1 5 0 に対するエッチングを行う。この時、データ配線部 A にはデータ線及びその下部の膜がそのまま残ること、そしてチャンネル部 C には半導体層だけ残る必要がある。他の部分 B には、前記三つの層 1 7 0、1 6 0、1 5 0 が全て除去され、ゲート絶縁膜 1 4 0 が露出される必要がある。

【 0 0 6 2 】

まず、図 1 3 a 及び 1 3 b に示したように、その他の部分 B の露出されている導電体層 1 7 0 を除去し、その下の中間層 1 6 0 を露出させる。この過程では、乾式エッチングまたは湿式エッチングを両方用いることができる。この時、導電体層 1 7 0 はエッチングされ、感光膜パターン 2 1 2、2 1 4 はほぼエッチングされない条件下で行うことが良い。しかし、乾式エッチングの場合、導電体層 1 7 0 のみをエッチングし、感光膜パターン 2 1 2、2 1 4 はエッチングされない条件を見つけ出すことが難しいため、感光膜パターン 2 1 2、2 1 4 も共にエッチングされる条件下で行っても良い。その時は、湿式エッチングの場合より第 1 部分 2 1 4 の厚さを厚くして、第 1 部分 2 1 4 が取り除かれて下部の導電体層 1 7 0 が露出されることがないように注意する。

30

【 0 0 6 3 】

このようにすれば、図 1 3 a 及び図 1 3 b に示したように、チャンネル部 C 及びデータ配線部 A の導電体層、つまりソース/ドレイン用導電体パターン 1 7 8 のみが残る。その他の部分 B の導電体層 1 7 0 は全て取り除かれ、その下の中間層 1 6 0 が露出される。残った導電体パターン 1 7 8 は、ソース及びドレイン電極 1 7 3、1 7 5 が分離されず連結されている点を除けば、データ線 1 7 1 とドレイン電極 1 7 5 の形態と同一である。また、乾式エッチングを使用した場合、感光膜パターン 2 1 2、2 1 4 もある程度の厚さがエッチングされる。

40

【 0 0 6 4 】

次に、図 1 4 a 及び 1 4 b に示したように、その他の部分 B の露出された中間層 1 6 0 及びその下部の半導体層 1 5 0 を感光膜の第 1 部分 2 1 4 と一緒に乾式エッチング方法により同時に取り除く。この時のエッチングは、感光膜パターン 2 1 2、2 1 4 と中間層 1

50

60及び半導体層150(半導体層と中間層はエッチング選択性がほとんど無い。)が同時にエッチングされ、ゲート絶縁膜140はエッチングされない条件下で行う必要がある。特に、感光膜パターン212、214と半導体層150に対するエッチング比がほぼ同じな条件下でエッチングすることが好ましい。例えば、 SF_6 と HCl の混合気体や、 SF_6 と O_2 の混合気体を使用すれば、ほぼ同じ厚さに二つの膜をエッチングすることができる。感光膜パターン212、214と半導体層150に対するエッチング比が同じである場合、第1部分214の厚さは半導体層150と中間層160の厚さを合せたものと同じか、それより小さいことが好ましい。

【0065】

このようにすれば、図14a及び14bに示したように、チャンネル部Cの第1部分214が取り除かれ、ソース/ドレイン用導電体パターン178が露出される。そして、その他の部分Bの中間層160及び半導体層150が取り除かれ、その下のゲート絶縁膜140が露出される。一方、データ配線部Aの第2部分212もエッチングされて厚さが薄くなる。また、この段階で、半導体パターン152が完成する。図面符号168は各々ソース/ドレイン用導電体パターン178下部の中間層パターンを示す。

【0066】

次に、アッシングによりチャンネル部Cのソース/ドレイン用導電体パターン178の表面に残っている感光膜を取り除く。このようにすれば、感光膜パターン212の厚さ及び幅も一部が取り除かれて、ソース/ドレイン用導電体パターン178とその下部の中間層パターン168及び半導体パターン152の縁周部分が感光膜パターン212外部に露出される。

【0067】

次に、図15a及び15bに示したように、チャンネル部Cのソース/ドレイン用導電体パターン178及びその下部のソース/ドレイン用中間層パターン168をエッチングして取り除く。この時、エッチングは、ソース/ドレイン用導電体パターン178と中間層パターン168全てに対して乾式エッチングのみを行うことができる。また、ソース/ドレイン用導電体パターン178に対してはエッチング液を利用する湿式エッチングを、中間層パターン168に対しては乾式エッチングを行うこともできる。前者の場合、ソース/ドレイン用導電体パターン178と中間層パターン168のエッチング選択比の大きい条件下でエッチングを行うことが好ましい。その理由は、エッチング選択比の大きくない場合にはエッチング終了点を見つけることが難しく、チャンネル部Cに残る半導体パターン152の厚さを調節することが容易ではないためである。中間層パターン168及び半導体パターン152をエッチングする時に使用するエッチング気体の例としては、 CF_4 と HCl の混合気体や CF_4 と O_2 の混合気体があり、 CF_4 と O_2 を用いると半導体パターン152を均一な厚さに残すことができる。この時、図15bに示したように、半導体パターン152の一部が除去されて厚さが薄くなることがあり、感光膜パターンの第2部分212もこの時ある程度の厚さがエッチングされる。この際のエッチングは、ゲート絶縁膜140がエッチングされない条件下で行う必要があり、第2部分212がエッチングされて、その下のデータ線171及びドレイン電極175が露出されないように感光膜パターンの厚いことが好ましい。

【0068】

前記のようにして、図12aのように、データ線171からドレイン電極175が分離されながらこれらの下の接触層パターン163、165が完成する。

【0069】

最後に、データ配線部Aに残っていた感光膜第2部分212を取り除く。しかし、第2部分212の除去はチャンネル部Cソース/ドレイン用導電体パターン178を取り除いた後、その下の中間層パターン168を取り除く前に行うこともできる。

【0070】

前述のように、湿式エッチングと乾式エッチングを交互に実施したり、乾式エッチングのみを用いることもできる。後者の場合には、一種類のエッチングのみを使用するため工

10

20

30

40

50

程が比較的簡便だが、適当なエッチング条件を見つけたことが難しい。前者の場合には、エッチング条件を見つけることは比較的簡単だが工程が後者に比べて面倒な点がある。

【0071】

このようにして、データ線171及びドレーン電極175を形成した後、図16a~16cに示したように、有機絶縁物質を積層して保護膜180を形成し、マスクを利用して保護膜180をゲート絶縁膜140と一緒にエッチングし、ゲート線及びデータ線それぞれの端部125、179及びドレーン電極175を各々露出する接触孔182、189、185を形成する。

【0072】

次に、図7~図9に示したように、500~1000 厚さのITOまたはIZOを蒸着し、マスクにより湿式エッチングし、ドレーン電極175と連結された画素電極190、ゲート線及びデータ線それぞれの端部125、179と連結された補助ゲート部材92及び補助データ部材97を形成する。

【0073】

このような第2の参考例においては、データ線171とその下部の接触層パターン163、165、167及び半導体パターン152、157を一つのマスクを利用して形成し、この過程でソース電極173とドレーン電極175が分離され、製造工程を単純化することができる。

【0074】

前記第1及び第2の参考例においては、非晶質シリコン層150、152がデータ線171より幅が広い場合と狭い場合について説明したが、非晶質シリコン層がデータ線と同じ幅を有することもできる。これについて図面を参照して具体的に説明する。

【0075】

図17は本発明の第1の実施例による液晶表示装置用薄膜トランジスタアレイ基板であり、図18は図17に示した薄膜トランジスタアレイ基板のXVIII-XVIII'線に沿った断面図である。

【0076】

絶縁基板110上に、低抵抗を有する銀や銀合金またはアルミニウムやアルミニウム合金の金属物質からなる導電膜を含むゲート線121と、上板の共通電極に入力される共通電極電圧または隣接する画素行の薄膜トランジスタに伝達されるゲート電圧等の印加を外部から受ける維持電極線131が30~70°範囲のテーパ角を有するテーパ構造で形成されている。また、基板110上部には、第1及び第2の実施例と同様に、縦方向に光遮断膜129が形成されている。

【0077】

ゲート電極125のゲート絶縁膜140上部には、非晶質シリコンなどの半導体からなる半導体層パターン152及び抵抗性接触層163、165が、30~80°範囲のテーパ角を有するテーパ構造で形成されている。

【0078】

抵抗接触層163、165上には、モリブデン(Mo)やモリブデン-タングステン(MoW)合金、クロム(Cr)、タンタル(Ta)、チタニウム(Ti)などのバリア金属(barrier metal)からなる下部膜701と、低抵抗の銀や銀合金またはアルミニウム(Al)やアルミニウム合金(Al alloy)からなる上部膜702を含むデータ線171及びドレーン電極175が形成されている。

【0079】

この時、データ配線171のうちアルミニウムやアルミニウム合金からなる上部膜702は、接触部、つまりドレーン電極175及びデータ線端部179の一部では取り除かれている。上部膜702が取り除かれた接触部では、他の物質との接触特性が良く、アルミニウムやアルミニウム合金がケイ素層150、163、165に拡散されることを防止するためのバリア金属からなる下部膜701が露出されて、上部膜702の境界線が下部膜

10

20

30

40

50

701の上部に位置し、データ線171は互いに異なる模様のパターンを有する下部膜701と上部膜702を含む。

【0080】

ここで、半導体層パターン152は、ゲート電極123、ドレーン電極175及びソース電極173が位置する薄膜トランジスタ部を除けば、データ線171及びドレーン電極175は抵抗性接触層パターン163、165と同じ模様である。特に、データ線171下部の半導体パターン152は、データ線171と同じ幅を有するが、これは、製造工程の時にデータ線171またはこのデータ線171をパターンニングするための感光膜パターンをエッチングマスクとして用いて、半導体パターン152をパターンニングするためである。

10

【0081】

平坦化特性が優れた感光性を有する有機物質またはa-Si:C:O膜またはa-Si:O:F膜等を含む低誘電率絶縁物質または窒化ケイ素を含む保護膜には、接触部であるドレーン電極175及びデータ線端部179の下部膜701を各々露出させる接触孔185、189が形成され、ゲート絶縁膜140と共にゲート線端部125を露出させる接触孔182が形成されている。この時、接触孔185、187、189を通じて露出された下部膜701の表面は段差のある凹凸構造で、アンダーカットの構造なしに保護膜180は接触孔185、189の周縁で下部膜701と接触し、接触孔185、189を通じて露出された下部膜701を覆っている。

【0082】

20

保護膜180上には、第1または第2の参考例と同様に、画素電極190、補助ゲート部材92及び補助データ部材97が形成されている。画素電極190と補助データ部材97は、接触孔を通じて露出されたドレーン電極175とデータ部材179の凹凸構造に接触している。

【0083】

このような本発明の第1の実施例による薄膜トランジスタアレイ基板にも、光遮断膜129が形成され、第1及び第2の参考例による効果を得ることができる。ITO膜またはIZO膜190、92、97は、接触部でドレーン電極175及びデータ線端部179の下部膜701上部で下部膜701にのみ接触して、接触部の接触抵抗を低く確保することができ、表示装置の特性を向上させることができる。

30

【0084】

ここでは、画素電極190の材料の例として透明なIZOまたはITOを挙げたが、透明な導電性ポリマーなどで形成することもでき、反射型液晶表示装置の場合には不透明な導電物質を用いても構わない。

【0085】

以下、このような本発明の第1の実施例による液晶表示装置用薄膜トランジスタアレイ基板の製造方法について図17及び図18、図19a～図23bを参照して詳細に説明する。

【0086】

まず、図19a及び図19bに示したように、ガラス基板110上部にゲート線121及び維持電極線131を含むゲート配線をテーパー構造で形成する。

40

【0087】

次に、図20a及び図20bに示したように、ゲート絶縁膜140、非晶質シリコンからなる半導体層150、ドーピングされた非晶質シリコン層160の3層膜を連続積層する。ここで、ゲート絶縁膜140は窒化ケイ素を250～400の範囲、2000～5000程の厚さに積層して形成することが好ましい。次いで、その上部に、半導体層150またはドーピングされた非晶質シリコン層160により他の物質が拡散されることを防止すると共に、ITOまたはIZOなどのように他の物質との接触特性の良いバリアー金属のうちモリブデンやモリブデン合金またはクロムなどからなる下部膜701を500

程の厚さに積層し、低抵抗のアルミニウムやアルミニウム合金のうち2at%のNdを

50

含む Al-Nd 合金の標的を利用して、上部膜 702 を 150 で 2500 程の厚さに順次に積層する。次に、データ配線用マスクを利用した写真エッチング工程により上部膜 702 と下部膜 701 をパターンニングし、データ線 171 及びドレーン電極 175 を形成する。ここで、上部膜 702 及び下部膜 701 は全て湿式エッチングでエッチングすることができ、上部膜 702 は湿式エッチングで、下部膜 701 は乾式エッチングでエッチングすることもできる。そして、下部膜 701 がモリブデンやモリブデン合金膜である場合は、下部膜 701 と上部膜 702 を一つのエッチング条件でパターンニングすることができる。

【0088】

次に、図 21a 及び図 21b のように、半導体パターン用マスクを利用した写真工程により露光及び現像して、半導体パターン用感光膜パターン 210 を形成する。この時、感光膜パターン 210 は少なくともデータ配線のうち接触部として使用するデータ線端部 179 及びドレーン電極 175 を覆わないように形成する。次いで、まず感光膜パターン 210 をエッチングマスクとしてアルミニウムを含む上部膜 702 をエッチングし、接触部でデータ線端部 179 及びドレーン電極 175 の下部膜 701 を露出させる。この時、感光膜パターン 210 は少なくとも接触部として使用するデータ線端部 179 及びドレーン電極 175 の上部にも一部残し、以降形成される接触孔 185、187、189 を通じて露出される接触部に上部膜 702 を残すようにする。これは、以降の乾式エッチング工程の時に接触部で下部膜 701 が全面的に露出された場合、下部膜 701 の表面が損傷を受けることがあるので、それを防止するためである。この時、データ線端部 179 及びドレーン電極 175 の接触部に残した上部膜 702 は、以降形成される保護膜 180 の接触孔 185、189 より小さく、島状であることが好ましい。次いで、データ配線 171 及びドレーン電極 175 と感光膜パターン 210 をエッチングマスクとして用いて、露出されたドーピングされた非晶質シリコン層 160 と半導体層 150 をエッチングして半導体層パターン 152 を完成し、その上部にドーピングされた非晶質シリコン層 160 を残す。ここで、半導体層パターン 152 は、データ線 171 及びドレーン電極 175 の下部と感光膜パターン 210 で覆われない部分にのみ残るので、少なくともデータ線 171 及びドレーン電極 175 より広い面積を有することになる。ここで、感光膜パターン 210 をエッチングマスクとして利用して接触部でアルミニウムを含む上部膜 702 を取り除かなければならないため、感光膜パターン 210 は少なくともデータ配線の一部であるデータ線端部 179 及びドレーン電極 175 の一部を覆わないことが必要である。そして、ソース電極 173 とドレーン電極 175 との間のチャンネル部では、半導体層がエッチングされることを防止するために、少なくともチャンネル部を覆うことが必要である。

【0089】

ここで、データ線 171 及びドレーン電極 175 は二重膜で形成されているが、単一膜で形成することもできる。感光膜パターン 210 はデータ線 171 を完全に覆うように形成することもできる。

【0090】

次に、感光膜パターン 210 を取り除いて、図 22 のように、データ線 171 及びドレーン電極 175 で覆われないドーピングされた非晶質シリコン層パターン 160 をエッチングしてゲート電極 123 を中心に両側に分離する一方、両側のドーピングされた非晶質シリコン層 163、165 間の半導体層パターン 152 を露出させる。ドーピングされた非晶質シリコン層パターン 160 をエッチングする方法として乾式エッチングを適用するが、乾式エッチングの時にデータ線端部 179 及びドレーン電極 175 の接触部で下部膜 701 が完全に露出される時は全面に損傷を受けることがあるため、前述のように、データ線端部 179 及びドレーン電極 175 の接触部に上部膜 702 を残した後、乾式エッチングを実施する。

【0091】

次に、図 23a 及び図 23b のように、保護膜 180 を形成し、ゲート絶縁膜 140 と一緒に乾式エッチングによりパターンニングし、ゲート線端部 125 とドレーン電極 175

及びデータ線端部 179 の下部膜 701 を各々露出させる接触孔 182、185、187、189 を形成する。この時、接触孔 185、189 は保護膜 180 を乾式エッチングによりパターニングして形成するが、乾式エッチングの時に、接触孔 185、189 を通じて露出されたデータ線端部 179 及びドレーン電極 175 の接触部で上部膜 702 により覆われず露出された下部膜 701 が一部エッチングされ、上部膜 702 により覆われた部分はエッチングされないため、接触部の下部膜 701 は段差を有する凹凸構造になる。

【0092】

次に、アルミニウム全面エッチングにより、接触孔 185、189 を通じて露出されたアルミニウムやアルミニウム合金からなる上部膜 702 を取り除き、最後に、図 17 及び 18 に示したように、接触孔 185 を通じてドレーン電極 175 の下部膜 701 と連結される画素電極 190 と、接触孔 182、189 を通じてゲート線及びデータ線のそれぞれの端部 125、179 の下部膜 701 と各々連結される補助ゲート部材 92 及び補助データ部材 97 を各々形成する。本発明の実施例における IZO 膜 190、92、97 を形成するための標的は、出光 (idemitsu) 社の IDIXO (indiumx-metal oxide) という商品を使用し、標的は In_2O_3 及び ZnO を含む。 $\text{In}+\text{Zn}$ の Zn 含有量は 15 ~ 20 at % 範囲であることが好ましい。また、接触抵抗を最少化するために IZO 膜は 250 以下の範囲で積層することが好ましい。

【0093】

一方、本発明の第 1 の実施例による薄膜トランジスタアレイ基板の製造方法において、半導体パターン用感光膜パターン 210 の幅をデータ線 171 より広い幅に現像して形成することができる。このような製造工程で完成した構造について図面を参照して具体的に説明する。

【0094】

図 24 は本発明の第 2 の実施例による液晶表示装置用薄膜トランジスタアレイ基板で、図 25 は図 24 に示した薄膜トランジスタアレイ基板の XXV-XXV' 線に沿った断面図である。

【0095】

図 24 及び図 25 によれば、構造に関しては大部分本発明の第 1 の実施例と同様である。しかし、半導体パターン 152 の幅がデータ線 171 より広い幅を有し、アルミニウムを含む上部膜 702 はデータ線 171 の全面に形成されている。また、光遮断膜 129 の幅はデータ線 171 より狭い幅で形成されている。

【0096】

一方、基板にほぼ平行に配列されている液晶分子を同一な基板上に線形で対向して配置されている画素電極と共通電極を利用して制御する平面駆動方式の液晶表示装置用薄膜トランジスタ基板にも、同様に第 1 ~ 第 2 の参考例及び第 1 ~ 第 2 の実施例のような光遮断膜を適用することができる。

【0097】

図 26 は本発明の第 3 の実施例による液晶表示装置用薄膜トランジスタアレイ基板の構造を示した配置図で、図 27 は図 26 に示した薄膜トランジスタアレイ基板の XXVII-XXVII' 線に沿った断面図で、図 28 は本発明の第 4 の実施例による液晶表示装置用薄膜トランジスタアレイ基板の配置図で、図 29 は図 28 に示した薄膜トランジスタアレイ基板の XXIX-XXIX' 線に沿った断面図である。

【0098】

図 26 及び図 27 に示したように、絶縁基板 110 上にゲート線 121 及び共通配線が形成されている。共通配線は、ゲート線 121 と平行に横方向に延びている共通信号線 136 及び共通信号線 136 に連結されて共通信号線 136 を通じて共通信号が印加される共通電極 138 を含む。ここで、共通配線 136、138 は、以降形成される画素配線 176、178 と重なって保持容量を形成する維持電極の機能を有することができる。また、絶縁基板 110 上部には、以降形成されるデータ線 171 下部に位置する半導体層 150 と重なる光遮断膜 129 が縦方向に延びている。

【0099】

ゲート線121及び共通配線136、138を覆っているゲート絶縁膜140上部には、以降形成されるデータ線171に沿って縦方向に延びて光遮断膜と重なる一部を有する半導体層150が形成され、その上部には抵抗性接触層165、163が形成されている。

【0100】

抵抗性接触層163、165またはゲート絶縁膜140上部には、データ線171及びドレイン電極175が形成されている。また、データ線と同一層には、ドレイン電極175と連結され、横方向に延びて共通信号線136と対向するかまたは重なって維持蓄電器を構成する画素信号線176及び画素信号線176と連結され、縦に延びて共通電極138と平行に対向する画素電極178を含む画素配線が形成されている。

10

【0101】

基板110の上部には保護膜180が形成されている。保護膜180には、第1～第4の実施例のように、ゲート線及びデータ線のそれぞれの端部を露出する接触孔を有することができる。保護膜の上部には、データ配線171と連結される補助データ線が形成されることができ、ゲート線及びデータ線のそれぞれの端部と電氣的に連結される補助部材が形成されることができ。

【0102】

一方、本発明の第4の実施例の構造は、大概第3の実施例による構造と同様である。しかし、チャンネル部を除いた半導体層152がデータ線171及びドレイン電極175と同一のパターンを有する。

20

【0103】

本発明の第3及び第4の実施例における画素配線176、178は、データ線171及びドレイン電極175と同一層に位置しているが、ゲート線121と同一層または保護膜180の上部に形成することができる。共通配線136、138はゲート線121と異なる層に形成することができ、画素配線176、178と同一層に形成することもできる。

【0104】

一方、赤色、緑色、青色のカラーフィルターは主に対向基板に配置されるが、薄膜トランジスタアレイ基板に配置することもできる。これについて図面を参照して具体的に説明する。

30

【0105】

図30は本発明の第5の実施例による薄膜トランジスタアレイ基板の配置図で、図31は図30に示す薄膜トランジスタアレイ基板のXXXI-XXXI'線に沿った断面図である。

【0106】

図30及び図31に示すように、本発明の第5の実施例による構造は概ね図1及び図2と同様である。この時、本発明の第5の実施例による薄膜トランジスタアレイ基板には画素電極190の上部及び保護膜180の下部に赤色(R)、緑色(G)、青色(B)のカラーフィルターが形成されている。

【0107】

ここで、赤色(R)、緑色(G)、青色(B)のカラーフィルターが有する接触孔は、保護膜180が有する接触孔185、187より大きい、小さく構成することもでき、接触孔185、187の側壁を階段状にすることもできる。接触孔を定義する側壁はテーパー構造であることが好ましい。

40

【0108】

また、赤色(R)、緑色(G)、青色(B)のカラーフィルターは、ゲート線121と基板110との間に配置することができ、これらは互いにデータ線171と重なる周縁部が重なる構成とすることもできる。

【0109】

以上、本発明の好ましい実施例について詳細に説明したが、本発明の権利範囲はこれに限定されず、請求の範囲で定義している本発明の基本概念を利用した当業者の多様な変形

50

及び改良形態も本発明の権利範囲に属するものである。

【図面の簡単な説明】

【0110】

【図1】第1の参考例による液晶表示装置用薄膜トランジスタ基板の構造を示す配置図である。

【図2】図1のII-II'線に沿った液晶表示装置の断面図である。

【図3a】参考例による液晶表示装置用薄膜トランジスタ基板を製造する中間過程での薄膜トランジスタ基板の配置図である。

【図3b】図3aのIIIb-IIIb'線に沿った断面図である。

【図4a】参考例による液晶表示装置用薄膜トランジスタ基板を製造する中間過程での薄膜トランジスタ基板の配置図である。

【図4b】図4aのIVb-IVb'線に沿った断面図で図3bの次の段階を示す。

【図5a】参考例による液晶表示装置用薄膜トランジスタ基板を製造する中間過程での薄膜トランジスタ基板の配置図である。

【図5b】図5aのVb-Vb'線に沿った断面図で図4bの次の段階を示す。

【図6a】参考例による液晶表示装置用薄膜トランジスタ基板を製造する中間過程での薄膜トランジスタ基板の配置図である。

【図6b】図6aのVIb-VIb'線に沿った断面図で図5bの次の段階を示す。

【図7】第2の参考例による液晶表示装置用薄膜トランジスタアレイ基板の配置図である。

【図8】図7に示した薄膜トランジスタアレイ基板のVII-VII'線に沿った断面図である。

【図9】図7に示した薄膜トランジスタアレイ基板のIX-IX'線に沿った断面図である。

【図10a】第2の参考例に基づいて製造する第1段階の薄膜トランジスタアレイ基板の配置図である。

【図10b】図10aのXb-Xb'線に沿った断面図である。

【図10c】図10aのXc-Xc'線に沿った断面図である。

【図11a】図10aのXb-Xb'線に沿った断面図で図10bの次の段階を示す。

【図11b】図10aのXc-Xc'線に沿った断面図で図10cの次の段階を示す。

【図12a】図11a及び11bの次の段階の薄膜トランジスタアレイ基板の配置図である。

【図12b】図12aのXIb-XIb'線に沿った断面図である。

【図12c】図12aのXIc-XIc'線に沿った断面図である。

【図13a】図12aのXIb-XIb'線に沿った断面図で、図12bの次の段階を工程順によって示すものである。

【図13b】図12aのXIc-XIc'線に沿った断面図で、図12cの次の段階を工程順によって示すものである。

【図14a】図12aのXIb-XIb'線に沿った断面図で、図12bの次の段階を工程順によって示すものである。

【図14b】図12aのXIc-XIc'線に沿った断面図で、図12cの次の段階を工程順によって示すものである。

【図15a】図12aのXIb-XIb'線に沿った断面図で、図12bの次の段階を工程順によって示すものである。

【図15b】図12aのXIc-XIc'線に沿った断面図で、図12cの次の段階を工程順によって示すものである。

【図16a】図15a及び図15bの次の段階の薄膜トランジスタアレイ基板の配置図である。

【図16b】図16aのXVIb-XVIb'線に沿った断面図である。

【図16c】図16aのXVIc-XVIc'線に沿った断面図である。

【図17】本発明の第1の実施例による液晶表示装置用薄膜トランジスタアレイ基板の構

10

20

30

40

50

造を示す配置図である。

【図 1 8】図 1 7 に示す薄膜トランジスタアレイ基板のXVIII-XVIII'線に沿った断面図である。

【図 1 9 a】本発明の第 1 の実施例による液晶表示装置用薄膜トランジスタアレイ基板を製造する中間過程をその工程順によって示した薄膜トランジスタアレイ基板の配置図である。

【図 1 9 b】図 1 9 a のXIXb-XIXb'線に沿った断面図である。

【図 2 0 a】本発明の第 1 の実施例による液晶表示装置用薄膜トランジスタアレイ基板を製造する中間過程をその工程順によって示した薄膜トランジスタアレイ基板の配置図である。

【図 2 0 b】図 2 0 a のXXb-XXb'線に沿った断面図で図 1 9 b の次の段階を示す。

【図 2 1 a】本発明の第 1 の実施例による液晶表示装置用薄膜トランジスタアレイ基板を製造する中間過程をその工程順によって示した薄膜トランジスタアレイ基板の配置図である。

【図 2 1 b】図 2 1 a のXXIb-XXIb'線に沿った断面図で図 2 0 b の次の段階を示す。

【図 2 2】図 2 1 a のXXIb-XXIb'線に沿った断面図で図 2 1 b の次の段階を示す。

【図 2 3 a】本発明の第 1 の実施例による液晶表示装置用薄膜トランジスタアレイ基板を製造する中間過程をその工程順によって示した薄膜トランジスタアレイ基板の配置図である。

【図 2 3 b】図 2 3 a のXXIIb-XXIIb'線に沿った断面図で図 2 2 の次の段階を示す。

【図 2 4】本発明の第 2 の実施例による液晶表示装置用薄膜トランジスタアレイ基板の構造を示した配置図である。

【図 2 5】図 2 4 に示した薄膜トランジスタアレイ基板のXXV-XXV'線に沿った断面図である。

【図 2 6】本発明の第 3 の実施例による液晶表示装置用薄膜トランジスタアレイ基板の構造を示した配置図である。

【図 2 7】図 2 6 に示した薄膜トランジスタアレイ基板のXXVII-XXVII'線に沿った断面図である。

【図 2 8】本発明の第 4 の実施例による液晶表示装置用薄膜トランジスタアレイ基板の構造を示す配置図である。

【図 2 9】図 2 8 に示した薄膜トランジスタアレイ基板のXXIX-XXIX'線に沿った断面図である。

【図 3 0】本発明の第 5 の実施例による薄膜トランジスタアレイ基板の配置図である。

【図 3 1】図 3 0 に示した薄膜トランジスタアレイ基板のXXXI-XXXI'線に沿った断面図である。

【符号の説明】

【0 1 1 1】

9 2 補助ゲート部材

9 7 補助データ部材

1 0 0 薄膜トランジスタアレイ基板

1 1 0 絶縁基板

1 2 1 ゲート線

1 2 3 ゲート電極

1 2 9 光遮断膜

1 3 1 維持電極線

1 3 6、1 3 8 共通配線

1 4 0 ゲート絶縁膜

1 5 0 半導体層

1 5 2 半導体パターン

1 6 0 抵抗接触層

10

20

30

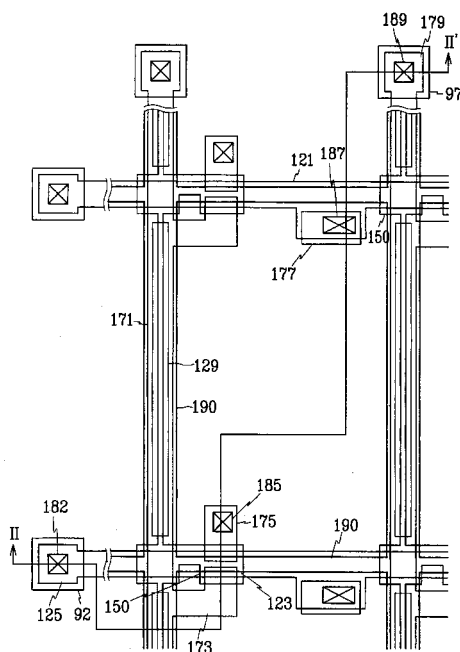
40

50

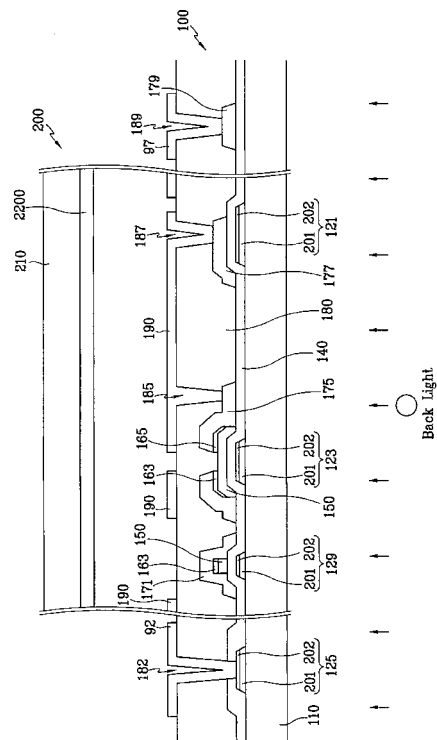
- | | | | |
|--------|--------|------------------|---------|
| 1 6 3、 | 1 6 5 | 抵抗性接触層パターン | |
| 1 7 0 | | 導電体層 | |
| 1 7 1 | | データ線 | |
| 1 7 5 | | ドレイン電極 | |
| 1 7 7 | | 維持蓄電器用導電体パターン | |
| 1 7 8 | | ソース/ドレイン用導電体パターン | |
| 1 7 6、 | 1 7 8 | 画素配線 | |
| 1 8 0 | | 保護膜 | |
| 1 9 0 | | 画素電極 | |
| 2 0 0 | | 対向基板 | |
| 2 0 1 | | 下部膜 | |
| 2 0 2 | | 上部膜 | |
| 2 1 0、 | 2 1 2、 | 2 1 4 | 感光膜パターン |
| 5 0 0 | | | バックライト |

10

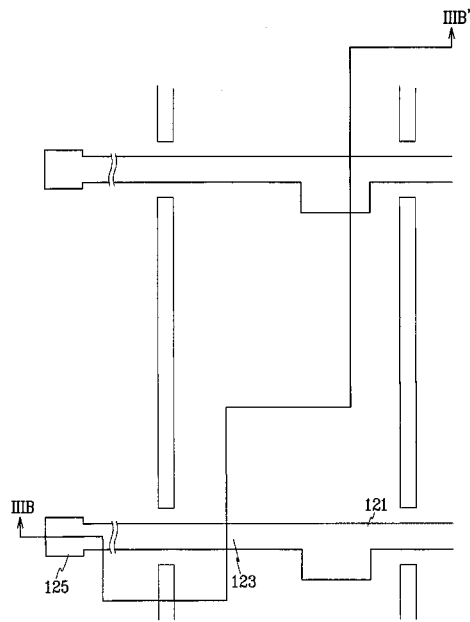
【圖 1】



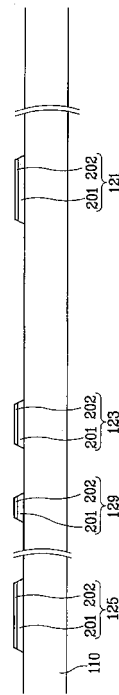
【圖 2】



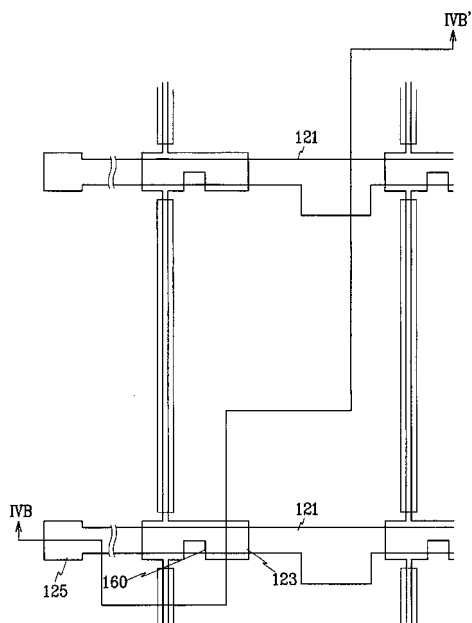
【図 3 a】



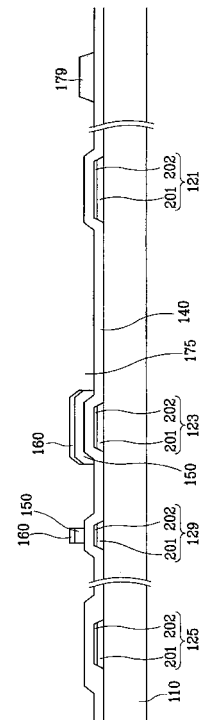
【図 3 b】



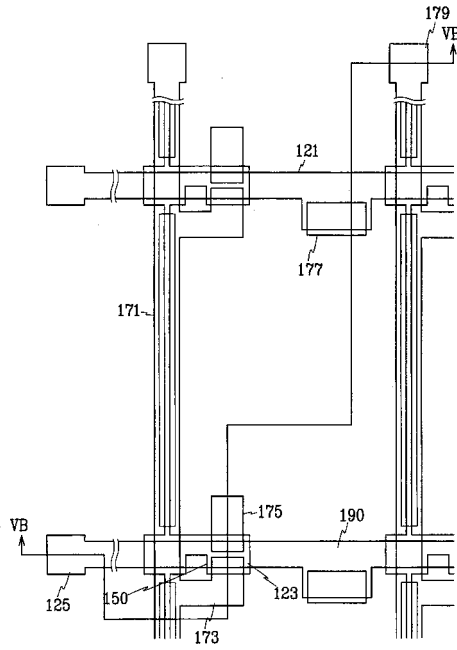
【図 4 a】



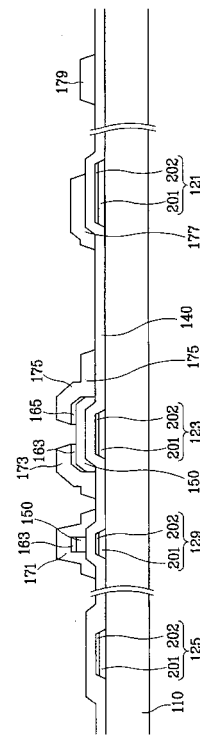
【図 4 b】



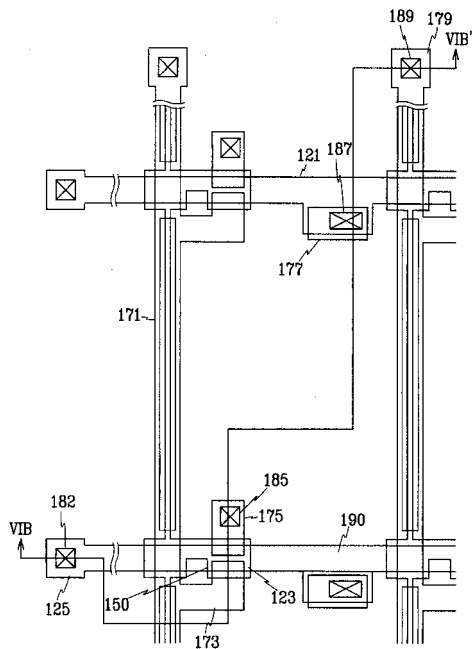
【図 5 a】



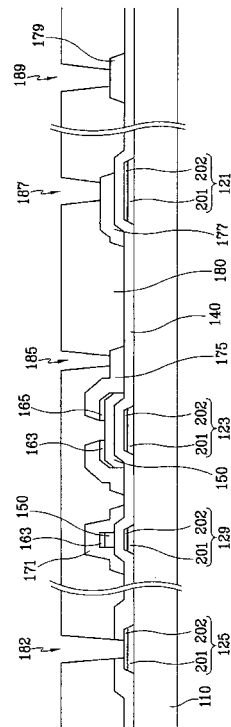
【図 5 b】



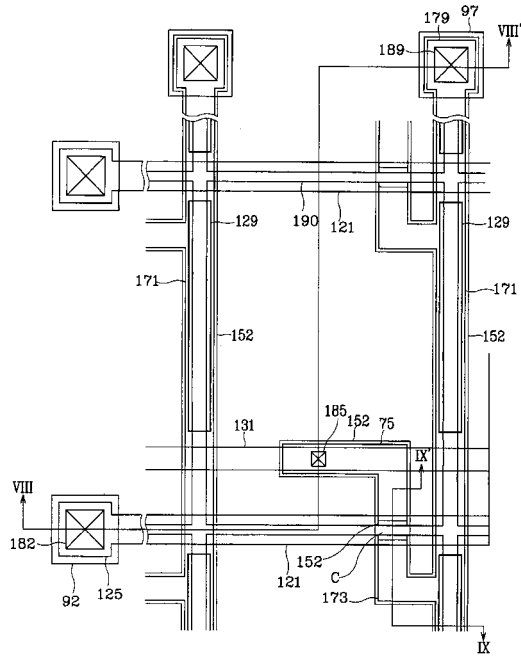
【図 6 a】



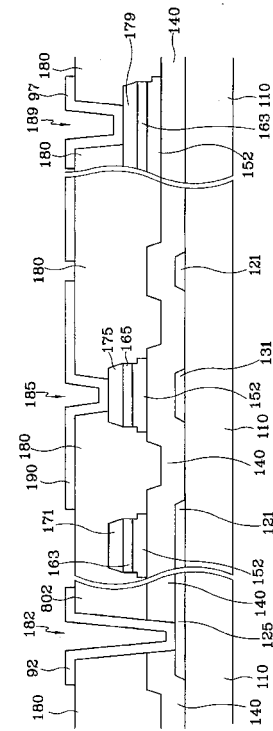
【図 6 b】



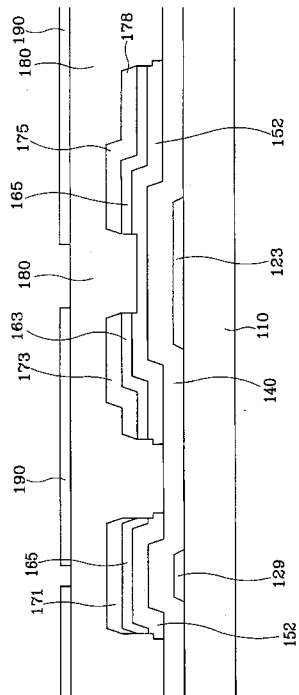
【図 7】



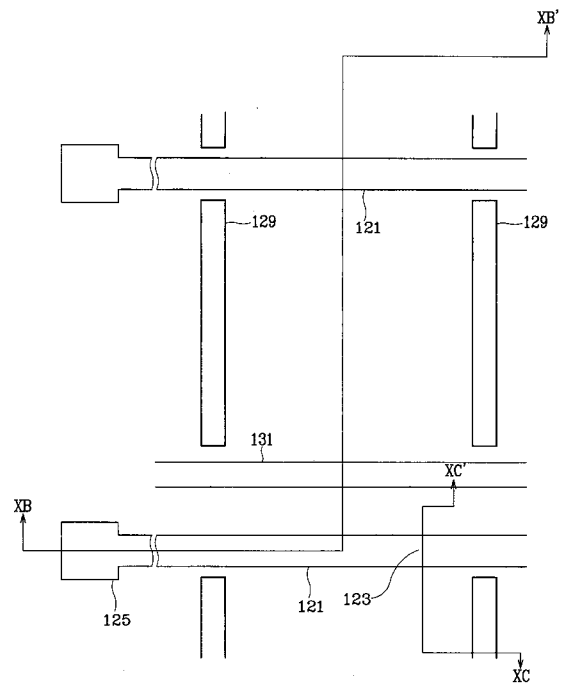
【図 8】



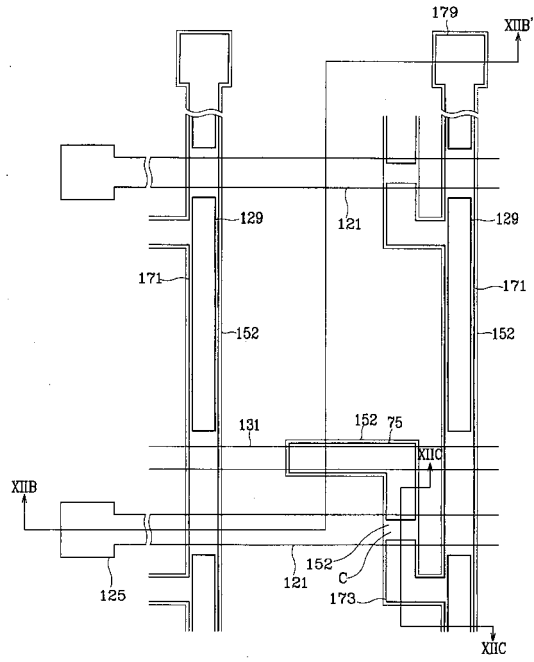
【図 9】



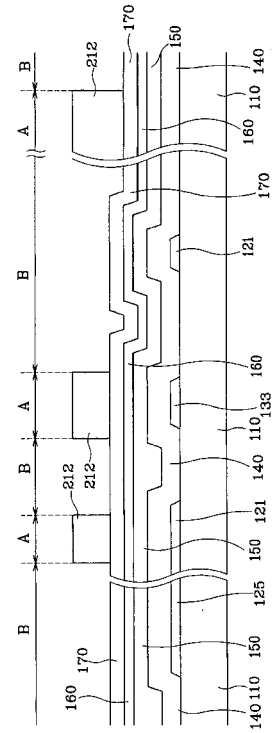
【図 10 a】



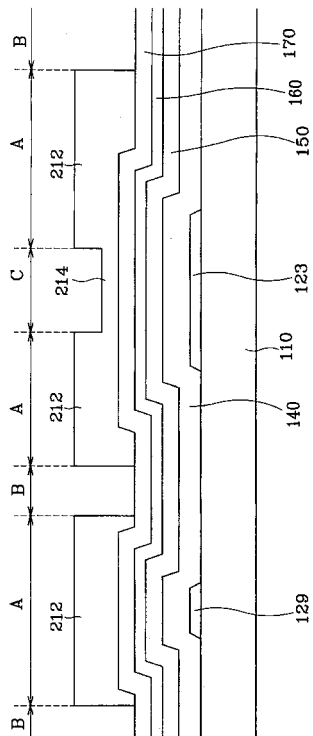
【 図 1 2 a 】



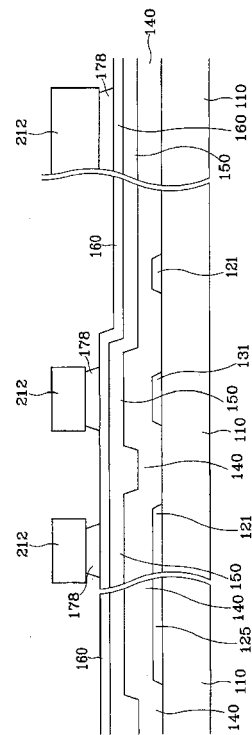
【 図 1 2 b 】



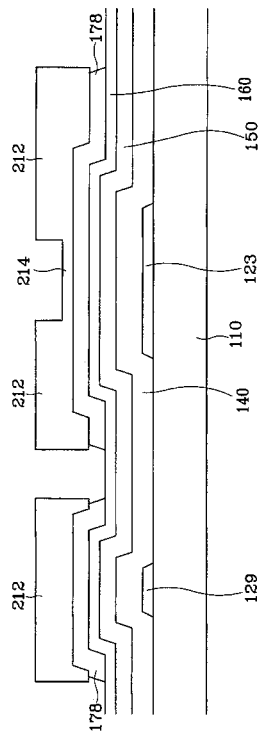
【 図 1 2 c 】



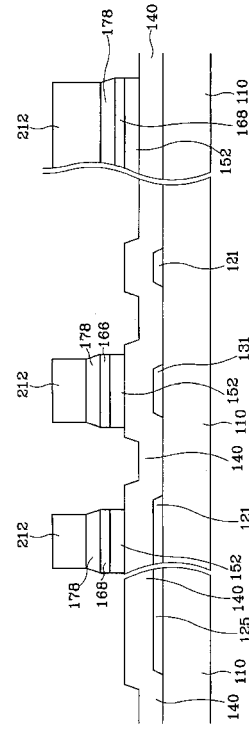
【 図 1 3 a 】



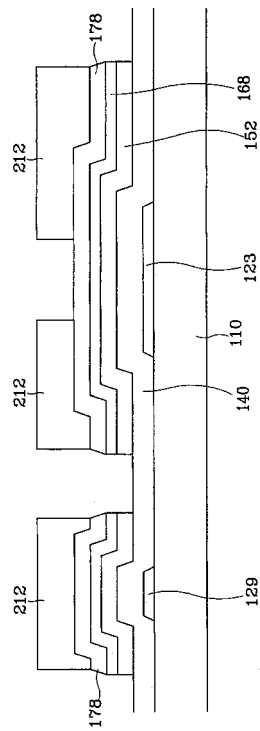
【図 13 b】



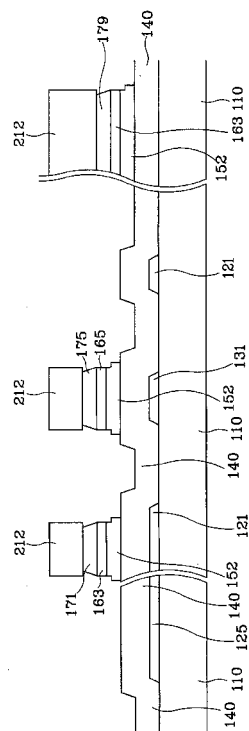
【図 14 a】



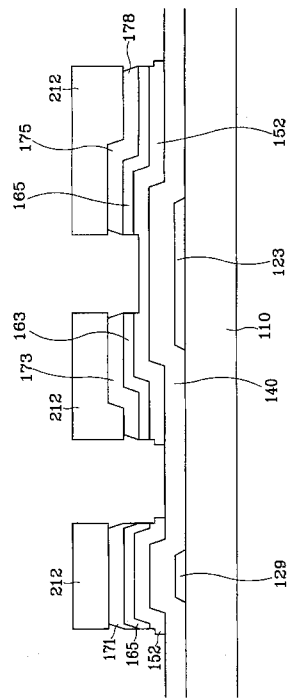
【図 14 b】



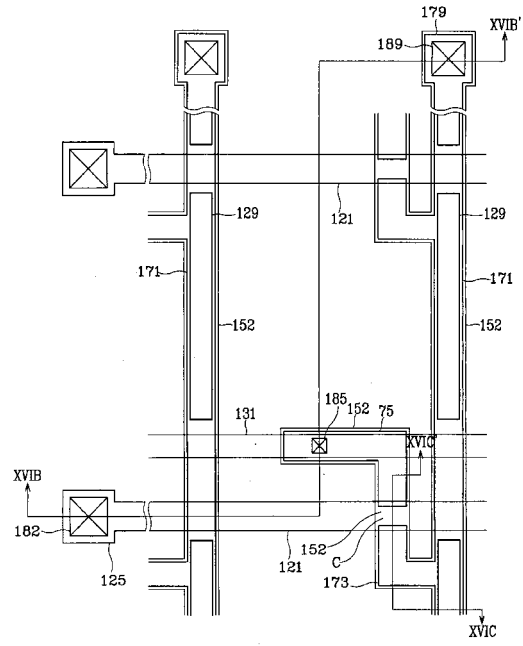
【図 15 a】



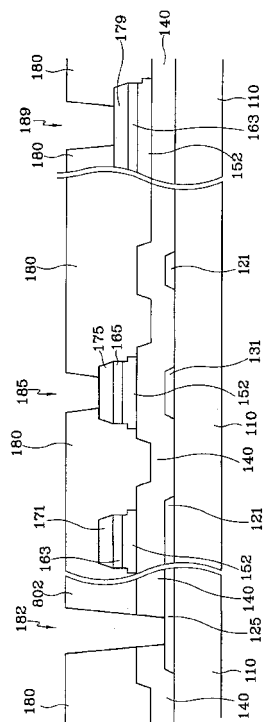
【図 15 b】



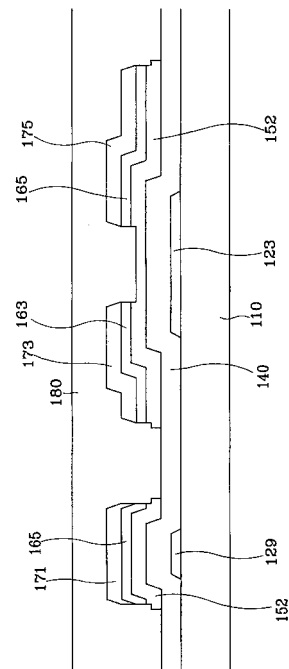
【図 16 a】



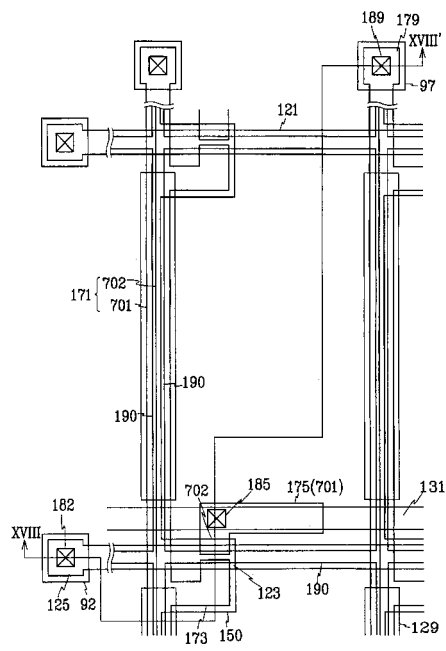
【図 16 b】



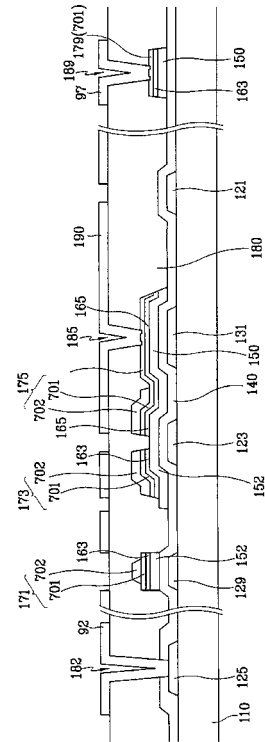
【図 16 c】



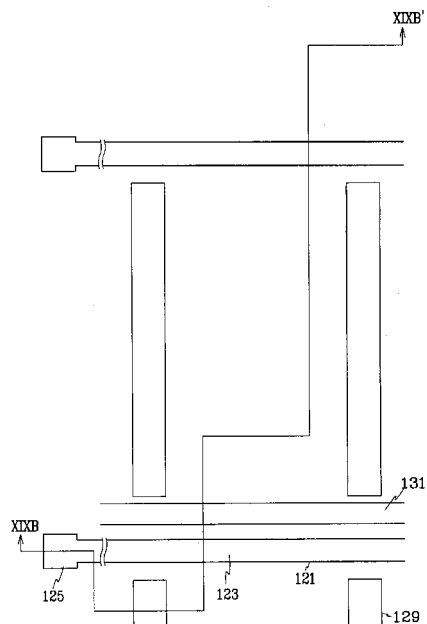
【図 17】



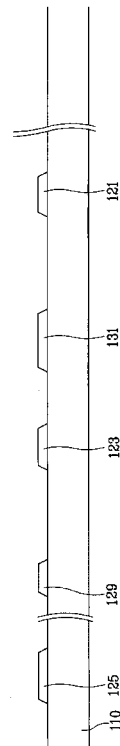
【図 18】



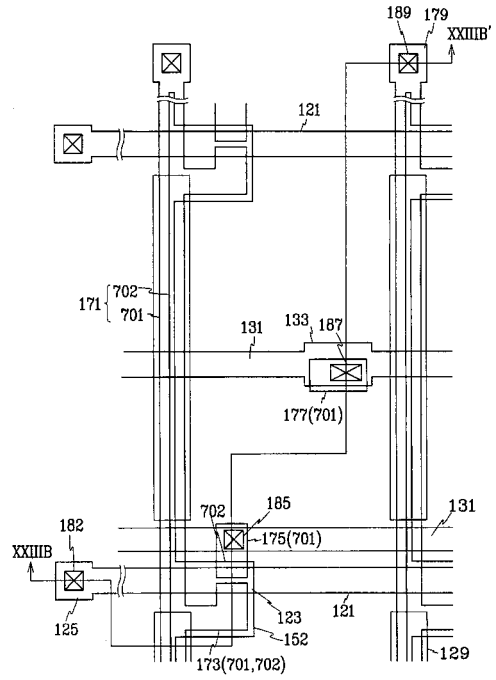
【図 19 a】



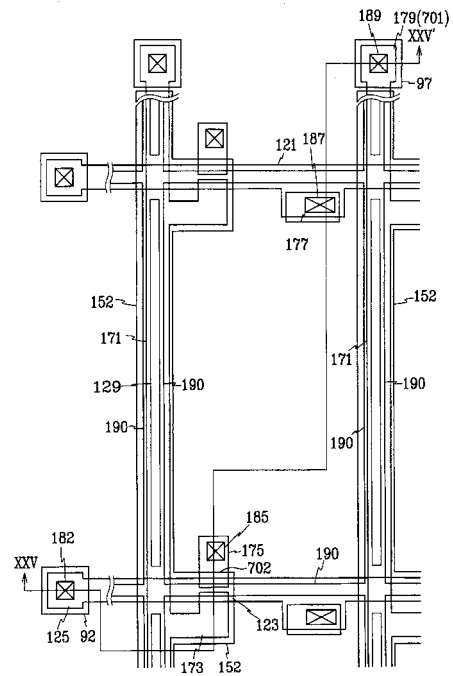
【図 19 b】



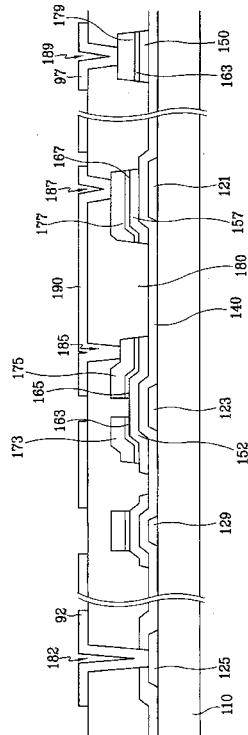
【図 2 3 a】



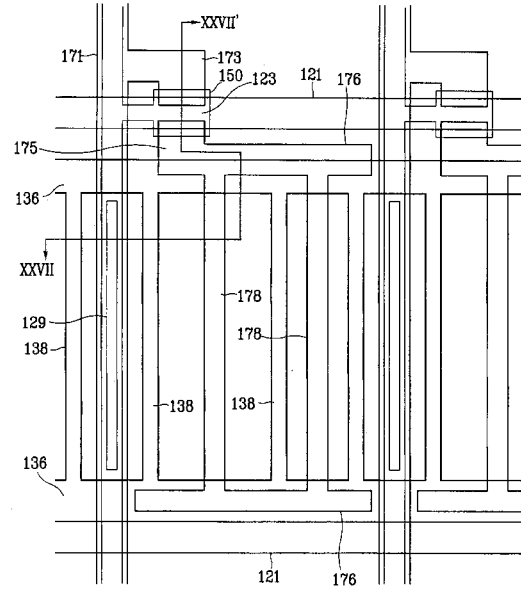
【 図 2 4 】



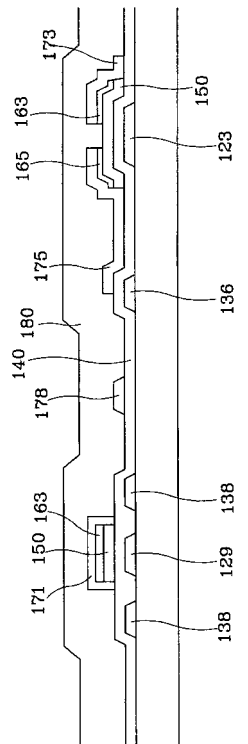
【図 25】



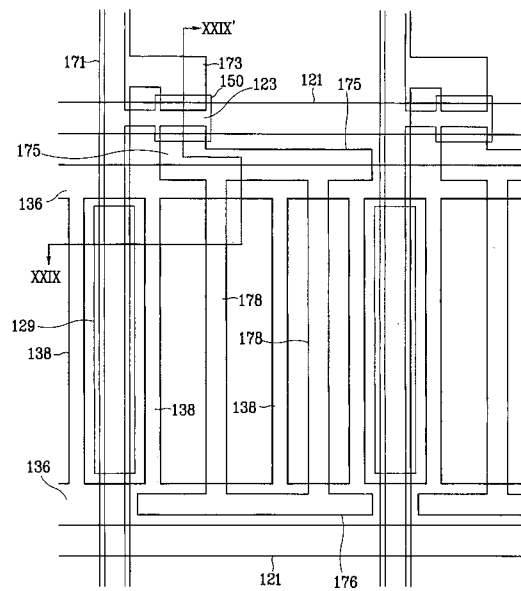
【図 26】



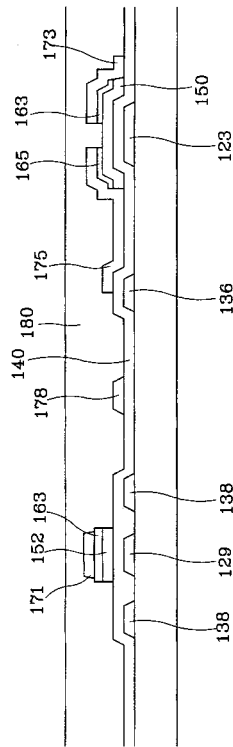
【図 27】



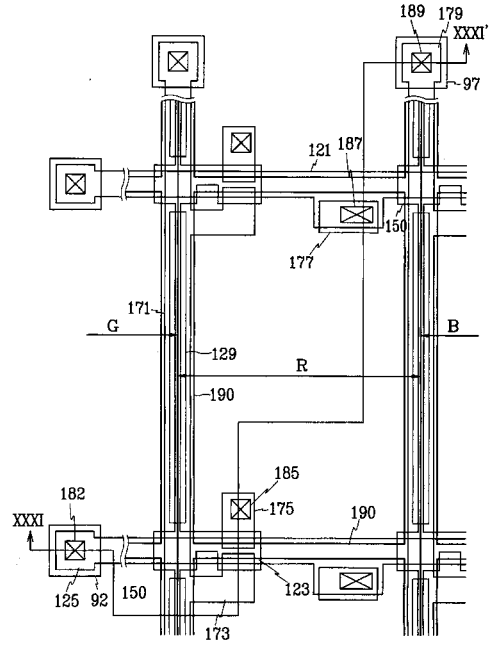
【図 28】



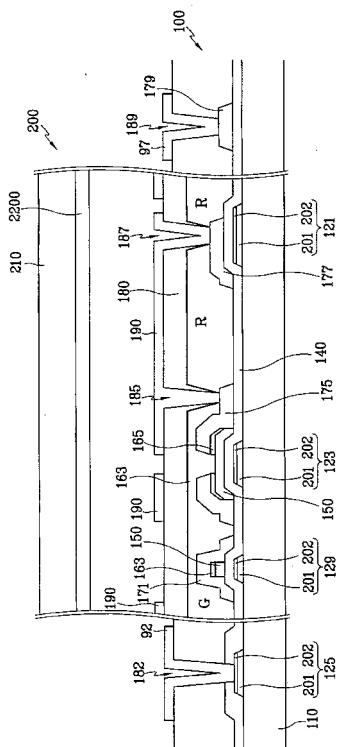
【図 29】



【図 30】



【図 31】



 フロントページの続き

(51)Int.Cl.		F I		
<i>H 0 1 L</i>	<i>29/423</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>29/78</i> <i>6 1 2 C</i>
<i>H 0 1 L</i>	<i>29/49</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>29/58</i> <i>G</i>
<i>H 0 1 L</i>	<i>29/417</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>29/50</i> <i>M</i>
<i>H 0 1 L</i>	<i>21/3213</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>21/88</i> <i>C</i>

審査官 山口 裕之

- (56)参考文献 特開平 0 7 - 2 6 3 7 0 0 (J P , A)
 特開平 0 9 - 0 3 3 9 5 1 (J P , A)
 特開平 0 8 - 0 9 5 0 8 5 (J P , A)
 特開 2 0 0 0 - 2 2 1 5 4 2 (J P , A)
 特開 2 0 0 0 - 3 2 3 6 9 8 (J P , A)
 特開 2 0 0 0 - 1 6 4 8 8 6 (J P , A)
 特開 2 0 0 0 - 2 4 1 8 3 2 (J P , A)
 特開 2 0 0 1 - 3 1 2 2 4 1 (J P , A)
 特開 2 0 0 3 - 1 7 2 9 1 9 (J P , A)
 特開 2 0 0 3 - 2 7 3 3 6 5 (J P , A)

- (58)調査した分野(Int.Cl. , D B 名)

G 0 2 F 1 / 1 3 6 8

专利名称(译)	薄膜晶体管阵列基板和包括其的液晶显示装置		
公开(公告)号	JP4928712B2	公开(公告)日	2012-05-09
申请号	JP2003420084	申请日	2003-12-17
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	金東奎		
发明人	金 東 奎		
IPC分类号	G02F1/1368 G09F9/30 G09F9/35 H01L21/28 H01L29/786 H01L29/423 H01L29/49 H01L29/417 H01L21/3213 G02F1/136 G02F1/1362		
CPC分类号	H01L29/78633 G02F1/136209 G02F1/136286 G02F2001/136236 H01L27/124 H01L27/1288		
FI分类号	G02F1/1368 G09F9/30.338 G09F9/35 H01L21/28.301.R H01L29/78.619.B H01L29/78.612.C H01L29/58.G H01L29/50.M H01L21/88.C		
F-TERM分类号	2H092/JA24 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JB22 2H092/JB24 2H092/JB31 2H092/JB32 2H092/JB33 2H092/JB51 2H092/KA12 2H092/NA01 2H092/PA01 2H092/PA06 2H092/PA09 2H092/PA13 2H192/AA24 2H192/BB02 2H192/BC31 2H192/CB05 2H192/CB46 2H192/CC04 2H192/CC12 2H192/CC17 2H192/CC32 2H192/CC52 2H192/CC72 2H192/DA02 2H192/DA12 2H192/DA32 2H192/DA43 2H192/EA04 2H192/EA15 2H192/EA17 2H192/EA22 2H192/EA42 2H192/EA43 2H192/EA67 2H192/HA44 2H192/JA33 4M104/AA09 4M104/BB02 4M104/BB13 4M104/CC01 4M104/CC05 4M104/DD15 4M104/DD64 4M104/FF08 4M104/FF13 4M104/GG20 5C094/AA03 5C094/AA48 5C094/BA03 5C094/BA43 5C094/CA19 5C094/CA24 5C094/DA13 5C094/DB01 5C094/EA04 5C094/EA05 5C094/EB02 5C094/ED03 5C094/ED15 5C094/FA01 5C094/FA02 5F033/GG04 5F033/HH08 5F033/HH17 5F033/HH20 5F033/HH38 5F033/JJ38 5F033/KK05 5F033/KK17 5F033/KK20 5F033/MM05 5F033/MM19 5F033/QQ08 5F033/QQ10 5F033/QQ19 5F033/QQ37 5F033/RR01 5F033/RR11 5F033/SS15 5F033/VV15 5F110/AA21 5F110/BB01 5F110/CC07 5F110/DD02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE14 5F110/EE23 5F110/FF03 5F110/GG02 5F110/GG13 5F110/GG15 5F110/GG44 5F110/GG58 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK05 5F110/HK06 5F110/HK09 5F110/HK16 5F110/HK22 5F110/HL01 5F110/HL07 5F110/HL22 5F110/HM19 5F110/NN03 5F110/NN22 5F110/NN24 5F110/NN27 5F110/NN42 5F110/NN46 5F110/NN47 5F110/NN72 5F110/NN73 5F110/QQ02 5F110/QQ09		
代理人(译)	山下大沽嗣		
审查员(译)	山口博之		
优先权	1020020080812 2002-12-17 KR		
其他公开文献	JP2004199074A		
外部链接	Espacenet		

摘要(译)

(经修改) 包括薄膜晶体管阵列基板和从而可以提高液晶显示装置的显示特性的液晶显示装置。 在绝缘衬底上的薄膜晶体管阵列基板100, 栅极线121, 包括栅电极123的栅极布线形成, 形成在栅极绝缘膜140覆盖的半导体层150由非晶硅制成的它形成。在半导体层上或171中的栅绝缘膜的数据线, 包括一个源电极和一个漏电极175与数据线形成的。这里, 半导体层是部分地延伸到所述

【圖 1】

体层的一部分所述光阻挡层129。挡光层129具有从基板的底部离开背光阻挡光的功能是入射到非晶硅层上。The

