

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4902317号
(P4902317)

(45) 発行日 平成24年3月21日 (2012.3.21)

(24) 登録日 平成24年1月13日 (2012.1.13)

(51) Int. Cl.	F 1
GO 2 F 1/1343 (2006.01)	GO 2 F 1/1343
GO 2 F 1/1368 (2006.01)	GO 2 F 1/1368
GO 2 F 1/1335 (2006.01)	GO 2 F 1/1335 5 2 0

請求項の数 14 (全 20 頁)

(21) 出願番号	特願2006-305998 (P2006-305998)	(73) 特許権者	303016487
(22) 出願日	平成18年11月10日 (2006.11.10)		ハイディス テクノロジー カンパニー
(65) 公開番号	特開2007-133410 (P2007-133410A)		リミテッド
(43) 公開日	平成19年5月31日 (2007.5.31)		大韓民国京畿道利川市夫鉢邑牙美里山13
審査請求日	平成21年10月15日 (2009.10.15)		6-1
(31) 優先権主張番号	10-2005-0108016	(74) 代理人	100075557
(32) 優先日	平成17年11月11日 (2005.11.11)		弁理士 西教 圭一郎
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100072235
			弁理士 杉山 毅至
		(74) 代理人	100142332
			弁理士 井上 眞司
		(72) 発明者	金 ▲乗▼ 勳
			大韓民国 京畿道 富川市 素砂區 範朴
			洞 現代 ホーム タウン アパートメン
			ト 406-1503

最終頁に続く

(54) 【発明の名称】 半透過型液晶表示装置のアレイ基板製造方法

(57) 【特許請求の範囲】

【請求項 1】

画素部が薄膜トランジスタ領域、反射領域及び透過領域に区画されたガラス基板上にITO膜とゲート用金属膜を順次に形成するステップと、

前記ゲート用金属膜とITO膜に対し、ハーフトーン露光技術を適用した第1マスク工程及びエッチング工程を進行してゲート電極を含んだゲートライン及び共通電極ラインを形成すると共に、透過領域に配置されるITOのプレート型カウンタ電極及び反射領域に配置されるエンボシングパターンを形成するステップと、

前記ゲート電極を含んだゲートライン、共通電極ライン、カウンタ電極及びエンボシングパターンが形成されたガラス基板の全面上にゲート絶縁膜と非晶質シリコン膜及びドーピングされた非晶質シリコン膜を順次に形成するステップと、

前記ドーピングされた非晶質シリコン膜と非晶質シリコン膜及びゲート絶縁膜に対し、ハーフトーン露光技術を適用した第2マスク工程及びエッチング工程を進行して共通電極ラインを露出させる第1ビアホールを形成すると共に、薄膜トランジスタ領域にアクティブパターンを形成するステップと、

前記第1ビアホール及びアクティブパターンを含んだゲート絶縁膜上にボトム-Mo膜とA1膜及びトップ-Mo膜が順次に形成された3層膜を形成するステップと、

前記3層膜に対し、ハーフトーン露光技術を適用した第3マスク工程及びエッチング工程を進行してボトム-Mo膜とA1膜及びトップ-Mo膜の3層膜からなるソース/ドレーン電極を含んだデータラインを形成して薄膜トランジスタを構成すると共に、反射領域

10

20

に配置されるボトム - Mo 膜と Al 膜との 2 層膜からなる反射電極を形成するステップと、

前記ソース / ドレイン電極及び反射電極が形成された結果物の全面上に保護膜を形成するステップと、

前記保護膜に対し、第 4 マスク工程及びエッチング工程を進行してソース / ドレイン電極を露出させる第 2 ビアホールを形成するステップと、

前記第 2 ビアホールを含んだ保護膜上に ITO 膜を形成するステップと、

前記 ITO 膜に対し、第 5 マスク工程及びエッチング工程を進行してソース / ドレイン電極とコンタクトされると共に、透過領域及び反射領域の全てに配置されるスリット型の画素電極を形成するステップと、

を含むことを特徴とする半透過型液晶表示装置のアレイ基板製造方法。

10

【請求項 2】

前記ゲート電極を含んだゲートライン及び共通電極ラインとエンボシングパターンを形成するステップは、

前記ゲート用金属膜上にハーフトーン露光工程を適用してカウンタ電極形成領域を遮る部分がゲート電極を含んだゲートライン形成領域と共通電極ライン形成領域及びエンボシングパターン形成領域を遮る部分より相対的に薄い厚さを有する第 1 感光膜パターンを形成するステップと、

前記第 1 感光膜パターンをエッチングマスクとして利用してゲート用金属膜と ITO 膜をエッチングしてゲート電極を含んだゲートラインと共通電極ライン及びエンボシングパターンを形成するステップと、

20

前記第 1 感光膜パターンに対し、カウンタ電極形成領域を遮る部分が除去されるようにアッシングするステップと、

前記アッシングされた第 1 感光膜パターンをエッチングマスクとして利用してカウンタ電極上のゲート用金属膜を除去するステップと、

残留した第 1 感光膜パターンを除去するステップと、
から構成されることを特徴とする請求項 1 に記載の半透過型液晶表示装置のアレイ基板製造方法。

【請求項 3】

前記第 1 ビアホール及びアクティブパターンを形成するステップは、

30

前記ドーピングされた非晶質シリコン膜上にハーフトーン露光工程を適用して透過領域を遮る部分がアクティブパターン形成領域及び反射電極形成領域を遮る部分より相対的に薄い厚さを有する第 2 感光膜パターンを形成するステップと、

前記第 2 感光膜パターンをエッチングマスクとして利用してドーピングされた非晶質シリコン膜と非晶質シリコン膜及びゲート絶縁膜をエッチングして共通電極ラインを露出させる第 1 ビアホールを形成するステップと、

前記第 2 感光膜パターンに対し、透過領域上に形成された部分が除去されるようにアッシングするステップと、

前記アッシングされた第 2 感光膜パターンをエッチングマスクとして利用してドーピングされた非晶質シリコン膜と非晶質シリコン膜をエッチングしてアクティブパターンを形成するステップと、

40

残留した第 2 感光膜パターンを除去するステップと、
から構成されることを特徴とする請求項 1 に記載の半透過型液晶表示装置のアレイ基板製造方法。

【請求項 4】

前記ソース / ドレイン電極を含んだデータラインと反射電極を形成するステップは、

前記ボトム - Mo 膜と Al 膜及びトップ - Mo 膜が順次に形成された 3 層膜上にハーフトーン露光工程を適用して反射電極形成領域を遮る部分がソース / ドレイン電極を含んだデータライン形成領域を遮る部分より相対的に薄い厚さを有する第 3 感光膜パターンを形成するステップと、

50

前記第3感光膜パターンをエッチングマスクとして利用して3層膜をエッチングしてソース/ドレイン電極を含んだデータラインを形成するステップと、

前記第3感光膜パターンに対し、反射電極形成領域に形成された第3感光膜パターンが除去されるようにアッシングするステップと、

前記アッシングされた第3感光膜パターンをエッチングマスクとして利用して反射領域のトップ-Mo膜をエッチングしてボトム-Mo膜とA1膜との2層膜からなる反射電極を形成するステップと、

残留した第3感光膜パターンを除去するステップと、
から構成されることを特徴とする請求項1に記載の半透過型液晶表示装置のアレイ基板製造方法。

10

【請求項5】

前記ボトム-Mo膜は、500～700 厚さで形成し、前記A1膜は1400～1600 厚さで形成し、そして、前記トップ-Mo膜は100～200 厚さで形成することを特徴とする請求項1に記載の半透過型液晶表示装置のアレイ基板製造方法。

【請求項6】

前記反射電極は前記エンボシングパターンによりエンボシングを有するように形成されることを特徴とする請求項1に記載の半透過型液晶表示装置のアレイ基板製造方法。

【請求項7】

前記透過領域及び反射領域は各々カウンタ電極と画素電極及び反射電極と画素電極との間の水平電界によるFFSモードで駆動されることを特徴とする請求項1に記載の半透過型液晶表示装置のアレイ基板製造方法。

20

【請求項8】

画素部が薄膜トランジスタ領域、反射領域及び透過領域に区画されたガラス基板上にITO膜とゲート用金属膜を順次に形成するステップと、

前記ゲート用金属膜上にITO膜を形成するステップと、

前記ITO膜に対し、第1マスク工程及びエッチング工程を進行して透過領域にITOのプレイ型カウンタ電極を形成するステップと、

前記カウンタ電極が形成されたガラス基板上にゲート用金属膜を形成するステップと、

前記ゲート用金属膜に対し、第2マスク工程及びエッチング工程を進行してゲート電極を含んだゲートラインと共通電極ライン及び反射領域に配置されるエンボシングパターンを形成するステップと、

30

前記ゲート電極を含んだゲートライン、共通電極ライン、カウンタ電極及びエンボシングパターンが形成されたガラス基板の全面上にゲート絶縁膜と非晶質シリコン膜及びドーピングされた非晶質シリコン膜を順次に形成するステップと、

前記ドーピングされた非晶質シリコン膜と非晶質シリコン膜及びゲート絶縁膜に対し、ハーフトーン露光技術を適用した第3マスク工程及びエッチング工程を進行して共通電極ラインを露出させる第1ビアホールを形成すると共に、薄膜トランジスタ領域にアクティブパターンを形成するステップと、

前記第1ビアホール及びアクティブパターンを含んだゲート絶縁膜上にボトム-Mo膜とA1膜及びトップ-Mo膜が順次に形成された3層膜を形成するステップと、

40

前記3層膜に対し、ハーフトーン露光技術を適用した第4マスク工程及びエッチング工程を進行してボトム-Mo膜、A1膜及びトップ-Mo膜の3層膜からなるソース/ドレイン電極を含んだデータラインを形成して薄膜トランジスタを構成すると共に、反射領域に配置されるボトム-Mo膜とA1膜の2層膜からなる反射電極を形成するステップと、

前記ソース/ドレイン電極及び反射電極が形成された結果物の全面上に保護膜を形成するステップと、

前記保護膜に対し、第5マスク工程及びエッチング工程を進行してソース/ドレイン電極を露出させる第2ビアホールを形成するステップと、

前記第2ビアホールを含んだ保護膜上にITO膜を形成するステップと、

前記ITO膜に対し、第6マスク工程及びエッチング工程を進行してソース/ドレイン

50

電極とコンタクトされるスリット型の画素電極を形成するステップと、
を含むことを特徴とする半透過型液晶表示装置のアレイ基板製造方法。

【請求項 9】

画素部が薄膜トランジスタ領域、反射領域及び透過領域に区画されたガラス基板上にゲート用金属膜を形成するステップと、

前記ゲート用金属膜に対し、第 1 マスク工程及びエッチング工程を進行してゲート電極を含んだゲートライン及び共通電極ラインを形成すると共に、反射領域に配置されるエンボシングパターンを形成するステップと、

前記ゲート電極を含んだゲートラインと共通電極ライン及びエンボシングパターンが形成されたガラス基板の全面上にゲート絶縁膜と非晶質シリコン膜及びドーピングされた非晶質シリコン膜を順次に形成するステップと、

10

前記ドーピングされた非晶質シリコン膜と非晶質シリコン膜及びゲート絶縁膜に対し、ハーフトーン露光技術を適用した第 2 マスク工程及びエッチング工程を進行して共通電極ラインを露出させる第 1 ピアホールを形成すると共に、薄膜トランジスタ領域にアクティブパターンを形成するステップと、

前記第 1 ピアホール及びアクティブパターンを含んだゲート絶縁膜上にボトム - Mo 膜と Al 膜及びトップ - Mo 膜が順次に形成された 3 層膜を形成するステップと、

前記 3 層膜に対し、ハーフトーン露光技術を適用した第 3 マスク工程及びエッチング工程を進行してボトム - Mo 膜、Al 膜及びトップ - Mo 膜の 3 層膜からなるソース/ドレーン電極を含んだデータラインを形成して薄膜トランジスタを構成すると共に、反射領域に配置されるボトム - Mo 膜と Al 膜の 2 層膜からなる反射電極を形成するステップと、

20

前記ソース/ドレーン電極及び反射電極が形成された結果物の全面上に保護膜を形成するステップと、

前記保護膜に対し、第 4 マスク工程及びエッチング工程を進行してソース/ドレーン電極を露出させる第 2 ピアホールを形成するステップと、

前記第 2 ピアホールを含んだ保護膜上に ITO 膜を形成するステップと、

前記 ITO 膜に対し、第 5 マスク工程及びエッチング工程を進行してソース/ドレーン電極とコンタクトされると共に、透過領域に配置される画素電極を形成するステップと、
を含むことを特徴とする半透過型液晶表示装置のアレイ基板製造方法。

【請求項 10】

30

前記第 1 ピアホール及びアクティブパターンを形成するステップは、

前記ドーピングされた非晶質シリコン膜上にハーフトーン露光工程を適用して透過領域を遮る部分がアクティブパターン形成領域及び反射電極形成領域を遮る部分より相対的に薄い厚さを有する第 2 感光膜パターンを形成するステップと、

前記第 2 感光膜パターンをエッチングマスクとして利用してドーピングされた非晶質シリコン膜と非晶質シリコン膜及びゲート絶縁膜をエッチングして共通電極ラインを露出させる第 1 ピアホールを形成するステップと、

前記第 2 感光膜パターンに対し、透過領域上に形成された部分が除去されるようにアッシングするステップと、

前記アッシングされた第 2 感光膜パターンをエッチングマスクとして利用してドーピングされた非晶質シリコン膜と非晶質シリコン膜をエッチングしてアクティブパターンを形成するステップと、

40

残留した第 2 感光膜パターンを除去するステップと、

から構成されることを特徴とする請求項 9 に記載の半透過型液晶表示装置のアレイ基板製造方法。

【請求項 11】

前記ソース/ドレーン電極を含んだデータラインと反射電極を形成するステップは、

前記ボトム - Mo 膜と Al 膜及びトップ - Mo 膜が順次に形成された 3 層膜上にハーフトーン露光工程を適用して反射電極形成領域を遮る部分がソース/ドレーン電極を含んだデータライン形成領域を遮る部分より相対的に薄い厚さを有する第 3 感光膜パターンを形

50

成するステップと、

前記第3感光膜パターンをエッチングマスクとして利用して3層膜をエッチングしてソース/ドレーン電極を含んだデータラインを形成するステップと、

前記第3感光膜パターンに対し、反射電極形成領域に形成された第3感光膜パターンが除去されるようにアッシングするステップと、

前記アッシングされた第3感光膜パターンをエッチングマスクとして利用して反射領域のトップ-Mo膜をエッチングしてボトム-Mo膜とAl膜との2層膜からなる反射電極を形成するステップと、

残留した第3感光膜パターンを除去するステップと、
から構成されることを特徴とする請求項9に記載の半透過型液晶表示装置のアレイ基板製造方法。

10

【請求項12】

前記ボトム-Mo膜は500～700 厚さで形成し、前記Al膜は1400～1600 厚さで形成し、そして、前記トップ-Mo膜は100～200 厚さで形成することを特徴とする請求項9に記載の半透過型液晶表示装置のアレイ基板製造方法。

【請求項13】

前記反射電極は前記エンボシングパターンによりエンボシングを有するように形成されることを特徴とする請求項9に記載の半透過型液晶表示装置のアレイ基板製造方法。

【請求項14】

前記透過領域及び反射領域はTNモードで駆動されることを特徴とする請求項9に記載の半透過型液晶表示装置のアレイ基板製造方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半透過型液晶表示装置のアレイ基板製造方法に関し、より詳しくは、透過領域でのコンタクト抵抗を低めると共に、反射領域での高反射率特性を有するようにしながら工程単純化をなした半透過型液晶表示装置のアレイ基板製造方法に関する。

【背景技術】

【0002】

液晶表示装置は電極が形成されている2枚の基板とその間に介されている液晶層を含み、電極に電圧を印加して液晶層の液晶分子を再配列させることにより透過される光量を調節して所定の画像を具現する。

30

【0003】

このような液晶表示装置はバックライトのような光源を利用して画像を表示する透過型液晶表示装置と、自然光など外部からの入射光を光源として利用する反射型液晶表示装置とに分けられる。前記透過型液晶表示装置はバックライトを光源として利用するので暗い周辺環境でも明るい画像を具現できるが、バックライトの使用により消費電力が高いという短所がある。一方、前記反射型液晶表示装置はバックライトを使用しなくて周辺環境の自然光などを利用するので、消費電力は小さいが、周辺環境が暗い時には使用が不可能であるという短所がある。

40

【0004】

そこで、画素部を透過領域と反射領域とに分けることにより、室内や外部光源が存在しない暗い所では自体内蔵光源を利用して画像を表示する透過型に作動し、室外の高照度環境では外部の入射光を反射させて画像を表示する反射型に作動する半透過型液晶表示装置が提案された。

【0005】

図1は、大韓民国特許公開2004-0070716に提案された従来の半透過型TNモード液晶表示装置のアレイ基板を示す断面図であって、これを参照してその製造方法を説明すれば次の通りである。

【0006】

50

図示のように、画素部が薄膜トランジスタ領域（TFT）、反射領域（R）及び透過領域（T）に区画されたガラス基板 1 上にゲート用金属膜を蒸着した後、これをパターニングして薄膜トランジスタ領域（TFT）に配置されるゲート電極 2 を含んで画素部の境界に横方向に配列される複数のゲートライン（図示していない）を形成する。次に、前記ゲート電極 2 を含んだゲートラインを覆うように基板 1 の全面上にゲート絶縁膜 3 を形成する。

【 0 0 0 7 】

次に、前記ゲート絶縁膜 3 上に非ドーピングの非晶質シリコン膜とドーピングされた非晶質シリコン膜を順次に形成した後、これらをパターニングして薄膜トランジスタ領域（TFT）に配置されるアクティブパターンを形成する。次に、薄膜トランジスタ領域（TFT）及び透過領域（T）を除外した反射領域（R）のゲート絶縁膜部分上に、その表面に複数の凹凸を含む有機絶縁膜 6 を選択的に形成する。この際、前記透過領域（T）には有機絶縁膜 6 のパターニング過程で前記有機絶縁膜 6 を貫通する第 1 開口部 7 が形成される。

【 0 0 0 8 】

次に、アクティブパターン及び有機絶縁膜 6 が形成された基板結果物上にソース/ドレイン用金属膜を蒸着した後、これをパターニングして画素部の境界に実質的にゲートラインと直交する縦方向に配列される複数のデータライン（図示していない）を形成すると共に、薄膜トランジスタ領域（TFT）に配置されるソース/ドレイン電極 8 a、8 b を形成する。次に、ソース電極 8 a とドレイン電極 8 b との間のドーピングされた非晶質シリコン層部分をエッチングしてオーミック層 5 を形成すると共に、非ドーピングの非晶質シリコン層からなるチャンネル層 4 を形成し、その結果として、薄膜トランジスタ領域（TFT）に薄膜トランジスタ 10 を構成する。ここで、前記データラインの形成時には反射領域（R）の有機絶縁膜 6 上に、例えば、薄膜トランジスタ 10 のソース電極 8 a と一体型からなる反射電極 11 を共に形成する。

【 0 0 0 9 】

次に、薄膜トランジスタ 10 及び反射電極 11 を覆うように基板結果物上に保護膜 12 を形成した後、前記保護膜 12 をエッチングしてソース電極 8 a を露出させるビアホール 13 を形成すると共に、透過領域（T）上に形成された保護膜部分を除去して第 2 開口部 14 を形成する。次に、前記保護膜 12 上に ITO 膜を蒸着した後、これをパターニングしてビアホール 13 を通じてソース電極 8 a とコンタクトされる画素電極 15 を形成し、その結果として、アレイ基板の製造を完成する。

【 0 0 1 0 】

前記において、前述の従来の半透過型液晶表示装置は反射電極をソース/ドレイン用金属膜を使用して形成するので、前記ソース/ドレイン用金属膜として反射率が高い金属を採択している。例えば、従来には Al、Al 合金、Ag、Ag 合金の中、いずれか一つの単一層や、Cr、Ti、MoW の中のいずれか一つの下部層と Al、Ag の中のいずれか一つの上部層から構成される二重層でソース/ドレイン電極及び反射電極を形成している。

【 0 0 1 1 】

ところが、Al 系列の金属は画素電極物質である ITO とコンタクト抵抗が高いので、点灯されないか、点灯されてもムラ及び輝度低下が発生する等、画面品位の低下を誘発することになる。一方、Ag 系列の金属は ITO とのコンタクト抵抗が低くて Al 系列金属を適用する場合での問題は解決できるが、高価なので製品の生産費用を考慮する際、その利用が実質的に困難である。

【 0 0 1 2 】

結局、ソース/ドレイン用金属膜で反射電極を形成する従来の半透過型液晶表示装置は ITO 膜とのコンタクト抵抗問題及び費用問題により実質的に希望する製品の具現に困難がある。

【 0 0 1 3 】

一方、従来の半透過型液晶表示装置はそのアレイ基板製作の際、一般的に 8 ~ 11 枚のマスクを必要とする。これは 5 ~ 8 枚のマスクを必要とする透過領域の形成に比べて反射

10

20

30

40

50

領域の形成がレジン膜へのビア形成、エンボシング形成及び反射電極形成が更に遂行されなければならないことと関連して、最小３枚のマスクを更に必要とするためである。

【００１４】

具体的に、図２は従来の半透過型ＴＮ（Twisted Nematic）モード液晶表示装置のアレイ基板を示す断面図であって、この構造の場合はゲート電極２を含んだゲートライン及び共通電極ラインを形成するための第１マスク工程、アクティブパターンを形成するための第２マスク工程、ソース／ドレイン電極８ａ、８ｂを含んだデータラインを形成するための第３マスク工程、ソース／ドレイン電極８ａ、８ｂを露出させるビア形成のための第４マスク工程、ＩＴＯの画素電極１５を形成するための第５マスク工程、レジン膜６へのビア１３形成のための第６マスク工程、反射領域（Ｒ）へのエンボシング１６形成のための第７マスク工程、そして、前記反射領域（Ｒ）への反射電極１１形成のための第８マスク工程が順次に遂行されることにより製造される。

10

【００１５】

ここで、前記反射領域（Ｒ）の形成はレジン膜６へのビア１３形成、エンボシング１６形成、そして、反射電極１１形成により透過領域（Ｔ）の形成に比べて少なくとも３枚のマスクを更に必要とする。

【００１６】

図３は、従来の半透過型ＦＦＳ（Fringe Field Switching）モード液晶表示装置のアレイ基板を示す断面図であって、この構造の場合はゲート電極２を含んだゲートラインと共通電極ライン２ａ及び反射領域（Ｒ）へのエンボシングパターン２ｂを形成するための第１マスク工程、アクティブパターンを形成するための第２マスク工程、ソース／ドレイン電極８ａ、８ｂを含んだデータラインを形成するための第３マスク工程、共通電極ライン２ａを露出させるビア９形成のための第４マスク工程、透過領域（Ｔ）へのプレート型カウンタ電極１７を形成するための第５マスク工程、反射領域（Ｒ）への反射電極１１を形成するための第６マスク工程、ソース／ドレイン電極８ａ、８ｂを露出させるビア１３形成のための第７マスク工程、そして、透過領域（Ｔ）及び反射領域（Ｒ）へのスリット型画素電極１５を形成するための第８マスク工程が順次に遂行することにより製造される。

20

【００１７】

ここで、ＦＦＳモードの場合、反射領域（Ｒ）の形成は透過領域（Ｔ）の形成に比べて共通電極ライン２ａを露出させるレジン膜６へのビア９形成及び反射電極１１形成のために少なくとも２枚のマスクが更に必要であり、それで、基板の全体としては８枚以上のマスクを必要とする。

30

【００１８】

したがって、従来の半透過型液晶表示装置はそのアレイ基板製作時に少なくとも８枚以上のマスクを必要とし、周知のように、各マスク工程はその自体で感光膜塗布工程、既に塗布された感光膜に対するマスクを利用した露光工程及び露光した感光膜に対する現像工程、そして、ソフトバーク、ハードバークなどの熱工程を含むので、結果として、８枚以上のマスクを必要とする従来の半透過型液晶表示装置のアレイ基板製造方法は非常に複雑であるだけでなく、費用面でも望ましくない。

【００１９】

40

図２及び図３において、未説明符号１はガラス基板、３はゲート絶縁膜、４はチャンネル層、５はオーミック層、１０は薄膜トランジスタ、１１ａはＡｌ金属膜、１１ｂはＭｏ金属膜、１２は保護膜、そして、１４ａは開口部を各々表す。

【００２０】

【特許文献１】大韓民国特許出願公開第２００４－００７０７１６号明細書

【発明の開示】

【発明が解決しようとする課題】

【００２１】

従って、本発明は前記のような従来の諸問題を解決するために案出したものであって、ソース／ドレイン用金属膜で反射電極を共に形成しながらも透過領域でのコンタクト抵抗

50

を改善させると共に、反射領域での反射率特性を改善させることができる半透過型液晶表示装置のアレイ基板製造方法を提供することをその目的とする。

【 0 0 2 2 】

また、本発明は透過領域でのコンタクト抵抗を改善させると共に、反射領域での反射率特性を改善させることによって安定した動作がなされるようにすると共に、優れる画面品位を確保することができる半透過型液晶表示装置のアレイ基板製造方法を提供することをその他の目的とする。

【 0 0 2 3 】

その上、本発明はマスク工程数を減らすことによって、工程単純化をなすと共に、製造費用を低減できる半透過型液晶表示装置のアレイ基板製造方法を提供することを又他の目的とする。

【課題を解決するための手段】

【 0 0 2 4 】

前記の目的の達成のために、本発明は、画素部が薄膜トランジスタ領域、反射領域及び透過領域に区画されたガラス基板上にITO膜とゲート用金属膜を順次に形成するステップと、前記ゲート用金属膜とITO膜に対し、ハーフトーン露光技術を適用した第1マスク工程及びエッチング工程を進行してゲート電極を含んだゲートライン及び共通電極ラインを形成すると共に、透過領域に配置されるITOのプレート型カウンタ電極及び反射領域に配置されるエンボシングパターンを形成するステップと、前記ゲート電極を含んだゲートライン、共通電極ライン、カウンタ電極及びエンボシングパターンが形成されたガラス基板の全面上にゲート絶縁膜と非晶質シリコン膜及びドーピングされた非晶質シリコン膜を順次に形成するステップと、前記ドーピングされた非晶質シリコン膜と非晶質シリコン膜及びゲート絶縁膜に対し、ハーフトーン露光技術を適用した第2マスク工程及びエッチング工程を進行して共通電極ラインを露出させる第1ビアホールを形成すると共に、薄膜トランジスタ領域にアクティブパターンを形成するステップと、前記第1ビアホール及びアクティブパターンを含んだゲート絶縁膜上にボトム-Mo膜とAl膜及びトップ-Mo膜が順次に形成された3層膜を形成するステップと、前記3層膜に対し、ハーフトーン露光技術を適用した第3マスク工程及びエッチング工程を進行してボトム-Mo膜とAl膜及びトップ-Mo膜の3層膜からなるソース/ドレイン電極を含んだデータラインを形成して薄膜トランジスタを構成すると共に、反射領域に配置されるボトム-Mo膜とAl膜との2層膜からなる反射電極を形成するステップと、前記ソース/ドレイン電極及び反射電極が形成された結果物の全面上に保護膜を形成するステップと、前記保護膜に対し、第4マスク工程及びエッチング工程を進行してソース/ドレイン電極を露出させる第2ビアホールを形成するステップと、前記第2ビアホールを含んだ保護膜上にITO膜を形成するステップと、前記ITO膜に対し、第5マスク工程及びエッチング工程を進行してソース/ドレイン電極とコンタクトされると共に、透過領域及び反射領域の全てに配置されるスリット型の画素電極を形成するステップと、を含むことを特徴とする半透過型液晶表示装置のアレイ基板製造方法を提供する。

【 0 0 2 5 】

ここで、前記ゲート電極を含んだゲートライン及び共通電極ラインとエンボシングパターンを形成するステップは、前記ゲート用金属膜上にハーフトーン露光工程を適用してカウンタ電極形成領域を遮る部分がゲート電極を含んだゲートライン形成領域と共通電極ライン形成領域及びエンボシングパターン形成領域を遮る部分より相対的に薄い厚さを有する第1感光膜パターンを形成するステップと、前記第1感光膜パターンをエッチングマスクとして利用してゲート用金属膜とITO膜をエッチングしてゲート電極を含んだゲートラインと共通電極ライン及びエンボシングパターンを形成するステップと、前記第1感光膜パターンに対し、カウンタ電極形成領域を遮る部分が除去されるようにアッシングするステップと、前記アッシングされた第1感光膜パターンをエッチングマスクとして利用してカウンタ電極上のゲート用金属膜を除去するステップと、残留した第1感光膜パターンを除去するステップと、から構成されることを特徴とする。

【 0 0 2 6 】

前記第 1 ビアホール及びアクティブパターンを形成するステップは、前記ドーピングされた非晶質シリコン膜上にハーフトーン露光工程を適用して透過領域を遮る部分がアクティブパターン形成領域及び反射電極形成領域を遮る部分より相対的に薄い厚さを有する第 2 感光膜パターンを形成するステップと、前記第 2 感光膜パターンをエッチングマスクとして利用してドーピングされた非晶質シリコン膜と非晶質シリコン膜及びゲート絶縁膜をエッチングして共通電極ラインを露出させる第 1 ビアホールを形成するステップと、前記第 2 感光膜パターンに対し、透過領域上に形成された部分が除去されるようにアッシングするステップと、前記アッシングされた第 2 感光膜パターンをエッチングマスクとして利用してドーピングされた非晶質シリコン膜と非晶質シリコン膜をエッチングしてアクティブパターンを形成するステップと、残留した第 2 感光膜パターンを除去するステップと、から構成されることを特徴とする。

10

【 0 0 2 7 】

前記ソース/ドレイン電極を含んだデータラインと反射電極を形成するステップは、前記ボトム - Mo 膜と Al 膜及びトップ - Mo 膜が順次に形成された 3 層膜の上にハーフトーン露光工程を適用して反射電極形成領域を遮る部分がソース/ドレイン電極を含んだデータライン形成領域を遮る部分より相対的に薄い厚さを有する第 3 感光膜パターンを形成するステップと、前記第 3 感光膜パターンをエッチングマスクとして利用して 3 層膜をエッチングしてソース/ドレイン電極を含んだデータラインを形成するステップと、前記第 3 感光膜パターンに対し、反射電極形成領域に形成された第 3 感光膜パターンが除去されるようにアッシングするステップと、前記アッシングされた第 3 感光膜パターンをエッチングマスクとして利用して反射領域のトップ - Mo 膜をエッチングしてボトム - Mo 膜と Al 膜との 2 層膜からなる反射電極を形成するステップと、残留した第 3 感光膜パターンを除去するステップと、から構成されることを特徴とする。

20

【 0 0 2 8 】

前記ボトム - Mo 膜は、500 ~ 700 厚さで形成し、前記 Al 膜は 1400 ~ 1600 厚さで形成し、そして、前記トップ - Mo 膜は 100 ~ 200 厚さで形成することを特徴とする。

【 0 0 2 9 】

前記反射電極は前記エンボシングパターンによりエンボシングを有するように形成されることを特徴とする。

30

【 0 0 3 0 】

前記透過領域及び反射領域は各々カウンタ電極と画素電極及び反射電極と画素電極間の水平電界による FFS モードで駆動されることを特徴とする。

【 0 0 3 1 】

また、前記のような目的の達成のために、本発明は、画素部が薄膜トランジスタ領域、反射領域及び透過領域に区画されたガラス基板上に ITO 膜とゲート用金属膜を順次に形成するステップと、前記ゲート用金属膜上に ITO 膜を形成するステップと、前記 ITO 膜に対し、第 1 マスク工程及びエッチング工程を進行して透過領域に ITO のプレイ型カウンタ電極を形成するステップと、前記カウンタ電極が形成されたガラス基板上にゲート用金属膜を形成するステップと、前記ゲート用金属膜に対し、第 2 マスク工程及びエッチング工程を進行してゲート電極を含んだゲートラインと共通電極ライン及び反射領域に配置されるエンボシングパターンを形成するステップと、前記ゲート電極を含んだゲートライン、共通電極ライン、カウンタ電極及びエンボシングパターンが形成されたガラス基板の全面上にゲート絶縁膜と非晶質シリコン膜及びドーピングされた非晶質シリコン膜を順次に形成するステップと、前記ドーピングされた非晶質シリコン膜と非晶質シリコン膜及びゲート絶縁膜に対し、ハーフトーン露光技術を適用した第 3 マスク工程及びエッチング工程を進行して共通電極ラインを露出させる第 1 ビアホールを形成すると共に、薄膜トランジスタ領域にアクティブパターンを形成するステップと、前記第 1 ビアホール及びアクティブパターンを含んだゲート絶縁膜上にボトム - Mo 膜と Al 膜及びトップ - Mo

40

50

膜が順次に形成された3層膜を形成するステップと、前記3層膜に対し、ハーフトーン露光技術を適用した第4マスク工程及びエッチング工程を進行してボトム-Mo膜、A1膜及びトップ-Mo膜の3層膜からなるソース/ドレイン電極を含んだデータラインを形成して薄膜トランジスタを構成すると共に、反射領域に配置されるボトム-Mo膜とA1膜の2層膜からなる反射電極を形成するステップと、前記ソース/ドレイン電極及び反射電極が形成された結果物の全面上に保護膜を形成するステップと、前記保護膜に対し、第5マスク工程及びエッチング工程を進行してソース/ドレイン電極を露出させる第2ビアホールを形成するステップと、前記第2ビアホールを含んだ保護膜上にITO膜を形成するステップと、前記ITO膜に対し、第6マスク工程及びエッチング工程を進行してソース/ドレイン電極とコンタクトされるスリット型の画素電極を形成するステップと、を含むことを特徴とする半透過型液晶表示装置のアレイ基板製造方法を提供する。

10

【0032】

その上、前記のような目的の達成のために、本発明は、画素部が薄膜トランジスタ領域、反射領域及び透過領域に区画されたガラス基板上にゲート用金属膜を形成するステップと、前記ゲート用金属膜に対し、第1マスク工程及びエッチング工程を進行してゲート電極を含んだゲートライン及び共通電極ラインを形成すると共に、反射領域に配置されるエンボシングパターンを形成するステップと、前記ゲート電極を含んだゲートラインと共通電極ライン及びエンボシングパターンが形成されたガラス基板の全面上にゲート絶縁膜と非晶質シリコン膜及びドーピングされた非晶質シリコン膜を順次に形成するステップと、前記ドーピングされた非晶質シリコン膜と非晶質シリコン膜及びゲート絶縁膜に対し、ハーフトーン露光技術を適用した第2マスク工程及びエッチング工程を進行して共通電極ラインを露出させる第1ビアホールを形成すると共に、薄膜トランジスタ領域にアクティブパターンを形成するステップと、前記第1ビアホール及びアクティブパターンを含んだゲート絶縁膜上にボトム-Mo膜とA1膜及びトップ-Mo膜が順次に形成された3層膜を形成するステップと、前記3層膜に対し、ハーフトーン露光技術を適用した第3マスク工程及びエッチング工程を進行してボトム-Mo膜、A1膜及びトップ-Mo膜の3層膜からなるソース/ドレイン電極を含んだデータラインを形成して薄膜トランジスタを構成すると共に、反射領域に配置されるボトム-Mo膜とA1膜の2層膜からなる反射電極を形成するステップと、前記ソース/ドレイン電極及び反射電極が形成された結果物の全面上に保護膜を形成するステップと、前記保護膜に対し、第4マスク工程及びエッチング工程を進行してソース/ドレイン電極を露出させる第2ビアホールを形成するステップと、前記第2ビアホールを含んだ保護膜上にITO膜を形成するステップと、前記ITO膜に対し、第5マスク工程及びエッチング工程を進行してソース/ドレイン電極とコンタクトされると共に、透過領域に配置される画素電極を形成するステップと、を含むことを特徴とする半透過型液晶表示装置のアレイ基板製造方法を提供する。

20

30

【0033】

ここで、前記第1ビアホール及びアクティブパターンを形成するステップは、前記ドーピングされた非晶質シリコン膜上にハーフトーン露光工程を適用して透過領域を遮る部分がアクティブパターン形成領域及び反射電極形成領域を遮る部分より相対的に薄い厚さを有する第2感光膜パターンを形成するステップと、前記第2感光膜パターンをエッチングマスクとして利用してドーピングされた非晶質シリコン膜と非晶質シリコン膜及びゲート絶縁膜をエッチングして共通電極ラインを露出させる第1ビアホールを形成するステップと、前記第2感光膜パターンに対し、透過領域上に形成された部分が除去されるようにアッシングするステップと、前記アッシングされた第2感光膜パターンをエッチングマスクとして利用してドーピングされた非晶質シリコン膜と非晶質シリコン膜をエッチングしてアクティブパターンを形成するステップと、残留した第2感光膜パターンを除去するステップと、から構成されることを特徴とする。

40

【0034】

前記ソース/ドレイン電極を含んだデータラインと反射電極を形成するステップは、前記ボトム-Mo膜とA1膜及びトップ-Mo膜が順次に形成された3層膜の上にハーフト

50

ーン露光工程を適用して反射電極形成領域を遮る部分がソース/ドレイン電極を含んだデータライン形成領域を遮る部分より相対的に薄い厚さを有する第3感光膜パターンを形成するステップと、前記第3感光膜パターンをエッチングマスクとして利用して3層膜をエッチングしてソース/ドレイン電極を含んだデータラインを形成するステップと、前記第3感光膜パターンに対し、反射電極形成領域に形成された第3感光膜パターンが除去されるようにアッシングするステップと、前記アッシングされた第3感光膜パターンをエッチングマスクとして利用して反射領域のトップ-Mo膜をエッチングしてボトム-Mo膜とAl膜との2層膜からなる反射電極を形成するステップと、残留した第3感光膜パターンを除去するステップと、から構成されることを特徴とする。

【0035】

10

前記ボトム-Mo膜は500～700 厚さで形成し、前記Al膜は1400～1600 厚さで形成し、そして、前記トップ-Mo膜は100～200 厚さで形成することを特徴とする。

【0036】

前記反射電極は前記エンボシングパターンによりエンボシングを有するように形成されることを特徴とする。

前記透過領域及び反射領域はTNモードで駆動されることを特徴とする。

【発明の効果】

【0037】

以上のように、本発明はソース/ドレイン用金属膜で反射電極を形成するものの、前記ソース/ドレイン用金属としてMo-Al-Moの3層膜を適用しながら選択的に反射領域でのトップ-Moを除去することによって、反射領域での優れる反射率特性を確保することができることは勿論、薄膜トランジスタ領域で良好な電氣的コンタクトがなされるようにすることができ、それで、製品の画面品位を向上させることができる。

20

【0038】

また、本発明はハーフトーン露光技術を利用して略5～6枚のマスク工程を利用することだけでアレイ基板を製作することによって、8～11枚のマスクを必要とする従来に比べてマスク数を減らすことができ、それによって、低減されたマスク数及び工程数だけ製造費用を減らすことができることは勿論、工程単純化をなすことができる。

【発明を実施するための最良の形態】

30

【0039】

以下、添付の図面を参照しつつ本発明の望ましい実施形態を詳細に説明する。

まず、本発明はソース/ドレイン及び反射電極を形成するための物質でMo-Al-Moの3層膜を適用するものの、反射領域ではトップ-Moを除去して反射度が高いAl金属膜が露出されるようにし、薄膜トランジスタ領域では前記トップ-Moがそのまま存在するようにする。このようにすれば、本発明は反射領域での優れる反射度を確保できることは勿論、薄膜トランジスタ領域での良好な電氣的コンタクトがなされるようにすることができ、それで、製品の画面品位を向上させることができるだけでなく、安価のMoとAlを使用することからコスト高も防止することができる。

【0040】

40

また、本発明はハーフトーン(Half Tone)露光技術を利用して半透過型液晶表示装置のアレイ基板を製作する。このようにすれば、本発明は略5～6枚のマスク工程を利用することだけでもアレイ基板の製作が可能なので、減少したマスク数及び工程数だけ製造費用を低減できることは勿論、工程単純化をなすことができる。

【0041】

図4A乃至図4Lは、本発明の一実施形態に係る半透過型FFSモード液晶表示装置のアレイ基板製造方法を示す工程別断面図であって、これを詳しく説明すれば、次の通りである。

【0042】

図4Aを参照すれば、画素部が薄膜トランジスタ領域(TFT)、反射領域(R)及び透過

50

領域(T)に区画されたガラス基板31上にITO膜32とゲート用金属膜33を順次に蒸着する。次に、図示してはいないが、第1マスクを利用して前記ゲート用金属膜33上にゲート電極を含んだゲートライン形成領域及び共通電極ライン形成領域と反射領域(R)でのエンボシング形成のためのエンボシングパターン形成領域を遮りながら透過領域(R)でのカウンタ電極形成領域を遮る第1感光膜パターン34を形成する。この際、前記第1感光膜パターン34はハーフトーン露光工程を適用してカウンタ電極形成領域を遮る第1感光膜パターン部分34bが、その以外の部分、即ち、ゲート電極を含んだゲートライン形成領域と共通電極ライン形成領域及びエンボシングパターン形成領域を遮る第1感光膜パターン部分34aより相対的に薄い厚さを有するように形成する。

【0043】

10

図4Bを参照すれば、エッチングマスクとして第1感光膜パターンを利用してゲート用金属膜及びITO膜をエッチングし、これを通じて、ゲート電極33aを含んだゲートライン(図示していない)及び共通電極ライン33bを形成すると共に、反射領域(R)にエンボシングパターン33cを形成する。次に、前記結果物に対し、アッシング(ashing)工程を進行して透過領域(R)に形成された第1感光膜パターン部分を除去する。この際、前記ゲート電極33aを含んだゲートラインと共通電極ライン33b及びエンボシングパターン33c上の第1感光膜パターン部分34aは透過領域(T)のカウンタ電極形成領域上に形成された第1感光膜パターン部分より相対的に厚く形成されたので、完全に除去されなくて一部が残留する。

【0044】

20

図4Cを参照すれば、残留した第1感光膜パターン34aをエッチングマスクとして利用して露出された透過領域(T)上のゲート用金属膜を除去し、これを通じて前記透過領域(T)にITO膜からなるプレート型のカウンタ電極32aを形成する。

【0045】

図4Dを参照すれば、公知の工程によって残留した第1感光膜パターンを除去する。次に、ゲート電極33aを含んだゲートライン、共通電極ライン33b、エンボシングパターン33c及びカウンタ電極32aが形成されたガラス基板31の全面上にゲート絶縁膜35とアクティブ層、即ち、非晶質シリコン層36とドーピングされた非晶質シリコン層37を順次に形成する。この際、反射領域(R)にエンボシングパターン33cが形成されていることによって、前記反射領域(R)に形成されたゲート絶縁膜35及びアクティブ層36、37は、その表面が屈曲することになる。

30

【0046】

図4Eを参照すれば、第2マスクを利用してドーピングされた非晶質シリコン層37上に共通電極ライン33bの上部領域を露出させる第2感光膜パターン38を形成する。この際、前記第2感光膜パターン38はハーフトーン露光技術を適用して透過領域(T)を遮るように形成された部分38bがアクティブパターン形成領域及び反射電極形成領域を遮る部分38aより相対的に薄い厚さを有するように形成する。次に、エッチングマスクとして前記第2感光膜パターン38を利用してアクティブ層36、37及びゲート絶縁膜35をエッチングして共通電極ライン33bを露出させる第1ビアホール39を形成する。

40

【0047】

図4Fを参照すれば、前記第1ビアホール39が形成された結果物に対し、アッシング工程を進行して透過領域(T)上に形成された第2感光膜パターン部分を除去する。この際、前記透過領域(T)の以外の領域に形成された第2感光膜パターンは相対的に厚く形成されていたので、完全に除去されなくて一部が残留する。

【0048】

図4Gを参照すれば、残留した第2感光膜パターンをエッチングマスクとして利用してドーピングされた非晶質シリコン膜とその下の非晶質シリコン膜をエッチングしてアクティブパターンを形成する。次に、前記エッチングマスクとして利用された第2感光膜パターンを除去する。

50

【 0 0 4 9 】

図 4 H を参照すれば、アクティブパターン及び第 1 ピアホール 3 9 が形成された結果物の全面上にソース/ドレイン用金属膜 4 0 を形成する。ここで、前記ソース/ドレイン用金属膜 4 0 は 3 層膜構造で形成し、実質的な配線物質である第 2 層膜としては電気伝導度が優れるだけでなく、反射率が優れる A 1 系列の膜を適用し、前記 A 1 系金属膜の下に配置される第 1 層膜は前記 A 1 系金属膜がゲート絶縁膜 3 5 と不要な反応が起こることが抑制されるように M o 系列の金属膜を利用し、そして、A 1 系金属膜上に配置される第 3 層膜は画素電極物質である I T O との電氣的連結が容易であるように、M o 系列の金属膜を利用する。例えば、M o - A 1 - M o の 3 層構造においてボトム - M o 膜 4 1 は 5 0 0 ~ 7 0 0 、望ましくは、6 0 0 の厚さで、A 1 膜 4 2 は 1 4 0 0 ~ 1 6 0 0 、望ましくは、1 5 0 0 の厚さで、そして、トップ - M o 膜 4 3 は後続工程でのその除去が容易であるように 1 0 0 ~ 2 0 0 の厚さで形成する。

10

【 0 0 5 0 】

この際、前記 3 層構造のソース/ドレイン用金属膜 4 0 は第 1 ピアホール 3 9 を通じて共通電極ライン 3 3 b と連結される。また、反射領域 (R) に形成されたソース/ドレイン用金属膜部分は下地層が表面屈曲を有していることによって、それ自身も表面屈曲、即ち、エンボシング 4 4 を有することになる。

【 0 0 5 1 】

引き続き、第 3 マスクを利用して前記ソース/ドレイン用金属膜 4 0 上にソース/ドレイン電極を含んだデータライン形成領域及び反射電極形成領域を露出させる第 3 感光膜パターン 4 5 を形成する。この際、前記第 3 感光膜パターン 4 5 はハーフトーン露光技術を適用して反射電極形成領域に部分 4 5 b が、それ以外の領域に形成された部分 4 5 a より相対的に薄い厚さを有するように形成する。

20

【 0 0 5 2 】

図 4 I を参照すれば、エッチングマスクとして前記第 3 感光膜パターンを利用して 3 層構造のソース/ドレイン用金属膜を湿式エッチングしてソース/ドレイン電極 4 6 a、4 6 b を含んだデータライン (図示していない) を形成する。この際、反射領域 (R) には 3 層構造のソース/ドレイン用金属膜が残留する。次に、前記ソース/ドレイン電極 4 6 a、4 6 b が形成された結果物に対し、アッシング工程を進行して透過領域 (T) 上に形成された第 3 感光膜パターン部分を除去する。この際、前記透過領域 (T) の以外の領域に形成された第 3 感光膜パターンは相対的に厚く形成されていたので、完全に除去されなくて一部が残留する。

30

【 0 0 5 3 】

図 4 J を参照すれば、局部的に残留した第 3 感光膜パターンをエッチングマスクとして利用して結果物に対して乾燥式エッチングを進行し、これを通じて、反射領域 (R) でのトップ - M o を除去してボトム - M o 膜 4 1 と A 1 膜 4 2 の 2 層膜からなる反射電極 4 7 を形成し、これと同時に、薄膜トランジスタ領域 (TFT) でのドーピングされた非晶質シリコン層をエッチングしてオーミック層 3 7 a とチャネル層 3 6 a を形成して薄膜トランジスタ 5 0 を構成する。次に、前記局部的に残留した第 3 感光膜パターンを除去する。

40

【 0 0 5 4 】

ここで、本発明に係る反射領域 (R) での反射電極 4 7 はボトム - M o 膜 4 1 と A 1 膜 4 2 の 2 層膜からなり、特に、上部に A 1 膜 4 2 が配置されるので、優れる反射率特性を有する。また、本発明に係る薄膜トランジスタ領域 (TFT) でのソース/ドレイン電極 4 6 a、4 6 b はボトム - M o 膜 4 1 と A 1 膜 4 2 及びトップ - M o 膜 4 3 の 3 層膜からなり、特に、上部に M o 膜が配置されるので、後続に形成される I T O 画素電極と良好な電氣的コンタクトをなすことができる。

【 0 0 5 5 】

図 4 K を参照すれば、反射電極 4 7 及び薄膜トランジスタ 5 0 が形成された結果物の全面上にシリコン窒化膜のような無機絶縁物質からなる保護膜 5 1 を約 2 0 0 0 の厚さで形成する。次に、第 4 マスクを利用して前記保護膜 5 1 をエッチングして、例えば、薄膜

50

トランジスタ 50 のソース電極 46 a の上部を露出させる第 4 感光膜パターン（図示していない）を形成した後、前記第 4 感光膜パターンをエッチングマスクとして利用して前記保護膜 51 をエッチングし、これを通じて、前記薄膜トランジスタ 50 のソース電極 46 a を露出させる第 2 ピアホール 52 を形成する。次に、前記エッチングマスクとして利用された第 4 感光膜パターンを除去する。

【0056】

図 4 L を参照すれば、第 2 ピアホール 52 が設けられた保護膜 51 の上に ITO 膜を蒸着する。次に、前記 ITO 膜の上に第 5 マスクを利用して透過領域（T）での第 1 画素電極形成領域及び反射領域（R）での第 2 画素電極形成領域を遮る第 5 感光膜パターンを形成した後、このような第 5 感光膜パターンをエッチングマスクとして利用して ITO 膜をエッチングして透過領域（T）及び反射領域（R）にスリット型の画素電極 53 を形成する。

10

【0057】

その後、前記第 5 感光膜パターンを除去して本発明の一実施形態に係る半透過型 FFS モード液晶表示装置のアレイ基板の製造を完成する。

【0058】

図 5 は、図 4 L に対応する平面図であって、図示のように、ゲートライン 33 d とデータライン 46 が交差するように配列されており、共通電極ライン 33 b が前記ゲートライン 33 d と平行するように配列されており、前記ゲートライン 33 d とデータライン 46 の交差部には薄膜トランジスタ 50 が配置されており、透過領域（T）には ITO のカウンタ電極 32 a が配置されており、反射領域（R）には第 1 ピアホール 39 を通じて共通電極ライン 33 b とコンタクトされるように反射電極 47 が配置されている。

20

【0059】

そして、ゲートライン 33 d とデータライン 46 により区画された画素領域内には ITO の画素電極 53 が配置されている。

【0060】

ここで、前記画素電極 53 は、図 6 に示すように、反射領域（R）及び透過領域（T）の全てで、ゲートライン 33 d に対して一定の傾きを有する複数のスリット S1、S2 を備えたスリット型構造からなり、特に、透過領域（T）でのスリット S1 は、屈曲部分を有し、反射領域（R）でのスリット S2 よりも、ゲートライン 33 d に対して小さい傾きを成す部分を有するように備えられる。

30

【0061】

前述のような本発明の一実施形態に係る半透過型 FFS モード液晶表示装置のアレイ基板製造方法によれば、反射電極 47 をソース/ドレーン用金属膜で形成しながらも反射領域（R）での反射電極 47 は Mo と Al の 2 層膜からなるようにすることによって、優れる反射率特性を表すようにすることができ、また、薄膜トランジスタ領域（TFT）では Mo-Al-Mo の 3 層膜からなるようにすることによって、ITO の画素電極と良好なコンタクトがなされるようにすることができる。

【0062】

併せて、本発明の方法によれば、5 枚のマスクを使用してアレイ基板を製造するので、最小 8 枚のマスクを使用しなければならない従来技術に比べて少なくとも 3 枚以上のマスクを減らすことができ、これによって、製造費用を低減できることは勿論、工程を単純化することができる。

40

【0063】

一方、前述の本発明の一実施形態ではゲート電極を含んだゲートライン、共通電極ライン、エンボシングパターン及び ITO のカウンタ電極をハーフトーン技術を適用した第 1 マスク工程を通じて形成したが、本発明の他の実施形態として一つのマスクを利用して ITO のカウンタ電極を形成した後、もう一つのマスクを利用して残りのゲート電極を含んだゲート電極、共通電極ライン及びエンボシングパターンを形成し、以後、前述の本発明の一実施形態と同一な後続工程を進行してアレイ基板を製作することができる。

50

【 0 0 6 4 】

この場合、本発明の他の実施形態は総数 6 枚のマスクを必要とすることになり、したがって、従来技術に比べて 2 枚のマスクを減らすことができるので、相変らず製造費用を低減できることは勿論、工程単純化をなすことができる。

【 0 0 6 5 】

また、前述の実施形態は透過領域及び反射領域が各々カウンタ電極と画素電極との間及び反射電極と画素電極との間の水平電界により駆動される F F S モードについて説明したものであるが、本発明は半透過型 T N モード液晶表示装置のアレイ基板製造方法にも適用可能である。

【 0 0 6 6 】

即ち、詳細に図示及び説明してはいないが、T N モードは F F S モードとは異なり、I T O のカウンタ電極の形成が必要でないので、前述の一実施形態における第 1 マスクを利用した工程進行の際、ハーフトーン露光技術を適用しなくてもよく、併せて、第 5 マスクを利用した工程進行の際、画素電極は反射領域には形成しなく、透過領域のみに形成すればよい。それ以外の残りの第 2 マスク工程、第 3 マスク工程及び第 4 マスク工程は一実施形態と同じ方法で進行する。

【 0 0 6 7 】

その上、前述の本発明の一実施形態ではソース/ドレーン電極を含んだデータライン及び反射電極を形成するための第 3 マスク工程の際、ハーフトーン露光技術を適用して反射領域でのトップ - M o を選択的に除去したが、典型的な露光技術を適用して反射領域でのトップ - M o を除去することは勿論、薄膜トランジスタ領域でのトップ - M o の除去も可能である。これは純粋 A l の場合は I T O とのコンタクト抵抗が高くて問題を起こすが、純粋 A l の上に M o を蒸着した後、前記 M o を除去することになれば、スパッタにより A l の表面に打込まれた M o 粒子は完全に除去されずに残留するところ、このような A l に I T O をコンタクトさせる場合は、表面 M o 粒子によりコンタクト抵抗を低めることができるためである。

【 0 0 6 8 】

以上、ここでは、本発明を特定の実施形態に関連して図示及び説明したが、本発明がそれに限るのではなく、特許請求範囲は本発明の精神と分野から外れない限度内で本発明が多様に改造及び変形できるということを当業界で通常の知識を有する者であれば容易に分かる。

【図面の簡単な説明】

【 0 0 6 9 】

【図 1】従来の半透過型 T N (Twisted Nematic) モード液晶表示装置のアレイ基板を示す断面図である。

【図 2】従来の他の半透過型 T N モード液晶表示装置のアレイ基板を示す断面図である。

【図 3】従来の半透過型 F F S (Fringe Field Switching) モード液晶表示装置のアレイ基板を示す断面図である。

【図 4 A】本発明の一実施形態に係る半透過型 F F S モード液晶表示装置のアレイ基板製造方法を説明するための工程別断面図である。

【図 4 B】本発明の一実施形態に係る半透過型 F F S モード液晶表示装置のアレイ基板製造方法を説明するための工程別断面図である。

【図 4 C】本発明の一実施形態に係る半透過型 F F S モード液晶表示装置のアレイ基板製造方法を説明するための工程別断面図である。

【図 4 D】本発明の一実施形態に係る半透過型 F F S モード液晶表示装置のアレイ基板製造方法を説明するための工程別断面図である。

【図 4 E】本発明の一実施形態に係る半透過型 F F S モード液晶表示装置のアレイ基板製造方法を説明するための工程別断面図である。

【図 4 F】本発明の一実施形態に係る半透過型 F F S モード液晶表示装置のアレイ基板製造方法を説明するための工程別断面図である。

【図４Ｇ】本発明の一実施形態に係る半透過型ＦＦＳモード液晶表示装置のアレイ基板製造方法を説明するための工程別断面図である。

【図４Ｈ】本発明の一実施形態に係る半透過型ＦＦＳモード液晶表示装置のアレイ基板製造方法を説明するための工程別断面図である。

【図４Ｉ】本発明の一実施形態に係る半透過型ＦＦＳモード液晶表示装置のアレイ基板製造方法を説明するための工程別断面図である。

【図４Ｊ】本発明の一実施形態に係る半透過型ＦＦＳモード液晶表示装置のアレイ基板製造方法を説明するための工程別断面図である。

【図４Ｋ】本発明の一実施形態に係る半透過型ＦＦＳモード液晶表示装置のアレイ基板製造方法を説明するための工程別断面図である。

10

【図４Ｌ】本発明の一実施形態に係る半透過型ＦＦＳモード液晶表示装置のアレイ基板製造方法を説明するための工程別断面図である。

【図５】図４Ｌに対応する平面図である。

【図６】画素電極５３を示す平面図である。

【符号の説明】

【００７０】

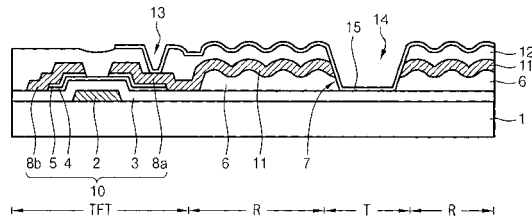
- ３１ ガラス基板
- ３２ ＩＴＯ膜
- ３２ａ カウンタ電極
- ３３ ゲート用金属膜
- ３３ａ ゲート電極
- ３３ｂ 共通電極ライン
- ３３ｃ エンボースングパターン
- ３３ｄ ゲートライン
- ３４ 第１感光膜パターン
- ３５ ゲート絶縁膜
- ３６ 非晶質シリコン膜
- ３７ ドーピングされた非晶質シリコン膜
- ３８ 第２感光膜パターン
- ３９ 第１ピアホール
- ４０ ソース／ドレイン用金属膜
- ４１ 第１層膜
- ４２ 第２層膜
- ４３ 第３層膜
- ４４ エンボースング
- ４５ 第３感光膜パターン
- ４６ データライン
- ４６ａ ソース電極
- ４６ｂ ドレイン電極
- ４７ 反射電極
- ５０ 薄膜トランジスタ
- ５１ 保護膜
- ５２ ピアホール
- ５３ 画素電極

20

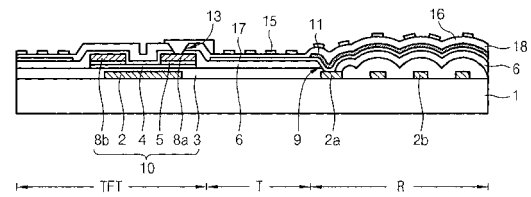
30

40

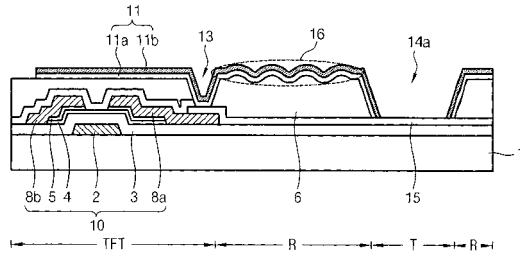
【図 1】



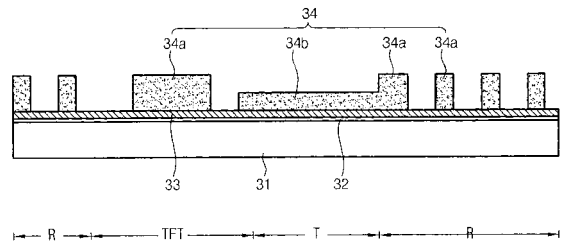
【図 3】



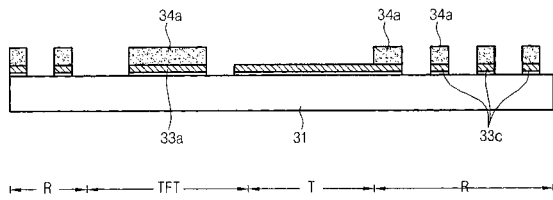
【図 2】



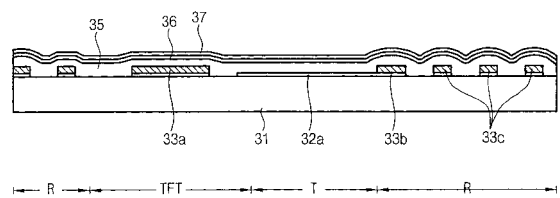
【図 4 A】



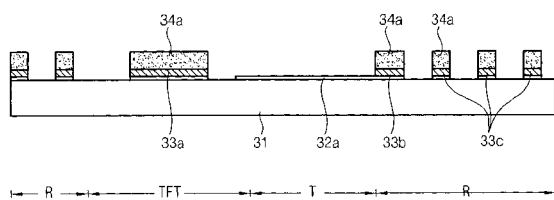
【図 4 B】



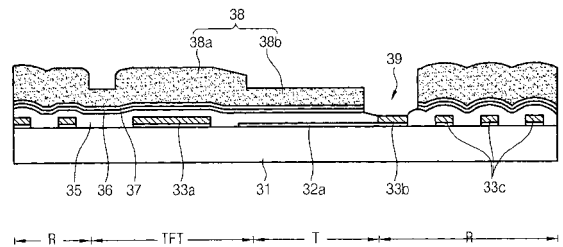
【図 4 D】



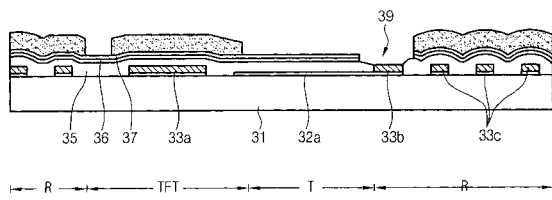
【図 4 C】



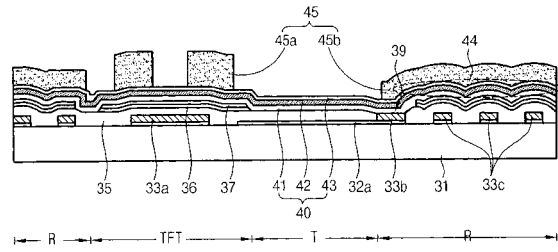
【図 4 E】



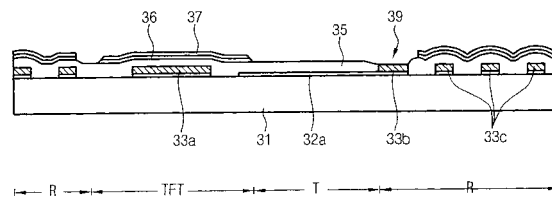
【図 4 F】



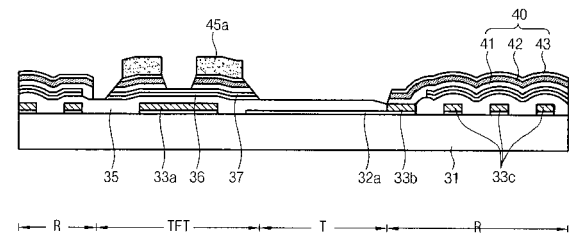
【図 4 H】



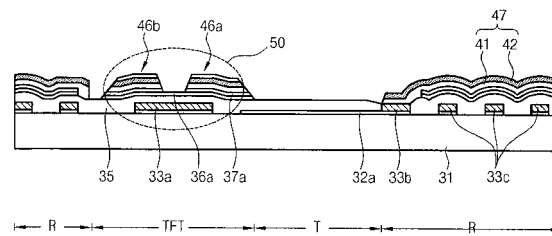
【図 4 G】



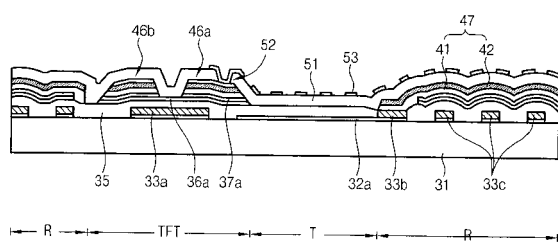
【図 4 I】



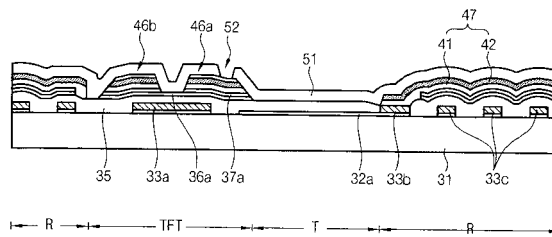
【図 4 J】



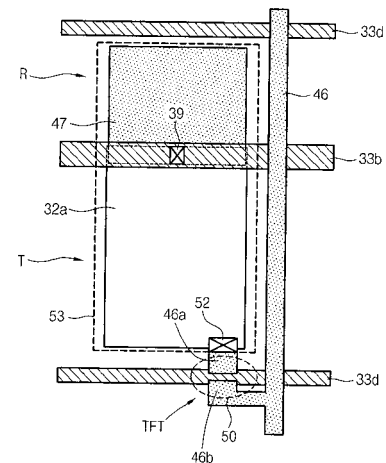
【図 4 L】



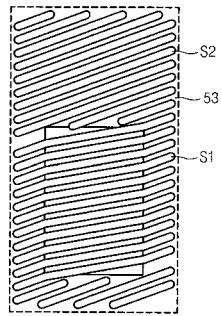
【図 4 K】



【図 5】



【図 6】



フロントページの続き

(72)発明者 林 三 鎬

大韓民國 ソウル市 江東區 岩寺洞 セオンサ ヒュンダイ アパートメント 105-150
1

審査官 藤田 都志行

(56)参考文献 特開2002-311445(JP, A)

特開2003-15155(JP, A)

特開2005-70736(JP, A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1343

G02F 1/1368

G02F 1/1335

专利名称(译)	透反液晶显示装置的阵列基板的制造方法		
公开(公告)号	JP4902317B2	公开(公告)日	2012-03-21
申请号	JP2006305998	申请日	2006-11-10
[标]申请(专利权)人(译)	Bioi高盘科技有限公司		
申请(专利权)人(译)	Bioi Heidis科技有限公司		
当前申请(专利权)人(译)	Heidis科技有限公司		
[标]发明人	金秉勳 林三鎬		
发明人	金 ▲秉▼ 勳 林 三 鎬		
IPC分类号	G02F1/1343 G02F1/1368 G02F1/1335		
CPC分类号	G02F1/133555 G02F1/134309 G02F2001/136231		
FI分类号	G02F1/1343 G02F1/1368 G02F1/1335.520		
F-TERM分类号	2H092/GA14 2H092/GA15 2H092/GA16 2H092/GA17 2H092/GA25 2H092/GA29 2H092/HA04 2H092/HA06 2H092/JA26 2H092/JA28 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JA46 2H092/JB04 2H092/JB05 2H092/JB07 2H092/JB56 2H092/KA05 2H092/KA12 2H092/KA18 2H092/KB04 2H092/KB13 2H092/KB25 2H092/MA16 2H092/NA01 2H092/NA27 2H092/NA28 2H092/PA06 2H092/PA12 2H191/FA34Y 2H191/GA05 2H191/GA10 2H191/GA19 2H191/HA06 2H191/HA15 2H191/LA13 2H191/LA21 2H191/NA13 2H191/NA29 2H191/NA34 2H191/NA37 2H192/AA24 2H192/BB13 2H192/BB73 2H192/BC31 2H192/BC64 2H192/BC74 2H192/BC82 2H192/CB05 2H192/CB42 2H192/CB82 2H192/CC04 2H192/CC42 2H192/CC72 2H192/HA44 2H291/FA34Y 2H291/GA05 2H291/GA10 2H291/GA19 2H291/HA06 2H291/HA15 2H291/LA13 2H291/LA21 2H291/NA13 2H291/NA29 2H291/NA34 2H291/NA37		
代理人(译)	井上 真司		
优先权	1020050108016 2005-11-11 KR		
其他公开文献	JP2007133410A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种制造阵列基板的方法，用于改善透射区域中的接触电阻和半透明液晶显示器的反射区域中的反射特性。
 ŽSOLUTION：该方法包括以下步骤：在玻璃基板上使用半色调曝光技术执行第一掩模工艺以形成栅极线和公共电极线，以及位于透射区域中的ITO板式对电极和位于反射区域中的压花图案；使用相同的曝光技术进行第二掩模工艺，以在公共电极线中形成第一通孔和有源图案；使用相同的曝光技术进行第三掩模工艺以形成包括源/漏电极的数据线，所述源/漏电极包括Mo-Al-Mo的三层膜并且形成包括底侧Mo-Al层的双层膜的反射电极在反射区域；执行第四掩模工艺以形成第二通孔；并执行第五掩模工艺以形成ITO的狭缝型像素电极。Ž

【図 2】

