

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4885805号  
(P4885805)

(45) 発行日 平成24年2月29日(2012.2.29)

(24) 登録日 平成23年12月16日(2011.12.16)

(51) Int.Cl.	F I
GO2F 1/1368 (2006.01)	GO2F 1/1368
GO2F 1/1343 (2006.01)	GO2F 1/1343
HO1L 29/786 (2006.01)	HO1L 29/78 616U
HO1L 21/336 (2006.01)	HO1L 29/78 616V
	HO1L 29/78 612D
請求項の数 25 (全 33 頁) 最終頁に続く	

(21) 出願番号	特願2007-173016 (P2007-173016)	(73) 特許権者	501426046
(22) 出願日	平成19年6月29日(2007.6.29)		エルジー ディスプレイ カンパニー リ
(65) 公開番号	特開2008-134593 (P2008-134593A)		ミテッド
(43) 公開日	平成20年6月12日(2008.6.12)		大韓民国 ソウル, ヨンドゥンポーク, ヨ
審査請求日	平成19年6月29日(2007.6.29)		イドードン 20
(31) 優先権主張番号	10-2006-0118593	(74) 代理人	100094112
(32) 優先日	平成18年11月28日(2006.11.28)		弁理士 岡部 譲
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100064447
(31) 優先権主張番号	10-2007-0039312		弁理士 岡部 正夫
(32) 優先日	平成19年4月23日(2007.4.23)	(74) 代理人	100085176
(33) 優先権主張国	韓国 (KR)		弁理士 加藤 伸晃
		(74) 代理人	100096943
			弁理士 臼井 伸一
		(74) 代理人	100101498
			弁理士 越智 隆夫
最終頁に続く			

(54) 【発明の名称】 液晶表示装置用アレイ基板とその製造方法

(57) 【特許請求の範囲】

【請求項1】

基板と；

前記基板の上部のゲート配線と；

前記ゲート配線に連結されたゲート電極、前記ゲート電極の上部のゲート絶縁膜、前記ゲート絶縁膜の上部のアクティブ層、前記アクティブ層の上部のオーミックコンタクト層及び前記オーミックコンタクト層の上部のソース電極及びドレイン電極を含む薄膜トランジスタと；

前記ドレイン電極に電氣的に連結された画素電極と；

前記ソース電極に電氣的に連結されて、前記ゲート配線と交差するデータ配線と；

前記画素電極と離隔されている共通電極；及び

前記画素電極と前記共通電極間及び前記ソース電極と前記ドレイン電極間に位置する保護膜とを含み、

前記アクティブ層は、その端部が前記ゲート電極の端部を覆わず、前記ゲート電極の上部に形成されるアイランド ( I s l a n d ) 状であり、

前記データ配線の上部に、前記ソース電極から延長された補助データ配線をさらに含み、前記補助データ配線は前記データ配線の側面に接触しており、

前記オーミックコンタクト層と前記ソース電極間及び前記オーミックコンタクト層と前記ドレイン電極間に、バッファ金属層をさらに含み、

前記ソース電極及びドレイン電極と前記共通電極及び前記画素電極は透明であることを

10

20

特徴とする液晶表示装置用アレイ基板。

【請求項 2】

基板と；

前記基板の上部のゲート配線と；

前記ゲート配線に連結されたゲート電極、前記ゲート電極の上部のゲート絶縁膜、前記ゲート絶縁膜の上部のアクティブ層、前記アクティブ層の上部のオーミックコンタクト層及び前記オーミックコンタクト層の上部のソース電極及びドレイン電極を含む薄膜トランジスタと；

前記ドレイン電極に電氣的に連結された画素電極と；

前記ソース電極に電氣的に連結されて、前記ゲート配線と交差するデータ配線と；

前記画素電極と離隔されている共通電極；及び

前記画素電極と前記共通電極間及び前記ソース電極と前記ドレイン電極間に位置する保護膜とを含み、

前記アクティブ層は、その端部が前記ゲート電極の端部を覆わず、前記ゲート電極の上部に形成されるアイランド ( I s l a n d ) 状であり、

前記データ配線の上部に、前記ソース電極から延長された補助データ配線をさらに含み、前記補助データ配線は前記データ配線の側面に接触しており、

前記オーミックコンタクト層と前記ソース電極間及び前記オーミックコンタクト層と前記ドレイン電極間に、バッファ金属層をさらに含み、

前記データ配線の下部に、前記アクティブ層及び前記オーミックコンタクト層と同一層を有して前記アクティブ層及び前記オーミックコンタクト層と分離された延長部をさらに含むことを特徴とする液晶表示装置用アレイ基板。

【請求項 3】

前記データ配線の下部に、前記オーミックコンタクト層から延長された第 1 層と前記アクティブ層から延長された第 2 層を有する延長部をさらに含むことを特徴とする請求項 1 又は 2 に記載の液晶表示装置用アレイ基板。

【請求項 4】

前記補助データ配線の下部に、前記バッファ金属層から延長された前記データ配線と、前記オーミックコンタクト層から延長された第 1 層及び前記アクティブ層から延長された第 2 層を有する延長部をさらに含むことを特徴とする請求項 1 又は 2 に記載の液晶表示装置用アレイ基板。

【請求項 5】

前記バッファ金属層は、少なくとも 3 層の多重層構造であることを特徴とする請求項 1 又は 2 に記載の液晶表示装置用アレイ基板。

【請求項 6】

前記少なくとも 3 層の多重層構造のうちの中層は銅を含むことを特徴とする請求項 5 に記載の液晶表示装置用アレイ基板。

【請求項 7】

前記ドレイン電極から延長されて、前記画素電極に連結される画素電極連結部をさらに含むことを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板。

【請求項 8】

基板にスイッチング領域と画素領域とゲート領域とデータ領域と共通信号領域とを定義する段階と；

前記スイッチング領域と前記ゲート領域と前記共通信号領域に、ゲート電極とゲート配線及び共通配線を各々形成する段階と；

前記ゲート電極の上部に、ゲート絶縁膜とアクティブ層とオーミックコンタクト層を形成する段階と；

前記オーミックコンタクト層の上部に、ソース電極及びドレイン電極を形成する段階と；

前記ソース電極と電氣的に連結されて、前記ゲート配線と交差するデータ配線を形成す

10

20

30

40

50

る段階と；

前記ドレイン電極と電気的に連結される画素電極及び前記画素電極と離隔されている共通電極を形成する段階と；

前記画素電極と前記共通電極間の前記ゲート絶縁膜の上部及び前記ソース電極及びドレイン電極間の前記アクティブ層の上部に保護膜を形成する段階とを含み、

前記アクティブ層は、その端部が前記ゲート電極の端部を覆わず、前記ゲート電極の上部に形成されるアイランド ( I s l a n d ) 状であり、

前記データ配線の上部に補助データ配線を形成する段階をさらに含み、前記補助データ配線は前記データ配線の側面に接触していることを特徴とする液晶表示装置用アレイ基板の製造方法。

10

【請求項 9】

前記ゲート絶縁膜と、前記アクティブ層と前記オーミックコンタクト層を形成する段階と前記データ配線を形成する段階は、一つのマスクを利用することを特徴とする請求項 8 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 10】

前記ソース電極と、前記ドレイン電極と、前記共通電極と、前記画素電極及び前記補助データ配線は、同一マスク工程で形成されることを特徴とする請求項 8 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 11】

前記保護膜は、リフトオフ工程によって形成されることを特徴とする請求項 8 に記載の液晶表示装置用アレイ基板の製造方法。

20

【請求項 12】

前記ゲート絶縁膜と前記アクティブ層と前記オーミックコンタクト層を形成する段階は、前記オーミックコンタクト層の上部にバッファ金属層を形成する段階を含むことを特徴とする請求項 8 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 13】

基板上にゲート電極とゲート配線を形成する第 1 マスク工程段階と；

前記ゲート電極と前記ゲート配線を含む前記基板上にゲート絶縁膜とアクティブ層とオーミックコンタクト層及びデータ配線を順に形成する第 2 マスク工程段階と；

前記基板上にソース電極とドレイン電極、共通電極及び画素電極を形成する第 3 マスク工程段階と；

30

前記ソース電極と前記ドレイン電極間の前記アクティブ層の上部及び前記共通電極と前記画素電極間に保護膜を形成する段階とを含み、

前記アクティブ層は、その端部が前記ゲート電極の端部を覆わず、前記ゲート電極の上部に形成されるアイランド ( I s l a n d ) 状であり、

前記第 3 マスク工程段階が、前記データ配線の上部に補助データ配線を形成する段階を含み、前記補助データ配線は前記データ配線の側面に接触していることを特徴とする液晶表示装置用アレイ基板の製造方法。

【請求項 14】

前記第 1 マスク工程段階は、前記ゲート配線の一端にゲートパッドを形成する段階を含み、前記第 2 マスク工程段階は、前記データ配線の一端にデータパッドを形成する段階を含み、前記第 3 マスク工程段階は、前記ゲートパッドの上部のゲートパッド電極及び前記データパッドの上部のデータパッド電極を形成する段階とを含むことを特徴とする請求項 13 に記載の液晶表示装置用アレイ基板の製造方法。

40

【請求項 15】

前記第 2 マスク工程段階は、前記ゲート電極と前記ゲート配線及び前記ゲートパッドを含む前記基板上に前記ゲート絶縁膜と、純粋な非晶質シリコン層と不純物を含む非晶質シリコン層及び金属層を順に形成する段階と；

前記金属層の上部に、前記ゲートパッドに対応する前記金属層を露出して、前記アクティブ層と前記データ配線及び前記データパッドに対応する第 1 部分と、前記アクティブ層

50

と前記データ配線及び前記データパッドを除いた領域に対応して、前記第1部分より薄い第2部分とで構成される感光パターンを形成する段階と；

前記露出された金属層と前記不純物を含む非晶質シリコン層、前記純粋な非晶質シリコン層及び前記ゲート絶縁膜を除去して前記ゲートパッドを露出する段階と；

前記感光パターンの第2部分を除去する段階と；

前記感光パターンの第1部分をエッチングマスクとして利用して、前記金属層と、前記不純物を含む非晶質シリコン層及び前記純粋な非晶質シリコン層を除去する段階と；

前記感光パターンの第1部分を除去する段階とを含むことを特徴とする請求項14に記載の液晶表示装置用アレイ基板の製造方法。

【請求項16】

前記感光パターンを形成する段階は、透過部と遮断部及び半透過部を含むマスクを利用して、前記透過部は、前記ゲートパッドに対応し、前記遮断部は、前記アクティブ層と前記データ配線及び前記データパッドに対応して、前記半透過部は、前記アクティブ層と前記データ配線、前記データパッド及び前記ゲートパッドを除いた領域に対応することを特徴とする請求項15に記載の液晶表示装置用アレイ基板の製造方法。

【請求項17】

前記第2マスク工程段階は、前記補助データ配線及び前記データパッド電極の下部に延長部を形成する段階を含み、前記延長部は、純粋な非晶質シリコンパターンと不純物を含む非晶質シリコンパターンを含むことを特徴とする請求項16に記載の液晶表示装置用アレイ基板の製造方法。

【請求項18】

前記第1マスク工程段階は、前記ゲート配線と平行な共通配線を形成する段階を含み、前記共通配線は、前記共通電極と電気的に連結されることを特徴とする請求項15に記載の液晶表示装置用アレイ基板の製造方法。

【請求項19】

前記第2マスク工程段階は、前記露出された金属層と前記不純物を含む非晶質シリコン層、前記純粋な非晶質シリコン層及び前記ゲート絶縁膜を除去して前記共通配線を露出する段階を含むことを特徴とする請求項18に記載の液晶表示装置用アレイ基板の製造方法。

【請求項20】

前記第3マスク工程段階は、前記データ配線及び前記データパッドを含む前記基板上に導電性層を形成する段階と；

前記導電性層の上部に、前記ソース電極及びドレイン電極に対応する第1感光パターンと、前記補助データ配線及び前記データパッド電極に対応する第2感光パターンと、前記画素電極及び前記共通電極に対応する第3感光パターン、前記ゲートパッド電極に対応する第4感光パターンを形成する段階と；

前記第1乃至第4感光パターンをエッチングマスクで前記導電性層をパターンニングして、前記ソース電極及びドレイン電極と、前記補助データ配線、前記データパッド電極、前記画素電極、前記共通電極、前記ゲートパッド電極を形成する段階と；

前記ソース電極及びドレイン電極間の前記オーミックコンタクト層を除去して前記ソース電極及びドレイン電極間の前記アクティブ層を露出する段階と；

前記第1乃至第4感光パターンを除去する段階とを含むことを特徴とする請求項14に記載の液晶表示装置用アレイ基板の製造方法。

【請求項21】

前記保護膜を形成する段階は、前記第1乃至第4感光パターンを含む前記基板上に絶縁膜を形成する段階と、前記第1乃至第4感光パターンと共に前記絶縁膜を選択的に除去する段階を含むことを特徴とする請求項20に記載の液晶表示装置用アレイ基板の製造方法。

【請求項22】

前記導電性層をパターンニングする段階は、湿式エッチングを利用して前記導電性層をオ

10

20

30

40

50

ーバーエッチングすることによって、前記第1乃至第4感光パターンの端側の下部面を2000ないし5000露出する段階を含むことを特徴とする請求項21に記載の液晶表示装置用アレイ基板の製造方法。

【請求項23】

前記保護膜を形成する段階は、前記ゲートパッド電極及び前記データパッド電極を覆うシャドーマスクを配置する段階と、前記ゲートパッド電極及び前記データパッド電極を除いた前記基板上に、絶縁物質を蒸着する段階を含むことを特徴とする請求項20に記載の液晶表示装置用アレイ基板の製造方法。

【請求項24】

前記第2マスク工程段階は、前記オーミックコンタクト層の上部にバッファ金属層を形成する段階を含むことを特徴とする請求項13に記載の液晶表示装置用アレイ基板の製造方法。

10

【請求項25】

前記バッファ金属層を形成する段階は、モリブデン-チタン合金と、銅、モリブデン-チタン合金を順に蒸着してパターンニングする段階を含むことを特徴とする請求項24に記載の液晶表示装置用アレイ基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に係り、特に、生産性及び画質の特性が改善できる液晶表示装置用アレイ基板とその製造方法に関する。

20

【背景技術】

【0002】

一般的な液晶表示装置の駆動原理は、液晶の光学的異方性と分極性質を利用する。液晶は、構造が細く長いために、分子の配列において方向性を有しており、任意に液晶に電界を加えると、分子配列の配列方向が制御できる。従って、液晶の分子配列方向を任意に調節すると、光学的異方性によって液晶の分子配列方向に光が屈折して画像情報を表示する。

【0003】

現在は、薄膜トランジスタとこの薄膜トランジスタに接続された画素電極がマトリクス状に配列されたアクティブマトリクス型の液晶表示装置（AM-LCD、以下、液晶表示装置と称する）が解像度及び動画像の表示能力が優れていて最も注目を浴びている。

30

【0004】

液晶表示装置は、共通電極が形成されたカラーフィルタ基板（上部基板）と画素電極が形成されたアレイ基板（下部基板）と、両基板間に充填された液晶とで構成されるが、このような液晶表示装置は、共通電極と画素電極に印加される電圧により生じる垂直方向の電界によって液晶を駆動する方式であり、透過率と開口率等の特性が優れる。

【0005】

ところが、上下に印加される電場によって液晶駆動は、視野角の特性が優れないという短所がある。従って、前述した短所を克服するために、新しい技術が提案されている。後述する液晶表示装置は、横電界による液晶駆動方法によって視野角の特性が優れるという長所がある。

40

【0006】

以下、図1を参照して、一般的な横電界方式の液晶表示装置を説明する。

図1に示したように、透明な下部基板10に定義された多数の画素Pごとに薄膜トランジスタTと共通電極30と画素電極32が構成される。

【0007】

薄膜トランジスタTは、ゲート電極14と、ゲート電極14の上部に絶縁膜16を間に構成された半導体層18と、半導体層18の上部に相互に離隔して構成されたソース電極20及びドレイン電極22とを含む。

50

## 【 0 0 0 8 】

前述した構成で、共通電極 3 0 と画素電極 3 2 は、下部基板 1 0 上に相互に平行に離隔して構成される。

## 【 0 0 0 9 】

図面には示していないが、画素 P の一側に沿って延長されたゲート配線(図示せず)と、これとは垂直な方向に延長されたデータ配線(図示せず)が構成されて、共通電極 3 0 に電圧を印加する共通配線(図示せず)が構成される。

## 【 0 0 1 0 】

下部基板 1 0 と離隔された透明な上部基板 4 0 が位置して、上部基板 4 0 の内側面には、ゲート配線(図示せず)とデータ配線(図示せず)と薄膜トランジスタ T に対応する部分にブラックマトリクス 4 2 が構成され、画素 P に対応してカラーフィルタ 3 4 a、3 4 b が構成される。

10

## 【 0 0 1 1 】

液晶層 LC は、共通電極 3 0 と画素電極 3 2 の水平電界 4 5 によって動作される。

## 【 0 0 1 2 】

以下、図 2 を参照して、従来による横電界方式の液晶表示装置用アレイ基板の構成を説明する。

図 2 は、従来の 4 マスク工程によって製作された横電界方式の液晶表示装置用アレイ基板の構成を概略的に示した平面図である。

## 【 0 0 1 3 】

図 2 に示したように、絶縁基板 5 0 上に一方向に延長されたゲート配線 5 4 と、これとは交差して画素領域 P を定義するデータ配線 9 2 が構成される。

20

## 【 0 0 1 4 】

ゲート配線 5 4 の一端にゲートパッド 5 6 が構成されて、データ配線 9 2 の一端にはデータパッド 9 4 が構成される。

## 【 0 0 1 5 】

ゲート配線 5 4 と平行に離隔された画素領域 P の一側には共通配線 5 8 が構成される。

## 【 0 0 1 6 】

ゲートパッド 5 6 とデータパッド 9 4 の上部には、各々これと接触する透明なゲートパッド電極 GP と、データパッド電極 DP が構成される。

30

## 【 0 0 1 7 】

ゲート配線 5 4 とデータ配線 9 2 の交差地点には、ゲート配線 5 4 と接触するゲート電極 5 2 と、ゲート電極 5 2 の上部に位置したアクティブ層(非晶質シリコン層、8 4)とオーミックコンタクト層(図示せず)と、オーミックコンタクト層(図示せず)の上部に離隔され位置して、データ配線 9 2 に連結されたソース電極 8 8 と、これとは離隔されたドレイン電極 9 0 とを含む薄膜トランジスタ T が構成される。

## 【 0 0 1 8 】

画素領域 P には、ドレイン電極 9 0 と接触する画素電極 P X L が構成されて、共通配線 5 8 に連結され画素電極 P X L と離隔して構成された共通電極 V c o m が構成される。

また、純粋な非晶質シリコンパターン 7 2 がデータ配線 9 2 の下部に位置する。

40

## 【 0 0 1 9 】

この時、従来による横電界方式の液晶表示装置用アレイ基板は、ソース電極 8 9 及びドレイン電極 9 0 とデータ配線 9 2 とアクティブ層 8 4 を同一なマスク工程によって形成するために、必然的にアクティブ層 8 4 とソース電極 8 9 及びドレイン電極 9 0、また、純粋な非晶質シリコンパターン 7 2 とデータ配線 9 2 が積層された形態になって、この時、電極及び配線の外部にアクティブ層 8 4 と純粋な非晶質シリコンパターン 7 2 が延長された形態で構成される。

## 【 0 0 2 0 】

このような構成は、アクティブ層 8 4 が光に露出され光電流(photo current)が発生されて、このような光電流は、薄膜トランジスタ T で漏洩電流(off current)として作用し

50

て薄膜トランジスタTの動作不良を誘発する。

【0021】

また、データ配線92の下部に位置した純粋な非晶質シリコンパターン72によって漏洩電流が発生すると、データ配線92に近接した電極とカップリング(coupling)が発生され液晶(図示せず)の動きを歪曲させる。

【0022】

これにより、液晶パネルの画面には、波状の細かい線が示される波状ノイズ(wavy noise)が発生する。

【0023】

前述したように、薄膜トランジスタの漏洩電流及び画面の波状ノイズは、ソース電極及びドレイン電極とアクティブ層を同時にパターンニングする汎用的な方式から発生する。

10

【0024】

以下、図面を参照して、従来による横電界方式の液晶表示装置用アレイ基板の製造工程を説明する。

【0025】

図3A乃至図3Hと図4A乃至図4Hと図5A乃至図5Hと図6A乃至図6Hは、図2のII-II線、III-III線、IV-IV線、V-V線に沿って切断して、従来の工程順に示した工程断面図である。

【0026】

図3Aと図4Aと図5Aと図6Aは、第1マスク工程を示した図である。

20

図3Aと図4Aと図5Aと図6Aに示したように、基板50上にスイッチング領域Sと画素領域Pとゲート領域Gとデータ領域Dと共通信号領域CSとを定義する。

【0027】

多数の領域(S、P、G、D、CS)が定義された基板50上に、ゲート領域Gに対応して一方向に延長されて、一端にゲートパッド56を含むゲート配線(図2の54)と、ゲート配線54に連結されスイッチング領域Sに位置するゲート電極52を形成して、ゲート配線54と平行に離隔された共通信号領域CSには共通配線58を形成する。

【0028】

この時、ゲートパッド56及びゲート配線54とゲート電極52と共通配線58は、アルミニウムAl、アルミニウム合金AlNd、タングステンW、クロムCr、モリブデンMo等の単一金属やアルミニウムAl/クロムCr(または、モリブデンMo)等を含む導電性金属グループのうちから選択された一つまたはそれ以上の物質を蒸着して形成する。

30

【0029】

図3B乃至図3Fと図4B乃至図4Fと図5B乃至図5Fと図6B乃至図6Fは、第2マスク工程を示した図である。

【0030】

図3Bと図4Bと図5Bと図6Bに示したように、ゲート電極52とゲートパッド56を含むゲート配線54と、共通配線58が形成された基板50全面にゲート絶縁膜60と、純粋な非晶質シリコン層(a-Si:H)62と不純物を含む非晶質シリコン層(n+またはp+a-Si:H)64と導電性金属層66を形成する。

40

【0031】

ゲート絶縁膜60は、窒化シリコンSiN<sub>x</sub>と酸化シリコンSiO<sub>2</sub>等を含む無機絶縁物質グループのうちから選択された一つまたは一つ以上の物質を蒸着して形成し、導電性金属層66は、前述した導電性金属グループのうちから選択された一つまたはそれ以上の物質を蒸着して形成する。

【0032】

導電性金属層66が形成された基板50全面に、フォトレジストを塗布して感光層68を形成する。

【0033】

感光層68の離隔された上部に、透過部B1と遮断部B2と半透過部B3とで構成され

50

たマスクMを位置させる。

【0034】

この時、半透過部B3は、マスクMにスリット状または半透明膜を形成して、光の強度を低めたり、光の透過量を低めたりして感光層を不完全露光させる機能を有する。

【0035】

また、遮断部B2は、光を完全に遮断する機能をして、透過部B1は、光を透過させ光によって感光層68が完全な化学的变化、すなわち、完全露光させる機能を有する。

【0036】

一方、スイッチング領域Sには、半透過部B3と、半透過部B3の両側に遮断部B2を位置させて、ゲート領域Gと交差する方向であるデータ領域Dには、遮断部B2を位置させる。

10

【0037】

マスクMの上部に光を照射して、下部の感光層68を露光して現像する工程を行う。

【0038】

図3Cと図4Cと図5Cと図6Cに示したように、スイッチング領域Sとデータ領域Dに、第1感光パターン70a及び第2感光パターン70bを形成する。

【0039】

この時、第1感光パターン70aは、ゲート電極52に対応する第1部分と、第1部分より厚い第2部分を含む。

【0040】

20

第1感光パターン70a及び第2感光パターン70bの周辺に露出された導電性金属層66と、その下部の不純物を含む非晶質シリコン層64と、純粋な非晶質シリコン層62を除去する工程を行う。

【0041】

この時、導電性金属層66の種類によって導電性金属層66とその下部層64、62を同時に除去したり、金属層を先にエッチングした後、乾式エッチング工程によって下部の純粋非晶質シリコン層62と不純物を含む非晶質シリコン層64を除去したりすることもできる。

【0042】

図3Dと図4Dと図5Dと図6Dに示したように、前述した除去工程を完了すると、第1感光パターン70aの下部には、純粋な非晶質シリコンパターン72と不純物を含む非晶質シリコンパターン74が積層された第1半導体パターン76が形成されて、第1半導体パターン76の上部に第1金属パターン78が構成される。

30

【0043】

データ領域Dに対応する第2感光パターン70bの下部には、第1半導体パターン76から延長された第2半導体パターン80と、第2半導体パターン80の上部に、第1金属パターン78から延長された第2金属パターン82が形成される。

【0044】

次に、第1感光パターン70aのうち、ゲート電極52の中心に対応する第1部分を除去して下部の第1金属パターン78を露出するためのアッシング工程を行う。

40

【0045】

図3Eと図4Eと図5Eと図6Eに示したように、ゲート電極52の中心に対応する第1金属パターン78の一部が露出されて、この時、第1感光パターン70a及び第2感光パターン70bの周辺に第1金属パターン78及び第2金属パターン82の一部が同時に露出される。

【0046】

アッシング工程を行った後、第1金属パターン78の露出された部分とその下部の不純物を含む非晶質シリコン層74を除去する工程を行う。

【0047】

図3Fと図4Fと図5Fと図6Fに示したように、除去工程を完了すると、ゲート電極

50

52の上部に位置した第1半導体パターン76のうち、下部の純粋な非晶質シリコンパターン(図3Eの72)は、アクティブ層84として機能し、アクティブ層84の上部で一部が除去され離隔された上部の不純物を含む非晶質シリコンパターン(図3Eの74)は、オーミックコンタクト層86として機能をする。

【0048】

この時、アクティブ層84と上部のオーミックコンタクト層86を除去する際に、下部のアクティブ層84をオーバーエッチングしてアクティブ層84の表面(アクティブチャンネル)に不純物が残らないようにする。

【0049】

一方、オーミックコンタクト層86の上部に位置して区分された金属パターンは、各々ソース電極88とドレイン電極90と称する。

10

【0050】

この時、ソース電極88と接触する第2金属パターン(図4Eの82)は、データ配線92と称して、データ配線92の一端は、データパッド94と称する。

【0051】

残留した感光パターン70a、70bを除去する工程を行うことによって、第2マスク工程が完了される。

【0052】

図3Gと図4G図5Gと図6Gは、第3マスク工程を示した図であって、ソース電極88及びドレイン電極90とデータパッド94を含むデータ配線92が構成された基板50全面に、窒化シリコンSiNxまたは酸化シリコンSiO<sub>2</sub>を含む無機絶縁物質グループのうちから選択された一つを蒸着し、場合によって、ベンゾシクロブテンBCBとアクリル系樹脂を含む有機絶縁物質グループのうちから選択された一つを塗布して保護膜96を形成する。

20

【0053】

連続的に、保護膜96をパターニングしてドレイン電極90の一部を露出するドレインコンタクトホール98aと、共通配線58の一部を露出する共通配線コンタクトホール98bと、ゲートパッド56を露出するゲートパッドコンタクトホール98cと、データパッド94を露出するデータパッドコンタクトホール98dを形成する。

【0054】

30

図3Hと図4Hと図5Hと図6Hは、第4マスク工程を示した図であって、保護膜96が形成された基板50全面に、インジウムスズオキサイドITOとインジウムジニクオキサイドIZOを含む透明な導電性金属グループのうちから選択された一つを蒸着してパターニングし、画素領域Pに画素電極PxLと共通電極Vcomを形成する。

【0055】

この時、画素電極PxLは、ドレイン電極90と接触しながらデータ配線92と平行な多数の垂直部で構成される。共通電極Vcomは、共通配線58と接触しながらデータ配線92と平行な多数の垂直部に延長され画素電極PxLと離隔されるように構成して、ゲートパッド56と接触するゲートパッド電極GPと、データパッド94と接触するデータパッド電極DPを形成する。

40

【0056】

以上、従来による4マスク工程によって横電界方式の液晶表示装置用アレイ基板を製作することができる。

【0057】

前述した工程は、第2マスク工程によって純粋な非晶質シリコンのアクティブ層84及び不純物を含む非晶質シリコンのオーミックコンタクト層86と、上部のソース電極88及びドレイン電極90とデータ配線92を同時に形成する工程で、データ配線92の下部に第2半導体パターン80が残り、特に、第2半導体パターン80の下部の純粋な非晶質シリコンパターン72がデータ配線92の両側に延長された形態でパターニングされる。

【0058】

50

前述したように、データ配線 9 2 の両側に下部の純粋な非晶質シリコンパターン 7 2 が拡張された形態であるために、これによって、画面に波状ノイズが発生する問題がある。

【 0 0 5 9 】

また、ゲート電極 5 2 の上部に位置したアクティブ層 8 4 も、ゲート電極 5 2 の外部に延長された形態で構成されるために、光によって露出され光電流、すなわち、漏洩電流が発生して、これによって、薄膜トランジスタの動作不良を誘発する問題がある。

【発明の開示】

【発明が解決しようとする課題】

【 0 0 6 0 】

本発明は、前述したような問題を解決するために提案されており、非晶質シリコン層が配線の外方に露出されないようにして光電流による薄膜トランジスタの漏洩電流の特性を最小化すると同時に、波状ノイズを防いで高画質を具現することを第 1 目的とする。

また、3 マスク工程で製作することによって、工程を単純化し、工程費用及び工程時間を短縮して生産性を改善することを第 2 目的とする。

【課題を解決するための手段】

【 0 0 6 1 】

前述したような目的を達成するための本発明の液晶表示装置用アレイ基板は、基板と、前記基板の上部のゲート配線と、前記ゲートル配線に連結されたゲート電極、前記ゲート電極の上部のゲート絶縁膜、前記ゲート絶縁膜の上部のアクティブ層、前記アクティブ層の上部のオーミックコンタクト層及び前記オーミックコンタクト層の上部のソース電極及びドレイン電極を含む薄膜トランジスタと、前記ドレイン電極に電氣的に連結された画素電極と、前記ソース電極に電氣的に連結されて、前記ゲート配線と交差するデータ配線と、前記画素電極と離隔されている共通電極及び前記画素電極と前記共通電極間及び前記ソース電極と前記ドレイン電極間に位置する保護膜とを含むことを特徴とする。

【 0 0 6 2 】

前記アクティブ層は、その端部が前記ゲート電極の端部を覆わず、前記ゲート電極の上部に形成されるアイランド ( I s l a n d ) 状である。

【 0 0 6 3 】

前記データ配線の下部に、前記オーミックコンタクト層から延長された第 1 層と前記アクティブ層から延長された第 2 層を有する延長部を含む。

【 0 0 6 4 】

前記オーミックコンタクト層と前記ソース電極間及び前記オーミックコンタクト層と前記ドレイン電極間に、バッファ金属層をさらに含む。

【 0 0 6 5 】

前記ソース電極及びドレイン電極と前記共通電極及び前記画素電極は、透明である。

【 0 0 6 6 】

前記データ配線の上部に、前記ソース電極から延長された補助データ配線をさらに含む。

【 0 0 6 7 】

前記補助データ配線の下部に、前記バッファ金属層から延長された前記データ配線と、前記オーミックコンタクト層から延長された第 1 層及び前記アクティブ層から延長された第 2 層を有する延長部をさらに含む。

【 0 0 6 8 】

前記データ配線の下部に、前記アクティブ層及び前記オーミックコンタクト層と同一層を有して前記アクティブ層及び前記オーミックコンタクト層と分離された延長部をさらに含む。

【 0 0 6 9 】

前記バッファ金属層は、少なくとも 3 層の多重層構造であって、前記少なくとも 3 層の中間層は、銅を含む。

【 0 0 7 0 】

10

20

30

40

50

前記ドレイン電極から延長されて、前記画素電極に連結される画素電極連結部をさらに含む。

【0071】

本発明の液晶表示装置用アレイ基板の製造方法は、基板にスイッチング領域と画素領域とゲート領域とデータ領域と共通信号領域とを定義する段階と、前記スイッチング領域と前記ゲート領域と前記共通信号領域に、ゲート電極とゲート配線及び共通配線を各々形成する段階と、前記ゲート電極の上部に、ゲート絶縁膜とアクティブ層とオーミックコンタクト層を形成する段階と、前記オーミックコンタクト層の上部に、ソース電極及びドレイン電極を形成する段階と、前記ソース電極と電氣的に連結されて、前記ゲート配線と交差するデータ配線を形成する段階と、前記ドレイン電極と電氣的に連結される画素電極及び前記画素電極と離隔されている共通電極を形成する段階と、前記画素電極と前記共通電極間の前記ゲート絶縁膜の上部及び前記ソース電極及びドレイン電極間の前記アクティブ層の上部に保護膜を形成する段階とを含むことを特徴とする。

10

【0072】

前記ゲート絶縁膜と、前記アクティブ層と前記オーミックコンタクト層を形成する段階と前記データ配線を形成する段階は、一つのマスクを利用する。

【0073】

前記データ配線の上部に補助データ配線を形成する段階をさらに含み、前記ソース電極と、前記ドレイン電極と、前記共通電極と、前記画素電極及び前記補助データ配線は、同一マスク工程で形成される。

20

【0074】

前記保護膜は、リフトオフ工程によって形成される。

【0075】

前記ゲート絶縁膜と前記アクティブ層と前記オーミックコンタクト層を形成する段階は、前記オーミックコンタクト層の上部にバッファ金属層を形成する段階を含む。

【0076】

本発明の他の液晶表示装置用アレイ基板の製造方法は、基板上にゲート電極とゲート配線を形成する第1マスク工程段階と、前記ゲート電極と前記ゲート配線を含む前記基板上にゲート絶縁膜とアクティブ層とオーミックコンタクト層及びデータ配線を順に形成する第2マスク工程段階と、前記基板上にソース電極とドレイン電極、共通電極及び画素電極を形成する第3マスク工程段階と、前記ソース電極と前記ドレイン電極間の前記アクティブ層の上部及び前記共通電極と前記画素電極間に保護膜を形成する段階とを含むことを特徴とする。

30

【0077】

前記第1マスク工程段階は、前記ゲート配線の一端にゲートパッドを形成する段階を含み、前記第2マスク工程段階は、前記データ配線の一端にデータパッドを形成する段階を含み、前記第3マスク工程段階は、前記データ配線の上部の補助データ配線と、前記ゲートパッドの上部のゲートパッド電極及び前記データパッドの上部のデータパッド電極を形成する段階とを含む。

【0078】

前記第2マスク工程段階は、前記ゲート電極と前記ゲート配線及び前記ゲートパッドを含む前記基板上に前記ゲート絶縁膜と、純粋な非晶質シリコン層と不純物を含む非晶質シリコン層及び金属層を順に形成する段階と、前記金属層の上部に、前記ゲートパッドに対応する前記金属層を露出して、前記アクティブ層と前記データ配線及び前記データパッドに対応する第1部分と、前記アクティブ層と前記データ配線及び前記データパッドを除いた領域に対応して、前記第1部分より厚い第2部分とで構成される感光パターンを形成する段階と、前記露出された金属層と前記不純物を含む非晶質シリコン層、前記純粋な非晶質シリコン層及び前記ゲート絶縁膜を除去して前記ゲートパッドを露出する段階と、前記感光パターンの第2部分を除去する段階と、前記感光パターンの第1部分をエッチングマスクとして利用して、前記金属層と、前記不純物を含む非晶質シリコン層及び前記純粋な

40

50

非晶質シリコン層を除去する段階と、前記感光パターンの第1部分を除去する段階とを含む。

【0079】

前記感光パターンを形成する段階は、透過部と遮断部及び半透過部を含むマスクを利用して、前記透過部は、前記ゲートパッドに対応し、前記遮断部は、前記アクティブ層と前記データ配線及び前記データパッドに対応して、前記半透過部は、前記アクティブ層と前記データ配線、前記データパッド及び前記ゲートパッドを除いた領域に対応する。

【0080】

前記第2マスク工程段階は、前記補助データ配線及び前記データパッド電極の下部に延長部を形成する段階を含み、前記延長部は、純粋な非晶質シリコンパターンと不純物を含む非晶質シリコンパターンを含む。

10

【0081】

前記第1マスク工程段階は、前記ゲート配線と平行な共通配線を形成する段階を含み、前記共通配線は、前記共通電極と電気的に連結されて、前記第2マスク工程段階は、前記露出された金属層と前記不純物を含む非晶質シリコン層、前記純粋な非晶質シリコン層及び前記ゲート絶縁膜を除去して前記共通配線を露出する段階を含む。

【0082】

前記第3マスク工程段階は、前記データ配線及び前記データパッドを含む前記基板上に導電性層を形成する段階と、前記導電性層の上部に、前記ソース電極及びドレイン電極に対応する第1感光パターンと、前記補助データ配線及び前記データパッド電極に対応する第2感光パターンと、前記画素電極及び前記共通電極に対応する第3感光パターン、前記ゲートパッド電極に対応する第4感光パターンを形成する段階と、前記第1乃至第4感光パターンをエッチングマスクで前記導電性層をパターンニングして、前記ソース電極及びドレイン電極と、前記補助データ配線、前記データパッド電極、前記画素電極、前記共通電極、前記ゲートパッド電極を形成する段階と、前記ソース電極及びドレイン電極間の前記オーミックコンタクト層を除去して前記ソース電極及びドレイン電極間の前記アクティブ層を露出する段階と、前記第1乃至第4感光パターンを除去する段階とを含む。

20

【0083】

前記保護膜を形成する段階は、前記第1乃至第4感光パターンを含む前記基板上に絶縁膜を形成する段階と、前記第1乃至第4感光パターンと共に前記絶縁膜を選択的に除去する段階を含む。前記導電性層をパターンニングする段階は、湿式エッチングを利用して前記導電性層をオーバーエッチングすることによって、前記第1乃至第4感光パターンの端側の下部面を2000ないし5000露出する段階を含む。

30

【0084】

前記保護膜を形成する段階は、前記ゲートパッド電極及び前記データパッド電極を覆うシャドーマスクを配置する段階と、前記ゲートパッド電極及び前記データパッド電極を除いた前記基板上に、絶縁物質を蒸着する段階を含む。

【0085】

前記第2マスク工程段階は、前記オーミックコンタクト層の上部にバッファ金属層を形成する段階を含み、前記バッファ金属層を形成する段階は、モリブデン-チタン合金と、銅、モリブデン-チタン合金を順に蒸着してパターンニングする段階を含む。

40

【0086】

以下、添付した図面を参照して、本発明の望ましい実施例を説明する。

【発明の効果】

【0087】

本発明による横電界方式の液晶表示装置用アレイ基板は、アクティブ層がバックライトの光によって露出される構造ではないので、光電流発生が抑制できるため、薄膜トランジスタの動作不良が防げて、パネルに波状ノイズが発生されずに高画質を具現する。

【0088】

また、3マスク工程によって製作されるために、生産費用を削減し、生産時間が短縮さ

50

れるので、工程収率を改善して、製品の競争力を改善する。

【0089】

さらに、抵抗の低い銅層を配線として使用するために、信号遅延が防げて、液晶パネルの動作の特性を改善する。

【0090】

[第1実施例]

本発明の第1実施例は、アクティブ層の端側がデータ配線及びゲート電極の外部に拡張されない形態の横電界型のアレイ基板を3マスク工程によって製作することを特徴とする。

【0091】

以下、平面図と断面図を参照して、本発明による横電界型のアレイ基板の構成を詳しく説明する。

【0092】

図7は、本発明の第1実施例による横電界方式の液晶表示装置用アレイ基板の一部を拡大した平面図であって、図8A乃至図8Dは、各々図7のV I I - V I I線、V I I I - V I I I線、I X - I X線、X - X線に沿って切断した断面図である。

【0093】

図7と図8A乃至図8Dに示したように、絶縁基板100上に、一方向に延長され一端にゲートパッド106が構成されたゲート配線104と、ゲート配線104と交差し画素領域Pを定義して、一端にデータパッド144を含むデータ配線143を構成する。データ配線143の上部には、補助データ配線142が形成されており、データパッド144の上部には、データパッド電極146が形成されている。また、ゲート配線104と離隔された共通配線109と共通電極連結部108を構成する。ゲートパッド106の上部には、ゲートパッド106に連結されるゲートパッド電極152が形成されている。

【0094】

ゲート配線104とデータ配線143の交差点には、ゲート電極102と、オーミックコンタクト層126とアクティブ層124とバッファ金属層128と、バッファ金属層128と接触するソース電極138とドレイン電極140とを含む薄膜トランジスタTを構成する。ゲート配線104とゲート電極102及びゲートパッド106の上部には、ゲート絶縁膜110が形成され、これらを覆っている。

【0095】

バッファ金属層128とアクティブ層124とオーミックコンタクト層126とデータ配線143及びデータパッド144を同一なマスクでパターニングして、オーミックコンタクト層126及びアクティブ層124と同一層に位置して同一物質で構成された層等を含む延長部Bをデータ配線143及びデータパッド144の下部に構成した構造である。

【0096】

この時、バッファ金属層128とデータ配線143及びデータパッド144は、銅Cu層を間にモリチタン合金MoTi層を上下に構成した最小限3層の積層構造であって、ソース電極138及びドレイン電極140は、モリチタン合金MoTi層やインジウムスズオキサイドITOまたはインジウムジンカーオキサイドIZOのような透明な金属層で構成する。

【0097】

ここで、銅Cu層は、抵抗が非常に低いために、配線の抵抗による信号遅延が防げる長所がある。

【0098】

画素領域Pには、ドレイン電極140と電氣的に接触する画素電極148と、画素電極148と平行に離隔され共通配線109と電氣的に連結される共通電極150を構成する。画素電極148は、ドレイン電極140に連結される画素電極連結部148aから延長される。共通電極150は、共通電極連結部108と接触して、図面には示していないが、共通電極連結部108は、共通配線109に連結されて、共通配線109からの信号を

10

20

30

40

50

共通電極 150 に印加する。従って、共通電極 150 は、隣接した画素領域の共通電極(図示せず)と電氣的に連結される。

【0099】

一方、共通電極 150 は、共通配線 109 に直接連結されることもできる。画素電極連結部 148a は、共通配線 109 と重なって、ストレージキャパシタ Cst を形成する。

【0100】

この時、画素電極 148 と共通電極 150 は、ソース電極 138 及びドレイン電極 140 と同一工程で製作して、これも、モリチタン合金 MoTi 層やインジウムスズオキサイドITO またはインジウムジンカーオキサイドIZO のような透明な金属層で構成することができる。

10

【0101】

薄膜トランジスタ T の露出されたアクティブ層 124 の上部と、共通電極 150 と画素電極 148 間のゲート絶縁膜 110 上には、保護膜 154 を構成して、保護膜 154 は、別途のマスク工程を使用せず、蒸着工程とリフトオフ(lift off)工程によってゲートパッド電極 152 とデータパッド電極 146 の一部を露出しながら形成することができる。

【0102】

また、前述した構成で、アクティブ層 124 が示してない下部の背光装置に露出される構造ではないため、従来とは異なり、漏洩電流による波状ノイズまたは薄膜トランジスタ TFT の動作不良が誘発されない構成である。

20

【0103】

以下、工程断面図を参照して、本発明の第 1 実施例による横電界方式の液晶表示装置用アレイ基板の製造工程を説明する。

【0104】

図 9A 乃至図 9I と図 10A 乃至図 10I と図 11A 乃至図 11I と図 12A 乃至図 12I は、本発明の第 1 実施例による工程順に示した工程断面図である。図 9A 乃至図 9I は、図 7 の VII - VII 線、図 10A 乃至図 10I は、図 7 の VIII - VIII 線、図 11A 乃至図 11I は、図 7 の IX - IX 線、図 12A 乃至図 12I は、図 7 の X - X 線に対応する。

図 9A と図 10A と図 11A と図 12A は、第 1 マスク工程を示した工程断面図である。

30

【0105】

図 9A と図 10A と図 11A と図 12A に示したように、基板 100 上に、スイッチング領域 S と画素領域 P とゲート領域 G とデータ領域 D と共通信号領域 CS とを定義する。

【0106】

多数の領域(S、P、G、D、CS)を定義した基板 100 上に、アルミニウム Al、アルミニウム合金 AlNd、クロム Cr、モリブデン Mo、タングステン W、チタン Ti、銅 Cu、タンタル Ta 等を含む導電性金属グループのうちから選択された一つまたは一つ以上の金属を蒸着して第 1 導電性金属層(図示せず)を形成し、これを第 1 マスク工程によってパターンングして、スイッチング領域 S にゲート電極 102 を形成し、ゲート領域 G に対応して一端にゲートパッド 106 を含むゲート配線(図 7 の 104)を形成して、ゲート配線(図 7 の 104)と平行に離隔された位置の画素領域 P の両側、すなわち、共通信号領域 CS に共通配線(図 7 の 109)と共通電極連結部 108 を各々形成する。

40

【0107】

以下、図 9B 乃至図 9F と図 10B 乃至図 10F と図 11B 乃至図 11f と図 12A 乃至図 12F は、第 2 マスク工程を工程順に示した工程断面図である。

【0108】

図 9B と図 10B と図 11B と図 12B に示したように、ゲート電極 102 とゲートパッド 106 及びゲート配線(図 7 の 104)と共通配線(図 7 の 109)、また、共通電極連結部 108 が形成された基板 100 全面に、ゲート絶縁膜 110 と、純粋な非晶質シリコ

50

ン層(a - Si : H) 112と不純物を含む非晶質シリコン層(n+a - Si : H) 114と、不純物を含む非晶質シリコン層114の上部に第2導電性金属層116と、第2導電性金属層116の上部にフォトレジストを塗布して感光層118を形成する。

【0109】

ゲート絶縁膜110は、窒化シリコン $SiN_x$ と酸化シリコン $SiO_2$ を含む無機絶縁物質グループのうちから選択された一つまたは一つ以上の物質を蒸着して形成する。

【0110】

この時、第2導電性金属層116は、多層で構成されて、第1層にモリチタン合金MoTi層と第2層に銅Cu層と第3層にモリチタン合金MoTi層を積層して形成する。

【0111】

ここで、銅Cuは、抵抗率が非常に低いので、信号遅延を最小化するために使用する。但し、銅Cuは、シリコンSiまたは酸素と反応して抵抗率の高い物質になれるために、前述したように、銅の上部と下部にモリブデンMoとチタンTiの合金をさらに構成する。

【0112】

一方、感光層118を形成した後、感光層118が形成された基板100の離隔された上部に、透過部B1と遮断部B2と半透過部B3とで構成されたマスクMを位置させる。

【0113】

この時、スイッチング領域Sとデータ領域Dに対応して遮断部B2と、共通信号領域CSとゲートパッド106に対応して透過部B1を位置させて、それ以外の領域には、半透過部B3を位置させる。

【0114】

ここで、スイッチング領域Sに対応する遮断部B2の面積は、ゲート電極102の面積を越えない範囲内に限定する。

【0115】

次に、マスクMの上部に光を照射して下部の感光層116を露光する工程と、連続的に現像工程を行う。

【0116】

図9Cと図10Cと図11Cと図12Cに示したように、感光パターン120が形成される。感光パターン120は、共通信号領域CSとゲートパッド106のためのゲート領域Gの一部に対応して完全に除去され、下部の第2導電性金属層116を露出して、スイッチング領域Sとデータ領域Dに元々の高さに対応する第1厚さd1の第1部分及び共通信号領域CSとゲートパッド106のためのゲート領域G、スイッチング領域S、また、データ領域Dを除いた残りの領域に、第1厚さd1より薄い第2厚さd2の第2部分を含む。

【0117】

図9Dと図10Dと図11Dと図12Dに示したように、共通信号領域CSとゲートパッド106に対応して露出された第2導電性金属層116と、その下部の不純物を含む非晶質シリコン層114と純粋な非晶質シリコン層112とゲート絶縁膜110を除去して、下部の共通電極連結部108とゲートパッド106の一部を露出する工程を行う。

【0118】

次に、スイッチング領域S及びデータ領域Dを除いた感光パターン120の第2部分を、アッシング工程を利用して除去する。

【0119】

図9Eと図10Eと図11Eと図12Eに示したように、基板100のスイッチング領域Sとデータ領域Dを除いた基板100全面に対する第2導電性金属層116が露出されて、ゲートパッド106と共通電極連結部108の一部が露出される。

【0120】

一方、スイッチング領域Sとデータ領域Dに対応して高さが低くなった感光パターン122が残された状態になる。

10

20

30

40

50

## 【 0 1 2 1 】

感光パターン 1 2 2 の外部に露出された第 2 導電性金属層 1 1 6 と、その下部の不純物を含む非晶質シリコン層 1 1 4 と、その下部の純粋な非晶質シリコン層 1 1 2 を除去する工程を行う。

## 【 0 1 2 2 】

次に、残された感光パターン 1 2 2 を除去する工程を行う。

## 【 0 1 2 3 】

図 9 F と図 1 0 F と図 1 1 F と図 1 2 F に示したように、スイッチング領域 S に対応するゲート電極 1 0 2 の上部に、アクティブ層 1 2 4 とオーミックコンタクト層 1 2 6 とバッファ金属層 1 2 8 が形成される。

10

## 【 0 1 2 4 】

この時、データ配線 1 4 3 及びデータパッド 1 4 4 及び延長部 B がデータ領域 D に形成される。延長部 B は、データ配線 1 4 3 及びデータパッド 1 4 4 の下部に位置して、オーミックコンタクト層 1 2 6 及びバッファ金属層 1 2 8 と同一層に、同一物質で構成された層等を含む。

## 【 0 1 2 5 】

図 9 G 乃至図 9 I と図 1 0 G 乃至図 1 0 I と図 1 1 G 乃至図 1 1 I と図 1 2 G 乃至図 1 2 I は、第 3 マスク工程を示した図である。

図 9 G と図 1 0 G と図 1 1 G と図 1 2 G に示したように、バッファ金属層 1 2 8 と、アクティブ層 1 2 4 とオーミックコンタクト層 1 2 6、データ配線 1 4 3 及びデータパッド 1 4 4 が形成された基板 1 0 0 全面に、第 3 導電性金属層(図示せず)と感光層を積層して、感光層を第 3 マスク工程によって露光して現像し、スイッチング領域 S に対応して離隔された第 1 感光パターン 1 3 0 と、データ領域 D に対応して第 2 感光パターン 1 3 2 と、画素領域 P に対応して多数の垂直な棒状の第 3 感光パターン 1 3 4 を形成して、ゲートパッド 1 0 6 の一部を覆う第 4 感光パターン 1 3 6 を形成する。

20

## 【 0 1 2 6 】

この時、第 3 導電性金属層(図示せず)は、望ましくは、モリチタン合金 M o T i 層である。

## 【 0 1 2 7 】

第 1 乃至第 4 感光パターン 1 3 0、1 3 2、1 3 4、1 3 6 の周辺に露出された第 3 導電性金属層(図示せず)を除去して、離隔された第 1 感光パターン 1 3 0 の下部に、離隔されたソース電極 1 3 8 とドレイン電極 1 4 0 と、第 2 感光パターン 1 3 2 の下部にデータ配線 1 4 3 及びデータパッド 1 4 4 と延長部 B を覆うと同時に、一端にデータパッド電極 1 4 6 を含む補助データ配線 1 4 2 と、第 3 感光パターン 1 3 4 の下部には、ドレイン電極 1 4 0 と接触する画素電極連結部(図 7 の 1 4 8 a)及びこれから画素領域 P に垂直に延長された多数の垂直な棒状で構成された画素電極 1 4 8 と、共通電極連結部 1 0 8 と接触しながら画素電極 1 4 8 間に位置した多数の垂直な棒状の共通電極 1 5 0 を形成する。

30

## 【 0 1 2 8 】

この時、第 4 感光パターン 1 3 6 の下部には、ゲートパッド 1 0 6 と接触するゲートパッド電極 1 5 2 を形成する。

40

## 【 0 1 2 9 】

次に、離隔された第 1 感光パターン 1 3 0 間に露出されたバッファ金属層 1 2 8 とオーミックコンタクト層 1 2 6 を除去して下部のアクティブ層 1 2 4 を露出する工程を行う。

## 【 0 1 3 0 】

前述した構成で、アクティブ層 1 2 4 とオーミックコンタクト層 1 2 6 は、ゲート電極 1 0 2 の上部に位置して、ゲート電極 1 0 2 によって遮られる形態であり、延長部 B も上部の補助データ配線 1 4 2 に覆われた形態で構成されるので、光から遮断される。

## 【 0 1 3 1 】

従って、アクティブ層 1 2 4 では、光による光漏洩電流が発生しない長所があって、これにより、薄膜トランジスタは、動作不良が発生せず、パネルの全体からすると、光漏洩

50

電流による波状ノイズが発生しない長所がある。

【0132】

図9Hと図10Hと図11Hと図12Hに示したように、第1乃至第4感光パターン130、132、134、136を残した状態で、基板100全面に、窒化シリコン $\text{SiN}_x$ と酸化シリコン $\text{SiO}_2$ を含む無機絶縁膜を蒸着して保護膜154を形成する。

【0133】

この時、保護膜154は、第1ないし第4感光パターン130、132、134、136の上部と、露出されたアクティブ層124の上部と、共通電極150と画素電極148間を埋める形態で形成される。

【0134】

次に、第1ないし第4感光パターン130、132、134、136を除去するリフトオフ工程を行う。

【0135】

図9Iと図10Iと図11Iと図12Iに示したように、保護膜154は、アクティブ層124の表面を覆うと同時に、共通電極150と画素電極148間を埋める形態で形成されて、この時、ゲートパッド電極152とデータパッド電極146は、露出された状態で製作される。

【0136】

一方、図9Gと図10Gと図11Gと図12Gに示したように、第3導電性金属層を除去する時、等方性を有する湿式エッチングを利用して第1乃至第4感光パターン130、132、134、136の下部の第3導電性金属層をオーバーエッチングさせる。従って、第1乃至第4感光パターン130、132、134、136の端側の下部面を部分的に露出させる。このような第1乃至第4感光パターン130、132、134、136の露出された下部面は、保護膜154を蒸着した後、第1乃至第4感光パターン130、132、134、136を除去するリフトオフ工程で、ストリッパー(stripper)が第1乃至第4感光パターン130、132、134、136の下部に円滑に浸透して第1乃至第4感光パターン130、132、134、136を容易に除去するためである。この時、ストリッパーの浸透を円滑にするために、第1乃至第4感光パターン130、132、134、136の露出された下部面は、望ましくは、2,000ないし5,000の幅である。

【0137】

以上、リフトオフ工程を含む3マスク工程によって、本発明による横電界方式の液晶表示装置用アレイ基板を製作することができる。

【0138】

前述した第1実施例の構成は、共通電極150と画素電極148を不透明な金属で形成する場合を説明しており、共通電極と画素電極は、インジウムスズオキサイドITOとインジウムズンクオキサイドIZOのような透明な導電性金属層で形成することもできる。

【0139】

[第2実施例]

本発明の第2実施例による横電界方式の液晶表示装置用アレイ基板は、共通電極と画素電極とソース電極及びドレイン電極を透明な材質で形成することを特徴とする。

【0140】

以下、図13A乃至図13Dを参照して説明する。

図13A乃至図13Dは、各々図7のVII-VII線、VIII-VIII線、IX-IX線、X-X線に沿って切断した断面図である。

【0141】

図13A乃至図13Dに示したように、本発明の第2実施例は、スイッチング領域Sで定義した基板100の一面に、ゲート電極102とアクティブ層124とオーミックコンタクト層126とバッファ金属層128と、バッファ金属層128と接触する透明なソー

10

20

30

40

50

ス電極 1 3 8' とドレイン電極 1 4 0' とで構成された薄膜トランジスタ T を構成する。

【 0 1 4 2 】

また、画素領域 P で定義した基板 1 0 0 の一面には、相互に離隔して構成された棒状の透明な画素電極 1 4 8' と透明な共通電極 1 5 0' を構成して、画素領域 P の一側に定義したデータ領域 D には、アクティブ層 1 2 4 及びオーミックコンタクト層 1 2 6 と同一層及び同一物質の延長部 B を構成して、延長部 B の上部には、バッファ金属層 1 2 8 と同一層及び同一物質のデータ配線 1 4 3 及びデータ配線 1 4 3 の一端のデータパッド 1 4 4 を形成する。データ配線 1 4 3 及びデータパッド 1 4 4 の上部には、データ配線 1 4 3 及びデータパッド 1 4 4 と延長部 B を覆って一端にデータパッド電極 1 4 6' を含む透明な補助データ配線 1 4 2' を形成する。

10

【 0 1 4 3 】

さらに、画素領域 P の他側のゲート領域 G には、一端にゲートパッド 1 0 6 を含むゲート配線 (図 7 の 1 0 4) を構成して、ゲートパッド 1 0 6 の上部には、これと接触する透明なゲートパッド電極 1 5 2 を形成する。共通信号領域 C S には、画素電極連結部 1 0 8 を形成する。

【 0 1 4 4 】

この時、バッファ金属層 1 2 8 は、前述したように、抵抗の低い銅 Cu 層を間に、上下にモリチタン合金 MoTi 層を積層して形成する。

【 0 1 4 5 】

従って、ソース電極 1 3 8' 及びドレイン電極 1 4 0' を抵抗の大きい透明な導電性金属層で形成しても、信号遅延が発生しない長所がある。

20

【 0 1 4 6 】

また、共通電極 1 5 0' と画素電極 1 4 8' を透明な材質で形成することによって、輝度をさらに改善して、特に、ドレイン電極 1 4 0' が透明であって、下部のバックライトから出射した光がドレイン電極 1 4 0' を通過するために、ドレイン電極 1 4 0' によって反射される光がアクティブ層 1 2 4 に照射される現象が発生しない。

【 0 1 4 7 】

前述したような本発明の第 2 実施例による横電界方式の液晶表示装置用アレイ基板の製造方法は、第 1 実施例に比べて、第 3 導電性金属層を インジウムスズオキサイド ITO または インジウムジンカーオキサイド IZO で形成する差のみが異なり、それ以外の工程は、同一であって、これを省略する。

30

【 0 1 4 8 】

ここで、バッファ金属層 1 2 8 は、省略される場合があって、第 2 実施例でのように、第 3 導電性金属層を インジウムスズオキサイド ITO または インジウムジンカーオキサイド IZO で形成する場合は、信号遅延の発生を防ぐために、望ましくは、バッファ金属層 1 2 8 を形成する。

【 0 1 4 9 】

以上、リフトオフ工程を含む 3 マスク工程によって、本発明の第 1 及び第 2 実施例による横電界方式の液晶表示装置を製作することができる。

【 0 1 5 0 】

この時、第 1 及び第 2 実施例は、絶縁膜を形成する工程でリフトオフ工程を使用して、マスク工程を省略することを特徴としたが、以下、第 3 実施例によって他の変形例を説明する。

40

【 0 1 5 1 】

[ 第 3 実施例 ]

本発明の第 3 実施例は、シャドーマスクを使用して、ゲートパッドとデータパッドを除いた全ての領域に保護膜を形成することを特徴とする。

【 0 1 5 2 】

以下、工程断面図を参照して、本発明の第 3 実施例による横電界方式の液晶表示装置用アレイ基板の製造工程を説明する。

50

## 【0153】

この時、第2マスク工程までは、第1実施で説明した段階と同一であるため、これを省略して、第3マスク工程から説明する。

## 【0154】

図14A乃至図14Cと図15A乃至図15Cと図16A乃至図16Cと図17A乃至図17Cは、本発明の第3実施例による工程順に示した工程断面図である。図14A乃至図14Cは、図7のVII-VII線、図15A乃至図15Cは、図7のVIII-VIII線、図16A乃至図16Cは、図7のIX-IX線、図17A乃至図17Cは、図7のX-X線に対応する。

## 【0155】

図14Aと図15Aと図16Aと図17Aに示したように、基板100上に、画素領域Pとスイッチング領域Sと共通信号領域CSとデータ領域Dとゲート領域Gとを定義する。

## 【0156】

第1マスク工程で、スイッチング領域Sにゲート電極102を形成して、ゲート電極102と接触しながらゲート領域Gに延長されて、一端にゲートパッド106を含むゲート配線(図7の104)を形成して、ゲート配線(図7の104)と平行な位置に共通配線(図7の109)と共通電極連結部108を形成する。

## 【0157】

次に、ゲート電極102とゲート配線(図7の104)とゲートパッド106が形成された基板100全面に、ゲート絶縁膜110を形成する。

## 【0158】

第2マスク工程で、ゲートパッド106と共通電極連結部108の一部を露出する工程を行い、スイッチング領域Sに対応するゲート絶縁膜110の上部に、アクティブ層124とオーミックコンタクト層126と、バッファ金属層128を形成する。データ領域Dには、延長部Bとデータ配線143及びデータパッド144を形成する。データ配線143及びデータパッド144は、バッファ金属層128と同一層及び同一物質で構成された層等含む。

## 【0159】

次に、アクティブ層124とオーミックコンタクト層126とバッファ金属層128とデータ配線143及びデータパッド144が形成された基板100全面に、第3導電性金属層MLと感光層(図示せず)を積層して、感光層を第3マスク工程によって露光して現像し、スイッチング領域Sに対応して離隔された第1感光パターン130と、データ領域Dに対応して第2感光パターン132と、画素領域Pに対応して多数の垂直な棒状の第3感光パターン134とを形成して、ゲートパッド106の一部を覆う第4感光パターン136を形成する。

## 【0160】

次に、第1乃至第4感光パターン130、132、134、136の周辺に露出された第3導電性金属層MLを除去して、上部の第1乃至第4感光パターン130、132、134、136を除去する工程を行う。

## 【0161】

この時、第3導電性金属層MLは、第1及び第2実施例のように、モリチタン合金MOTi層で形成したり、インジウムスズオキサイドITO及びインジウムジニクオキサイドIZOのような透明な導電性金属層で形成したりすることもできる。

## 【0162】

図14Bと図15Bと図16Bと図17Bに示したように、スイッチング領域Sには、離隔されたソース電極138とドレイン電極140と、データ領域Dには、延長部Bとデータ配線143及びデータパッド144を覆うと同時に、一端にデータパッド電極146を含む補助データ配線142が形成される。

## 【0163】

10

20

30

40

50

画素領域 P には、ドレイン電極 140 と電氣的に連結され画素領域 P に垂直に延長された多数の垂直な棒状で構成された画素電極 148 と、共通電極連結部 108 と接触しながら画素電極 148 間に位置した多数の垂直な棒状の共通電極 150 を形成して、ゲートパッド 106 と接触するゲートパッド電極 152 を形成する。

【0164】

次に、ソース電極 138 及びドレイン電極 140 間に露出されたバッファ金属層 128 とオーミックコンタクト層 126 を除去して、下部のアクティブ層 124 を露出する工程を行う。

【0165】

図 14C と図 15C と図 16C と図 17C に示したように、ゲートパッド電極 152 とデータパッド電極 146 の上部に、シャドーマスク SM を位置させた後、基板 100 全面に、窒化シリコン  $SiN_x$  と酸化シリコン  $SiO_2$  を含む無機絶縁物質グループのうちから選択された一つを蒸着して保護膜 154 を形成する。

【0166】

従って、追加的なマスク工程なしに、単純にシャドーマスクでゲートパッド電極及びデータパッドを遮断する工程のみ、ゲートパッド電極 152 とデータパッド電極 146 を除いた全ての領域に保護膜 154 を形成することができる。

【0167】

前述したように、本発明の第 1 乃至第 3 実施例において、3 工程で横電界方式の液晶表示装置用アレイ基板を製作することができる。

【0168】

本発明の第 1 乃至第 3 実施例で、データ配線 143 は、バッファ金属層 128 と分離されて、延長部 B の各層は、アクティブ層 124 及びオーミックコンタクト層 126 と分離されているが、相互に連結されるように形成することもできる。

【0169】

このような他の例を図 18 に示す。図 18 は、本発明によるアレイ基板の他の例を示した断面図である。図 18 の構造は、データ配線 143 がバッファ金属層 128 に連結されて、延長部 B の各パターンがアクティブ層 124 及びオーミックコンタクト層 126 に連結されている点を除いては、前述した第 1 乃至第 3 実施例の構造と同一であるために、同一部分には、同一符号を付与して、これに対する説明は、省略する。

【0170】

図 18 に示したように、アクティブ層 124 及びオーミックコンタクト層 126 に連結されて、これと同一な積層構造の層で構成された延長部 B がデータ領域 D に位置する。延長部 B の上部には、データ配線 143 が形成されており、データ配線 143 は、バッファ金属層 128 に連結されている。補助データ配線 142 がデータ配線 143 及び延長部 B を覆っており、ソース電極 138 が補助データ配線 142 から延長されている。

【0171】

図 18 のアレイ基板は、第 1 乃至第 3 実施例に提示した同一な工程によって製造される。

【0172】

以下、本発明による工程を簡単に説明する。

【0173】

第 1 マスク工程：ゲート電極とゲート配線及びゲートパッドと共通配線を形成する。

【0174】

第 2 マスク工程：第 1 絶縁膜の下部にゲートパッドと共通配線を露出して、ゲート電極の上部に、アクティブ層とオーミックコンタクト層とバッファ金属層、データ配線の及びデータパッドを形成する。

【0175】

第 3 マスク工程：離隔されたバッファ金属層と接触するソース電極とドレイン電極と、画素領域に画素電極と共通電極と、ゲートパッドと接触するゲートパッド電極と、データ

10

20

30

40

50

領域の一端にデータパッド電極を含む補助データ配線を形成する。

【0176】

次に、第1及び第2実施例で説明したリフトオフ工程を利用して、ゲートパッド電極とデータパッド電極を露出する保護膜を形成することができる。

【0177】

他の例として、第3実施例で説明したように、シャドーマスクを利用してゲートパッド電極とデータパッド電極を露出する保護膜を形成することができる。

【図面の簡単な説明】

【0178】

【図1】一般的な横電界方式の液晶表示装置の一部を概略的に示した断面図である。 10

【図2】従来による横電界方式の液晶表示装置用アレイ基板の一画素を示した拡大平面図である。

【図3A】図2のII-II線に沿って切断して、従来の工程順に示した工程断面図である。

【図3B】図3Aに続く製造工程を示す断面図である。

【図3C】図3Bに続く製造工程を示す断面図である。

【図3D】図3Cに続く製造工程を示す断面図である。

【図3E】図3Dに続く製造工程を示す断面図である。

【図3F】図3Eに続く製造工程を示す断面図である。

【図3G】図3Fに続く製造工程を示す断面図である。 20

【図3H】図3Gに続く製造工程を示す断面図である。

【図4A】図2のIII-III線に沿って切断して、従来の工程順に示した工程断面図である。

【図4B】図4Aに続く製造工程を示す断面図である。

【図4C】図4Bに続く製造工程を示す断面図である。

【図4D】図4Cに続く製造工程を示す断面図である。

【図4E】図4Dに続く製造工程を示す断面図である。

【図4F】図4Eに続く製造工程を示す断面図である。

【図4G】図4Fに続く製造工程を示す断面図である。

【図4H】図4Gに続く製造工程を示す断面図である。 30

【図5A】図2のIV-IV線に沿って切断して、従来の工程順に示した工程断面図である。

【図5B】図5Aに続く製造工程を示す断面図である。

【図5C】図5Bに続く製造工程を示す断面図である。

【図5D】図5Cに続く製造工程を示す断面図である。

【図5E】図5Dに続く製造工程を示す断面図である。

【図5F】図5Eに続く製造工程を示す断面図である。

【図5G】図5Fに続く製造工程を示す断面図である。

【図5H】図5Gに続く製造工程を示す断面図である。

【図6A】図2のV-V線に沿って切断して、従来の工程順に示した工程断面図である。 40

【図6B】図6Aに続く製造工程を示す断面図である。

【図6C】図6Bに続く製造工程を示す断面図である。

【図6D】図6Cに続く製造工程を示す断面図である。

【図6E】図6Dに続く製造工程を示す断面図である。

【図6F】図6Eに続く製造工程を示す断面図である。

【図6G】図6Fに続く製造工程を示す断面図である。

【図6H】図6Gに続く製造工程を示す断面図である。

【図7】本発明による横電界方式の液晶表示装置用アレイ基板の一画素を拡大した平面図である。

【図8A】図7のVII-VII線に沿って切断して、本発明の第1実施例による構成を 50

示した断面図である。

【図 8 B】図 7 の V I I I - V I I I 線に沿って切断して、本発明の第 1 実施例による構成を示した断面図である。

【図 8 C】図 7 の I X - I X 線に沿って切断して、本発明の第 1 実施例による構成を示した断面図である。

【図 8 D】図 7 の X - X 線に沿って切断して、本発明の第 1 実施例による構成を示した断面図である。

【図 9 A】本発明の第 1 実施例による工程順に示した工程断面図である。

【図 9 B】図 9 A に続く製造工程を示す断面図である。

【図 9 C】図 9 B に続く製造工程を示す断面図である。

10

【図 9 D】図 9 C に続く製造工程を示す断面図である。

【図 9 E】図 9 D に続く製造工程を示す断面図である。

【図 9 F】図 9 E に続く製造工程を示す断面図である。

【図 9 G】図 9 F に続く製造工程を示す断面図である。

【図 9 H】図 9 G に続く製造工程を示す断面図である。

【図 9 I】図 9 H に続く製造工程を示す断面図である。

【図 10 A】本発明の第 1 実施例による工程順に示した工程断面図である。

【図 10 B】図 10 A に続く製造工程を示す断面図である。

【図 10 C】図 10 B に続く製造工程を示す断面図である。

【図 10 D】図 10 C に続く製造工程を示す断面図である。

20

【図 10 E】図 10 D に続く製造工程を示す断面図である。

【図 10 F】図 10 E に続く製造工程を示す断面図である。

【図 10 G】図 10 F に続く製造工程を示す断面図である。

【図 10 H】図 10 G に続く製造工程を示す断面図である。

【図 10 I】図 10 H に続く製造工程を示す断面図である。

【図 11 A】本発明の第 1 実施例による工程順に示した工程断面図である。

【図 11 B】図 11 A に続く製造工程を示す断面図である。

【図 11 C】図 11 B に続く製造工程を示す断面図である。

【図 11 D】図 11 C に続く製造工程を示す断面図である。

【図 11 E】図 11 D に続く製造工程を示す断面図である。

30

【図 11 F】図 11 E に続く製造工程を示す断面図である。

【図 11 G】図 11 F に続く製造工程を示す断面図である。

【図 11 H】図 11 G に続く製造工程を示す断面図である。

【図 11 I】図 11 H に続く製造工程を示す断面図である。

【図 12 A】本発明の第 1 実施例による工程順に示した工程断面図である。

【図 12 B】図 12 A に続く製造工程を示す断面図である。

【図 12 C】図 12 B に続く製造工程を示す断面図である。

【図 12 D】図 12 C に続く製造工程を示す断面図である。

【図 12 E】図 12 D に続く製造工程を示す断面図である。

【図 12 F】図 12 E に続く製造工程を示す断面図である。

40

【図 12 G】図 12 F に続く製造工程を示す断面図である。

【図 12 H】図 12 G に続く製造工程を示す断面図である。

【図 12 I】図 12 H に続く製造工程を示す断面図である。

【図 13 A】本発明の第 2 実施例によるアレイ基板を示した断面図である。

【図 13 B】本発明の第 2 実施例によるアレイ基板を示した断面図である。

【図 13 C】本発明の第 2 実施例によるアレイ基板を示した断面図である。

【図 13 D】本発明の第 2 実施例によるアレイ基板を示した断面図である。

【図 14 A】本発明の第 3 実施例による工程順に示した工程断面図である。

【図 14 B】図 14 A に続く製造工程を示す断面図である。

【図 14 C】図 14 B に続く製造工程を示す断面図である。

50

- 【図15A】本発明の第3実施例による工程順に示した工程断面図である。  
【図15B】図15Aに続く製造工程を示す断面図である。  
【図15C】図15Bに続く製造工程を示す断面図である。  
【図16A】本発明の第3実施例による工程順に示した工程断面図である。  
【図16B】図16Aに続く製造工程を示す断面図である。  
【図16C】図16Bに続く製造工程を示す断面図である。  
【図17A】本発明の第3実施例による工程順に示した工程断面図である。  
【図17B】図17Aに続く製造工程を示す断面図である。  
【図17C】図17Bに続く製造工程を示す断面図である。  
【図18】本発明の他の例によるアレイ基板を示した断面図である。

10

## 【符号の説明】

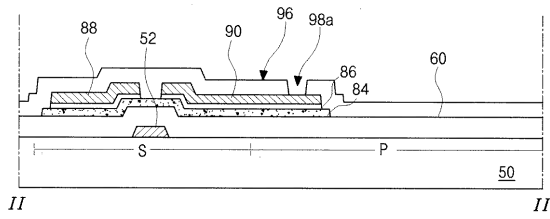
## 【0179】

- 100：基板  
102：ゲート電極  
104：ゲート配線  
106：ゲートパッド電極  
108：共通電極連結部  
124：アクティブ層  
128：バッファ金属層  
138：ソース電極  
140：ドレイン電極  
142：データ配線  
148：画素電極  
150：共通電極  
152：ゲートパッド電極  
148a：画素電極連結部  
109：共通配線

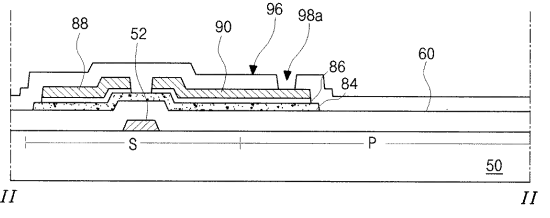
20



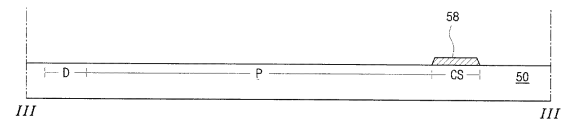
【図 3 G】



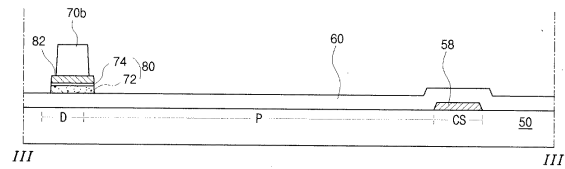
【図 3 H】



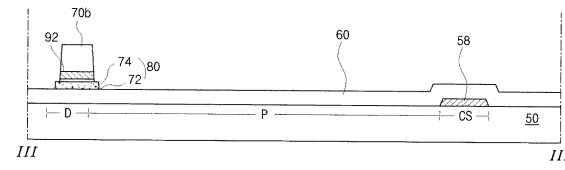
【図 4 A】



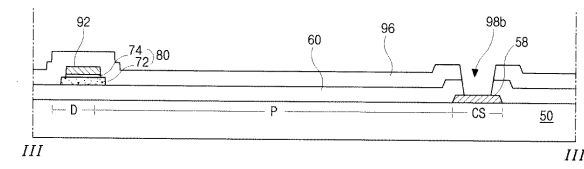
【図 4 E】



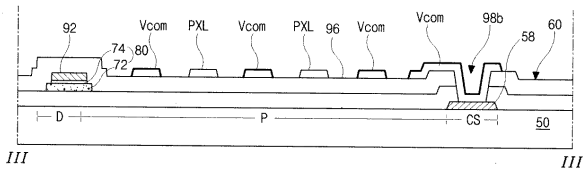
【図 4 F】



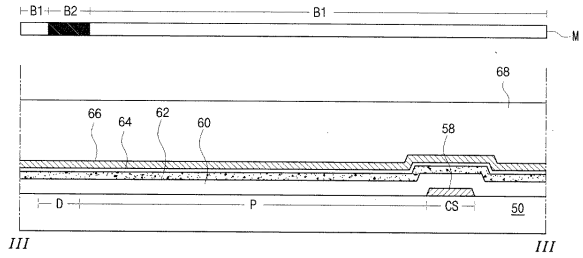
【図 4 G】



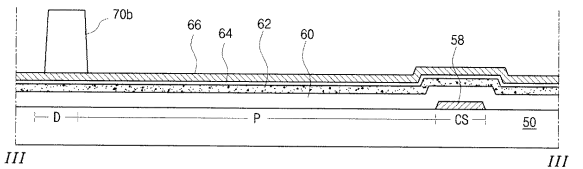
【図 4 H】



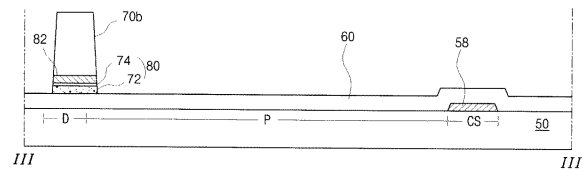
【図 4 B】



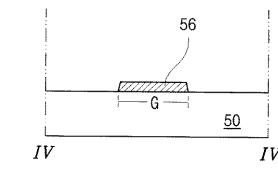
【図 4 C】



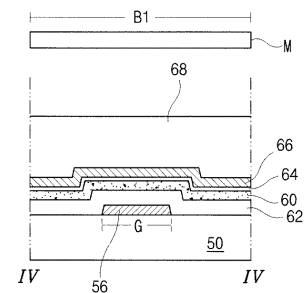
【図 4 D】



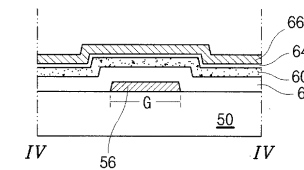
【図 5 A】



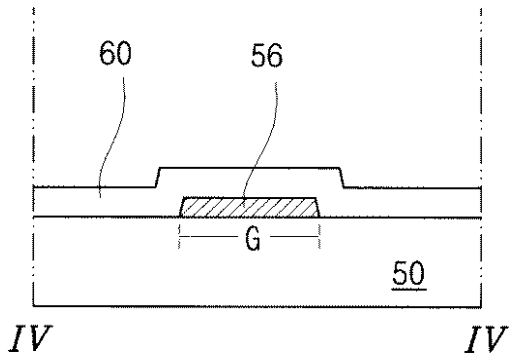
【図 5 B】



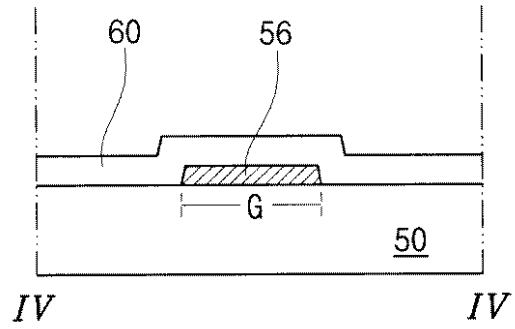
【図 5 C】



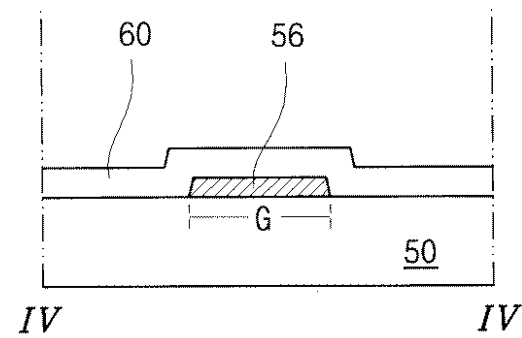
【図 5 D】



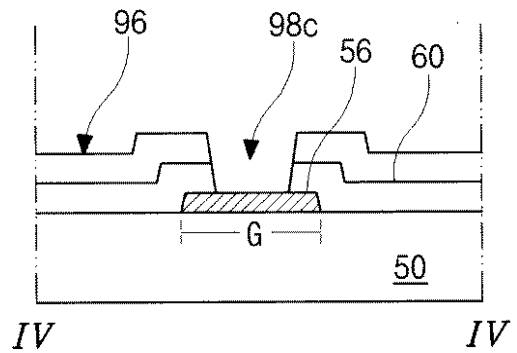
【図 5 F】



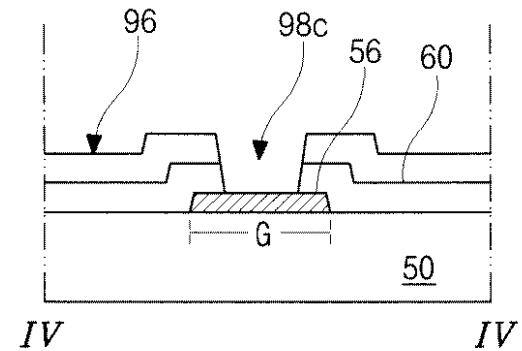
【図 5 E】



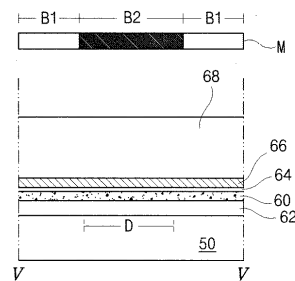
【図 5 G】



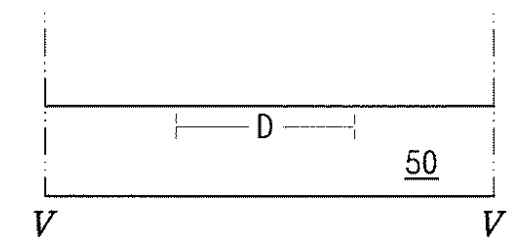
【図 5 H】



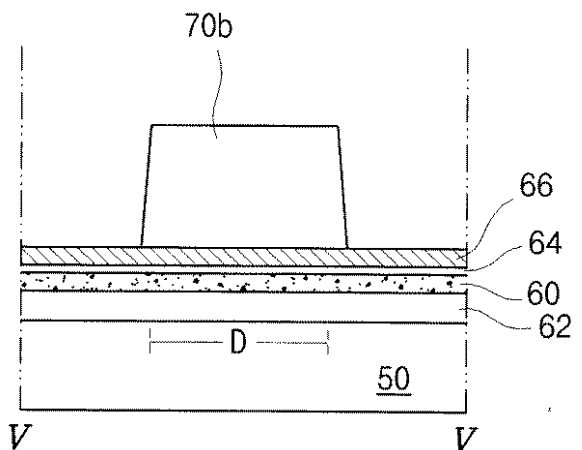
【図 6 B】



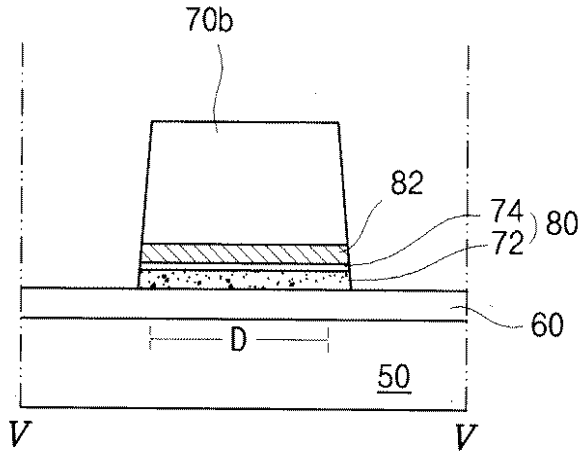
【図 6 A】



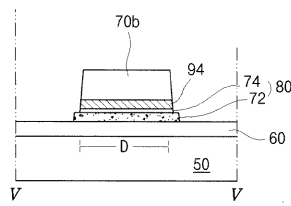
【図 6 C】



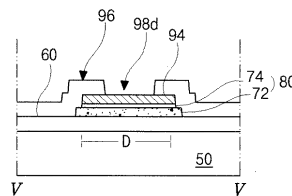
【図6D】



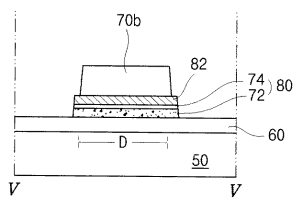
【図6F】



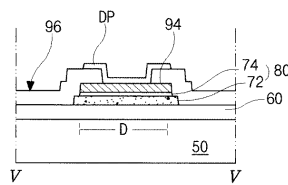
【図6G】



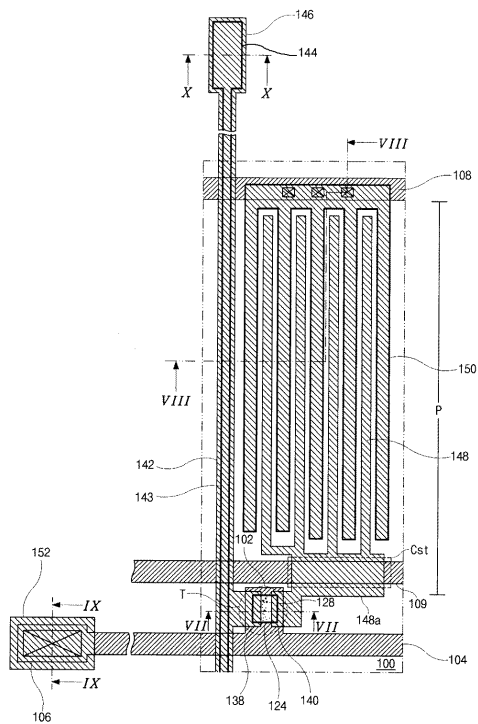
【図6E】



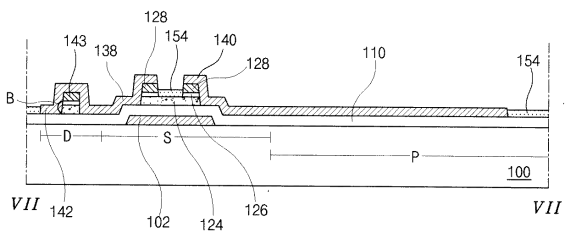
【図6H】



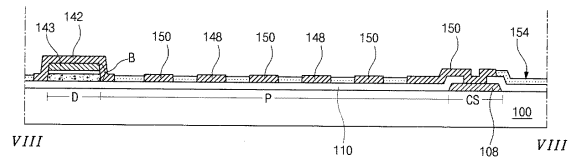
【図7】



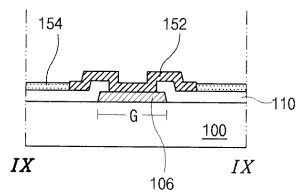
【図8A】



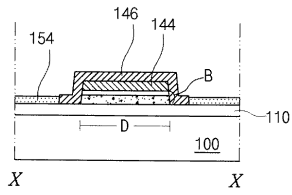
【図8B】



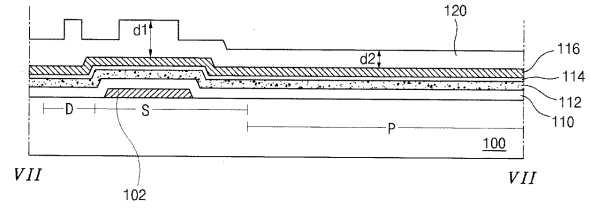
【図8C】



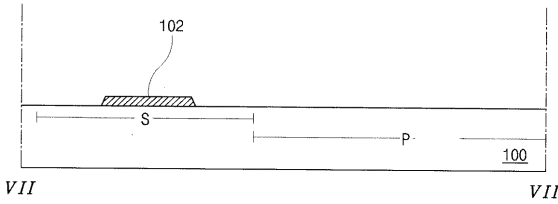
【 8 D 】



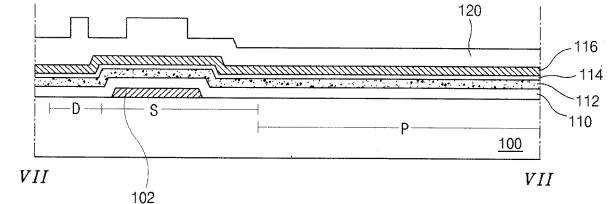
【 9 C 】



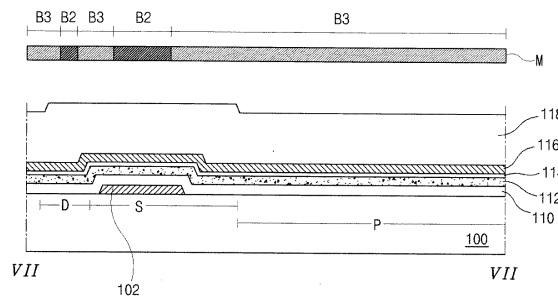
【 9 A 】



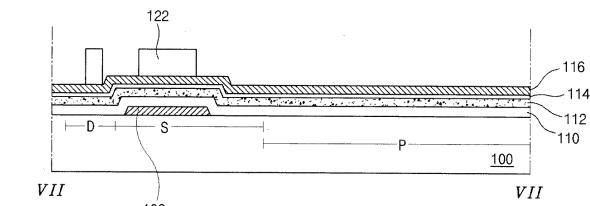
【 9 D 】



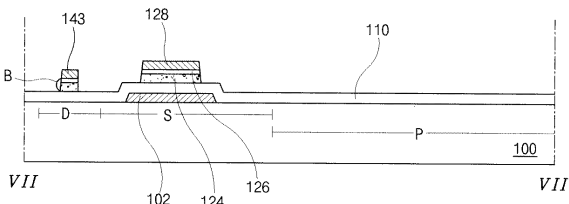
【 9 B 】



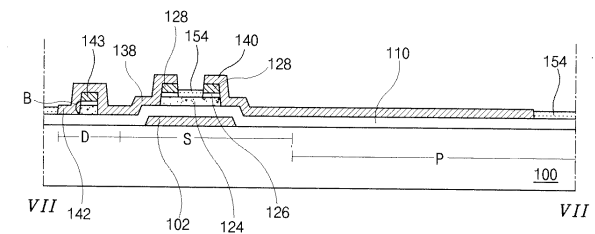
【 9 E 】



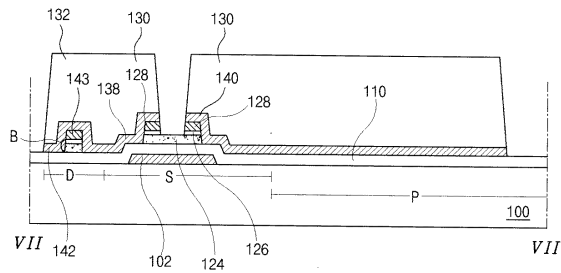
【 9 F 】



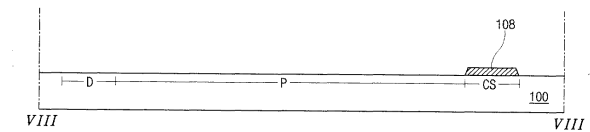
【 9 I 】



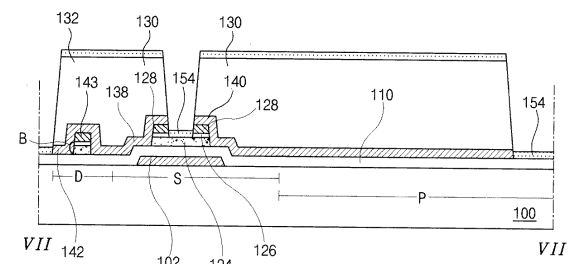
【 9 G 】



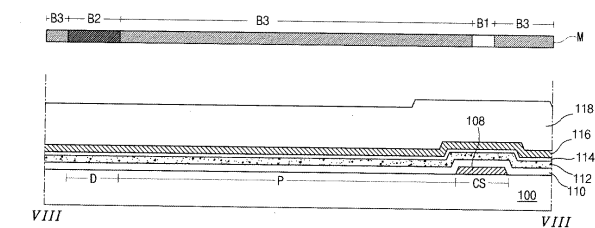
【 10 A 】




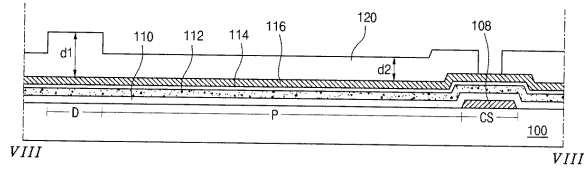
【 9 H 】




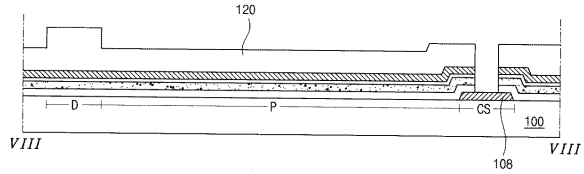
【 10 B 】




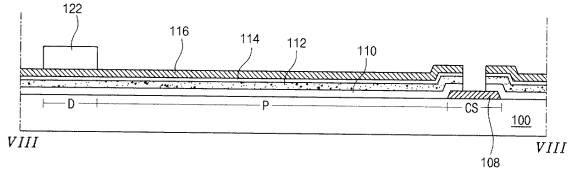
【 10 C】




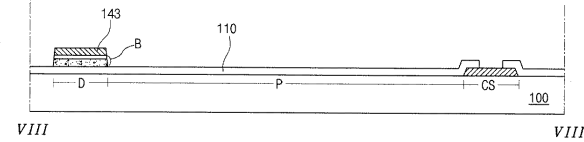
【 10 D】




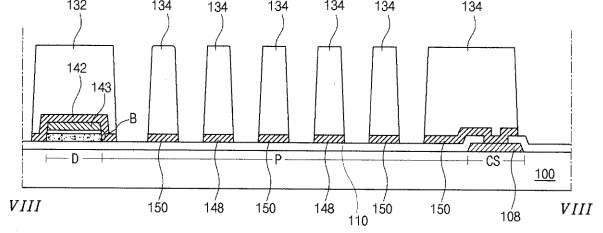
【 10 E】




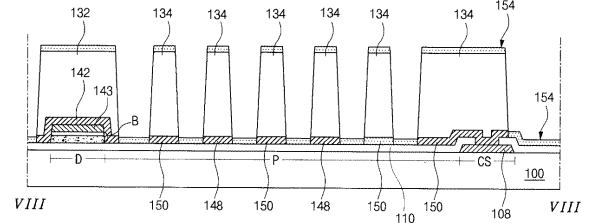
【 10 F】




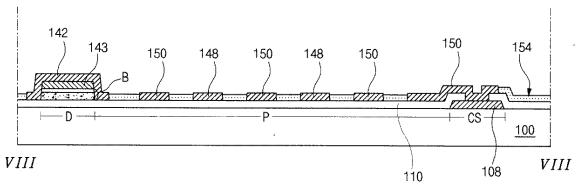
【 10 G】




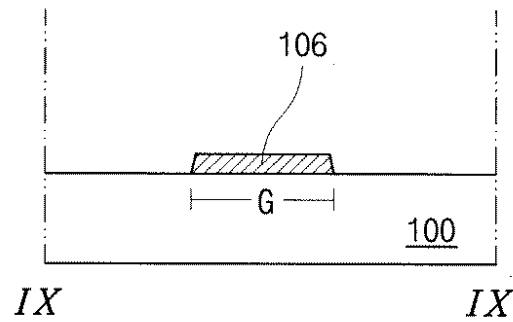
【 10 H】




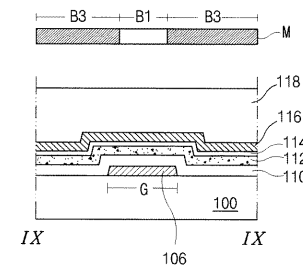
【 10 I】




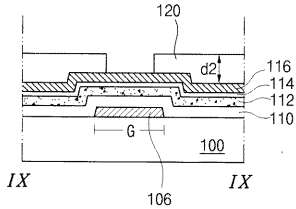
【 11 A】




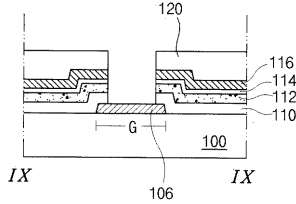
【 11 B】




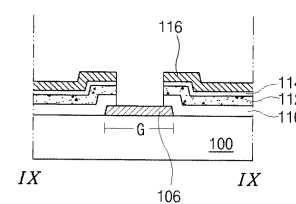
【 11 C】




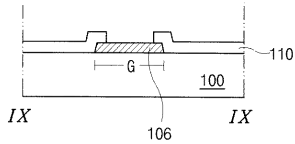
【 11 D】




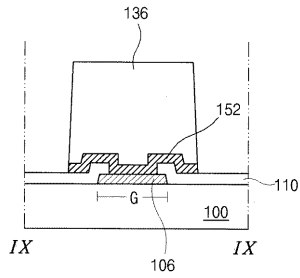
【 11 E】




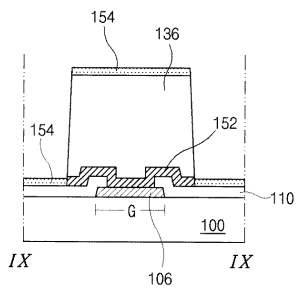
【 1 1 F】




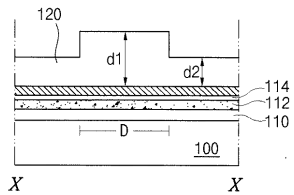
【 1 1 G】




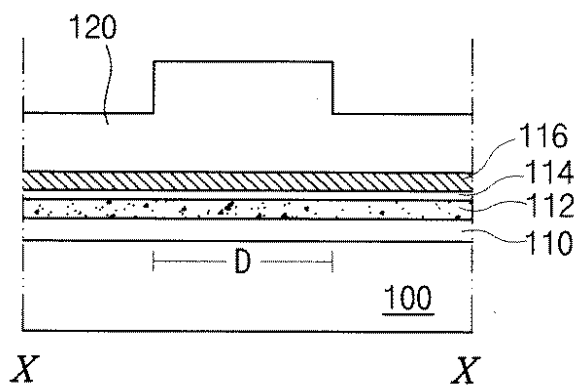
【 1 1 H】




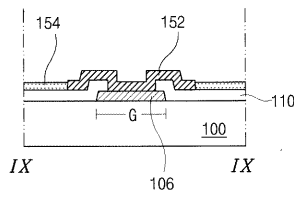
【 1 2 C】




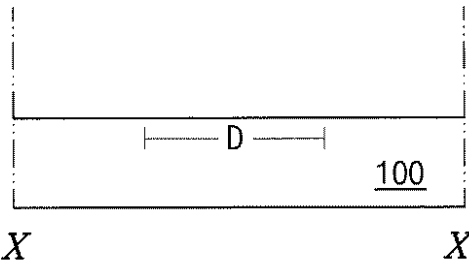
【 1 2 D】




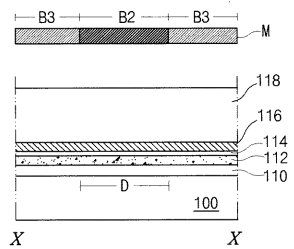
【 1 1 I】




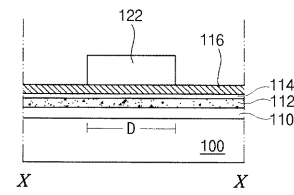
【 1 2 A】




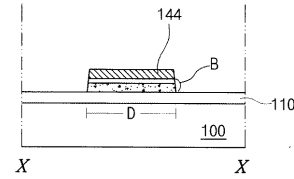
【 1 2 B】




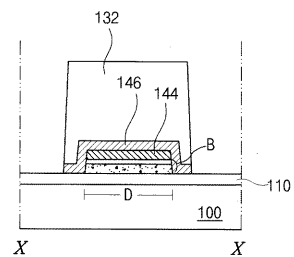
【 1 2 E】



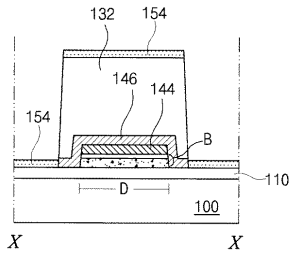
【 1 2 F】



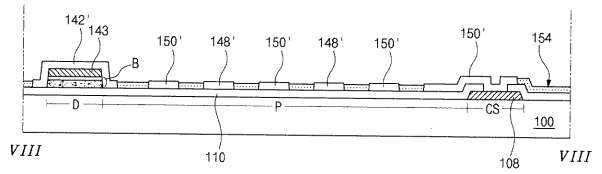
【 1 2 G】



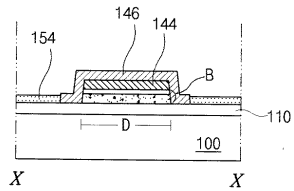
【図12H】



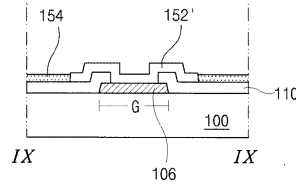
【図13B】



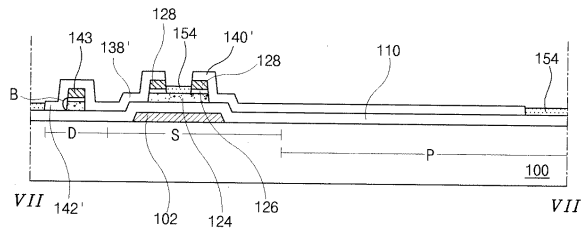
【図12I】



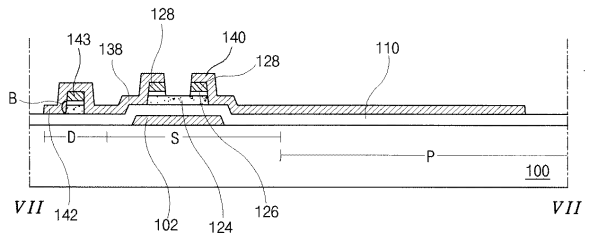
【図13C】



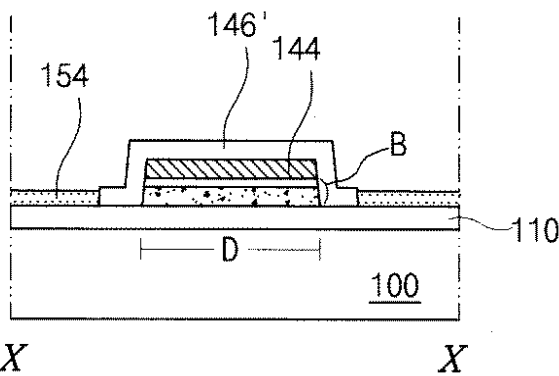
【図13A】



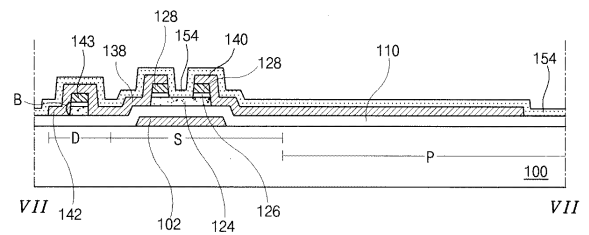
【図14B】



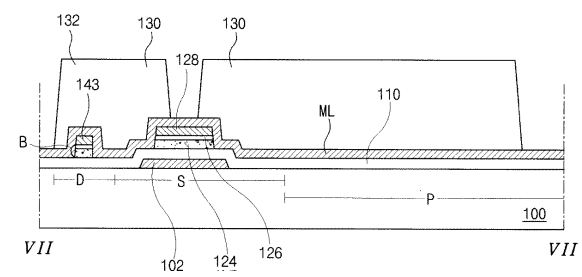
【図13D】



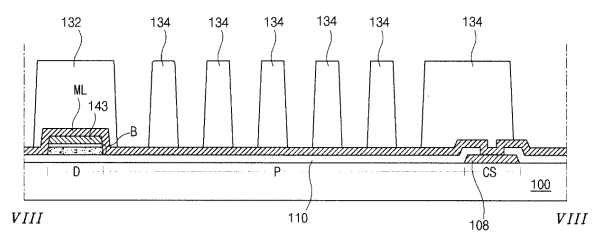
【図14C】




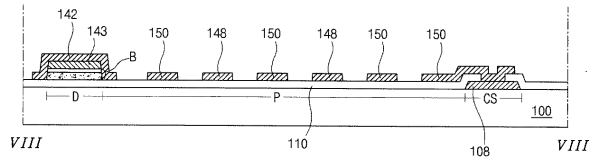
【図14A】




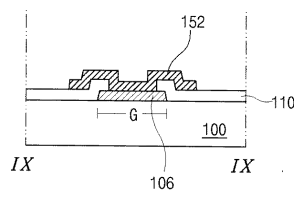
【図15A】




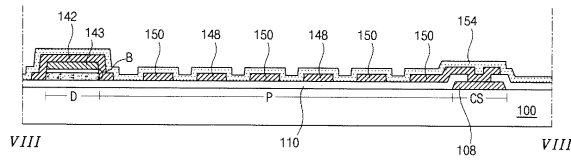
【 15 B】




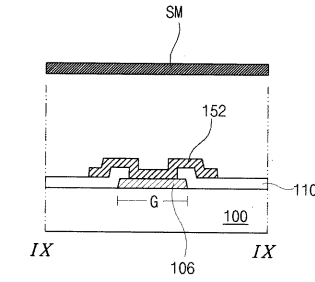
【 16 B】




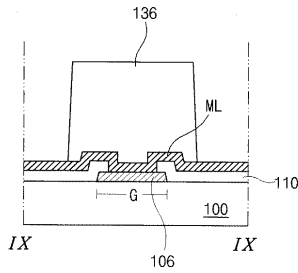
【 15 C】




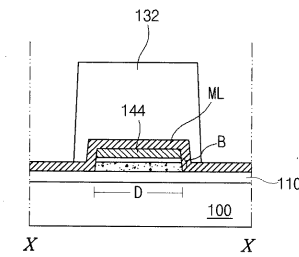
【 16 C】




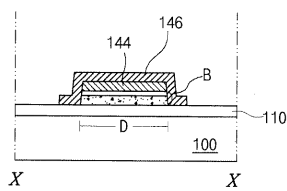
【 16 A】




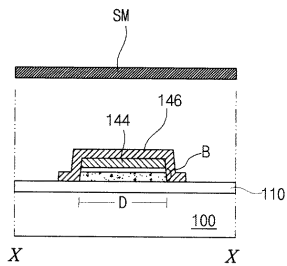
【 17 A】




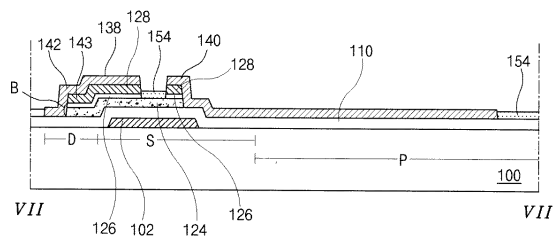
【 17 B】



【 17 C】



【 18】



## フロントページの続き

- (51)Int.Cl. F I  
H 0 1 L 29/78 6 1 6 K  
H 0 1 L 29/78 6 1 9 A  
H 0 1 L 29/78 6 1 9 B  
H 0 1 L 29/78 6 2 7 C
- (74)代理人 100104352  
弁理士 朝日 伸光
- (74)代理人 100128657  
弁理士 三山 勝巳
- (72)発明者 リン ジュソ  
大韓民国 7 3 0 - 2 0 0 キョンサンブット クミシ ポンゴクトン ヒョンジンベオビル 1  
0 3 / 1 1 0 3
- (72)発明者 キム ヒョウク  
大韓民国 7 3 0 - 3 0 0 キョンブック クミシ グピョンドン 4 5 4 グピョン3チャ プ  
ヨン アパート 6 0 1 / 3 0 1
- (72)発明者 クワック ヘヨン  
大韓民国 1 4 3 - 1 9 0 ソウル クワンジング チャヤンドン 7 5 9 - 2 8
- (72)発明者 ホン ヒュンソク  
大韓民国 4 1 1 - 3 7 0 キョンギド コヤンシ イルサング チュヨンドン ギャンソンメウ  
ル 1 0 9 / 5 0 2
- (72)発明者 アン ビュンチュル  
大韓民国 1 3 7 - 8 2 7 ソウル ソチョグ パンベポンドン 7 2 5 ポンジ シンサンホ エ  
ー . ラドン 4 0 4 ホ
- (72)発明者 リン ビュンホ  
大韓民国 7 3 0 - 2 0 0 キョンサンブット クミシ ポンゴクトン 5 2 8 ポンジ ヨンナム  
ネオビルシティ 2 0 1 / 1 4 0 2

審査官 鈴木 俊光

- (56)参考文献 特開2001-264804(JP,A)  
特開平09-101538(JP,A)  
特開2001-339072(JP,A)

## (58)調査した分野(Int.Cl., DB名)

G 0 2 F 1 / 1 3 6 8  
G 0 2 F 1 / 1 3 4 3  
H 0 1 L 2 1 / 3 3 6  
H 0 1 L 2 9 / 7 8 6

专利名称(译)	用于液晶显示装置的阵列基板及其制造方法		
公开(公告)号	<a href="#">JP4885805B2</a>	公开(公告)日	2012-02-29
申请号	JP2007173016	申请日	2007-06-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji.菲利普斯杜天公司, 有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	リンジュソ キムヒョウク クワックヘヨン ホンヒュンソク アンビュンチュル リンビュンホ		
发明人	リン ジュソ キム ヒョウク クワック ヘヨン ホン ヒュンソク アン ビュンチュル リン ビュンホ		
IPC分类号	G02F1/1368 G02F1/1343 H01L29/786 H01L21/336		
CPC分类号	H01L27/1288 G02F1/134363 G02F2001/136231 H01L27/1214		
FI分类号	G02F1/1368 G02F1/1343 H01L29/78.616.U H01L29/78.616.V H01L29/78.612.D H01L29/78.616.K H01L29/78.619.A H01L29/78.619.B H01L29/78.627.C H01L21/88.A		
F-TERM分类号	2H092/GA14 2H092/JA24 2H092/JA47 2H092/JA48 2H092/JB05 2H092/JB24 2H092/JB33 2H092/JB57 2H092/KA05 2H092/KA24 2H092/MA04 2H092/MA13 2H092/MA17 2H092/MA21 2H092/NA22 2H092/NA27 2H192/AA24 2H192/BB03 2H192/BB73 2H192/CB05 2H192/CB35 2H192/CB45 2H192/CB61 2H192/CB71 2H192/CC72 2H192/DA32 2H192/DA43 2H192/EA04 2H192/EA64 2H192/EA74 2H192/FA65 2H192/HA44 2H192/HA47 2H192/HA64 2H192/HA70 5F033/GG04 5F033/HH04 5F033/HH11 5F033/HH22 5F033/HH38 5F033/LL04 5F033/MM08 5F033/MM11 5F033/QQ01 5F033/VV15 5F033/XX10 5F033/XX33 5F033/XX34 5F110/AA03 5F110/AA06 5F110/AA16 5F110/AA21 5F110/CC07 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE14 5F110/EE43 5F110/FF02 5F110/FF03 5F110/FF09 5F110/FF27 5F110/GG02 5F110/GG15 5F110/HK02 5F110/HK06 5F110/HK07 5F110/HK09 5F110/HK16 5F110/HK22 5F110/HM19 5F110/NN02 5F110/NN23 5F110/NN24 5F110/NN33 5F110/NN44 5F110/NN46 5F110/NN47 5F110/NN53 5F110/NN72 5F110/NN73 5F110/QQ02 5F110/QQ14		
代理人(译)	臼井伸一 朝日 伸光		
审查员(译)	铃木俊光		
优先权	1020060118593 2006-11-28 KR 1020070039312 2007-04-23 KR		
其他公开文献	JP2008134593A		
外部链接	<a href="#">Espacenet</a>		

