

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4879955号
(P4879955)

(45) 発行日 平成24年2月22日 (2012.2.22)

(24) 登録日 平成23年12月9日 (2011.12.9)

(51) Int.Cl. F I
GO2F 1/1368 (2006.01) GO2F 1/1368
GO2F 1/1343 (2006.01) GO2F 1/1343

請求項の数 11 (全 14 頁)

(21) 出願番号	特願2008-303099 (P2008-303099)	(73) 特許権者	507134301 北京京東方光電科技有限公司
(22) 出願日	平成20年11月27日 (2008.11.27)		中華人民共和国北京經濟技術開發區西環中路8號
(65) 公開番号	特開2009-186986 (P2009-186986A)	(74) 代理人	100064908 弁理士 志賀 正武
(43) 公開日	平成21年8月20日 (2009.8.20)		
審査請求日	平成20年11月27日 (2008.11.27)	(74) 代理人	100089037 弁理士 渡邊 隆
(31) 優先権主張番号	200810057694.7	(74) 代理人	100108453 弁理士 村山 靖彦
(32) 優先日	平成20年2月4日 (2008.2.4)	(74) 代理人	100110364 弁理士 実広 信哉
(33) 優先権主張国	中国 (CN)	(72) 発明者	何 祥飛 中華人民共和国北京經濟技術開發區西環中路8號

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ液晶ディスプレイのアレイ基板の画素構造

(57) 【特許請求の範囲】

【請求項1】

画素電極、ゲートライン、及びデータラインを備え、前記ゲートラインとデータラインとが交差することによって画素ユニットが限定され、且つ、前記ゲートラインとデータラインとの交差積層した部位に浮遊容量が形成されている薄膜トランジスタ液晶ディスプレイのアレイ基板の画素構造において、

前記ゲートラインに分岐部が設けられており、前記分岐部と前記データラインとで保護容量が形成され、前記保護容量が前記浮遊容量と並列して配置され、且つ、前記保護容量のブレーキダウン電圧が前記浮遊容量のブレーキダウン電圧より小さく、

前記分岐部が、前記ゲートラインと同じ配線層に位置し、前記ゲートラインと一体的に接続される共に、前記データラインと交差積層して前記保護容量を形成し、

前記保護容量の2つの電極を形成する前記分岐部と前記データラインとの距離が、前記浮遊容量の2つの電極を形成する前記ゲートラインと前記データラインとの距離より小さいことを特徴とする薄膜トランジスタ液晶ディスプレイのアレイ基板の画素構造。

【請求項2】

前記保護容量の2つの電極が、ゲート絶縁層を介して間隔され、前記浮遊容量の2つの電極が、前記ゲート絶縁層及び活性層を介して間隔されることを特徴とする請求項1に記載の画素構造。

【請求項3】

前記ゲートラインに複数の前記分岐部が設けられており、且つ、複数の前記分岐部がそ

10

20

れぞれに前記データラインと交差積層して、複数の前記保護容量を形成することを特徴とする請求項 1 に記載の画素構造。

【請求項 4】

前記分岐部が延出部と導線部を含み、前記延出部の一端が前記ゲートラインと一体的に接続され、他の一端は前記導線部と電氣的に接続され、前記導線部が前記データラインと交差積層して、前記保護容量を形成することを特徴とする請求項 1 に記載の画素構造。

【請求項 5】

前記保護容量の 2 つの電極を形成する前記分岐部と前記データラインとの距離が、前記浮遊容量の 2 つの電極を形成する前記ゲートラインと前記データラインとの距離より小さいことを特徴とする請求項 4 に記載の画素構造。

10

【請求項 6】

前記保護容量の 2 つの電極が、パッシベーション層を介して間隔され、前記浮遊容量の 2 つの電極が、前記ゲート絶縁層と前記活性層を介して間隔されることを特徴とする請求項 5 に記載の画素構造。

【請求項 7】

前記導線部の材料が前記画素電極の材料と同じであることを特徴とする請求項 4 に記載の画素構造。

【請求項 8】

前記導線部がビアホールを介して前記ゲートラインと電氣的に接続されることを特徴とする請求項 7 に記載の画素構造。

20

【請求項 9】

前記導線部が前記画素電極と同層内に位置することを特徴とする請求項 8 に記載の画素構造。

【請求項 10】

前記ゲートラインに複数の前記分岐部が設けられており、複数の前記分岐部がそれぞれ前記データラインと共に、複数の前記保護容量を形成することを特徴とする請求項 4 に記載の画素構造。

【請求項 11】

前記保護容量が複数であり、且つ、いずれも前記浮遊容量と並列して配置されることを特徴とする請求項 1 に記載の画素構造。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は画素構造に関する。特に、薄膜トランジスタ液晶ディスプレイ（以下は TFT LCD と称する）のアレイ基板の画素構造に関する。

【背景技術】

【0002】

従来の薄膜トランジスタ液晶ディスプレイ（TFT LCD）において、ゲートラインとデータラインとが交差積層する部位にて、スタティックブレーキダウンがよく発生するため、データライン・ゲートラインのショート（DGS 線不良と略称する）が生じる。

40

【0003】

図 1 A は従来の 5 回マスク工程により製作される TFT LCD の画素構造の概略図である。図 1 B は図 1 A の A-A 方向から見た断面図である。図面から分かるように、当該画素構造は画素電極 11 を備え、データライン 12 とゲートライン 13 とが交差積層することにより画素ユニットを定義する。図 1 B に示すように、基板 00 と第 2 の保護層 15 と間の層構造において、交差した部位に位置する活性層 123 によって、データライン 12 とゲートライン 13 が交差することで浮遊容量が形成される。当該浮遊容量にてスタティックブレーキダウンが発生する際、DGS 線不良が生じる。

【0004】

図 2 A は従来の、4 回マスク工程を利用して製作される TFT LCD の画素構造の概

50

略図である。図2Bは図2AのB-B方向から見た断面図である。図面から分かるように、当該画素構造は画素電極21を備え、データライン22がゲートライン23とお互いに交差積層して画素ユニットを定義する。図2Bに示すように、基板00と第2の保護層25との層構造において、交差した部位に位置する活性層223によって、データライン22がゲートライン23と互いに交差して浮遊容量が形成される。当該浮遊容量にてスタティックブレーキダウンが発生する際、DGS線不良が生じる。

【発明の開示】

【発明が解決しようとする課題】

【0005】

従来の工程によって製作されたTFT-LCDの画素構造には、上記の如きスタティックブレーキダウンが発生し易い浮遊容量部に対して、何の保護対策もなかったため、一旦ブレーキダウンしたら、修繕し難くなり、このために、品質及び歩留まりに影響を与える、という問題がある。

【0006】

本発明は、従来の画素電極の浮遊容量でスタティックブレーキダウンが発生したら、修繕し難くなるという課題を解決することを目的とする。

【課題を解決するための手段】

【0007】

本発明は、上記の課題を解決するために、一実施例によって、画素電極、ゲートライン、及びデータラインを備え、ゲートラインとデータラインとがお互いに交差して画素ユニットを限定し、且つ、交差積層した部位に浮遊容量を形成する薄膜トランジスタ液晶ディスプレイのアレイ基板の画素構造を提供する。更に、ゲートラインに分岐部が設けられており、分岐部とデータラインとで保護容量が形成され、保護容量は浮遊容量と並列して配置され、且つ、保護容量のブレーキダウン電圧が浮遊容量のブレーキダウン電圧より小さい。

【発明の効果】

【0008】

本発明によれば、画素構造のために保護容量が配置されたので、静電放電(ESDと略称する)による線不良率を有効的に低下させたり、歩留まりを向上させたり、生産コストを低下させたりすることができる。特に、液晶テレビに対してもっとも大きな機能を発揮することができる。また、このような構造の設計が簡単で、表示するための占領領域が小さくなり、従来の工程条件で実現することができる。且つ、新製品の開発において、コストを増加しない。

【発明を実施するための最良の形態】

【0009】

以下、図面と実施例によって、更に本発明の技術案に関して詳細的な説明を行う。

【実施例1】

【0010】

本実施例はTFT-LCDアレイ基板の画素ユニットを提供する。当該画素構造は5回マスク工程によって製作される。5回マスク工程は従来画素構造の製作に用いられている常用方法である。この方法が本実施例の画素ユニットの製作に用いられる主要工程は以下の如くである。

1. 基板の上にゲート金属層を堆積して、レジスト膜の形成、露光、及びエッチング工程によって、当該ゲート金属層をパターンニングして、ゲートライン、ゲートライン分岐部、及びゲートを形成する。

2. ゲート絶縁層と活性層を堆積して、レジスト膜の形成、露光、及びエッチング工程によって、当該活性層をパターンニングして、活性層パターンを形成する。

3. ソース・ドレイン電極金属層を堆積して、レジスト膜の形成、露光、及びエッチング工程によって、当該ソース・ドレイン電極金属層をパターンニングして、データライン

10

20

30

40

50

、ソース電極、及びドレイン電極を形成する。

4. パッシベーション層を堆積して、レジスト膜の形成、露光、及びエッチングによって、当該パッシベーション層をパターンニングして、ソース電極を露出するビアホールを形成する。

5. 画素電極層を堆積して、レジスト膜の形成、露光、及びエッチング工程によって、当該画素電極層をパターンニングして、画素電極を形成し、当該画素電極は露出した当該ソース電極のビアホールを介してソース電極と接続する。

【0011】

本実施例に記載の画素構造は、図3Aに示すように、画素電極11、データライン12、及びゲートライン13を備える。データライン12とゲートライン13がお互いに交差して画素ユニットを限定し、ゲートライン13とデータライン12との交差積層した部位に浮遊容量が形成されている。図3Bは図3AのC-C方向から見た断面図である。浮遊容量の上電極はデータライン12からなり、下電極はゲートライン13からなる。浮遊容量の2つの電極の間の距離は、図面の矢印が示したD1である。

10

【0012】

ゲートライン13の上に、更に分岐部133が設けられており、当該分岐部133はデータラインと交差している。当該分岐部133とデータライン12との間に保護容量が形成されている。分岐部133とゲートライン13とは同じ配線層に位置する。分岐部133はゲートライン13と一体的に接続されると共に、データライン12と交差積層して保護容量を形成する。即ち、本実施例において、分岐部133はゲートライン13と同じ配線層に位置すると共に一体的に接続されている。従って、同じマスク工程によって、ゲートライン13が形成されると同時に、分岐部133も形成されることができる。

20

【0013】

図3Bに示すように、保護容量の上電極はデータライン12からなり、下電極は分岐部133からなる。保護容量の2つの電極の間の距離は図面の矢印が示したD2である。図面から見たように、浮遊容量の2つの電極の間の距離D1は、第1の保護層(ゲート絶縁層)14及び活性層123を渡った厚さを有し、保護容量の2つの電極との距離D2は、第1の保護層14のみ渡った厚さを有する。保護容量の2つの電極の間に活性層123が含まれていないため、保護容量の2つの電極の間の距離D2は、浮遊容量の2つの電極の間の距離D1より小さい。

30

【0014】

図3Cは、保護容量と浮遊容量の等価回路図である。図面に示すように、保護容量は浮遊容量と並列して配置される。2つの容量の両端の電圧Vは一致している。電界強度 $E = \text{電圧} / \text{2つの電極の間の距離} D$ の公式によると、容量中の誘電材料が同じである場合、2つの電極の間の距離Dが小さいほど、電界強度Eが大きくなり、容量がもっとブレーキダウンされ易くなる。従って、本実施例において、ゲートライン13とデータライン12に静電が存在する場合、保護容量の電気容量は浮遊容量の電気容量より更に小さい。且つ、もっとブレーキダウンされ易くなる。スタティックブレーキダウンが発生する場合、保護容量が先にブレーキダウンされて、放電して、浮遊容量の正常的な作動が保護される。また、ブレーキダウンされた保護容量は、レーザ切断などの方法によって修繕でき、分岐部133をゲートライン13から着脱させて、画素構造のすべての正常的な働きを確保できる。

40

【0015】

保護容量は一つだけ設置しても良く、複数を設置しても良いことには留意されたい。図3Dに示すように、2つの分岐部133, 134がそれぞれにデータライン12と交差積層して2つの保護容量を形成する。いずれの保護容量は浮遊容量と並列して配置される。他の保護容量の配置方式は、前記2つの保護容量の配置方式と類似するため、ここで省略する。

【0016】

また、フィルムの厚さ、面積、及び誘電率などのパラメータを制御することにより、保

50

護容量が小さすぎて、頻繁にブレーキダウンし過ぎることを防止するように、保護容量値が適な範囲内に制御される。従って、修繕に不要なコストが増える。異なる保護容量を異なる電気容量に設置することで、画素電極のために多段の保護がさらに提供できる。

【0017】

本実施例に記載の構造によって、5回マスク工程による画素構造に対して保護容量が設置されて、ESDによる線不良率が有効的に低下されたり、歩留まりが向上されたり、生産コストが低下されたりすることができる。特に、液晶テレビの製品に対して、更に機能が発揮できる。また、このような設計が簡単であり、表示用の占領領域が小さくなり、従来の工程で実現できる。また、新製品の開発においてコストを増加しない。

【実施例2】

【0018】

本実施例は、他のTFT-LCDアレイ基板の画素ユニットを提供する。当該画素構造は4回マスク工程によって製作される。当該4回マスク工程も従来画素構造の製作に用いられる常用方法である。この方法を本実施例の画素ユニットの製作に利用すると、主要工程は以下の如くである。

1. 基板の上にゲート金属層を堆積して、レジスト膜の形成、露光、及びエッチング工程によって、当該ゲート金属層をパターニングして、ゲートライン、ゲートライン延出部、及びゲート電極を形成する。

2. ゲート絶縁層、活性層、及びソース・ドレイン電極金属層を堆積して、レジスト膜の形成、ハーフトーンの使用又はグレートンマスクの露光、及び2回のエッチング工程によって、活性層パターン、データライン、ソース電極、及びドレイン電極を形成し、活性層はデータラインの下に保留する。

3. パッシベーション層を堆積してレジスト膜の形成、露光、及びエッチング工程によって、当該パッシベーション層に対してパターニングして、ソース電極を露出するピアホール、及びゲートライン延出部を露出するピアホールを形成する。

4. 画素電極層を堆積して、レジスト膜の形成、露光、及びエッチング工程によって、当該画素電極層に対してパターニングすることで、画素電極と導線部を形成する。当該画素電極は露出した当該ソース電極のピアホールを介してソース電極と接続し、導線部はピアホールを介してゲートラインの延出部に接続される。

【0019】

本実施例に記載の画素構造は、図4Aに示すように、画素電極21、データライン22、及びゲートライン23を備える。データライン22とゲートライン23とはお互いに交差して画素ユニットを限定する。ゲートライン23とデータライン22の交差積層した部位に浮遊容量が形成されている。図4Bは図4AのD-D方向から見た断面図である。浮遊容量の上電極はデータライン22からなり、下電極はゲートライン23からなる。浮遊容量の2つの電極との距離は、図面の矢印が示したD1である。

【0020】

本実施例において、画素構造は4回マスク工程によって製作される。図4Bから見たように、このような工程によると、活性層223はゲートライン23が対応する範囲に限定することなく、且つ、データライン22に沿って外側へ延して広がるため、やはり実施例1に記載のゲートライン13と一体的に形成された分岐部133を利用すると、保護容量の2つの電極の間の距離が浮遊容量の2つの電極の間の距離より小さくなることで、保護容量のブレーキダウン電圧が浮遊容量のブレーキダウン電圧より小さいことを確保できない。即ち、保護容量を保護する目的に達することできない。

【0021】

この問題を解決するために、本実施例に採用された分岐部が少々改良されて、延出部233と導線部235を含める。その中で、延出部233の一端はゲートライン23と一体的に接続され、他の一端は導線部235と電氣的に接続される。また、間接的に導線部235がデータライン22と交差積層して保護容量を形成する。具体的には、図4Cに示すように、導線部235の材料は画素電極21の材料と同じ可能であり、ピアホール234

10

20

30

40

50

を介して、延出部 233 と電氣的に接続される。このとき、導線部 235 はゲートライン 23 と同じ配線層に位置することなく、画素電極 21 と同層内に位置し、画素電極 21 と同時に成膜、露光、及びエッチング工程によって形成されることができる。

【0022】

図 4 B から見たように、浮遊容量の 2 つの電極の間の距離は、第 1 の保護層（ゲート絶縁層）24 及び活性層 223 の厚さを有する。保護容量の 2 つの電極との距離は、第 2 の保護層（パッシベーション層）25 のみ有する。膜厚を制御することで、保護容量の 2 つの電極との距離 D_3 が浮遊容量の 2 つの電極との距離 D_1 より小さいことが容易に実現できる。且つ、パッシベーション層とゲート絶縁層の材料が同じであり、或いは誘電率が近接する。このような場合、保護容量の電気容量が浮遊容量の電気容量より小さい。

10

【0023】

同様に、本実施例に記載の保護容量も浮遊容量と並列して配置される。2 つの電極の間の距離 D が小さいほど、電解強度 E が大きくなり、容量が容易にブレーキダウンされる。従って、スタティックブレーキダウンが発生する場合、容量が小さい保護容量も同様に、電気容量が大きい浮遊容量を保護することができる。

【0024】

本実施例において保護容量を複数設置しても良いことには留意されたい。図 4 D に示すように、ゲートライン 23 の延出部は 2 つの導線部 235, 236 を介して、それぞれにデータライン 22 と交差積層して 2 つの保護容量を形成し、且つ、いずれも浮遊容量と並列して配置される。延出部は一つでも良い。また、フィルムの厚さ、面積、及び誘電係数などのパラメータを制御して、保護容量値を適合な範囲内に制御させることで、保護容量が小さすぎて、頻繁にブレーキダウンされることを防止し、従って、修繕に不要なコストがふえる。異なる保護容量を異なる電気容量に設置することで、画素電極のために多段の保護がさらに提供できる。

20

【0025】

本実施例に記載の構造によって、4 回マスク工程による画素構造に対して保護容量を配置して、ESD による線不良率が有効的に低下されたり、歩留まりが向上されたり、生産コストが低下されたりすることができる。特に、液晶テレビの製品に対して、更にその機能が発揮できる。また、このような構造の設計が簡単であり、表示用の占領領域も小さくなり、従来の工程で実現できる。且つ、新製品の開発においてコストを増加しない。

30

【0026】

最後に以下の点に留意されたい。上記の実施例は本発明の技術案に関して例示しただけであり、これらに限ったものではない。上記の実施例を参考しながら本発明に関して詳しく説明したが、当業者は、上記の各実施例に記載の技術案に対して変形することができる。或いは、その中の部分的な技術特徴に対して対等な取替ができ、このような変形と取替は、対応している技術案の実質を本発明の各実施例の技術案の主旨と範囲から逸脱しない、ということは理解されたい。

【図面の簡単な説明】

【0027】

【図 1 A】従来技術の 5 回マスク工程による画素構造の概略図である。

40

【図 1 B】図 1 A の A - A 方向から見た断面図である。

【図 2 A】従来技術の 4 回マスク工程による画素構造の概略図である。

【図 2 B】図 2 A の B - B 方向から見た断面図である。

【図 3 A】本発明の実施例 1 に記載の画素構造の概略図である。

【図 3 B】図 3 A の C - C 方向から見た断面図である。

【図 3 C】本発明の実施例 1 に記載の保護容量と浮遊容量の等価回路図である。

【図 3 D】本発明の実施例 1 に記載の 2 つの保護容量を有する画素構造の概略図である。

【図 4 A】本発明の実施例 2 に記載の画素構造の概略図である。

【図 4 B】図 4 A の D - D 方向から見た断面図である。

【図 4 C】図 4 A の E - E 方向から見た断面図である。

50

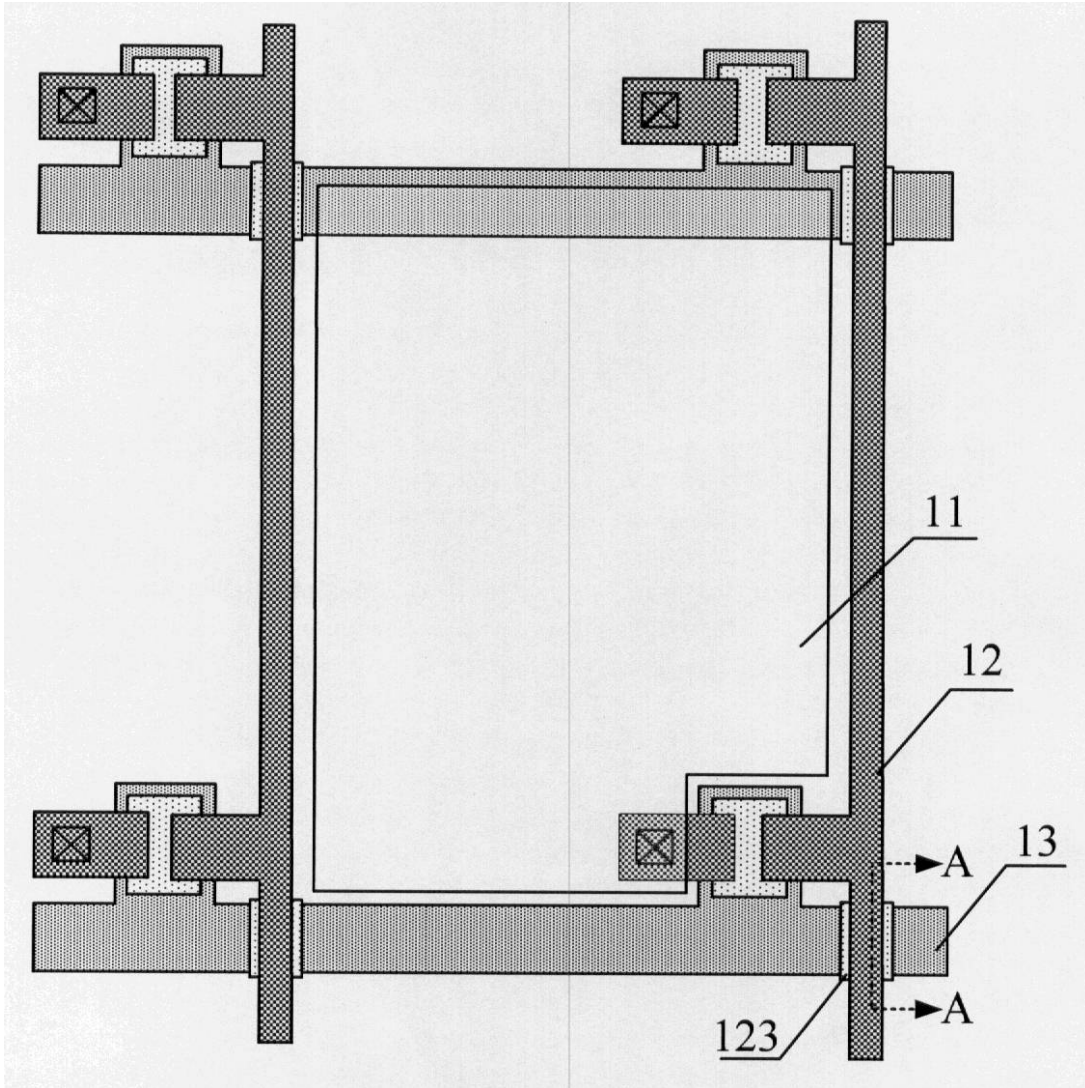
【図4D】本発明の実施例2に記載の2つの保護容量を有する画素構造の概略図である。

【符号の説明】

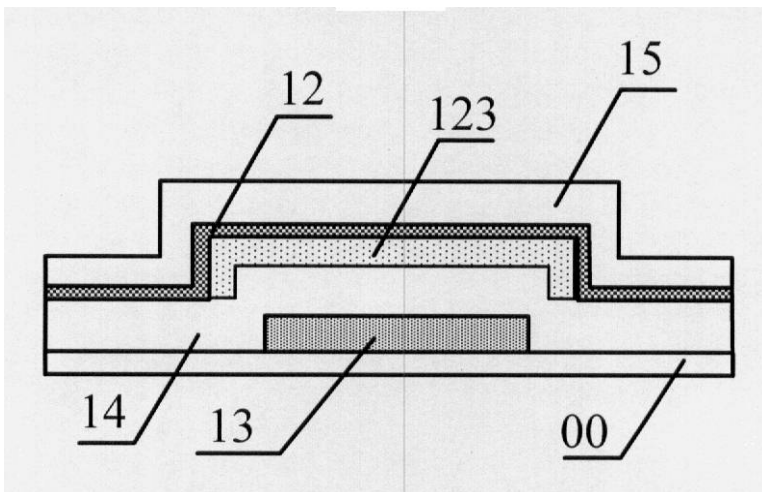
【0028】

- 1 1 画素電極
- 1 2 データライン
- 1 3 ゲートライン
- 1 4 ゲート絶縁層
- 1 2 3 活性層
- 1 3 3 分岐部

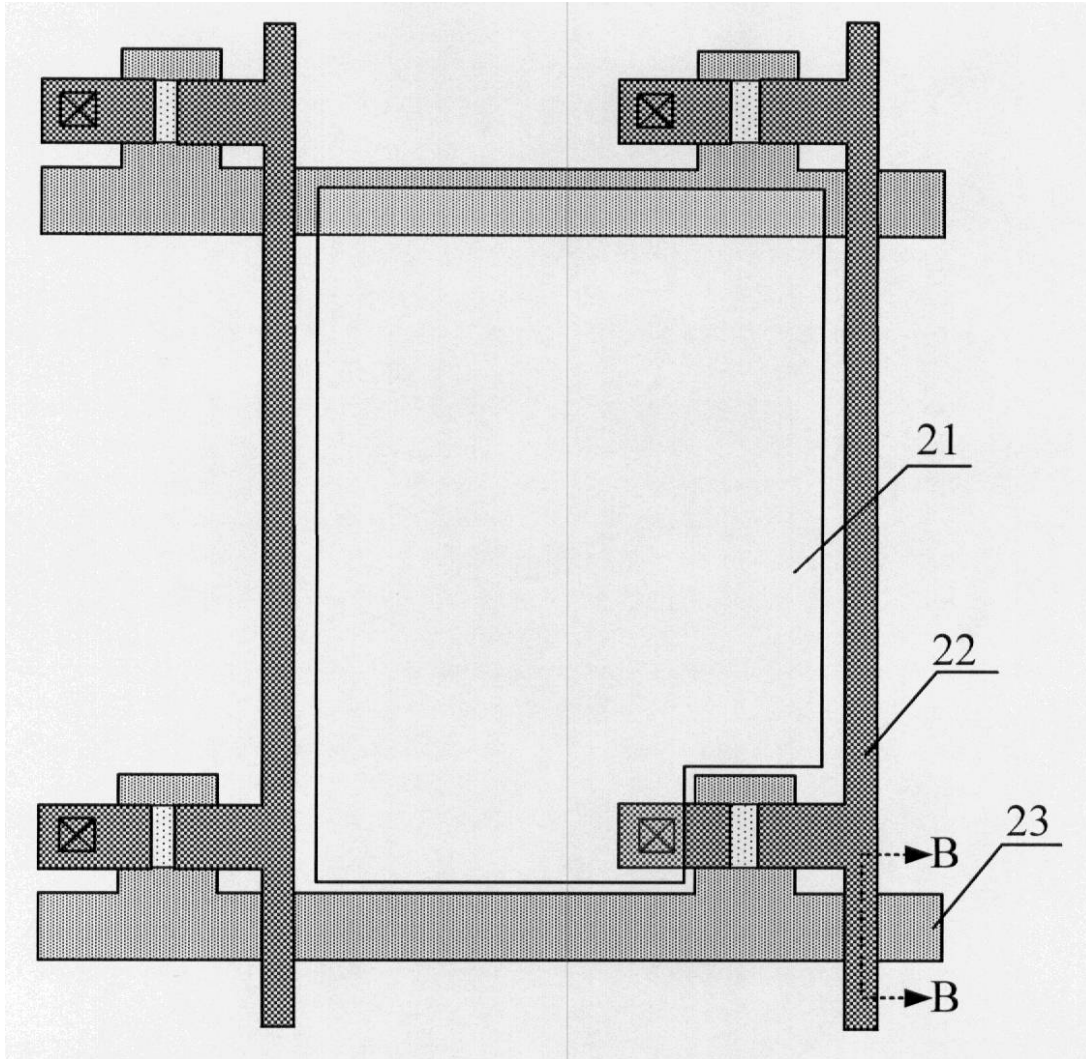
【図1A】



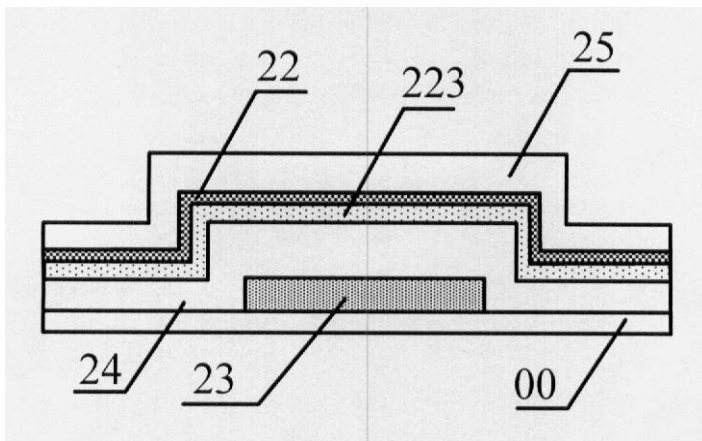
【図1B】



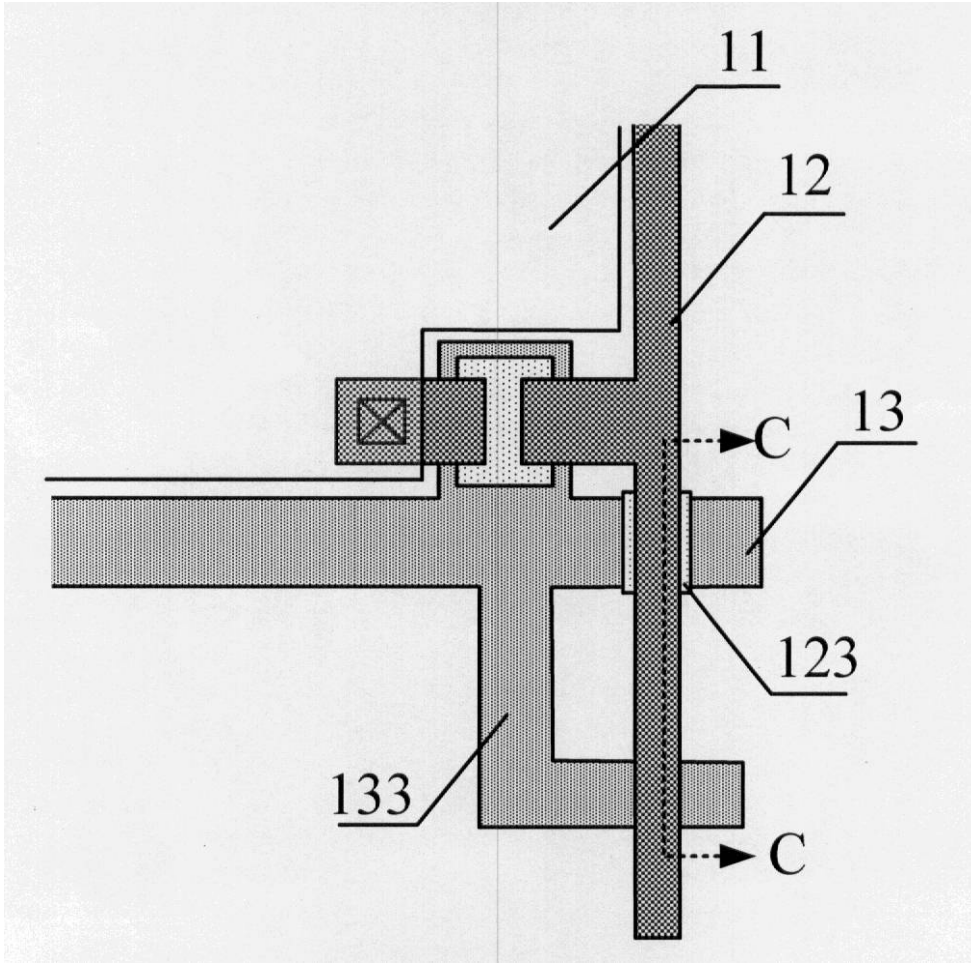
【図 2 A】



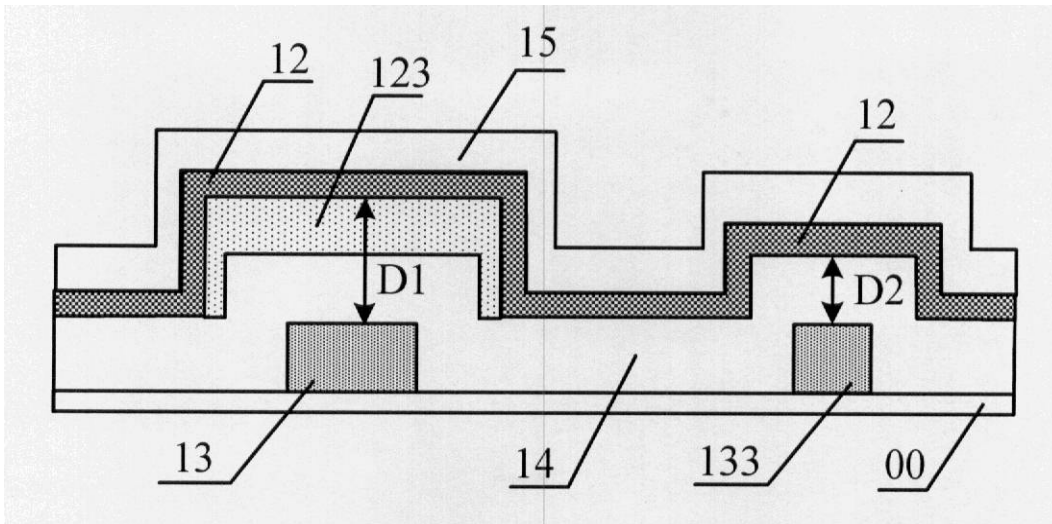
【図 2 B】




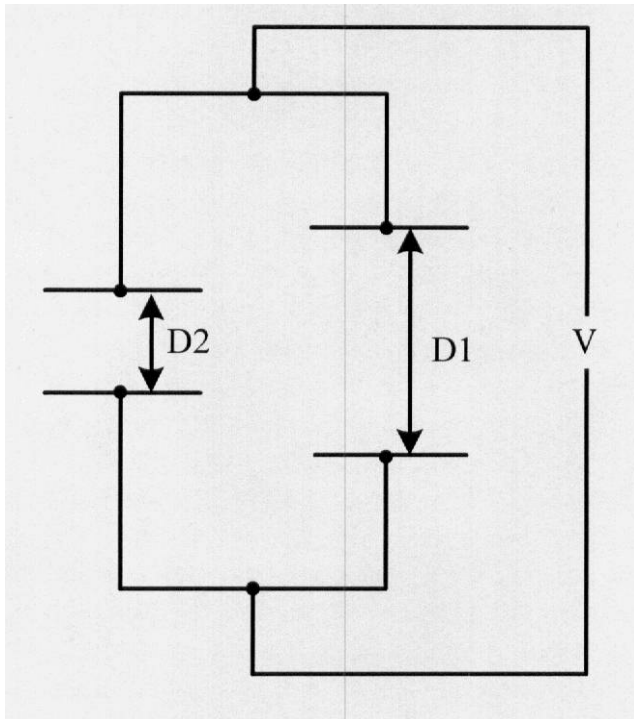
【図 3 A】




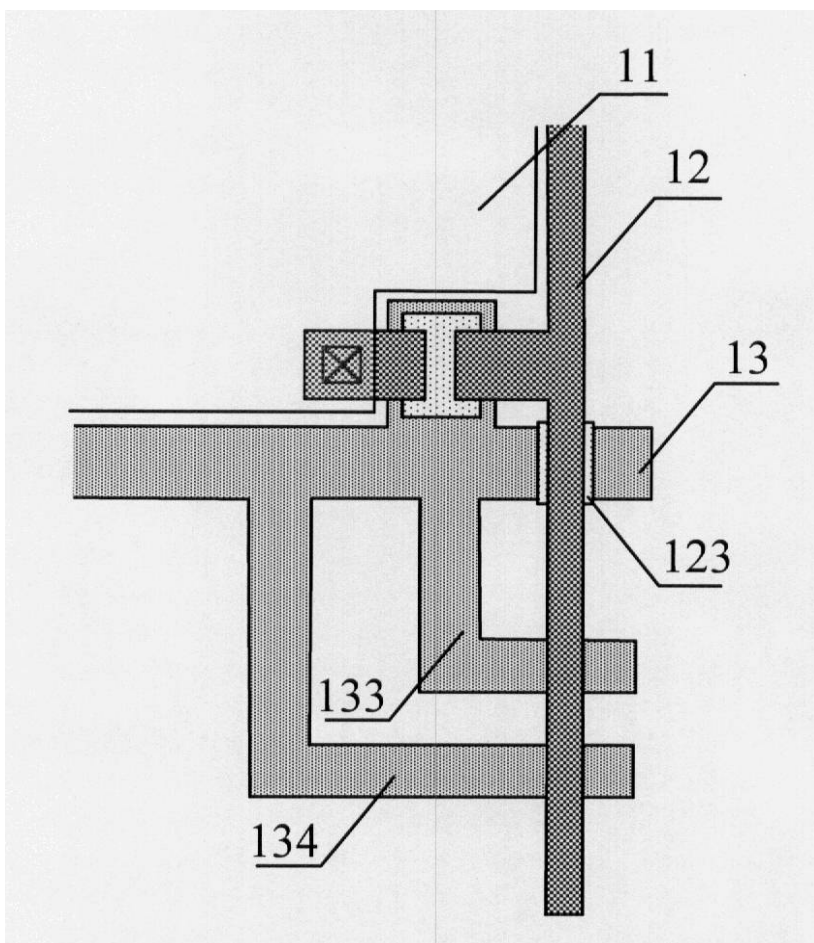
【図 3 B】



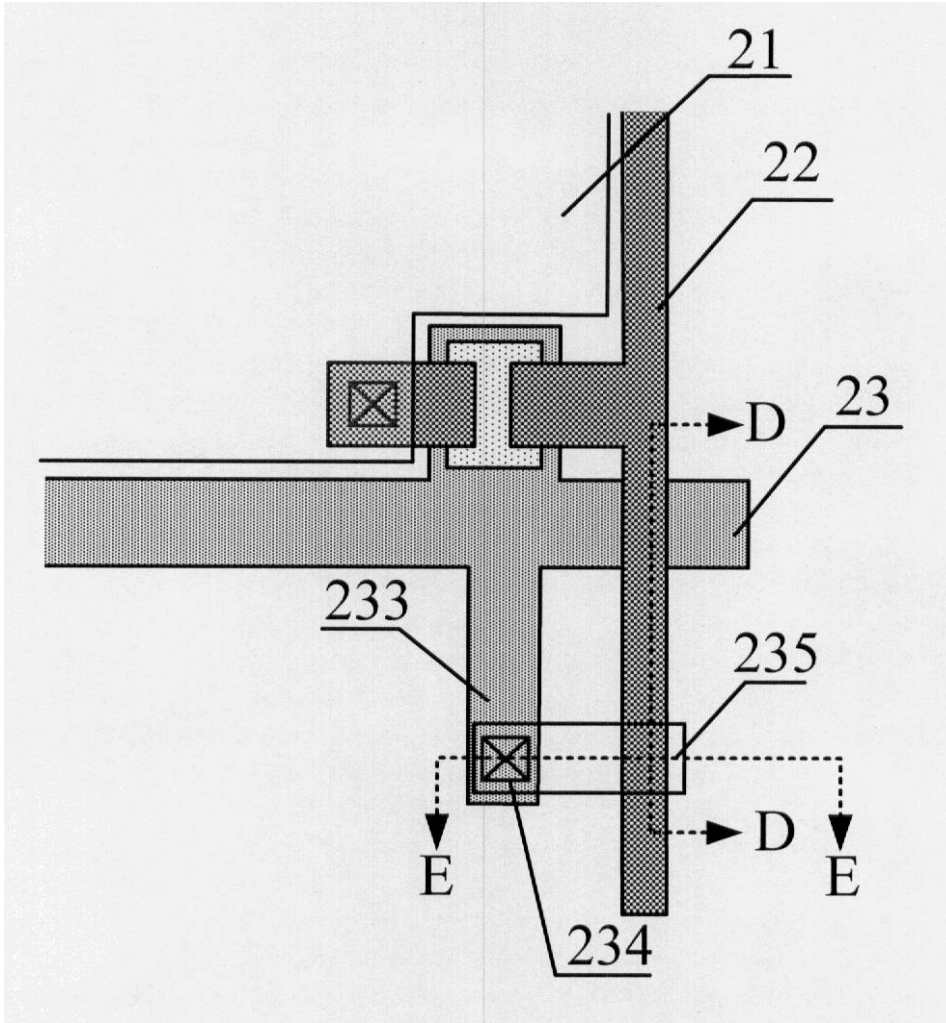
【 3 C】



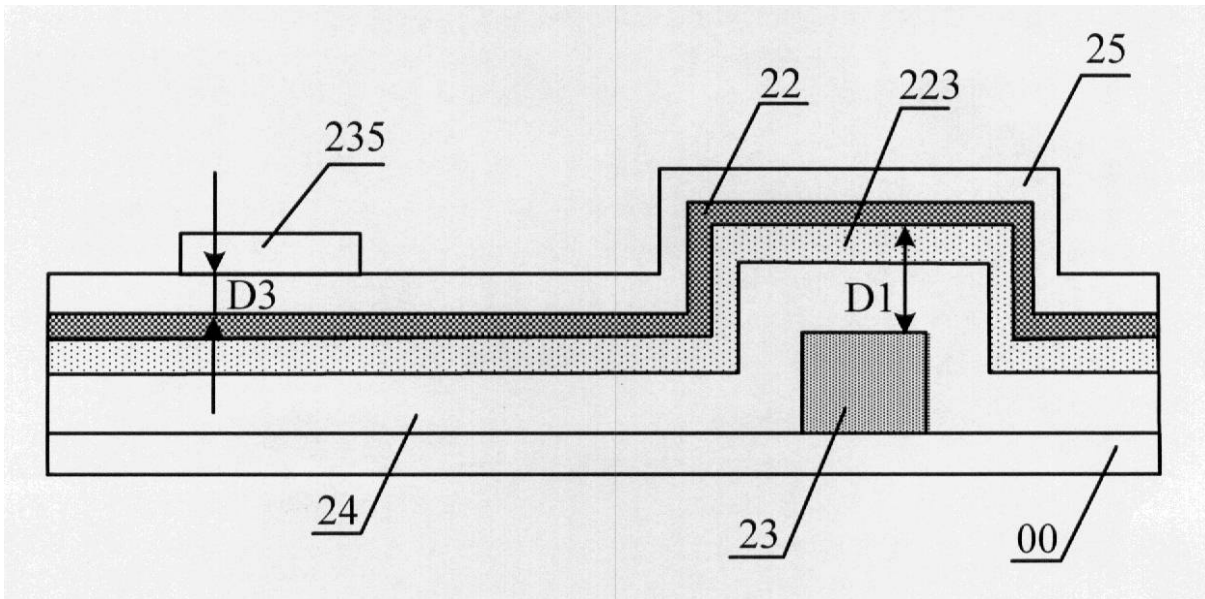
【 3 D】



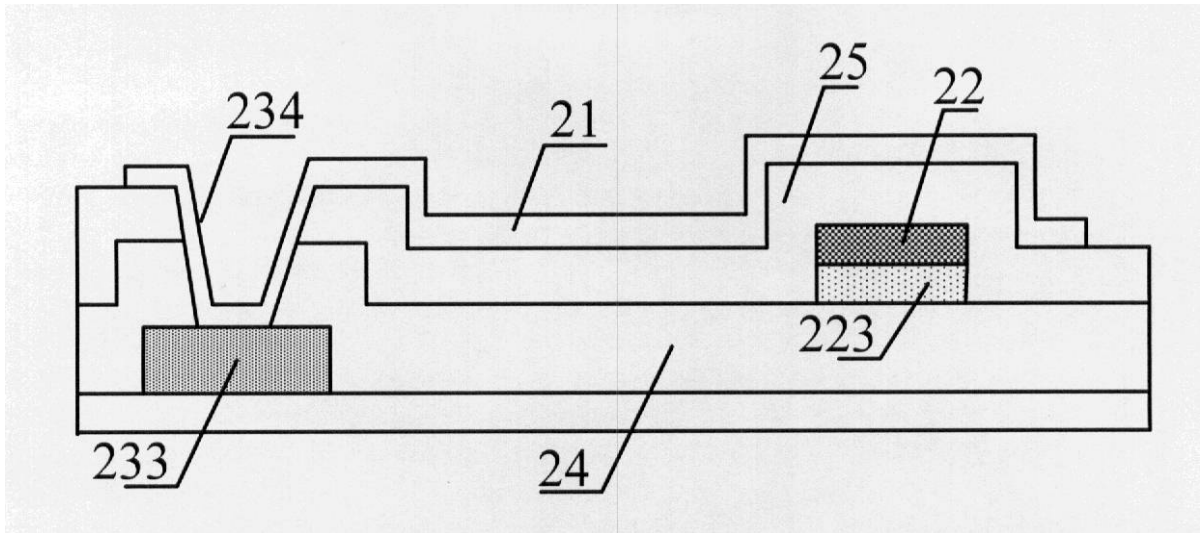
【 4 A 】



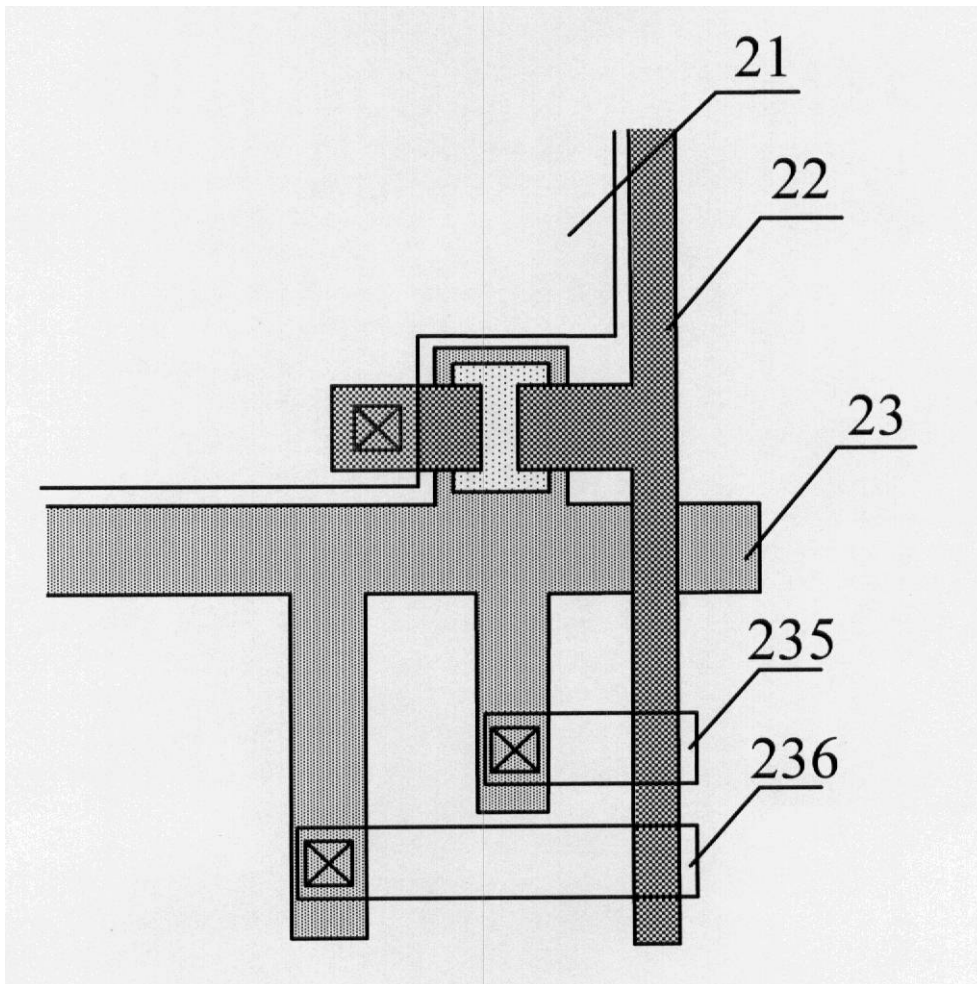
【 4 B 】



【図4C】



【図4D】



フロントページの続き

(72)発明者 王 威
中華人民共和国北京經濟技術開發區西環中路8號

審査官 右田 昌士

(56)参考文献 特開平04 - 130312 (JP, A)
特開平04 - 265943 (JP, A)
特開平03 - 081737 (JP, A)
特開平08 - 330592 (JP, A)
特開平02 - 108027 (JP, A)
特開平11 - 119253 (JP, A)
特開平01 - 284831 (JP, A)
特開平04 - 133030 (JP, A)
特開平04 - 133031 (JP, A)
特開平04 - 133032 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368

G02F 1/1343

专利名称(译)	薄膜晶体管液晶显示器阵列基板的像素结构		
公开(公告)号	JP4879955B2	公开(公告)日	2012-02-22
申请号	JP2008303099	申请日	2008-11-27
[标]申请(专利权)人(译)	北京京东方光电科技有限公司		
申请(专利权)人(译)	北京京东方光电科技有限公司		
当前申请(专利权)人(译)	北京京东方光电科技有限公司		
[标]发明人	何祥飛 王威		
发明人	何祥飛 王威		
IPC分类号	G02F1/1368 G02F1/1343		
CPC分类号	G02F1/136213 G02F1/136286 G02F2001/13606		
FI分类号	G02F1/1368 G02F1/1343		
F-TERM分类号	2H092/JA26 2H092/JB23 2H092/JB24 2H092/JB33 2H092/JB57 2H092/JB64 2H092/JB66 2H092/JB68 2H092/NA16 2H092/NA29 2H192/AA24 2H192/BC31 2H192/CB05 2H192/CB46 2H192/CC02 2H192/CC04 2H192/DA81 2H192/GA31 2H192/GA42 2H192/HA44 2H192/HB38 2H192/HB64		
代理人(译)	渡边 隆 村山 彦		
优先权	200810057694.7 2008-02-04 CN		
其他公开文献	JP2009186986A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供薄膜晶体管液晶显示器的阵列基板的像素结构。解决方案：薄膜晶体管液晶显示器（TFT-LCD）的阵列基板的像素结构设置有像素电极，栅极线和数据线，栅极线和数据线相互交叉。定义像素单元，并且在栅极线和数据线交叉和层叠的部分上形成寄生电容器。此外，在栅极线上形成分支，由分支和数据线形成保护电容器，保护电容器与寄生电容器并联布置，并且保护电容器的电容小于寄生电容。Ž

