

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4772196号
(P4772196)

(45) 発行日 平成23年9月14日(2011.9.14)

(24) 登録日 平成23年7月1日(2011.7.1)

(51) Int.Cl.

F I

G O 2 F 1/1368 (2006.01)

G O 2 F 1/1368

G O 2 F 1/1345 (2006.01)

G O 2 F 1/1345

請求項の数 6 (全 8 頁)

(21) 出願番号	特願2001-78139 (P2001-78139)	(73) 特許権者	302020207
(22) 出願日	平成13年3月19日 (2001.3.19)		東芝モバイルディスプレイ株式会社
(65) 公開番号	特開2002-277896 (P2002-277896A)		埼玉県深谷市幡羅町一丁目9番地2
(43) 公開日	平成14年9月25日 (2002.9.25)	(74) 代理人	100091351
審査請求日	平成20年2月28日 (2008.2.28)		弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100084618
			弁理士 村松 貞男

最終頁に続く

(54) 【発明の名称】 液晶表示装置及び画面表示応用装置

(57) 【特許請求の範囲】

【請求項 1】

薄膜トランジスタ(TFT)アレイ基板が1画面あるいは数画面分配設されかつその画面周辺にショートリングが配設された絶縁性基板からなり、前記TFTアレイ基板は互いに交差する複数のゲート配線および複数のソース配線によって画された各画素に画素電極および画素スイッチング素子が配設され、

前記ゲート配線、ソース配線、画素電極および画素スイッチング素子がマトリックス状に配設されてなる表示領域が設けられ、前記表示領域の周辺にゲート端子およびソース端子が設けられ、前記ゲート端子、ソース端子と画面外周辺部のショートリングが接続され、前記ショートリングが複数のソース配線用ショートリング、及び複数のゲート配線用ショートリングからなり、前記複数のゲート配線が前記複数のゲート配線用のショートリングへ交互に接続し、前記複数のゲート配線用ショートリング間が高抵抗体で接続され、前記複数のソース配線が前記複数のソース配線用のショートリングへ交互に接続し、前記複数のソース配線用ショートリング間が高抵抗体で接続されている絶縁性基板を備えたことを特徴とする液晶表示装置。

【請求項 2】

前記高抵抗体が透明電極で形成されている請求項1に記載の液晶表示装置。

【請求項 3】

前記高抵抗体が半導体で形成されている請求項1に記載の液晶表示素子装置。

【請求項 4】

前記高抵抗体がダイオードで形成されている請求項 1 に記載の液晶表示装置。

【請求項 5】

前記高抵抗体が $50\text{ k}\Omega \sim 100\text{ k}\Omega$ の範囲である請求項 1 乃至請求項 3 のいずれかに記載の液晶表示装置。

【請求項 6】

前記請求項 1 乃至請求項 5 のいずれかに記載の液晶表示装置を備えた画面表示応用装置

。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、画素電極にスイッチング素子を介して駆動信号を印加し、対向する電極との電位差によって表示を行う液晶表示装置及び液晶表示装置を備えた画面表示応用装置に関する。

【0002】

【従来の技術】

従来、液晶表示装置はマトリクス状に配列された複数の画素電極とこれらの画素電極と対向して配設される共通電極である対向電極を備え、両電極間に表示媒体である液晶を介在させている。表示にあたっては、画素電極に選択的に電位が書き込まれ、この画素電極と対向電極との間の電位差により、介在する液晶の光学的変調が行われ、表示パターンとして視認されることとなる。

【0003】

ところで、このような液晶表示装置の検査としては、通常、工程における各過程での光学的検査、アクティブマトリクス基板が完成した段階での電氣的検査、ドライバなどの実装部材を取り付ける前のパネル部分が完成した時点での点灯検査、電氣的検査が行われる。

【0004】

これは、不良部分を後工程に流すことによって材料や作業の無駄が生じることを防ぐためであって、不具合がある場合はこの時点で廃棄されるか、もしくはレーザーなどの手段によって修正が施される。

【0005】

従来のアクティブマトリクス基板が完成した段階での電氣的検査では、市場での不良発生を抑えるために、現状では不良となっていないが、製品として完成後の経時変化によりショートなどの不良となる可能性のあるゲート配線とソース配線の交差部分を工程内で不良化させるスクリーニング工程を、ショートリングを利用して行っていた。

【0006】

図 2 は従来の不良となる可能性のあるゲート配線とソース配線の交差部分を工程内で不良化させるスクリーニング工程を行うことのできるショートリング構成を持った液晶表示素子用絶縁性基板の平面模式図である。図 2 において、電気絶縁性基板 1 上に、一面あるいは複数面のアクティブマトリクス型液晶表示パネルのアレイ基板 2 が配設されている。前記アレイ基板は互いに交差する複数のゲート配線 3 および複数のソース配線 4 が配設され、前記ゲート配線 3、ソース配線 4 に沿う形で画素電極および画素スイッチング素子がマトリックス上に配設されてなる表示領域が設けられ、前記表示領域の周辺にゲート端子 5、ソース端子 6 が設けられている。前記絶縁性基板 1 は、複数のアレイ基板 2 以外の領域に、ゲート配線用ショートリング 7、ソース配線用ショートリング 8 がそれぞれ配設され、前記複数のゲート端子 5、ソース端子 6 がそれぞれのショートリング 7、8 に接続されている。前記ゲート配線用ショートリング 7 上に、不良となる可能性のある薄膜トランジスタ (TFT) および補助容量を破壊する 2 本の針で行うスクリーニング工程に必要なゲート用検査端子パッド 9 が配設され、前記ソース配線用ショートリング 8 上に、不良となる可能性のある TFT および補助容量を破壊する 2 本の針で行うスクリーニング工程に必要なソース用検査端子パッド 10 が配設されている。

【0007】

10

20

30

40

50

具体的には、2つのショートリング7、8上に置かれた検査用端子9、10間に50Vから100Vの高電圧を印加し、不良となる可能性のあるTFT及び補助容量を破壊することを行っていた。

【0008】

また、前記アクティブマトリクス基板が完成した段階での電氣的検査が完了した後の不良部分の場所の特定は、ドライバなどの実装部材を取り付ける前のパネル部分が完成した後の点灯検査、電氣的検査で行われ、不具合がある場合はこの時点で廃棄されるか、もしくはレーザーなどの手段によって修正が施される。

【0009】

【発明が解決しようとする課題】

従来のアクティブマトリクス基板完成後の電氣的検査では、ゲート配線とソース配線の交差部分のショートによる不良を検出するために、TFTアレイ基板が1画面あるいは数画面分配設された絶縁性基板の周辺に、前記ゲート配線に接続されたショートリングとソース配線に接続されたショートリングそれぞれに検査用プローブを当てその間に電圧を印加するスクリーニングを行っていた。通常、TFTアレイ基板を製造する工場においては、画面サイズ、面付け数の異なる複数のデバイスが生産される。これら複数のデバイスを1台の装置で効率よくスクリーニングを実施するには、ゲート配線用ショートリングとソース配線用ショートリングのそれぞれに当てる検査用端子は、検査装置の簡素化、作業時間の短縮、端子数増加による設計の制約増加を考えると、2本程度で構成される必要がある。

【0010】

一方、前記スクリーニング工程で不良が作られても、その時点での場所の特定はできず、不具合のあるアレイ基板に関しても、ドライバなどの実装部材を取り付ける前のパネル部分が完成した時点での点灯検査、電氣的検査後にはじめて廃棄されるか、もしくはレーザーなどの手段によって修正が施されるため、その間の工程で、不具合のあるパネルに対する、作業や材料の無駄を生じるという問題があった。

【0011】

そこで、パネル部分を形成する工程以前でTFTアレイ欠陥検査装置を導入することにより、欠陥場所を特定する検査を行うことがあげられるが、前記アレイ欠陥検査装置を導入する場合、欠陥検査装置用の検査用端子を形成しておく必要があり、その構成としては、隣接するソース配線、ゲート配線の不具合を明確にするため、隣接する配線毎に異なる検査用端子構成を必要とし、前記従来の工程である、端子数が2本程度の必要があるスクリーニング工程と同じショートリング構成では、TFTアレイ欠陥検査装置を導入しても隣接するソース配線、ゲート配線の欠陥が見つけれられないという問題があった。

【0012】

本発明は上記従来の問題点を解決するもので、従来の不良となる可能性のあるTFTおよび補助容量を破壊するスクリーニング工程に必要なアレイパターンと、欠陥場所を特定できるアレイ欠陥検査装置に必要なアレイパターンを同時に満たすショートリング構成、および欠陥場所を特定するのに精度の良い検査方法を実現して、不良品流出の防止を図るとともに、パネル形成工程以前に不良の場所を特定することで、後工程での不良パネルに当てる材料及び作業時間の無駄を省き、生産コストの軽減を図ることを目的とする。

【0013】

【課題を解決するための手段】

上記目的を達成するために本発明は、TFTアレイ基板が1画面あるいは数画面分配設されかつその画面周辺にショートリングが配設された絶縁性基板において、前記ショートリングが複数のソース配線用ショートリング、及び複数のゲート配線用ショートリングからなり、前記複数のゲート配線が前記ゲート配線用のショートリングへ交互に接続し、前記複数のゲート配線用ショートバー間を高抵抗体で接続したものである。これにより、従来の不良となる可能性のあるTFTおよび補助容量を破壊するスクリーニング工程に必要なアレイパターンと、欠陥場所を特定できるアレイ欠陥検査装置に必要なアレイパターンを同時に満たすショートバー構成、および欠陥場所を特定するのに精度の良い検査方法を実

10

20

30

40

50

現して、不良品流出の防止や生産コストの軽減を図ることができるＴＦＴアレイ基板が得られる。

【００１４】

【発明の実施の形態】

本発明の第１番目の液晶表示装置は、ＴＦＴアレイ基板が１画面あるいは数画面分配設されかつその画面周辺にショートリングが配設された絶縁性基板からなり、前記ＴＦＴアレイ基板は互いに交差する複数のゲート配線および複数のソース配線によつて画された各画素に画素電極および画素スイッチング素子が配設され、前記ゲート配線、ソース配線、画素電極および画素スイッチング素子がマトリックス状に配設されてなる表示領域が設けられ、前記表示領域の周辺にゲート端子およびソース端子が設けられ、前記ゲート端子、ソース端子と画面外周辺部のショートリングが接続され、前記ショートリングが複数のソース配線用ショートリング、及び複数のゲート配線用ショートリングからなり、前記複数のゲート配線が前記ゲート配線用のショートリングへ交互に接続し、前記複数のゲート配線用ショートリング間を高抵抗体で接続したものである。これにより、ゲート配線にて、従来の不良となる可能性のあるＴＦＴおよび補助容量を破壊する２本の針で行うスクリーニング工程に必要なアレイパターンを満たしながら、隣接するゲート配線及び隣接するゲート配線に接続された画素電極間の欠陥場所を特定できるアレイ欠陥検査装置に必要なアレイパターンを含むショートリング構成を作成することができ、隣接するゲート配線及び隣接するゲート配線に接続された画素電極間の欠陥場所を特定するのに精度の良い検査方法を実現して、不良品流出の防止や生産コストの軽減を図れる。

10

20

【００１５】

本発明の第２番目の液晶表示装置は、前記複数のソース配線が、前記ソース配線用のショートリングへ交互に接続し、前記複数のソース配線用ショートリング間を高抵抗体で接続したもので、これにより、ソース配線において従来の不良となる可能性のあるＴＦＴおよび補助容量を破壊する２本の針で行うスクリーニング工程に必要なアレイパターンを満たしながら、隣接するソース配線及び隣接するソース配線に接続された画素電極間の欠陥場所を特定できるアレイ欠陥検査装置に必要なアレイパターンを含むショートリング構成を作成することができる。これにより、隣接するソース配線及び隣接するソース配線に接続された画素電極間の欠陥場所を特定するのに精度の良い検査方法を実現して、不良品流出の防止や生産コストの軽減を図れる。

30

【００１６】

前記第１～２番目の液晶表示装置においては、高抵抗体が透明電極で形成されていることが、画素電極の形成と同時に高抵抗体を形成することができ、別に高抵抗体用の専用の工程を必要としないことから好ましい。

【００１７】

前記第１～２番目の液晶表示装置においては、高抵抗体が半導体で形成されていることが、ＴＦＴのチャネル形成と同時に高抵抗体を形成することができ、別に高抵抗体用の専用の工程を必要としないことから好ましい。

【００１８】

また、前記高抵抗体がダイオードで形成されていることが、検査やスクリーニング以外において、静電気が発生した場合に、特定ラインへの影響を分散させる効果を発揮することから好ましい。

40

【００１９】

また、前記高抵抗体が５０ｋΩ～１００ｋΩの範囲であることが、検査時に抵抗が低すぎて、異なる配線どうしの信号が干渉を起こさない程度であり、かつ抵抗が高すぎてスクリーニング時の不良部の破壊が発生しない程度の範囲であることから好ましい。

【００２０】

本発明の液晶表示装置は、様々な画像表示応用装置に有用である。たとえば、大型液晶テレビや小型携帯電話、移動通信機器等に応用できる。

【００２１】

50

(実施の形態 1)

以下、本発明の実施の形態 1 における液晶表示素子用絶縁性基板について、図面を参照しながら説明する。

【0022】

図 1 は、本発明の実施の形態 1 における液晶表示素子用絶縁性基板の平面模式図である。図 1 において、絶縁性基板 1 上に、一面あるいは複数面のアクティブマトリクス型液晶表示パネルのアレイ基板 2 が配設されている。前記アレイ基板は互いに交差する複数のゲート配線 3 および複数のソース配線 4 が配設され、前記ゲート配線 3、ソース配線 4 に沿う形で画素電極および画素スイッチング素子がマトリクス上に配設されてなる表示領域が設けられ、前記表示領域の周辺にゲート端子 5、ソース端子 6 が設けられている。前記絶縁性基板 1 は、複数のアレイ基板 2 以外の部分に、ゲート配線用ショートリング 7、ソース配線用ショートリング 8 がそれぞれ複数本配設され、前記複数のゲート端子 5、ソース端子 6 が、となりあう 2 つの端子どうしで同じショートリングに接続されることのないよう接続されている。前記複数のゲート配線用ショートリングの中の一つの配線上に、不良となる可能性のある T F T および補助容量を破壊する 2 本の針で行うスクリーニング工程に必要なゲート用検査端子パッド 9 が配設され、前記複数のソース配線用ショートリングの中の一つの配線上に、不良となる可能性のある T F T および補助容量を破壊する 2 本の針で行うスクリーニング工程に必要なソース用検査端子パッド 10 が配設されている。また、複数のゲート配線用ショートリングのそれぞれに、ゲート配線の欠陥場所を特定できるアレイ欠陥検査装置に必要な検査端子 11a、11b が配設され、同様に複数のソース配線用ショートリングのそれぞれにアレイ欠陥検査装置に必要な検査端子 12a、12b が配設されており、それぞれのゲート配線用ショートリング 7、ソース配線用ショートリング 8 の間は、50 k Ω 以上 100 k Ω 以下程度の高抵抗体 13、14 で接続されている。

【0023】

以上のように構成された液晶表示パネル用絶縁性基板 1 について、以下にその動作を説明する。

【0024】

従来の不良となる可能性のある T F T および補助容量を破壊するスクリーニング工程においては、スクリーニング用検査端子 9、10 間に高い電位差を与え、ショートなどの不良となる可能性のあるゲート配線 3 とソース配線 4 の交差部分に形成されている容量を充電し、その交差部分の比較的弱い部分を破壊する。スクリーニング用検査端子の無い別のショートリングにおいても、そのショートリング間が高抵抗体 13、14 で接続されているため、ゲート配線 3 とソース配線 4 の交差部分に形成されている容量を充電することができ、ショートリングを複数本数で形成しているが、従来方法と同じ、不良となる可能性のある T F T および補助容量を破壊するスクリーニング工程を実現できる。

【0025】

次に、配線および画素についての欠陥場所を特定するのに精度の良い検査方法においては、複数本からなるゲート端子用ショートリング 7 に配設されている検査端子パッド 11a、11b に、異なるゲート用走査信号を入力し、ソース端子用ショートリング 8 に配設されている検査端子パッド 12a、12b に異なるソース用データ信号を入力する。そうすることにより、画素スイッチング素子をアレイ基板状態で駆動することができ、画素電極にソース信号が充電される。ここで、画素電極や画素スイッチング素子、あるいは、ゲート配線、ソース配線に欠陥がある場合は、その部分において画素電極に充電異常が起こり、電位を検出する機構を用いることにより、その欠陥場所を特定することができる。また、隣り合う信号線どうしは、異なる信号が入力されているため、画素電極の充電異常個所の特定精度も高い割合で実現できる。複数のゲート側、あるいはソース側のショートリングは 13、14 の抵抗体により接続されているが、高抵抗体であるため、異なる信号を入力しても、ゲート信号波形、ソース信号波形に与える影響は少なく、画素スイッチング素子の駆動およびデータの書き込みを十分に行うことができる。

【0026】

以上のように本発明の本実施の形態によれば、ゲート配線用ショートリング、ソース配線用ショートリングを複数本配設し、それぞれのショートリング間を高抵抗体で接続することにより、従来の不良となる可能性のあるＴＦＴおよび補助容量を破壊するスクリーニング工程と、配線および画素についての欠陥場所を特定するのに精度の良い検査工程の両方を行うことのできるアレイパターン構成を実現できるので、工程の早い段階での不良場所の特定およびレーザーなどの手段による修正を実現でき、不良部分を後工程に流すことによる材料や作業の無駄を軽減できるという効果を奏する。

【 0 0 2 7 】

【発明の効果】

以上のように本発明は、ゲート配線にて、従来の不良となる可能性のあるＴＦＴおよび補助容量を破壊するスクリーニング工程に必要なアレイパターンを満たしながら、ゲート配線の欠陥場所を特定できるアレイ欠陥検査装置に必要なアレイパターンを含むショートリング構成を作成することができるという効果を奏し、また、ゲート配線の欠陥場所を特定するのに精度の良い検査方法を実現して、不良品流出の防止や生産コストの軽減を図れるという効果を奏する。

10

【図面の簡単な説明】

【図１】本発明の実施の一形態であるアクティブマトリクス型液晶表示素子用絶縁性基板の平面模式図である。

【図２】従来の実施の形態であるアクティブマトリクス型液晶表示素子用絶縁性基板の平面模式図である。

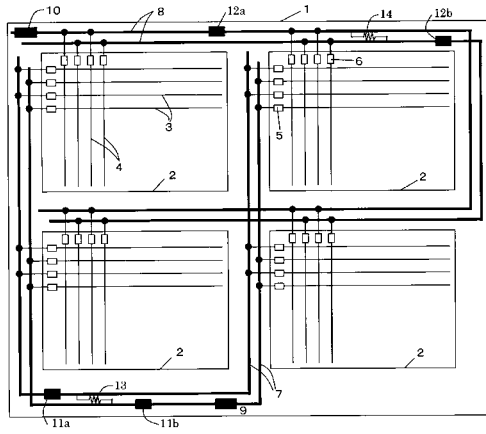
20

【符号の説明】

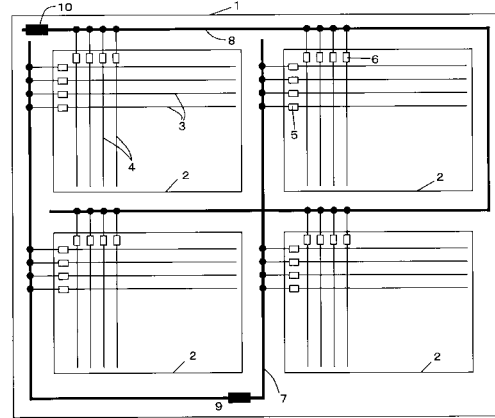
- 1 液晶表示素子用絶縁性基板外形
- 2 液晶表示パネルアレイ基板外形
- 3 ゲート配線
- 4 ソース配線
- 5, 6 ゲート端子、ソース端子
- 7, 8 ショートリング
- 9, 10 スクリーニング用検査端子
- 11a, 11b ゲート側アレイ欠陥検査装置用検査端子
- 12a, 12b ソース側アレイ欠陥検査装置用検査端子
- 13, 14 ショートリング間の高抵抗体

30

【図 1】



【図 2】



フロントページの続き

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 原田 和幸

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

(72)発明者 宇野 光宏

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

審査官 小濱 健太

(56)参考文献 特表平 1 1 - 5 1 0 2 7 1 (J P , A)

特開平 1 1 - 0 0 2 8 3 9 (J P , A)

特開平 0 2 - 1 1 8 5 1 5 (J P , A)

特開平 0 7 - 3 1 8 9 8 0 (J P , A)

特開平 0 7 - 0 6 4 5 1 7 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G02F 1/1368

G02F 1/1345

G02F 1/1343

专利名称(译)	液晶表示装置及び画面表示応用装置		
公开(公告)号	JP4772196B2	公开(公告)日	2011-09-14
申请号	JP2001078139	申请日	2001-03-19
申请(专利权)人(译)	松下电器产业有限公司		
当前申请(专利权)人(译)	东芝移动显示器有限公司		
[标]发明人	原田和幸 宇野光宏		
发明人	原田 和幸 宇野 光宏		
IPC分类号	G02F1/1368 G02F1/1345		
FI分类号	G02F1/1368 G02F1/1345		
F-TERM分类号	2H092/GA05 2H092/GA32 2H092/HA12 2H092/JA24 2H092/JB77 2H092/JB79 2H092/MA57 2H092/NA13 2H092/NA14 2H092/NA29 2H092/NA30 2H192/AA24 2H192/DA91 2H192/GA12 2H192/GA31 2H192/HA47 2H192/HA93 2H192/HB04 2H192/HB13 2H192/HB65		
代理人(译)	河野 哲 中村诚		
其他公开文献	JP2002277896A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种阵列图形检查装置，其能够指定栅极布线的缺陷位置，同时满足用于破坏TFT和辅助电容器的屏蔽处理所需的阵列图案，所述TFT和辅助电容器可能在栅极布线中有缺陷创建短栏配置。解决方案：形成多个栅极布线短环7和多个源极布线短环8，并且在显示区域中相邻的两个栅极布线3和源极布线4连接到同一短环通过将用于液晶显示元件的绝缘基板1交替连接使得短环通过高电阻器13和14彼此连接，可以实现传统的筛选过程，从而实现用于指定缺陷位置的阵列缺陷检查的阵列图案配置。

【图 2】

