

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4727201号

(P4727201)

(45) 発行日 平成23年7月20日 (2011.7.20)

(24) 登録日 平成23年4月22日 (2011.4.22)

(51) Int. Cl. F I
GO2F 1/1343 (2006.01) GO2F 1/1343
GO2F 1/1345 (2006.01) GO2F 1/1345
GO2F 1/1368 (2006.01) GO2F 1/1368

請求項の数 2 (全 58 頁)

(21) 出願番号	特願2004-300817 (P2004-300817)	(73) 特許権者	501426046
(22) 出願日	平成16年10月14日 (2004.10.14)		エルジー ディスプレイ カンパニー リ
(65) 公開番号	特開2005-122185 (P2005-122185A)		ミテッド
(43) 公開日	平成17年5月12日 (2005.5.12)		大韓民国 ソウル, ヨンドゥンポーク, ヨ
審査請求日	平成16年10月14日 (2004.10.14)		イドードン 20
審判番号	不服2010-2183 (P2010-2183/J1)	(74) 代理人	100094112
審判請求日	平成22年2月1日 (2010.2.1)		弁理士 岡部 譲
(31) 優先権主張番号	2003-071362	(74) 代理人	100064447
(32) 優先日	平成15年10月14日 (2003.10.14)		弁理士 岡部 正夫
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100085176
(31) 優先権主張番号	2003-071378		弁理士 加藤 伸晃
(32) 優先日	平成15年10月14日 (2003.10.14)	(74) 代理人	100104352
(33) 優先権主張国	韓国 (KR)		弁理士 朝日 伸光
(31) 優先権主張番号	2003-071402		
(32) 優先日	平成15年10月14日 (2003.10.14)		
(33) 優先権主張国	韓国 (KR)		

最終頁に続く

(54) 【発明の名称】 水平電界型の液晶表示パネル

(57) 【特許請求の範囲】

【請求項 1】

薄膜トランジスタ (TFT) アレイ基板及びカラーフィルタアレイ基板を具備する水平電界型 (IPS) 液晶表示デバイスの液晶表示パネルであって、

前記薄膜トランジスタアレイ基板は、

基板上に直接形成されたゲートライン、ゲート電極、ゲートパッド、画素電極、データパッド、共通電極、及び、共通ラインと、ここで、

前記ゲートライン、前記ゲート電極及び前記共通ラインの各々は透明導電層及び前記透明導電層上に形成された第1金属層を含み、

前記ゲートライン及びゲート電極は一体で形成され、

前記共通電極は前記共通ラインに接続され、

前記ゲートパッドは前記ゲートラインの前記透明導電層を延伸して形成され、前記共通パッドは前記共通ラインの前記透明導電層を延伸して形成され、

前記ゲートパッド及び共通パッドに対応する前記第1金属層が除去され、前記ゲートパッド及び前記共通パッドの前記透明導電層が前記第1金属層から露出され、

前記ゲートラインを含む前記基板上に形成されたゲート絶縁層と、

前記ゲート絶縁層上に形成された半導体層と、

第2金属層を有し、前記半導体層を含む前記ゲート絶縁層上に形成されたデータライン、ソース電極及びドレイン電極と、ここで、

前記データライン及び前記ソース電極は一体で形成され、

10

20

前記ゲート電極、前記半導体層、前記ソース電極及び前記ドレイン電極は薄膜トランジスタを構成し、

前記ドレイン電極は前記画素電極に部分的に重畳して接続され、

前記データラインを含む前記基板上に形成された保護膜とを含み、

前記カラーフィルタアレイ基板は、カラーフィルタを含み、

前記薄膜トランジスタアレイ基板は、前記カラーフィルタアレイ基板により重畳された第1領域及び前記カラーフィルタアレイ基板により重畳されない第2領域を有し、

前記ゲートパッド、前記データパッド及び前記共通パッドは、前記薄膜トランジスタアレイ基板の第2領域に配置され、

前記ゲートパッド、前記データパッド及び前記共通パッドの各々上の前記保護膜は、前記ゲートパッド、前記データパッド及び前記共通パッドの各々が露出されるように除去され、

前記共通電極は、前記透明導電層から成り、

前記画素電極は、前記透明導電層と前記第1金属層の二重層から成ることを特徴とする液晶表示パネル。

【請求項2】

薄膜トランジスタ(TFT)アレイ基板及びカラーフィルタアレイ基板を具備する水平電界型(IPS)液晶表示デバイスの液晶表示パネルであって、

前記薄膜トランジスタアレイ基板は、

基板上に形成されたゲートライン、ゲート電極、ゲートパッド、データパッド、共通電極、及び、共通ラインと、ここで、

前記ゲートライン、前記ゲート電極及び前記共通ラインの各々は透明導電層及び前記透明導電層上に形成された第1金属層を含み、

前記ゲートライン及びゲート電極は一体で形成され、

前記共通電極は前記共通ラインに接続され、

前記ゲートパッドは前記ゲートラインの前記透明導電層を延伸して形成され、前記共通パッドは前記共通ラインの前記透明導電層を延伸して形成され、

前記ゲートパッド及び共通パッドに対応する前記第1金属層が除去され、前記ゲートパッド及び前記共通パッドの前記透明導電層が前記第1金属層から露出され、

前記ゲートラインを含む前記基板上に形成されたゲート絶縁層と、

前記ゲート絶縁層上に形成された半導体層と、

第2金属層を有し、前記半導体層を含む前記基板上に形成された画素電極、データライン、ソース電極及びドレイン電極と、ここで、

前記データライン及び前記ソース電極は一体で形成され、前記画素電極及び前記ドレイン電極は一体で形成され、

前記ゲート電極、前記半導体層、前記ソース電極及び前記ドレイン電極は薄膜トランジスタを構成し、

前記データラインを含む前記基板上に形成された保護膜とを含み、

前記カラーフィルタアレイ基板は、カラーフィルタを含み、

前記薄膜トランジスタアレイ基板は、前記カラーフィルタアレイ基板により重畳された第1領域及び前記カラーフィルタアレイ基板により重畳されない第2領域を有し、

前記ゲートパッド、前記データパッド及び前記共通パッドは、前記薄膜トランジスタアレイ基板の第2領域に配置され、

前記ゲートパッド、前記データパッド及び前記共通パッドの各々上の前記保護膜は、前記ゲートパッド、前記データパッド及び前記共通パッドの各々が露出されるように除去され、

前記共通電極は、前記透明導電層及び前記透明導電層と前記第1金属層の二重層の内の一から成る

ことを特徴とする液晶表示パネル。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は水平電界を利用する液晶表示パネルに関することで、特にマスク工程数を減らすことができる水平電界型の液晶表示パネル及びその製造方法に関することである。

【背景技術】

【0002】

液晶表示装置は電界を利用して液晶の光透過率を調節することで画像を表示するようになる。このような液晶表示装置は液晶を駆動させる電界の方向につれて垂直電界型と水平電界型に大別される。

【0003】

垂直電界型の液晶表示装置は上部基板の上に形成された共通電極と下部基板の上に警視された画素電極が相互対向に配置されてこれらの間に形成される垂直電界によってツイストネマティック（TN）モードの液晶を駆動するようになる。このような垂直電界型の液晶表示装置は開口率が大きい長所を有する半面に視野角が90度程度で狭い短所を有する。

【0004】

水平電界型の液晶表示装置は下部基板に並んで配置された画素電極と共通電極間の水平電界により水平配列（IPS）モードの液晶を駆動するようになる。このような水平電界型の液晶表示装置は視野角が160度程度で広い長所を有する。以下、水平電界型の液晶表示装置に対して詳細に見ることにする。

【0005】

水平電界型の液晶表示装置は相互対向に合着した薄膜トランジスタ・アレイ基板及びカラーフィルター・アレイ基板と、二基板の間でセルキャップを一定に維持させるためのスペースと、スペースによって設けられた液晶空間に埋められた液晶とを具備する。

【0006】

薄膜トランジスタ・アレイ基板は画素単位の水平電界の形成のための多数の信号ラインなど及び薄膜トランジスタと、それらの上に液晶背向のために塗布された背向膜で構成される。カラーフィルター・アレイ基板はカラー具現のためのカラーフィルター及び光漏れ防止のためのブラック・マトリックスと、それらの上に塗布される背向膜に構成される。

【0007】

このような液晶表示装置で薄膜トランジスタ・アレイ基板は半導体工程を含むと共に多数のマスク工程を必要とすることにつれて製造工程が複雑で液晶パネルの製造短歌の上昇の重要原因になっている。これを解決するために、薄膜トランジスタ・アレイ基板はマスク工程数を減らす方向に発展している。これは一つのマスク工程が蒸着工程、洗浄工程、フォトリソグラフィ工程、蝕刻工程、フォトレジスト剥離工程、検査工程などのような多くの工程を含んでいるためである。これにつれて、最近には薄膜トランジスタ・アレイ基板の標準マスク工程であった5マスク工程で一つのマスク工程を減らした4マスク工程が台頭されている。

【0008】

図1は従来の4マスク工程を利用した水平電界型の液晶表示装置の薄膜トランジスタ・アレイ基板を表す平面図であり、図2は図1で線“Ⅰ-Ⅰ'”につれて切断して取った薄膜トランジスタ・アレイ基板を表す断面図である。

【0009】

図1及び図2を参照すると、従来の水平電界型の液晶表示装置の薄膜トランジスタ・アレイ基板は下部基板（1）の上に交差して形成されたゲート・ライン（2）及びデータ・ライン（4）と、その交差部毎に形成された薄膜トランジスタ（30）と、その交差構造で設けられた画素領域に水平電解となるように形成された画素電極（22）及び共通電極（84）と、共通電極（84）と接続された共通ライン（86）とを具備する。また、従来の薄膜トランジスタ・アレイ基板は画素電極（22）と共通ライン（86）の重畳部に形成されたストレージ・キャパシティ（40）と、ゲート・ライン（2）と接続されるゲ

10

20

30

40

50

ート・パッド（５０）と、データ・ライン（４）と接続されるデータ・パッド（６０）と、共通ライン（８６）と接続された共通パッド（８０）とを更に具備する。

【００１０】

ゲート・ライン（２）は薄膜トランジスタ（３０）のゲート電極（６）にゲート信号を供給する。データ・ライン（４）は薄膜トランジスタ（３０）のドレイン電極（１０）を通して画素電極（２２）に画素信号を供給する。ゲート・ライン（２）とデータ・ライン（４）は交差構造で形成されて画素領域を定義する。

【００１１】

共通ライン（８６）は画素領域を間に置いてゲート・ライン（２）と並んで形成されて液晶駆動のための基準電圧を共通電極（８４）に供給する。

10

【００１２】

薄膜トランジスタ（３０）はゲート・ライン（２）のゲート信号に応答してデータ・ライン（４）の画素信号が画素電極（２２）に充電されて維持されるようにする。このために、薄膜トランジスタ（３０）はゲート・ライン（２）に接続されたドレイン電極（１０）とを具備する。また、薄膜トランジスタ（３０）はゲート電極（６）とゲート絶縁膜（１２）を間に置いて重畳されながらソース電極（８）とドレイン電極（１０）の間にチャンネルを形成する活性層（１４）とを更に具備する。活性層（１４）はデータ・ライン（４）、データ・パッド下部電極（６２）及びストレージ電極（２８）と重畳に形成される。活性層（１４）の上にはデータ・パッド下部電極（３６）、ストレージ電極（２２）、データ・ライン（４）、ソース電極（８）、ドレイン電極（１０）、データ・パッド下部電極（６２）及びストレージ電極（２８）とオーミック接触のためのオーミック接触層（１６）が更に形成される。

20

【００１３】

画素電極（２２）は保護膜（１８）を貫通する第１接触ホール（３２）を通して薄膜トランジスタ（３０）のドレイン電極（１０）と接続されて画素領域に形成される。特に、画素電極（２２）はドレイン電極（１０）と接続されて隣接したゲート・ライン（２）と並んで形成された第１水平部（２２ａ）と、共通ライン（８６）と重畳に形成された第２水平部（２２ｂ）と、第１及び第２水平部（２２ａ、２２ｂ）の間に共通電極（８４）と並んで形成されたフィンガー部（２２ｃ）とを具備する。

【００１４】

30

共通電極（８４）は共通ライン（８６）と接続されて画素領域に形成される。特に、共通電極（８４）は画素領域で画素電極（２２）のフィンガー部（２２ｃ）と並んで形成される。

【００１５】

これにつれて、薄膜トランジスタ（３０）を通して画素信号が供給された画素電極（２２）と共通ライン（８６）を通して基準電圧が供給された共通電極（８４）の間には水平電界が形成される。特に、画素電極（２２）のフィンガー部（２２ｃ）と共通電極（８４）の間には水平電界が形成される。このような水平電界によって薄膜トランジスタ・アレイ基板とカラーフィルター・アレイ基板の間で水平方向に配列された液晶分子などが誘電異方性により、回転するようになる。液晶分子などの回転程度につれて画素領域を透過する光の透過率が異なってくるようになることで画像を具現するようになる。

40

【００１６】

ストレージ・キャパシティ（４０）は共通ライン（８６）と、その共通ライン（８６）とゲート絶縁膜（１２）、活性層（１４）そしてオーミック接触層（１６）を間に置いて重畳されるストレージ電極（２８）と、そのストレージ電極（２８）と保護膜（１８）を貫通する第２接触ホール（２６）を通して接続された画素電極（２２）で構成される。このようなストレージ・キャパシティ（４０）は画素電極（２２）に充電された画素信号が次の画素信号が充電される際にまで安定的に維持されるようになる。

【００１７】

ゲート・ライン（２）はゲート・パッド（５０）を通してゲート・ドライバ（図示しな

50

い)と接続される。ゲート・パッド(50)はゲート・ライン(2)から延長されるゲート・パッド下部電極(52)と、ゲート絶縁膜(12)及び保護膜(18)を貫通する第3接触ホール(54)を通してゲート・パッド下部電極(52)と接続されたゲート・パッド上部電極(58)で構成される。

【0018】

データ・ライン(4)はデータ・パッド(60)を通してデータ・ドライバ(図示しない)と接続される。データ・パッド(60)はデータ・ライン(4)から延長されるデータ・パッド下部電極(62)と、保護膜(18)を貫通する第4接触ホール(64)を通してデータ・パッド下部電極(62)と接続されたデータ・パッド上部電極(68)で構成される。

10

【0019】

共通ライン(86)は共通パッド(80)を通して外部の基準電圧源(図示しない)から基準電圧を供給受けるようになる。共通パッド(80)は共通ライン(86)から延長される共通パッド下部電極(82)と、ゲート絶縁膜(12)及び保護膜(18)を貫通する第5接触ホール(74)を通して共通パッド下部電極(82)と接続された共通パッド上部電極(88)で構成される。

【0020】

このような構成を有する薄膜トランジスタ・アレイ基板の製造方法を4マスク工程を利用して詳細にすると図3a乃至図3dに示すところのようである。

【0021】

20

図3aを参照すると、第1マスク工程を利用して下部基板(1)の上にゲート・ライン(2)、ゲート電極(6)、ゲート・パッド下部電極(52)、共通ライン(86)、共通電極(84)及び共通パッド下部電極(82)を含む第1導電パターン群が形成される。

【0022】

これを詳細に説明すると、下部基板(1)の上にスパッタリング方法などの蒸着方法を通してゲート金属層が形成される。続いて、第1マスクを利用したフォトリソグラフィ工程と蝕刻工程にゲート金属層がパターンニングされることでゲート・ライン(2)、ゲート電極(6)、ゲート・パッド下部電極(52)、共通ライン(86)、共通電極(84)及び共通パッド下部電極(82)を含む第1導電パターン群が形成される。ここで、ゲート金属層としてはアルミニウム系金属などが利用される。

30

【0023】

図3bを参照すると、第1導電パターン群が形成された下部基板(1)の上にゲート絶縁膜(12)が形成される。そして、第2マスク工程を利用してゲート絶縁膜(12)の上に活性層(14)及びオーミック接触層(16)を含む半導体パターンと;データ・ライン(4)、ソース電極(8)、ドレイン電極(10)、データ・パッド下部電極(62)、ストレージ電極(28)を含む第2導電パターン群が形成される。

【0024】

これを詳細に説明すると、第1導電パターン群が形成された下部基板(1)の上にPECVD、スパッタリングなどの蒸着方法を通してゲート絶縁膜(12)、第1及び第2半導体層、そしてデータ金属層が順次に形成される。ここで、ゲート絶縁膜(12)の材料としては酸化シリコン(SiO_x)または窒化シリコン(SiN_x)などの無機絶縁物質が利用される。第1半導体層は不純物がドーピングされた非晶質シリコンが利用されて、第2半導体層はN型またはP型の不純物がドーピングされた非晶質シリコンが利用される。

40

【0025】

データ金属層としてはモリブデン、チタン、タンタル、モリブデン合金などが利用される。

【0026】

続いて、データ金属層の上に第2マスクを利用したフォトリソグラフィ工程にフォトレ

50

ジスト・パターンを形成するようになる。この場合、第2マスクとしては薄膜トランジスタのチャンネル部に回折露光部を有する回折露光マスクを利用することでチャンネル部のフォトレジスト・パターンが異なる領域部のフォトレジスト・パターンより低い高さを有するようにする。

【0027】

チャンネル部の高さが異なるフォトレジスト・パターンを利用した湿式蝕刻工程にデータ金属層がパターニングされることでデータ・ライン(4)、ソース電極(8)、そのソース電極(10)と一体化されたドレイン電極(10)、ストレージ電極(28)を含む第2導電パターン群が形成される。その次、同一のフォトレジスト・パターンを利用した乾式蝕刻工程に第1及び第2半導体層が同時にパターニングされることでオーミック接触層(14)と活性層(16)が形成される。

10

【0028】

そして、アッシング工程にチャンネル部で相対的に低い高さを有するフォトレジスト・パターンが除去された後、乾式蝕刻工程にチャンネル部の一体化されたソース電極(8)及びドレイン電極(10)とオーミック接触層(16)が蝕刻される。これにつれて、チャンネル部の活性層(14)が露出されてソース電極(8)とドレイン電極(10)が分離される。

【0029】

続いて、ストリップ工程に第2導電パターン群の上に残っているフォトレジスト・パターンが除去される。

20

【0030】

図3cを参照すると、第2導電パターン群が形成されたゲート絶縁膜(12)の上に第3マスク工程を利用して第1乃至第5接触ホール(32, 26, 54, 64, 74)を含む保護膜(18)が形成される。

【0031】

詳細にすると、第2導電パターン群が形成されたゲート絶縁膜(12)の上にPECVDなどの蒸着方法に保護膜(18)が全面形成される。続いて、保護膜(18)は第3マスクを利用したフォトリソグラフィ工程と蝕刻工程にパターニングされることで第1乃至第5接触ホール(32, 26, 54, 64, 74)が形成される。第1接触ホール(32)は保護膜(18)を貫通してドレイン電極(10)を露出させて、第2接触ホール(26)は保護膜(18)を貫通してストレージ電極(28)を露出させる。第3接触ホール(54)は保護膜(18)及びゲート絶縁膜(12)を貫通してゲート・パッド下部電極(52)を露出させて、第4接触ホール(64)は保護膜(18)を貫通してデータ・パッド下部電極(52)を露出させて、第5接触ホール(74)は保護膜(18)及びゲート絶縁膜(12)を貫通して共通パッド下部電極(82)を露出させる。

30

【0032】

保護膜(18)の材料としてはゲート絶縁膜(12)のような無機絶縁物質か、誘電率が小さいアクリル系有機化合物、BCBまたはPFCBなどのような有機絶縁物質が利用される。

【0033】

図3dを参照すると、第4マスク工程を利用して保護膜(18)の上に画素電極(22)、ゲート・パッド上部電極(58)、データ・パッド上部電極(68)、共通パッド上部電極(88)を含む第3導電パターン群が形成される。

40

【0034】

これを詳細に説明すると、保護膜(18)の上にスパッタリングなどの蒸着方法に透明導電膜が塗布される。続いて、第4マスクを利用したフォトリソグラフィ工程と蝕刻工程を通して透明導電膜がパターニングされることで画素電極(22)、ゲート・パッド上部電極(58)、データ・パッド上部電極(68)、共通パッド上部電極(88)を形成する第3導電パターン群が形成される。画素電極(22)は第1接触ホール(32)を通してドレイン電極(10)と電氣的に接続されて、第2接触ホール(26)を通してストレージ

50

電極（２８）と電氣的に接続される。ゲート・パッド上部電極（５８）は第３接触ホール（５４）を通してゲート・パッド下部電極（５２）と電氣的に接続される。データ・パッド上部電極（６８）は第４接触ホール（６４）を通してデータ・パッド下部電極（６２）と電氣的に接続される。共通パッド上部電極（８８）は第５接触ホール（７４）を通して共通パッド下部電極（８２）と電氣的に接触される。

【００３５】

ここで、透明導電膜の材料としては錫酸化物インジウム錫酸化物（ITO）、錫酸化物（Tin Oxide：TO）、インジウム亜鉛酸化物（IZO）またはインジウム錫亜鉛酸化物（ITZO）などが利用される。

【００３６】

このように、従来の水平電界型の薄膜トランジスタ・アレイ基板及びその製造方法は４マスク工程を採用することで５マスク工程を利用した場合より製造工程数を減らすことと共にそれに比例する製造単価を節減することができるようになる。しかし、４マスク工程もまた相変わらず製造工程が複雑で原価節減に限界があるので製造工程をもっと単純化して製造単価をもっと減らすことができる法案が要求される。

【発明の開示】

【発明が解決しようとする課題】

【００３７】

従って、本発明の目的はマスク工程数を節減することができる水平電界型の液晶表示パネル及製造方法を提供することである。

【課題を解決するための手段】

【００３８】

前記目的を達成するために、本発明による水平電界型の液晶表示パネルはゲートライン及びデータ・ラインの交差部に形成された薄膜トランジスタ、前記薄膜トランジスタを保護するために前記薄膜トランジスタの上に形成された保護膜、前記薄膜トランジスタと接続される画素電極、前記ゲート・ラインと平行に形成された共通ライン、前記共通ラインと接続されて前記画素電極と水平電界とをなす共通電極、前記ゲート・ライン、データ・ライン及び共通ラインの中のいずれか一つと接続されて透明導電膜に形成されたパッドを有する薄膜トランジスタ・アレイ基板と；前記薄膜トランジスタ・アレイ基板と対向に合着されるカラーフィルター・アレイ基板とを具備して；前記薄膜トランジスタアレイ基板の第１領域は前記前記カラーフィルター・アレイ基板と重畳されて、前記薄膜トランジスタ・アレイ基板の第２領域の内に位置して前記保護幕により露出されることを特徴とする。

【００３９】

前記画素電極及び共通電極の中のいずれか一つは前記ゲート・ラインに含まれた少なくとも一つの金属膜、前記データ・ラインに含まれた少なくとも一つの金属膜及び前記透明導電膜の中の少なくともいずれか一つを含むことを特徴とする。

【００４０】

前記パッドは前記ゲート・ラインと接続されて前記ゲート・ラインに含まれた透明導電膜とを具備するゲート・パッドと；前記データ・ラインと接続されたデータ・パッドと；前記共通ラインと接続されて前記共通ラインに含まれた透明導電膜とを具備する共通パッドを含むことを特徴とする。

【００４１】

前記データ・パッドは、前記透明導電膜、その透明導電膜の上に形成されたゲート金属膜を含むことを特徴とする。

【００４２】

前記薄膜トランジスタは前記ゲート・ラインと接続されたゲート電極と；前記データ・ラインと接続されたソース電極と；前記画素電極と接続されたドレイン電極と；前記ゲート電極とゲート絶縁パターンを間に置いて重畳されて前記ソース及びドレイン電極の間にチャンネルを形成する半導体層とを具備することを特徴とする。

【 0 0 4 3 】

前記共通ライン、ゲート・ライン、ゲート電極及び画素電極の中の少なくともいずれか一つは、前記透明導電膜、その透明導電膜の上に形成されたゲート金属膜を含むことを特徴とする。

【 0 0 4 4 】

前記画素電極は、前記透明導電膜、その透明導電膜の上にその透明導電膜と同一のパターンで形成されたゲート金属膜を含むことを特徴とする。

【 0 0 4 5 】

前記画素電極は、前記透明導電膜、その透明導電膜の上に前記ドレイン電極と重畳されるように形成されたゲート金属膜を含むことを特徴とする。

10

【 0 0 4 6 】

前記透明導電膜はインジウム錫酸化物 (ITO)、インジウム亜鉛酸化物 (IZO) 及びインジウム錫亜鉛酸化物 (ITZO) 及び錫酸化物 (TO) の中の少なくともいずれか一つを含んで、前記ゲート金属膜はアルミニウム (Al) 系金属、モリブデン (Mo)、銅 (Cu)、クロム (Cr)、タンタル (Ta)、タングステン (W)、銀 (Ag) 及びチタン (Ti) の中の少なくともいずれか一つを含むことを特徴とする。

【 0 0 4 7 】

前記水平電界型の液晶表示パネルは前記保護膜の上に前記保護膜と同一のパターンに形成された背向膜とを更に具備することを特徴とする。

【 0 0 4 8 】

20

前記水平電界型の液晶表示パネルは前記ゲート・ライン、そのゲート・ラインと絶縁になるように重畳されて前記画素電極と接続された前記ドレイン電極と一体化されたストレージ電極とを含むストレージキャパシティとを更に具備することを特徴とする。

【 0 0 4 9 】

前記水平電界型の液晶表示パネルは前記ゲート・ライン、そのゲート・ラインと絶縁になるように重畳されて前記画素電極と一体化されたストレージ電極とを含むストレージキャパシティとを更に具備することを特徴とする。

【 0 0 5 0 】

前記目的を達成するために、本発明による水平電界型の液晶表示パネルの製造方法はゲート・ライン及びデータ・ラインの交差部に形成された薄膜トランジスタ、前記薄膜トランジスタを保護するための保護膜、前記薄膜トランジスタと接続される画素電極、前記ゲート・ラインと平行に形成された共通ライン、前記共通ラインと接続されて前記画素電極と水平電界とをなす共通電極、前記ゲート・ライン、データ・ライン及び共通ラインの中の少なくともいずれか一つと接続されて透明導電膜に形成されたパッドを有する薄膜トランジスタ・アレイ基板を設ける段階と；前記薄膜トランジスタ・アレイ基板と対向するカラーフィルター・アレイ基板を設ける段階と；前記薄膜トランジスタ・アレイ基板とカラーフィルター・アレイ基板を前記パッドが露出されるように合着する段階と；前記薄膜トランジスタ・アレイ基板とカラーフィルター・アレイ基板を前記パッドが露出されるように合着する段階と；前記カラーフィルター・アレイ基板をマスクで前記保護膜を除去して前記パッドの透明導電膜を露出させる段階とを含むことを特徴とする。

30

40

【 0 0 5 1 】

前記薄膜トランジスタ・アレイ基板を設ける段階は基板の上に前記透明導電膜とゲート金属膜を含むゲート・ライン、ゲート電極、ゲート・パッド、共通ライン、共通パッド、データ・パッド、画素電極及び共通電極を含む第1導電パターン群を形成する段階と；前記第1導電パターン群と前記基板の上に前記ゲート・パッド、データ・パッド及び共通パッドが露出されるように半導体パターンとゲート絶縁パターンを形成する段階と；前記半導体パターン及びゲート絶縁パターンが形成された基板のうえにデータ・ライン、ソース電極及びドレイン電極を含む第2導電パターン群を形成すると共に前記データ・パッド、ゲート・パッド及び共通パッドに含まれた透明導電膜を露出させる段階と；前記第2導電パターン群が形成された基板の上に保護膜を形成する段階を含むことを特徴とする。

50

【 0 0 5 2 】

前記薄膜トランジスタ・アレイ基板を設ける段階は基板の上に前記透明導電膜とゲート金属膜を含むゲート・ライン、ゲート電極、ゲート・パッド、共通パッド、データ・パッド、画素電極及び共通電極を含む第1導電パターン群を形成する段階と；前記第1導電パターン群が形成された基板の上に半導体パターンなどとゲート絶縁パターンを形成する段階と；前記ゲートパッド、データパッド及び共通パッドを露出させる段階と；前記ゲート絶縁パターンと半導体パターン及び基板の上にデータライン、ソース電極及びドレイン電極を含む第2導電パターン群を形成する段階と；前記データパッド、ゲートパッド及び共通パッドに含まれた透明導電物質を露出させる段階と；前記基板と第2導電パターン群の上に保護膜を形成する段階を含むことを特徴とする。

10

【 0 0 5 3 】

前記薄膜トランジスタ・アレイ基板を形成する段階は基板の上に前記透明導電膜とゲート金属膜を含むゲート・ライン、ゲート電極、ゲート・パッド、共通ライン、共通パッド、データ・パッド、画素電極及び共通電極を含む第1導電パターン群を形成する段階と；前記第1導電パターン群が形成された基板の上に半導体パターンなどとゲート絶縁パターンを形成する段階と；前記画素電極、共通電極、ゲートパッド、データパッド及び共通パッドを露出させる段階と；前記ゲート絶縁パターンと半導体パターン及び基板の上にデータ・ライン、ソース電極及びドレイン電極を含む第2導電パターン群を形成する段階と；前記画素電極、共通電極、データパッド、ゲートパッド及び共通パッドに含まれた透明導電物質を露出させる段階と；前記基板と第2導電パターン群の上に保護膜を形成する段階を含むことを特徴とする。

20

【 0 0 5 4 】

前記薄膜トランジスタ・アレイ基板を設ける段階は基板の上に前記透明導電膜とゲート金属膜を含むゲート・ライン、ゲート電極、ゲート・パッド、共通パッド、データ・パッド、画素電極及び共通ラインを含む第1導電パターン群を形成する段階と；前記第1導電パターン群が形成された基板の上に半導体パターンなどとゲート絶縁パターンを形成する段階と；前記ゲートパッド、データパッド及び共通パッドを露出させる段階と；前記ゲート絶縁パターンと半導体パターン及び基板の上に共通電極、データライン、ソース電極及びドレイン電極を含む第2導電パターン群を形成する段階と；前記データ・パッド、ゲート・パッド及び共通パッドに含まれた透明導電物質を露出させる段階と；前記基板と第2導電パターン群の上に保護膜を形成する段階を含むことを特徴とする。

30

【 0 0 5 5 】

前記薄膜トランジスタ・アレイ基板を設ける段階は基板の上に前記透明導電膜とゲート金属膜を含むゲート・ライン、ゲート電極、ゲート・パッド、共通ライン、がそ電極、共通パッド及びデータ・パッドを含む第1導電パターン群を形成する段階と；前記第1導電パターン群が形成された基板の上に半導体パターンなどとゲート絶縁パターンを形成する段階と；前記画素電極、ゲート・パッド、データ・パッド及び共通パッドが露出させる段階と；前記ゲート絶縁パターンと半導体パターン及び基板の上に画素電極、データ・ライン、ソース電極及びドレイン電極を含む第2導電パターン群を形成する段階と；前記画素電極、データ・パッド、ゲート・パッド及び共通パッドに含まれた透明導電物質を露出させる段階と；前記基板と第2導電パターン群の上に保護膜を形成する段階を含むことを特徴とする。

40

【 0 0 5 6 】

前記薄膜トランジスタ・アレイ基板を設ける段階は基板の上に前記透明導電膜とゲート金属膜を含むゲート・ライン、ゲート電極、ゲート・パッド、共通ライン、共通電極、共通パッド、データ・パッドを含む第1導電パターン群を形成する段階と；前記第1導電パターン群が形成された基板の上に半導体パターンなどとゲート絶縁パターンを形成する段階と；前記ゲートパッド、データパッド及び共通パッドを露出させる段階と；前記ゲート絶縁パターンと半導体パターン及び基板の上に画素電極、データ・ライン、ソース電極及びドレイン電極を含む第2導電パターン群を形成する段階と；前記データ・パッド、ゲ

50

ト・パッド及び共通パッドに含まれた透明導電物質を露出させる段階と；前記基板と第2導電パターン群の上に保護膜を形成する段階を含むことを特徴とする。

【0057】

前記第2導電パターン群を形成すると共に前記透明導電膜を露出させる段階は前記半導体パターンとゲート絶縁パターンが形成された基板の上にデータ金属膜及びフォトレジスト膜を順次積層させる段階と；少なくとも一つの露光領域、少なくとも一つの遮断領域、少なくとも一つの部分露光領域を含むマスクパターンを前記フォトレジスト膜の上部に整列する段階と；前記マスクパターンを通して前記フォトレジスト膜を選択的に露光して少なくとも一つの露光領域を通して露光されたフォトレジスト膜と前記少なくとも一つの部分露光領域を通して露光されたフォトレジスト膜の間の段差を有するフォトレジスト・パター

10

【0058】

前記薄膜トランジスタ・アレイ基板を設ける段階は基板の上に前記透明導電膜とゲート金属膜とになされた共通電極、ゲート・ライン、ゲート電極、ゲート・パッド、共通ライン、共通パッド及びデータ・パッドを含む第1導電パターン群を形成する段階と；前記第1導電パターン群が形成された基板の上に半導体パターンとゲート絶縁パターンを形成する段階と；前記共通パッド、共通電極、ゲート・パッド及びデータ・パッドの中の少なくともいずれか一つに含まれた透明導電膜を露出させる段階と；前記半導体パターンとゲート絶縁パターンが形成された基板の上に画素電極、データ・ライン、ソース電極及びドレイン電極を含む第2導電パターン群を形成する段階と；前記第2導電パターン群が形成された基板の上に保護膜を形成する段階を含むことを特徴とする。

20

【0059】

前記半導体パターンとゲート絶縁パターンを形成して前記透明導電膜を露出させる段階は前記第1導電パターン群が形成された基板の前面にゲート絶縁膜、第1半導体層、第2半導体層及びフォトレジストを順次積層する段階と；前記フォトレジストを少なくとも一つの露光領域、少なくとも一つの遮断領域、少なくとも一つの部分露光領域を含むマスクパターンを前記フォトレジスト膜の上部に整列する段階と；前記マスクパターンを通して前記フォトレジスト膜を選択的に露光して前記露光されたフォトレジストを焼き増して少なくとも一つの露光領域を通して露光されたフォトレジスト膜と前記少なくとも一つの部分露光領域を通して露光されたフォトレジスト膜の間の段差を有するフォトレジスト・パターンを形成する段階と；前記フォトレジストパターンをマスクで前記ゲート絶縁膜、第1及び第2半導体層を蝕刻して前記共通パッド、画素電極、ゲートパッド及びデータパッドを露出させる段階と；前記フォトレジストパターンをアッシングする段階と；前記アッシングされたフォトレジストパターンをマスクで前記共通パッド、共通電極、ゲートパッド及びデータパッドに含まれたゲート金属膜を蝕刻する段階を含むことを特徴とする。

30

40

【0060】

前記透明導電膜はインジウム錫酸化物（ITO）、インジウム亜鉛酸化物（IZO）及びインジウム錫亜鉛酸化物（ITZO）及び錫酸化物（TO）の中の少なくとも一つを含んで、前記ゲート金属膜はアルミニウム（Al）系金属、モリブデン（Mo）、銅（Cu）、クロム（Cr）、タンタル（Ta）、タングステン（W）、銀（Ag）及びチタン（Ti）の中の少なくともいずれか一つを含むことを特徴とする。

【0061】

前記カラーフィルター・アレイ基板をマスクを利用して前記パッドの透明導電膜を露出

50

させる段階は前記カラーフィルター・アレイ基板をマスクで前記保護膜を大気圧プラズマ及び上圧プラズマの中のいずれか一つを利用した乾式蝕刻及び湿式蝕刻の中のいずれか一つの蝕刻方法で蝕刻する段階を含むことを特徴とする。

【 0 0 6 2 】

前記水平電界型の液晶表示パネルの製造方法は前記保護膜を除去する段階は前記保護膜の上に背向膜を前記背向膜と同一パターンで形成する段階を含むことを特徴とする。

【 0 0 6 3 】

前記水平電界型の液晶表示パネルの製造方法は前記ゲート・ライン、そのゲート・ラインと絶縁になるように重畳されて前記画素電極と接続された前記ドレイン電極と一体化されたストレージ電極を含むストレージキャパシティを形成する段階を更に含むことを特徴とする。

10

【 0 0 6 4 】

前記水平電界型の液晶表示パネルの製造方法は前記ゲート・ライン、そのゲート・ラインと絶縁になるように重畳されて前記画素電極と一体化されたストレージ電極を含むストレージキャパシティを形成する段階を更に含むことを特徴とする。

【 発明の効果 】

【 0 0 6 5 】

本発明による水平電界型の液晶表示パネル及びその製造方法においてゲート・パッド、データ・パッド及び共通パッドは耐蝕性の強い透明電導性金属が露出されるように形成する。これにつれて、本発明による水平電界型の液晶表示パネル及びその製造方法は3マスク工程で薄膜トランジスタ・アレイ基板を製造することができるようになるのでその薄膜トランジスタ・アレイ基板の構造及び工程を単純化して製造原価を節減することができると共に製造効率を向上させることができるようになる。

20

【 発明を実施するための最良の形態 】

【 0 0 6 6 】

[実施例]

以下、本発明の好ましい実施例を図4乃至図45を参照して詳細に説明する。

【 0 0 6 7 】

図4は本発明の第1実施例による水平電界型の液晶表示装置の薄膜トランジスタ・アレイ基板を示した平面図であり、図5は図4に示された線 " I I 1 - I I 1 ' "、" I I 2 - I I 2 ' " につれて切り取った薄膜トランジスタ・アレイ基板を表した断面図である。

30

【 0 0 6 8 】

図4及び図5に示された液晶表示パネルの薄膜トランジスタ・アレイ基板は下部基板(101)の上にゲート絶縁パターン(112)を間に置いて交差して形成されたゲート・ライン(102)及びデータ・ライン(104)と、その交差部毎に形成された薄膜トランジスタ(130)と、その交差構造で設けられた画素領域に水平電解を形成するように形成された画素電極(122)及び共通電極(184)と、共通電極(184)と接続された共通ライン(186)とを具備する。また、薄膜トランジスタ・アレイ基板はストレージ電極(128)とゲート・ライン(102)の重畳部に形成されたストレージ・キャパシティ(140)と、ゲート・ライン(102)で延長されたゲート・パッド(150)と、データ・ライン(104)で延長されたデータ・パッド部(160)と、共通ライン(186)で延長された共通パッド(180)とを更に具備する。

40

【 0 0 6 9 】

ゲート信号を供給するゲート・ライン(102)と画素信号を供給するデータ・ライン(104)は交差構造で形成されて画素領域を定義する。

【 0 0 7 0 】

液晶駆動のための基準電圧を供給する共通ライン(186)はゲート・ライン(102)と並んで形成される。

【 0 0 7 1 】

薄膜トランジスタ(130)はゲート・ライン(102)のゲート信号に応答してデー

50

タ・ライン(104)の画素信号が画素電極(122)に充電されて維持されるようにする。このために、薄膜トランジスタ(130)はゲート・ライン(102)に接続されたゲート電極(106)と、データ・ライン(104)に接続されたソース電極(108)と、画素電極(122)と接続されたドレイン電極(110)とを具備する。

【0072】

また、薄膜トランジスタ(130)はゲート電極(106)とゲート絶縁膜(112)を間に置いて重畳されながらソース電極(108)とドレイン電極(110)の間にチャネルを形成する活性層(114)とを更に具備する。そして、活性層(114)はストレージ電極(128)とも重畳に形成される。このような活性層(114)の上にはドレイン電極(110)及びストレージ電極(128)とオーミック接触のためのオーミック接触層(116)が更に形成される。

10

【0073】

画素電極(122)は薄膜トランジスタ(130)のドレイン電極(110)及びストレージ電極(128)と接触ホール(132)を通して接続されて画素領域に形成される。特に、画素電極(122)はドレイン電極(110)で隣接したゲート・ライン(102)と並んで延長された水平部(122a)と、水平部(122a)で垂直方向に伸張されたフィンガー部(22b)とを具備する。このような画素電極(122)は透明導電膜(170)、その透明導電膜(170)の上に形成されたゲート金属膜(172)で形成される。ここで、接触ホール(132)はゲート絶縁パターン(112)、活性層(114)及びオーミック接触層(116)を貫通して画素電極(122)を露出させる。

20

【0074】

共通電極(184)は共通ライン(186)と接続されて画素領域に形成される。このような共通電極(184)及び共通ライン(186)は画素電極(122)と同一に透明導電膜(170)、その透明導電膜(170)の上に形成されたゲート金属膜(172)で形成される。

【0075】

これにつれて、薄膜トランジスタ(130)を通して画素信号が供給された画素電極(122)と共通ライン(186)を通して基準電圧が供給された共通電極(184)の間には水平電界が形成される。特に、画素電極(122)のフィンガー部(122b)と共通電極(184)の間には水平電界が形成される。このような水平電界によって薄膜トランジスタ・アレイ基板とカラーフィルター・アレイ基板の間で水平方向に配列された液晶分子などが誘電異方性により、回転するようになる。そして、液晶分子などの回転程度につれて画素領域を透過する光の透過率が異なってくるようになることで画像を具現するようになる。

30

【0076】

ストレージ・キャパシティ(140)はゲート・ライン(102)と、そのゲート・ライン(102)とゲート絶縁膜(112)、活性層(114)そしてオーミック接触層(116)を間に置いて重畳されてドレイン電極(108)と一体化されたストレージ電極(128)で構成される。このようなストレージ・キャパシティ(140)は画素電極(122)に充電された画素信号が次の画素信号が充電される際にまで安定的に維持されるようになる。

40

【0077】

ゲート・パッド(150)はゲート・ドライバ(図示しない)と接続されてゲート・ドライバで生成されたゲート信号をゲートリンク(152)を通してゲート・ライン(102)に供給する。このようなゲート・パッド(150)はゲート・ライン(102)と接続されたゲートリンク(152)から伸張された透明導電膜(170)が少なくとも一部の露出された構造で形成される。

【0078】

データパッド(160)はデータ・ドライバ(図示しない)と接続されてデータ・ドライバで生成されたデータ信号をデータリンク(168)を通してデータライン(104)

50

に供給する。このようなデータパッド(160)はデータライン(104)と接続されたデータリンク(168)から伸張された透明導電膜(170)が少なくとも一部露出された構造で形成される。ここで、データリンク(168)は透明導電膜(170)とその透明導電膜(170)の上に形成されたゲート金属層(172)とになされたデータリンク下部電極(162)と；データリンク下部電極(162)及びデータ・ライン(104)と接続されたデータリンク上部電極(166)とになされる。

【0079】

共通パッド(180)は外部の基準電圧源(図示しない)から生成された基準電圧を共通リンク(182)を通して共通ライン(186)に供給する。このような共通パッド(180)は共通ライン(186)と接続された共通リンク(182)から伸張された透明導電膜(170)が少なくとも一部露出される構造で形成される。

10

【0080】

一方、画素電極(122)、ゲート電極(106)、ゲート・ライン(102)、ゲートリンク(152)、データリンク下部電極(162)、共通電極(184)、共通ライン(186)及び共通リンク(182)は透明導電膜(170)、その透明導電膜(170)と重畳に形成されるゲート金属層(172)で形成される。また、ゲート・パッド(150)、データ・パッド(160)及び共通パッド(180)はゲート金属層(172)が一部除去された透明導電膜(170)で形成される。

【0081】

このように、本発明の第1実施例による薄膜トランジスタ・アレイ基板はゲート・パッド(150)、データ・パッド(160)及び共通パッド(180)は耐蝕性の強い透明導電膜(170)が露出されるように形成されるので腐蝕に対する信頼性を確保することができる。

20

【0082】

図6a及び図6bは本発明の第1実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第1マスク工程を説明するための平面図及び断面図である。

【0083】

図6a及び図6bを参照すると、第1マスク工程に下部基板(101)の上に画素電極(122)、ゲート・ライン(102)、ゲート電極(106)、ゲートリンク(152)、ゲート・パッド(150)、データ・パッド(160)、データリンク下部電極(162)、共通電極(184)、共通ライン(186)、共通リンク(182)及び共通パッド(180)を含む第1導電パターン群が形成される。

30

【0084】

これのために、下部基板(101)の上にスパッタリング方法などの蒸着方法を通して透明導電膜(170)とゲート金属膜(172)が順次に形成される。ここで、透明導電膜(170)はインジウム錫酸化物(ITO)、錫酸化物(TO)、インジウム亜鉛酸化物(IZO)またはインジウム錫亜鉛酸化物(ITZO)などのような透明導電性物質が利用されて、ゲート金属膜(172)はアルミニウム/ネオジム(AlNd)を含むアルミニウム(Al)系金属、モリブデン(Mo)、クロム(Cr)、タンタル(Ta)、チタン(Ti)などのような金属が利用される。続いて、透明導電膜(170)とゲート金属層(172)が第1マスクを利用した利用したフォトリソグラフィ工程と蝕刻工程によってパターンニングされることで2層構造のゲート・ライン(102)、ゲート電極(106)、ゲートリンク(152)、ゲート・パッド(150)、データ・パッド(160)、データリンク下部電極(162)、共通電極(184)、共通ライン(186)、共通リンク(182)、共通パッド(180)及び画素電極(122)を含む第1導電パターン群が形成される。

40

【0085】

図7a及び図7bは本発明の第1実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第2マスク工程を説明するための平面図及び断面図である。

【0086】

50

図7a及び図7bを参照すると、第2マスク工程で第1導電パターン群が形成された下部基板(101)の上にゲート絶縁膜(112)と、活性層(114)及びオーミック接触層(116)を含む半導体パターンが形成される。ここで、ゲート絶縁パターン(112)と半導体パターン(114, 116)はゲート・パッド(150)、データ・パッド(160)及び共通パッド(180)及び画素電極(122)が露出されるように形成される。このような第2マスク工程を図8a乃至8cを結び付けて詳細に説明する。

【0087】

先に、第1導電パターン群が形成された下部基板(101)の上にPECVE、スパッタリングなどの蒸着方法を通して示されたところのようにゲート絶縁膜(111)と第1及び第2半導体層(113, 115)が順次形成される。ここで、ゲート絶縁膜(111)の材料としては酸化シリコン(SiO_x)または窒化シリコン(SiN_x)などの無機絶縁物質が利用されて、第1半導体層(113)は不純物がドーピングされた非晶質シリコンが利用されて、第2半導体層(115)はN型またはP型の不純物がドーピングされた非晶質シリコンが利用される。

【0088】

続いて、第2半導体層(115)の上にフォトレジスト膜(306)が全面形成された後、下部基板(101)の上部に第2マスク(300)が整列される。第2マスク(300)は透明な材質であるマスク基板(302)と、マスク基板(302)の遮断領域(S2)に形成された遮断部(304)とを具備する。ここで、マスク基板(302)が露出された領域は露光領域(S1)になる。このような第2マスク(300)を利用したフォトレジスト膜を露光及び現像することで図8bに示されたように第1マスク(300)の遮断部(304)と対応して遮断領域(S2)にフォトレジスト・パターン(308)が形成される。このようなフォトレジスト・パターン(308)を利用した蝕刻工程に第1及び第2半導体パターン(113, 115)とゲート絶縁膜(111)がパターンニングされることで図8cに示されたように接触ホール(132)を有するゲート絶縁パターン(112)と；活性層(114)及びオーミック接触層(116)を含む半導体パターンが形成される。この際、ゲート絶縁パターン(112)と半導体パターン(114, 116)はゲート・パッド(150)、データ・パッド(160)及び共通パッド(180)が露出されるように形成される。また、ゲート絶縁パターン(112)と半導体パターン(114, 116)を貫通する接触ホール(132)は画素電極(122)を一部露出させる。

【0089】

図9a及び図9bを参照すると、第3マスク工程でゲート絶縁膜(112)と半導体パターン(114, 116)が形成された下部基板(101)の上に、データ・ライン(104)、ソース電極(108)、ドレイン電極(110)、ストレージ電極(128)、データリンク上部電極(166)を含む第2導電パターン群が形成される。そして、データ・パッド(160)、ゲート・パッド(150)及び共通パッド(180)に含まれたゲート金属膜(172)が除去されて透明導電膜(170)が露出される。このような第3マスク工程を図10a乃至図10eを参照して詳細にすると次のようである。

【0090】

図10aに示されたところのように半導体パターンが形成された下部基板(101)の上にスパッタリングなどの蒸着方法をデータ金属層(109)とフォトレジスト膜(378)が順次に形成される。ここで、データ金属層(109)はモリブデン(Mo)、銅(Cu)などのような金属とになされる。

【0091】

次いで、部分露光マスクである第3マスク(310)が下部基板(101)の上部に整列される。第3マスク(310)は透明な材質であるマスク基板(312)と、マスク基板(312)の遮断領域(S2)に形成された遮断部(314)と、マスク基板(312)の部分露光領域(S3)に形成された回折露光部(316)(または反透過部)とを具備する。ここで、マスク基板(312)の露出された領域は露光領域(S1)になる。こ

のような第3マスク(310)を利用したフォトリソ膜(318)を露光した後、現像することで図10bに示されたように遮断領域(S2)と部分露光領域(S3)で段差を有するフォトリソ・パターン(320)が形成される。即ち、部分露光領域(S3)に形成されたフォトリソ・パターン(320)は遮断領域(S2)で形成されたフォトリソ・パターン(320)より低い高さを有するようになる。

【0092】

このようなフォトリソ・パターン(320)をマスクで利用した湿式蝕刻工程でデータ金属層(109)がパターニングされることでストレージ電極(128)、データ・ライン(104)、データ・ライン(104)と接続されたソース電極(108)とドレイン電極(110)、データ・ライン(104)と異なる一側に接続されたデータ・リンク上部電極(166)を含む第2導電パターン群が形成されて、第2導電パターン群の下部に形成されたゲート金属膜(172)がゲート絶縁パターン(112)をマスクで除去されることでデータ・パッド(160)、ゲート・パッド(150)、共通パッド(180)に含まれた透明導電膜(170)が露出される。

10

【0093】

そして、フォトリソ・パターン(320)をマスクで利用した乾式蝕刻工程で活性層(114)及びオーミック接触層(116)は第2導電パターン群につれて形成される。この際、第2導電パターン群と重畳される活性層(114)及びオーミック接触層(116)を除いた残りの領域に位置する活性層(114)及びオーミック接触層(116)を除去するようになる。特に、ゲート・ライン(102)と共通ライン(186)の間に位置する活性層(114)及びオーミック接触層(116)を除去するようになる。これは活性層(114)及びオーミック接触層(116)を含む半導体パターンによるセル間の段落を防止するためである。

20

【0094】

続いて、酸素(O_2)プラズマを利用したアッシング工程で部分露光領域(S3)に第2高さを有するフォトリソ・パターン(320)は図10cに示されたところのように除去されて、遮断領域(S2)に第1高さを有するフォトリソ・パターン(320)は高さが低くなった状態になる。このようなフォトリソ・パターン(320)を利用した蝕刻工程で部分露光領域(S3)、即ち、薄膜トランジスタのチャンネル部に形成されたデータ金属層とオーミック接触層(116)が除去されることでドレイン電極(110)とソース電極(108)が分離される。そして、第2導電パターン群の上に残っているフォトリソ・パターン(320)は図10dに示されたところのようにストリップ工程で除去される。

30

【0095】

続いて、第2導電パターン群が形成された基板(101)の全面に図10eに示されたように保護膜(118)が形成される。保護膜(118)としてはゲート絶縁パターン(112)のような無機絶縁物質か、誘電率が小さいアクリル系有機化合物、BCBまたはPFCBなどのような有機絶縁物質が利用される。

【0096】

図11は本発明の第2実施例による薄膜トランジスタ・アレイ基板を示した平面図であり、図12は図11に示された線"III1-III1'"、"III2-III2'"につれて切り取った薄膜トランジスタ・アレイ基板を表した断面図である。

40

【0097】

図11及び図12に示された液晶表示パネルの薄膜トランジスタ・アレイ基板は図4及び図5に示された薄膜トランジスタ・アレイ基板と比較して画素領域に形成されない画素電極(122)と共通電極(184)を透明導電膜(170)に形成することを除いては同一の構成要素とを具備する。これにつれて、同一の構成要素に対する詳細な説明は省略する。

【0098】

画素電極(122)は薄膜トランジスタ(130)のドレイン電極(110)と、その

50

ドレイン電極（１１０）と一体化になったストレージ電極（１２８）と接触ホール（１３２）を通して接続されて画素領域に形成される。特に、画素電極（１２２）はドレイン電極（１１０）で隣接したゲート・ライン（１０２）と並んで延長された水平部（１２２ａ）と、水平部（１２２ａ）で垂直方向に伸張されたフィンガー部（１２２ｂ）とを具備する。このような画素電極（１２２）はドレイン電極（１１０）と重畳される水平部を除いた残りの領域で透明導電膜（１７０）で形成される。そして、画素電極（１２２）はドレイン電極（１１０）と重畳される領域で透明導電膜（１７０）、その透明導電膜（１７０）の上に形成されたゲート金属膜（１７２）で形成される。ここで、接触ホール（１３２）はゲート絶縁パターン（１１２）、活性層（１１４）及びオーミック接触層（１１６）を貫通して画素電極（１２２）を露出させる。

10

【００９９】

共通電極（１８４）は共通ライン（１８６）と接続されて画素領域に形成される。このような共通電極（１８４）は共通ライン（１８６）で伸張された透明導電膜（１７０）で形成される。

【０１００】

画素電極（１２２）と同一平面の上に同時に形成される共通パッド（１８０）、ゲート・パッド（１５０）及びデータ・パッド（１６０）は耐蝕性の強い透明導電膜（１７０）が露出されるように形成される。

【０１０１】

図１３ａ乃至図１３ｂは本発明の第２実施例による薄膜トランジスタ・アレイ基板の製造方法を表す断面図である。

20

【０１０２】

図１３ａに示されたように第１マスク工程に下部基板（１０１）の上に透明導電膜（１７０）とゲート金属膜（１７２）とになったゲート・ライン（１０２）、ゲート電極（１０６）、ゲートリンク（１５２）、ゲート・パッド（１５０）、データ・パッド（１６０）、データリンク下部電極（１６２）、共通電極（１８４）、共通ライン（１８６）、共通リンク（１８２）、共通パッド（１８０）及び画素電極（１２２）を含む第１導電パターン群が形成される。

【０１０３】

図１３ｂに示されたように第２マスク工程に第１導電パターン群が形成された下部基板（１０１）の上にゲート絶縁パターン（１１２）と；活性層（１１４）及びオーミック接触層（１１６）を含む半導体パターンが形成される。ここで、ゲート絶縁パターン（１１２）と半導体パターン（１１４，１１６）はゲート・パッド（１５０）、データ・パッド（１６０）及び共通パッド（１８０）が露出されるように形成される。また、ゲート絶縁パターン（１１２）と半導体パターン（１１４，１１６）を貫通する接触ホール（１３２）は画素電極（１２２）を一部露出させる。このような第２マスク工程を図１４ａ乃至図１４ｃを結び付けて詳細に説明する。

30

【０１０４】

先に、第１導電パターン群が形成された下部基板（１０１）の上に図１４ａに示されたようにゲート絶縁膜（１１１）と第１および第２半導体層（１１３，１１５）が順次形成される。第２半導体層（１１５）の上にフォトレジスト膜（３７２）が全面形成された後、下部基板（１０１）の上部に露光領域（Ｓ１）と遮断領域（Ｓ２）を定義する第２マスク（２７０）が整列される。このような第２マスク（３７０）を利用したフォトレジスト膜を露光及び現像することで図１４ｂに示されたところのようにフォトレジスト・パターン（３７２）が形成される。このようなフォトレジスト・パターン（３７２）を利用した蝕刻工程に第１及び第２半導体パターン（１１３，１１５）とゲート絶縁膜（１１１）がパターンニングされることで図１４ｃに示されたように接触ホール（１３２）を有するゲート絶縁パターン（１１２）と；活性層（１１４）及びオーミック接触層（１１６）を含む半導体パターンが形成される。

40

【０１０５】

50

図14cに示されたように第3マスク工程でゲート絶縁膜(112)と半導体パターン(114, 116)が形成された下部基板(101)の上に、データ・ライン(104)、ソース電極(108)、ドレイン電極(110)、ストレージ電極(128)、データリンク上部電極(166)を含む第2導電パターン群が形成される。そして、データ・パッド(160)、ゲート・パッド(150)及び共通パッド(180)、画素電極(122)及び共通電極(184)に含まれたゲート金属膜(172)が除去されて透明導電膜(170)が露出される。このような第3マスク工程を図15a乃至図15eを参照して詳細にすると次のようである。

【0106】

図15aに示されたように半導体パターンが形成された下部基板(101)の上にスパッタリングなどの蒸着方法をデータ金属層(109)とフォトレジスト膜(278)が順次形成される。次いで、露光領域(S1)、遮断領域(S2)及び部分露光領域(S3)を定義する部分露光マスクである第3マスク(322)が下部基板(101)の上部に整列される。このような第3マスク(322)を利用したフォトレジスト膜(324)を露光した後、現像することで図15bに示されたように遮断領域(S2)と部分露光領域(S3)で段差を有するフォトレジスト・パターン(326)が形成される。

【0107】

このようなフォトレジスト・パターン(326)をマスクで利用した湿式蝕刻工程でデータ金属層(109)がパターニングされることでストレージ電極(128)、データ・ライン(104)、ソース電極(108)、ドレイン電極(110)及びデータ・リンク上部電極(166)を含む第2導電パターン群が形成される。そして、第2導電パターン群とゲート絶縁膜(112)をマスクでゲート金属膜(172)が除去されることでデータ・パッド(160)、ゲート・パッド(150)、共通パッド(180)、画素電極(122)及び共通電極(184)に含まれた透明導電膜(170)が露出される。

【0108】

そして、フォトレジスト・パターン(326)をマスクで利用した乾式蝕刻工程で活性層(114)及びオーミック接触層(116)は第2導電パターン群につれて形成される。この際、第2導電パターン群と重畳される活性層(114)及びオーミック接触層(116)を除いた残りの領域に位置する活性層(114)及びオーミック接触層(116)を除去するようになる。

【0109】

続いて、酸素(O_2)プラズマを利用したアッシング工程で部分露光領域(S3)に位置するフォトレジスト・パターン(326)は図15cに示されたところのように除去されて、差段領域(S2)に位置するフォトレジスト・パターン(326)は最初の高さより高さが低くなった状態になる。このようなフォトレジスト・パターン(326)を利用した蝕刻工程で部分露光領域(S3)、即ち、薄膜トランジスタのチャンネル部に形成されたデータ金属層とオーミック接触層(116)が除去されることでドレイン電極(110)とソース電極(108)が分離される。そして、第2導電パターン群の上に残っているレジスタフォト・パターン(326)は図15dに示されたところのようにストリップ工程で除去される。

【0110】

続いて、第2導電パターン群が形成された基板(101)の全面に図15eに示されたように保護膜(118)が形成される。

【0111】

図16は本発明の第3実施例による水平電界型の液晶表示装置の薄膜トランジスタ・アレイ基板を示した平面図であり、図17は図16で線"IV1-IV1'"、"IV2-IV2'"につれて切り取った薄膜トランジスタ・アレイ基板を表した断面図である。

【0112】

図16及び図17に示された液晶表示パネルの薄膜トランジスタ・アレイ基板は図4及び図5に示された薄膜トランジスタ・アレイ基板と比較して共通電極をデータ金属に形成

10

20

30

40

50

することを除いては同一の構成要素とを具備する。これにつれて、同一の構成要素に対する詳細な説明は省略する。

【0113】

共通電極(184)は共通ライン(186)と接続されて画素領域に形成される。特に、共通電極(184)は共通ライン(186)と第2接触ホール(134)を通して接続される水平部(184a)と、水平部(184a)で垂直方向に伸張された共通フィンガー部(184b)とを具備する。このような共通電極(184)はデータ・ライン(104)と同一のモリブデン(Mo)、銅(Cu)などのデータ金属で形成される。ここで、第2接触ホール(134)はゲート絶縁パターン(112)、活性層(114)及びオーミック接触層(116)を貫通して共通ライン(186)を露出させる。

10

【0114】

これにつれて、薄膜トランジスタ(130)を通して画素信号が供給された画素電極(122)と共通ライン(186)を通して基準電圧が供給された共通電極(184)の間には水平電界が形成される。特に、画素電極(122)の画素フィンガー部(122b)と共通電極(184)の共通フィンガー部(184b)間には水平電界が形成される。このような水平電界によって下部アレイ基板と上部アレイ基板の間で水平方向に配列された液晶分子などが誘電異方性により、回転するようになる。そして、液晶分子などの回転程度につれて画素領域を透過する光の透過率が異なってくるようになることで画像を具現するようになる。

【0115】

20

一方、画素電極(122)、ゲート電極(106)、ゲート・ライン(102)、ゲートリンク(152)、データリンク下部電極(162)、共通ライン(186)及び共通リンク(182)は透明導電膜(170)、その透明導電膜(170)と重畳に形成されるゲート金属層(172)で形成される。また、ゲート・パッド(150)、データ・パッド(160)及び共通パッド(180)はゲート金属層(172)が一部除去された透明導電膜(170)で形成される。

【0116】

このように、本発明の第3実施例による薄膜トランジスタ・アレイ基板はゲート・パッド(150)、データ・パッド(160)及び共通パッド(180)は耐蝕性の強い透明導電膜(170)が露出されるように形成されるので腐蝕に対する信頼性を確保することができる。

30

【0117】

図18a及び図22eを結び付けて本発明の第3実施例による薄膜トランジスタ・アレイ基板の製造方法を説明する。

【0118】

図18a及び図18bに示されたように第1マスク工程に下部基板(101)の上に透明導電膜(170)とゲート金属膜(172)とになったゲート・ライン(102)、ゲート電極(106)、ゲートリンク(152)、ゲート・パッド(150)、データ・パッド(160)、データリンク下部電極(162)、共通電極(184)、共通ライン(186)、共通リンク(182)、共通パッド(180)及び画素電極(122)を含む第1導電パターン群が形成される。

40

【0119】

図19a及び図19bを参照すると、第2マスク工程に第1導電パターン群が形成された下部基板(101)の上にゲート絶縁パターン(112)と；活性層(114)及びオーミック接触層(116)を含む半導体パターンと；ゲート絶縁パターン(112)及び半導体パターンを貫通する第1及び第2接触ホール(132、134)が形成される。このような第2マスク工程を図20a乃至図20cを結び付けて詳細に説明する。

【0120】

先に、第1導電パターン群が形成された下部基板(101)の上に図20aに示されたようにゲート絶縁膜(111)と第1および第2半導体層(113、115)が順次形成

50

される。この第2半導体層(115)の上にフォトレジスト膜(328)が全面形成された後、下部基板(101)の上部に遮断領域(S2)と露光領域(S1)を定義する第2マスク(330)が整列される。このような第2マスク(330)を利用したフォトレジスト膜を露光及び現像することで図20bに示されたように遮断領域(S2)にフォトレジスト・パターン(332)が形成される。このようなフォトレジスト・パターン(332)を利用した蝕刻工程に第1及び第2半導体パターン(113, 115)とゲート絶縁膜(111)がパターニングされることで図20cに示されたように第1及び第2接触ホール(132, 134)を有するゲート絶縁パターン(112)と; 活性層(114)及びオーミック接触層(116)を含む半導体パターンが形成される。この際、ゲート絶縁パターン(112)は半導体パターン(114, 116)はゲート・パッド(150)、データ・パッド(160)、共通パッド(180)が露出されるように形成される。また、第1及び第2接触ホール(132, 134)のそれぞれは画素電極(122)と共通ライン(186)を一部露出させる。

10

【0121】

図21a及び21bに示されたように第3マスク工程でゲート絶縁膜(112)と半導体パターン(114, 116)が形成された下部基板(101)の上に、共通電極(184)、データ・ライン(104)、ソース電極(108)、ドレイン電極(110)、ストレージ電極(128)、データリンク上部電極(166)を含む第2導電パターン群が形成される。そして、データ・パッド(160)、ゲート・パッド(150)及び共通パッド(180)に含まれたゲート金属膜(172)が除去されて透明導電膜(170)が露出される。このような第3マスク工程を図22a乃至図22eを参照して詳細にすると次のようである。

20

【0122】

図22aに示されたように半導体パターンが形成された下部基板(101)の上にスパッタリングなどの蒸着方法をデータ金属層(109)とフォトレジスト膜(336)が順次形成される。その次、露光領域(S1)、遮断領域(S2)及び部分露光領域(S3)を定義する部分露光マスクである第3マスク(334)が下部基板(101)の上部に整列される。このような第3マスク(334)を利用したフォトレジスト膜(336)を露光した後、現像することで図22bに示されたように遮断領域(S2)と部分露光領域(S3)で段差を有するフォトレジスト・パターン(338)が形成される。即ち、部分露光領域(S3)で形成されたフォトレジスト・パターン(338)は遮断領域(S2)で形成されたフォトレジスト・パターン(360)より低い高さを有するようになる。

30

【0123】

このようなフォトレジスト・パターン(338)をマスクで利用した湿式蝕刻工程でデータ金属層(109)がパターニングされる。これにつれて、共通電極(184)、ストレージ電極(128)、データ・ライン(104)、ソース電極(108)、ドレイン電極(110)、データ・リンク上部電極(166)を含む第2導電パターン群が形成される。そして、第2導電パターン群の下部に形成されたゲート金属膜(172)がゲート絶縁パターン(112)と第2導電パターン群をマスクで除去される。

【0124】

そして、フォトレジスト・パターン(338)をマスクで利用した乾式蝕刻工程で活性層(114)及びオーミック接触層(116)は第2導電パターン群につれて形成される。この際、第2導電パターン群と重畳される活性層(114)及びオーミック接触層(116)を除いた残りの領域に位置する活性層(114)及びオーミック接触層(116)を除去するようになる。特に、第iゲート・ライン(102)とi+1共通ライン(186)の間の活性層(114)及びオーミック接触層(116)が除去される。

40

【0125】

続いて、酸素(O₂)プラズマを利用したアッシング工程で部分露光領域(S3)に位置するフォトレジスト・パターン(338)は図22cに示されたように除去されて、差段領域(S2)に位置するフォトレジスト・パターン(338)は最初の高さより高さが

50

低くなった状態になる。このようなフォトリソスト・パターン（３３８）を利用した蝕刻工程で部分露光領域（Ｓ３）、即ち、薄膜トランジスタのチャンネル部に形成されたデータ金属層とオーミック接触層（１１６）が除去されることでドレイン電極（１１０）とソース電極（１０８）が分離される。そして、第２導電パターン群の上に残っているレジスタフォト・パターン（３３８）は図２２ｄに示されたところのようにストリップ工程で除去される。

【０１２６】

続いて、第２導電パターン群が形成された基板（１０１）の全面に図２２ｅに示されたところのように保護膜（１１８）が形成される。

【０１２７】

図２３は本発明の第４実施例による薄膜トランジスタ・アレイ基板を示した平面図であり、図２４は図２３で線“Ｖ１－Ｖ１’”、“Ｖ２－Ｖ２’”につれて切り取った薄膜トランジスタ・アレイ基板を表した断面図である。

【０１２８】

図２３及び図２４を参照すると、図１６及び図１７に示された薄膜トランジスタ・アレイ基板と比較して画素領域に形成されない画素電極（１２２）を透明導電膜に形成される除いては同一の構成要素とを具備する。これにつれて、同一の構成要素に対する詳細な説明は省略する。

【０１２９】

画素電極（１２２）は薄膜トランジスタ（１３０）のドレイン電極（１１０）及びストレージ電極（１２８）と第１接触ホール（１３２）を通して接続されて画素領域に形成される。特に、画素電極（１２２）はドレイン電極（１１０）で隣接したゲート・ライン（１０２）と並んで延長された画素水平部（１２２ａ）と、画素水平部（１２２ａ）で垂直方向に伸張された画素フィンガー部（１２２ｂ）とを具備する。このような画素電極（１２２）は画素領域に形成された透明導電膜（１７０）、その透明導電膜（１７０）の上に形成されたドレイン電極（１１０）と重畳される領域に形成されたゲート金属膜（１７２）で形成される。ここで、第１接触ホール（１３２）はゲート絶縁パターン（１１２）、活性層（１１４）及びオーミック接触層（１１６）を貫通して画素電極（１２２）を露出させる。

【０１３０】

画素電極（１２２）と同一平面の上に同時に形成される共通パッド（１８０）、ゲート・パッド（１５０）及びデータ・パッド（１６０）は耐蝕性の強い透明導電膜（１７０）が露出されるように形成される。

【０１３１】

一方、本発明の第４実施例による薄膜トランジスタ・アレイ基板の製造方法を見ると次のようである。

【０１３２】

第１マスク工程に図２５ａ及び図２５ｂに示されたところのように下部基板（１０１）の上にゲート・ライン（１０２）、ゲート電極（１０６）、ゲートリンク（１５２）、ゲート・パッド（１５０）、データ・パッド（１６０）、データリンク下部電極（１６２）、共通電極（１８４）、共通ライン（１８６）、共通リンク（１８２）、共通パッド（１８０）及び画素電極（１２２）を含む第１導電パターン群と；ゲート金属膜（１７２）を含む画素電極（１２２）が形成される。

【０１３３】

第２マスク工程にゲート絶縁パターン（１１２）と；活性層（１１４）及びオーミック接触層（１１６）を含む半導体パターンが形成される。この際、ゲート絶縁パターン（１１２）と半導体パターン（１１４，２１６）は画素電極（１２２）、ゲート・パッド（１５０）、データ・パッド（１６０）及び共通パッド（１８０）が露出されるように形成される。また、第１接触ホール（１３２）はゲート絶縁パターン（１１２）と半導体パターン（１１４，１１６）を貫通して画素電極（１２２）を露出させ、第２接触ホール（１３

10

20

30

40

50

4) はゲート絶縁パターン(112)と半導体パターン(114, 116)を貫通して共通ライン(186)を一部露出させる。

【0134】

第3マスク工程でゲート絶縁膜(112)と半導体パターン(114, 116)が形成された下部基板(101)の上に第2導電パターン群が形成される。このような第3マスク工程を図25a乃至図25eを参照して詳細にすると次のようである。

【0135】

図25aに示されたように半導体パターンが形成された下部基板(101)の上にスパッタリングなどの蒸着方法をデータ金属層(209)とフォトレジスト膜(342)が順次形成される。次いで、露光領域(S1)、遮断領域(S2)及び部分露光領域(S3)を定義する部分露光マスクである第3マスク(340)が下部基板(101)の上部に整列される。このような第3マスク(340)を利用したフォトレジスト膜(342)を露光した後、現像することで図25bに示されたように遮断領域(S2)と部分露光領域(S3)で段差を有するフォトレジスト・パターン(344)が形成される。

【0136】

このようなフォトレジスト・パターン(344)をマスクで利用した湿式蝕刻工程でデータ金属層(109)がパターニングされることでストレージ電極(128)、データ・ライン(104)、ソース電極(108)、ドレイン電極(110)、共通電極(184)、データ・リンク上部電極(166)を含む第2導電パターン群が形成されて、ゲート金属膜(172)がゲート絶縁パターン(112)と第2導電パターン群をマスクで除去されることで画素電極(122)、データ・パッド(160)、ゲート・パッド(150)及び共通パッド(180)に含まれた透明導電膜(170)が露出される。

【0137】

そして、フォトレジスト・パターン(344)をマスクで利用した乾式蝕刻工程で活性層(114)及びオーミック接触層(116)は第2導電パターン群につれて形成される。この際、第2導電パターン群と重畳される活性層(114)及びオーミック接触層(116)を除いた残りの領域に位置する活性層(114)及びオーミック接触層(116)を除去するようになる。

【0138】

続いて、酸素(O₂)プラズマを利用したアッシング工程で部分露光領域(S3)に位置するフォトレジスト・パターン(338)は図25cに示されたところのように除去されて、差段領域(S2)に位置するフォトレジスト・パターン(344)は最初の高さより高さが低くなった状態になる。このようなフォトレジスト・パターン(344)を利用した蝕刻工程で部分露光領域(S3)、即ち、薄膜トランジスタのチャンネル部に形成されたデータ金属層とオーミック接触層(116)が除去されることでドレイン電極(110)とソース電極(108)が分離される。そして、第2導電パターン群の上に残っているレジスタフォター・パターン(344)は図25dに示されたところのようにストリップ工程で除去される。

【0139】

続いて、第2導電パターン群が形成された基板(101)の全面に図25eに示されたところのように保護膜(118)が形成される。

【0140】

図26は本発明の第5実施例による水平電界型の液晶表示装置の薄膜トランジスタ・アレイ基板を示した平面図であり、図27は図26で線"VI1-VI1'"、"VI2-VI2'"につれて切り取った薄膜トランジスタ・アレイ基板を表した断面図である。

【0141】

図26及び図27に示された薄膜トランジスタ・アレイ基板は図11及び図12に示された薄膜トランジスタ・アレイ基板と比較して画素電極をデータ金属に形成することを除いては同一の構成要素とを具備する。これにつれて、同一の構成要素に対する詳細な説明は省略する。

10

20

30

40

50

【 0 1 4 2 】

画素電極（１２２）は薄膜トランジスタ（１３０）のドレイン電極（１１０）と一体化されると共にストレージ電極（１２８）と一体化されて画素領域に形成される。特に、画素電極（１２２）はドレイン電極（１１０）で隣接したゲート・ライン（１０２）と並んで延長された 水平部（１２２ a）と、水平部（１２２ a）で垂直方向に伸張されたフィンガー部（１２２ b）とを具備する。このような画素電極（１２２）はデータ・ライン（１０４）と同一にデータ金属で形成される。この際、データ金属はモリブデン（Mo）、銅（Cu）などの金属が形成される。

【 0 1 4 3 】

このように、本発明の第５実施例による薄膜トランジスタ・アレイ基板はゲート・パッド（１５０）、データ・パッド（１６０）及び共通パッド（１８０）は耐蝕性の強い 透明導電膜（１７０）が露出されるように形成されるので腐蝕に対する信頼性を確保することができる。

【 0 1 4 4 】

図２８ a 及び図３２ e は本発明の第５実施例による薄膜トランジスタ・アレイ基板の製造方法を表す平面図及び断面図である。

【 0 1 4 5 】

図２８ a 及び図２８ b に示されたように第１マスク工程に下部基板（１０１）の上に透明導電膜（１７０）とゲート金属膜（１７２）とになったゲート・ライン（１０２）、ゲート電極（１０６）、ゲートリンク（１５２）、ゲート・パッド（１５０）、データ・パッド（１６０）、データリンク下部電極（１６２）、共通電極（１８４）、共通ライン（１８６）、共通リンク（１８２）及び共通パッド（１８０）を含む第１導電パターン群が形成される。

【 0 1 4 6 】

図２９ a 及び図２９ b に示されたところのように第２マスク工程に第１導電パターン群が形成された下部基板（１０１）の上にゲート絶縁パターン（１１２）と；活性層（１１４）及びオーミック接触層（１１６）を含む半導体パターンが形成される。このような第２マスク工程を図３０ a 乃至図３０ c を結び付けて詳細に説明する。

【 0 1 4 7 】

先に、第１導電パターン群が形成された下部基板（１０１）の上にPECVD、スパッタリングなどの蒸着方法を通して図３０ a に示されたようにゲート絶縁膜（１１１）と第１及び第２半導体層（１１３，１１５）が順次に形成される。続いて、第２半導体層（１１５）の上にフォトレジスト膜（３４６）が全面形成された後、下部基板（１０１）の上部に 露光領域（S１）と遮断領域（S２）を定義する第２マスク（３４８）が整列される。このような第２マスク（３００）を利用したフォトレジスト膜（３４６）を露光及び現像することで図３０ b に示されたようにフォトレジスト・パターン（３５０）が形成される。このようなフォトレジスト・パターン（３５０）を利用した蝕刻工程に第１及び第２半導体パターン（１１３，１１５）とゲート絶縁膜（１１１）がパターニングされる。これにつれて、図３０ c に示されたようにゲート絶縁パターン（１１２）と；活性層（１１４）及びオーミック接触層（１１６）を含む半導体パターンが形成される。この際、ゲート絶縁パターン（１１２）は半導体パターン（１１４，１１６）はゲート・パッド（１５０）、データ・パッド（１６０）、共通電極（１８４）及び共通パッド（１８０）を露出させる。

【 0 1 4 8 】

図３１ a 及び図３１ b に示されたように第３マスク工程でゲート絶縁膜（１１２）と半導体パターンが形成された下部基板（１０１）の上に、データ・ライン（１０４）、ソース電極（１０８）、ドレイン電極（１１０）、ストレージ電極（１２８）、データリンク上部電極（１６６）及び画素電極（１２２）を含む第２導電パターン群が形成される。そして、データ・パッド（１６０）、ゲート・パッド（１５０）、共通パッド（１８０）及び共通電極（１８４）に含まれたゲート金属膜（１７２）が除去されて透明導電膜（１７０

10

20

30

40

50

）が露出される。このような第3マスク工程を図32a乃至図32eを参照して詳細にすると次のようである。

【0149】

図32aに示されたように半導体パターンが形成された下部基板(101)の上にスパッタリングなどの蒸着方法をデータ金属層(109)とフォトレジスト膜(352)が順次に形成される。その次、露光領域(S1)、遮断領域(S2)及び部分露光領域(S3)を定義する部分露光マスクである第3マスク(354)が下部基板(101)の上部に整列される。このような第3マスク(354)を利用したフォトレジスト膜(352)を露光した後、現像することで図32bに示されたところのように遮断領域(S2)と部分露光領域(S3)で段差を有するフォトレジスト・パターン(356)が形成される。即ち、部分露光領域(S3)で形成されたフォトレジスト・パターン(356)は遮断領域(S2)で形成されたフォトレジスト・パターン(356)より低い高さを有するようになる。

10

【0150】

このようなフォトレジスト・パターン(356)をマスクで利用した湿式蝕刻工程でデータ金属層(109)がパターニングされることでストレージ電極(128)、データ・ライン(104)、ソース電極(108)、ドレイン電極(110)、画素電極(122)、データ・リンク上部電極(166)を含む第2導電パターン群が形成されて、第2導電パターン群の下部に形成されたゲート金属膜(172)がゲート絶縁パターン(112)と第2導電パターン群をマスクで除去されることでデータ・パッド(160)、ゲート・パッド(150)、共通パッド(180)及び共通電極(184)に含まれた透明導電膜(170)が露出される。

20

【0151】

そして、フォトレジスト・パターン(356)をマスクで利用した乾式蝕刻工程で活性層(114)及びオーミック接触層(116)は第2導電パターン群につれて形成される。この際、第2導電パターン群と重畳される活性層(114)及びオーミック接触層(116)を除いた残りの領域に位置する活性層(114)及びオーミック接触層(116)を除去するようになる。

【0152】

続いて、酸素(O_2)プラズマを利用したアッシング工程で部分露光領域(S3)に位置するフォトレジスト・パターン(356)は図32cに示されたように除去されて、差段領域(S2)に位置するフォトレジスト・パターン(356)は高さが低くなった状態になる。このようなフォトレジスト・パターン(356)を利用した蝕刻工程で部分露光領域(S3)、即ち、薄膜トランジスタのチャンネル部に形成されたデータ金属層とオーミック接触層(116)が除去されることでドレイン電極(110)とソース電極(108)が分離される。そして、第2導電パターン群の上に残っているレジスタフォート・パターン(356)は図32dに示されたところのようにストリップ工程で除去される。続いて、第2導電パターン群が形成された基板(101)の全面に図32eに示されたところのように保護膜(118)が形成される。

30

【0153】

図33は本発明の第6実施例による薄膜トランジスタ・アレイ基板を示した平面図であり、図34は図33で線"V I I 1 - V I I 1' "、" V I I 2 - V I I 2' "につれて切り取った薄膜トランジスタ・アレイ基板を表した断面図である。

40

【0154】

図33及び図34に示された薄膜トランジスタ・アレイ基板は図26及び図27に示された薄膜トランジスタ・アレイ基板と比較して共通電極を透明導電膜、その透明導電膜の上に形成されたゲート金属膜で形成されることを除いては同一の構成要素とを具備する。これにつれて、同一の構成要素に対する詳細な説明は省略する。

【0155】

共通電極(184)は共通ライン(186)と接続されて画素領域に形成される。特に

50

、共通電極（１８４）は画素領域で画素電極（１２２）のフィンガー部（１２２ｂ）と並んで形成される。共通電極（１８４）は画素領域で透明導電膜（１７０）、その透明導電膜（１７０）の上に形成されたゲート金属膜（１７２）とになる。

【０１５６】

共通電極（１８４）は接続された共通ライン（１８６）で伸張された共通パッド（１８０）、共通ライン（１８６）と並んで形成されたゲート・ライン（１０２）で伸張されたゲート・パッド（１５０）及びゲート・ライン（１０２）と絶縁に交差するデータ・ライン（１０４）で伸張されたデータ・パッド（１６０）は耐蝕性の強い透明導電膜（１７０）が露出されるように形成される。

【０１５７】

このような本発明の第６実施例による薄膜トランジスタ・アレイ基板の製造方法を見ると次のようである。

【０１５８】

第１マスク工程に図２８ａ及び図２８ｂに示されたところのように下部基板（１０１）の上に透明導電膜（１７０）及びゲート金属膜（１７２）とになったゲート・ライン（１０２）、ゲート電極（１０６）、ゲートリンク（１５２）、ゲート・パッド（１５０）、データ・パッド（１６０）、データリンク下部電極（１６２）、共通電極（１８４）、共通ライン（１８６）、共通リンク（１８２）及び共通パッド（１８０）を含む第１導電パターン群が形成される。

【０１５９】

第２マスク工程に第１導電パターン群が形成された下部基板（１０１）の上にゲート絶縁パターン（１１２）と；活性層（１１４）及びオーミック接触層（１１６）を含む半導体パターンが形成される。これを図３５ａ乃至図３５ｃを結び付けて詳細に説明する。

【０１６０】

先に、第１導電パターン群が形成された下部基板（１０１）の上にＰＥＣＶＤ、スパッタリングなどの蒸着方法を通して図３５ａに示されたようにゲート絶縁膜（１１１）と第１及び第２半導体層（１１３、１１５）が順次形成される。続いて、第２半導体層（１１５）の上にフォトレジスト膜（３５８）が全面形成された後、下部基板（１０１）の上部に露光領域（Ｓ１）と遮断領域（Ｓ２）を定義する第２マスク（３６０）が整列される。このような第２マスク（３６０）を利用したフォトレジスト膜（３５８）を露光及び現像することで図３５ｂに示されたようにフォトレジスト・パターン（３６２）が形成される。このようなフォトレジスト・パターン（３６２）を利用した蝕刻工程に第１及び第２半導体パターン（１１３、１１５）とゲート絶縁膜（１１１）がパターニングされることで、図３５ｃに示されたようにゲート絶縁パターン（１１２）と；活性層（１１４）及びオーミック接触層（１１６）を含む半導体パターンが形成される。

【０１６１】

第３マスク工程でゲート絶縁膜（１１２）と半導体パターンが形成された下部基板（１０１）の上にデータ・ライン（１０４）、ソース電極（１０８）、ドレイン電極（１１０）、ストレージ電極（１２８）、データリンク上部電極（１６６）及び画素電極（１２２）を含む第２導電パターン群が形成される。そして、データ・パッド（１６０）、ゲート・パッド（１５０）及び共通パッド（１８０）に含まれたゲート金属膜（１７２）が除去されて透明導電膜（１７０）が露出される。このような第３マスク工程を図３６ａ乃至図３６ｅを参照して詳細にすると次のようである。

【０１６２】

図３６ａに示されたように半導体パターンが形成された下部基板（１０１）の上にデータ金属層（１０９）とフォトレジスト膜（３６６）が順次形成される。次いで、露光領域（Ｓ１）、遮断領域（Ｓ２）及び部分露光領域（Ｓ３）を定義する部分露光マスクである第３マスク（３６４）が下部基板（１０１）の上部に整列される。このような第３マスク（３６４）を利用したフォトレジスト膜（３６６）を露光した後、現像することで図３６ｂに示されたように遮断領域（Ｓ２）と部分露光領域（Ｓ３）で段差を有するフォトレジ

10

20

30

40

50

スト・パターン(368)が形成される。このようなフォトレジスト・パターン(368)をマスクで利用した湿式蝕刻工程でデータ金属層(109)がパターニングされることでストレージ電極(128)、データ・ライン(104)、ソース電極(108)、ドレイン電極(110)、画素電極(122)、データ・リンク上部電極(166)を含む第2導電パターン群が形成されて、第2導電パターン群の下部に形成されたゲート金属膜(172)がゲート絶縁パターン(112)をマスクで除去されることでデータ・パッド(160)、ゲート・パッド(150)及び共通パッド(180)に含まれた透明導電膜(170)が露出される。

【0163】

そして、フォトレジスト・パターン(368)をマスクで利用した乾式蝕刻工程で活性層(114)及びオーミック接触層(116)は第2導電パターン群につれて形成される。この際、第2導電パターン群と重畳される活性層(114)及びオーミック接触層(116)を除いた残りの領域に位置する活性層(114)及びオーミック接触層(116)を除去するようになる。

【0164】

続いて、酸素(O_2)プラズマを利用したアッシング工程で部分露光領域(S3)に位置するフォトレジスト・パターン(368)は図36cに示されたように除去されて、差段領域(S2)に位置するフォトレジスト・パターン(368)は最初の高さより高さが低くなった状態になる。このようなフォトレジスト・パターン(368)を利用した蝕刻工程で部分露光領域(S3)、即ち、薄膜トランジスタのチャンネル部に形成されたデータ金属層とオーミック接触層(116)が除去されることでドレイン電極(110)とソース電極(108)が分離される。そして、第2導電パターン群の上に残っているレジスタフォト・パターン(368)は図36dに示されたところのようにストリップ工程で除去される。

【0165】

続いて、第2導電パターン群が形成された基板(101)の全面に図36eに示されたように保護膜(118)が形成される。

【0166】

図37は本発明の第7実施例による薄膜トランジスタ・アレイ基板を示した平面図であり、図38は図37で線"V I I I - V I I I'", "I X - I X'", "X - X'", "X I - X I'"につれて切り取った薄膜トランジスタ・アレイ基板を表した断面図である。

【0167】

図37及び図38に示された本発明の第7実施例による薄膜トランジスタ・アレイ基板は図26及び図27に示された薄膜トランジスタ・アレイ基板と比較して第2導電パターン群と重畳される領域を除いたゲート・ラインおよび共通ラインの上で露出されるように形成された半導体パターンを除いては同一の構成要素とを具備する。これにつれて、同一の構成要素に対する詳細な説明は省略する。

【0168】

図37及び図38に示された本発明の第7実施例による薄膜トランジスタ・アレイ基板の半導体パターンは第1乃至第3半導体パターン(E1, E2, E3)とを具備する。

【0169】

第1半導体パターン(E1)はデータ・ライン(228)につれてその下部に形成されてデータ・ライン(128)のバッファ層の役割をするようになると共に薄膜トランジスタ(T)領域に形成されてソース及びドレイン電極(224, 226)の間のチャンネルを形成する。第2半導体パターン(E2)はストレージキャパシティ(Cst)領域のゲート・ライン(204)の上で第1半導体パターン(E1)と離隔されるように形成されて、第3半導体パターン(E3)は共通ライン(210a)の上で第1半導体パターン(E1)と連結されるように形成される。

【0170】

また、本発明の第7実施例による薄膜トランジスタ・アレイ基板は共通パッド（図示しない）、ゲート・パッド（206）及びデータ・パッド（208）を耐蝕性の強い透明導電膜（A1）が露出されるように形成される。

【0171】

このような本発明の第7実施例による薄膜トランジスタ・アレイ基板の製造方法を見ると次のようである。

【0172】

第1マスク工程で図39a及び図39bに示されたように下部基板（100）の上に透明導電膜（A1）及びゲート金属膜（A2）とになったゲート・ライン（204）、ゲート電極（202）、ゲート・パッド（206）、データ・パッド（208）、共通電極（210b）、共通ライン（210a）及び共通パッド（図示しない）を含む第1導電パターン群が形成される。

10

【0173】

第2マスク工程で図40a及び図40bに示されたように第1導電パターン群が形成された下部基板（100）の上にゲート絶縁パターン（212）と；活性層（214）及びオーミック接触層（216）を含む半導体パターンが形成される。また、共通電極（210b）、共通パッド（図示しない）、ゲート・パッド（206）及びデータ・パッド（208）の透明導電膜が露出される。これを図41a乃至図41fを結び付けて詳細に説明する。

【0174】

20

先に、第1導電パターン群が形成された下部基板（100）の上に図41aに示されたようにゲート絶縁膜（211）と第1及び第2半導体層（214、216）が順次形成される。続いて、第2半導体層（216）の上にフォトレジスト膜（218）が全面形成された後、下部基板（100）の上部に図41bに示されたように露光領域（B1）と遮断領域（B2）及び部分露光領域（B3）を定義する第2マスク（M）が整列される。遮断領域（B2）はゲート・ライン（204）、ゲート電極（202）、共通電極（210b）と対応して、部分露光領域は後にゲート・ライン（204）の上で離隔される第1及び第2半導体パターン（E1、E2）の間の離隔領域（D）と対応する。このような第2マスク（M）を利用したフォトレジスト膜（218）を露光及び現像することで図41c及び図42に示されたようにフォトレジスト・パターン（220）が形成される。露光領域（B1）と対応されるフォトレジスト・パターン（220）は完全に除去されて、遮断領域（B2）と対応されるフォトレジスト・パターン（220）は最初の塗布の高さを有して、部分露光領域（B3）と対応されるフォトレジスト・パターン（220）は遮断領域（B2）のフォトレジスト・パターン（220）より低い高さを有するようになる。このようなフォトレジスト・パターンはゲート・ライン（204）及び共通ライン（210a）と重畳される領域の上に形成される第1及び第2フォトレジスト・パターン（220a、220b）と、第1及び第2フォトレジスト・パターン（220a、220b）と交差になる第3フォトレジスト・パターン（220c）を含む。ここで、第1フォトレジスト・パターン（220a）はゲート・ライン（204）の上でD領域によって段差に形成される。このようなフォトレジスト・パターン（220a）を利用した蝕刻工程に第1及び第2半導体パターン（214、216）とゲート絶縁膜（212）が図41dに示されたようにパターンニングされることで第1及び第3半導体パターン（E1、E2、E3）が形成される。このゲート絶縁パターン（212）と第1及び第3半導体パターン（E1、E2、E3）によりゲート・パッド（206）、データ・パッド（208）、共通パッド（図示しない）及び共通電極（210b）を露出される。この露出されたゲート・パッド（206）、データ・パッド（208）、共通パッド（図示しない）及び共通電極（210b）に含まれたゲート金属膜（A2）は図41eに示されたように蝕刻工程により除去されてこれらの透明導電膜（A）が露出される。

30

40

【0175】

続いて、酸素（O₂）プラズマを利用したアッシング工程で部分露光領域（B3）に位

50

置するフォトリソ・パターン(220)は除去されて、差段領域(B2)に位置するフォトリソ・パターン(220)は最初の高さより高さが低くなった状態になる。このようなフォトリソ・パターン(220)を利用した蝕刻工程で部分露光領域(S3)、即ち、第1及び第2半導体パターン(214, 216)が除去されることで図41fに示されたように第1及び第2半導体パターン(E1, E2)が分離される。そして、第1及び第3半導体パターン(E1, E2, E3)の上に残っていたレジスタフォトリソ・パターン(220)はストリップ工程で除去される。

【0176】

第3マスク工程でゲート絶縁膜(212)と第1及び第3半導体パターン(E1, E2, E3)が形成された下部基板(100)の上に図43a及び図43bに示されたようにデータ・ライン(228)、ソース電極(224)、ドレイン電極(226)及び画素電極(230)を含む第2導電パターン群が形成されて、その第2導電パターン群を覆うように保護膜(232)が形成される。第2導電パターン群の中の画素電極(230)はドレイン電極(226)で伸張されてストレージキャパシティの上部電極の役割をする水平部(230a)と、その水平部(230a)で垂直に伸張されて共通電極(210b)と水平電界をなす垂直部(230b)を含む。

【0177】

これを詳細に説明すると、半導体パターンが形成された下部基板(100)の上にデータ金属層(109)を蒸着した後、第3マスクを利用したフォトリソグラフィ工程と蝕刻工程によってデータ金属層がパターニングされることで第2導電パターン群が形成される。第2導電パターン群の中のソース及びドレイン電極(224, 226)をマスクでソース及びドレイン電極(224, 226)の間のオーミック接触層(OL)を除去して活性層(AL)を露出させる。

【0178】

続いて、第2導電パターン群が形成された基板(100)の全面に保護膜(232)が形成される。

【0179】

図44は本発明の第1乃至第7実施例による薄膜トランジスタ・アレイ基板を含む液晶表示パネルを表す断面図である。ここでは本発明の第1実施例による薄膜トランジスタ・アレイ基板を例として説明する。

【0180】

図44に示された液晶表示パネルは実材(380)により、合着されたカラーフィルター・アレイ基板(390)と薄膜トランジスタ・アレイ基板(392)とを具備する。

【0181】

カラーフィルター・アレイ基板(390)はブラックマトリックス、カラーフィルター及び共通電極を含むカラーフィルター・アレイ(396)が上部基板(394)の上に形成されている。

【0182】

薄膜トランジスタ・アレイ基板(392)はカラーフィルター・アレイ基板(390)と重畳される領域が保護膜(330)によって保護されて、カラーフィルター・アレイ基板(390)と非重畳されるパッド領域のゲート・パッド(150)、データ・パッド(160)及び共通パッド(180)の中の少なくともいずれか一つに含まれた透明導電膜(170)が露出されるように形成される。

【0183】

このような液晶表示パネルの製造方法を見ると、先にカラーフィルター・アレイ基板(390)と薄膜トランジスタ・アレイ基板(392)を別途で形成した後、実材(380)で合着する。その後、カラーフィルター・アレイ基板(390)をマスクで利用したパッドオープン工程によって薄膜トランジスタ・アレイ基板(392)の保護膜(118)がパターニングされてパッド領域のゲート・パッド(150)、データ・パッド(160)及び共通パッド(180)の中のいずれか一つに含まれた透明導電膜(170)が露出

される。

【0184】

一方、パッドオープン工程は大気圧プラズマ発生部または上圧プラズマ発生部によって生成されたプラズマを利用してカラーフィルター・アレイ基板(390)によって露出されたそれぞれのパッドを順次にスキヤニングするか、パッド単位別に一括的にスキヤニングしてゲート・パッド(150)及びデータ・パッド(160)と共通パッド(180)の透明導電膜(170)を露出させる。またはカラーフィルター・アレイ基板(390)と薄膜トランジスタ・アレイ基板(392)が合着された液晶パネルの全体を蝕刻液に浸し濡らすか、ゲート・パッド(150)及びデータ・パッド(160)と共通パッド(180)を含むパッド領域だけを蝕刻液に浸し濡らして、ゲート・パッド(150)及びデータ・パッド(160)と共通パッド(180)の透明導電膜(170)を露出させる。

10

【0185】

図45は図44に示された液晶表示パネルと異なる形態の液晶表示パネルを表す断面図である。

【0186】

図45に示された液晶表示パネルは実材(380)によって合着された薄膜トランジスタ・アレイ基板(392)とカラーフィルター・アレイ基板(390)とを具備する。

【0187】

カラーフィルター・アレイ基板(390)は背向膜(398)によって限定された表示領域が保護膜(118)によって保護されて、背向膜(398)と非重畳される領域に含まれるパッド領域のゲート・パッド(150)及びデータ・パッド(160)と共通パッド(180)の中のいずれか一つに含まれた透明導電膜(170)が露出されるように形成される。この際、保護膜(118)は背向膜(398)をマスクで利用した蝕刻工程によってパターンニングされて形成される。

20

【0188】

以上説明した内容を通して当業者は、本発明の技術思想を逸脱しない範囲で多様な変更及び修正が可能であることがわかる。従って、本発明の技術的の範囲は詳細な説明に記載された内容に限らず特許請求の範囲により定めなければならない。

【図面の簡単な説明】

【0189】

30

【図1】従来の水平電界型の液晶表示装置の中の薄膜トランジスタ・アレイ基板を示す平面図である。

【図2】図1に示されたI-I'線につれて切断した薄膜トランジスタ・アレイ基板を示す断面図である。

【図3a】図2に示された薄膜トランジスタ・アレイ基板の製造方法を段階的に示した断面図である。

【図3b】図2に示された薄膜トランジスタ・アレイ基板の製造方法を段階的に示した断面図である。

【図3c】図2に示された薄膜トランジスタ・アレイ基板の製造方法を段階的に示した断面図である。

40

【図3d】図2に示された薄膜トランジスタ・アレイ基板の製造方法を段階的に示した断面図である。

【図4】本発明の第1実施例による水平電界型の液晶表示装置の薄膜トランジスタ・アレイ基板を示した平面図である。

【図5】図4に示された線"II1-II1'"、"II2-II2'"につれて切断した薄膜トランジスタ・アレイ基板を示した断面図である。

【図6a】本発明の第1実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第1マスク工程を説明するための平面図及び断面図である。

【図6b】本発明の第1実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第1マスク工程を説明するための平面図及び断面図である。

50

【図 7 a】本発明の第 1 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 2 マスク工程を説明するための平面図及び断面図である。

【図 7 b】本発明の第 1 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 2 マスク工程を説明するための平面図及び断面図である。

【図 8 a】本発明の第 1 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 2 マスク工程を具体的に説明するための断面図である。

【図 8 b】本発明の第 1 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 2 マスク工程を具体的に説明するための断面図である。

【図 8 c】本発明の第 1 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 2 マスク工程を具体的に説明するための断面図である。

10

【図 9 a】本発明の第 1 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 3 マスク工程を説明するための平面図及び断面図である。

【図 9 b】本発明の第 1 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 3 マスク工程を説明するための平面図及び断面図である。

【図 10 a】本発明の第 1 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 3 マスク工程を具体的に説明するための断面図である。

【図 10 b】本発明の第 1 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 3 マスク工程を具体的に説明するための断面図である。

【図 10 c】本発明の第 1 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 3 マスク工程を具体的に説明するための断面図である。

20

【図 10 d】本発明の第 1 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 3 マスク工程を具体的に説明するための断面図である。

【図 10 e】本発明の第 1 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 3 マスク工程を具体的に説明するための断面図である。

【図 11】本発明の第 2 実施例による水平電界型の液晶表示装置の薄膜トランジスタ・アレイ基板を示した平面図である。

【図 12】図 11 に示された線 " I I I 1 - I I I 1 ' "、" I I I 2 - I I I 2 ' " に つれて切断した薄膜トランジスタ・アレイ基板を示した断面図である。

【図 13 a】本発明の第 2 実施例による薄膜トランジスタ・アレイ基板の製造方法を説明するための平面図及び断面図である。

30

【図 13 b】本発明の第 2 実施例による薄膜トランジスタ・アレイ基板の製造方法を説明するための平面図及び断面図である。

【図 14 a】本発明の第 2 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 2 マスク工程を具体的に説明するための断面図である。

【図 14 b】本発明の第 2 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 2 マスク工程を具体的に説明するための断面図である。

【図 14 c】本発明の第 2 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 2 マスク工程を具体的に説明するための断面図である。

【図 15 a】本発明の第 2 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 3 マスク工程を具体的に説明するための断面図である。

40

【図 15 b】本発明の第 2 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 3 マスク工程を具体的に説明するための断面図である。

【図 15 c】本発明の第 2 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 3 マスク工程を具体的に説明するための断面図である。

【図 15 d】本発明の第 2 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 3 マスク工程を具体的に説明するための断面図である。

【図 15 e】本発明の第 2 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 3 マスク工程を具体的に説明するための断面図である。

【図 16】本発明の第 3 実施例による水平電界型の液晶表示装置の薄膜トランジスタ・アレイ基板を示した平面図である。

50

【図 17】図 16 に示された線 " V I 1 - I V 1 ' " 、 " I V 2 - I V 2 ' " につれて切断した薄膜トランジスタ・アレイ基板を示した断面図である。

【図 18 a】本発明の第 3 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 1 マスク工程を説明するための平面図である。

【図 18 b】本発明の第 3 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 1 マスク工程を説明するための断面図である。

【図 19 a】本発明の第 3 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 2 マスク工程を説明するための断面図である。

【図 19 b】本発明の第 3 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 2 マスク工程を説明するための断面図である。

10

【図 20 a】本発明の第 3 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 2 マスク工程を具体的に説明するための断面図である。

【図 20 b】本発明の第 3 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 2 マスク工程を具体的に説明するための断面図である。

【図 20 c】本発明の第 3 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 2 マスク工程を具体的に説明するための断面図である。

【図 21 a】本発明の第 3 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 3 マスク工程を説明するための平面図である。

【図 21 b】本発明の第 3 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 3 マスク工程を説明するための断面図である。

20

【図 22 a】本発明の第 3 実施例に係る薄膜トランジスタアレイ基板の製造方法の中から第 3 マスク工程を具体的に説明するための断面図である。

【図 22 b】本発明の第 3 実施例に係る薄膜トランジスタアレイ基板の製造方法の中から第 3 マスク工程を具体的に説明するための断面図である。

【図 22 c】本発明の第 3 実施例に係る薄膜トランジスタアレイ基板の製造方法の中から第 3 マスク工程を具体的に説明するための断面図である。

【図 22 d】本発明の第 3 実施例に係る薄膜トランジスタアレイ基板の製造方法の中から第 3 マスク工程を具体的に説明するための断面図である。

【図 22 e】本発明の第 3 実施例に係る薄膜トランジスタアレイ基板の製造方法の中から第 3 マスク工程を具体的に説明するための断面図である。

30

【図 23】本発明の第 4 実施例による水平電界型の液晶表示装置の薄膜トランジスタ・アレイ基板を示した平面図である。

【図 24】図 23 に示された線 " V 1 - V 1 ' " 、 " V 2 - V 2 ' " につれて切断した薄膜トランジスタ・アレイ基板を示した断面図である。

【図 25 a】本発明の第 4 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 3 マスク工程を具体的に説明するための断面図である。

【図 25 b】本発明の第 4 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 3 マスク工程を具体的に説明するための断面図である。

【図 25 c】本発明の第 4 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 3 マスク工程を具体的に説明するための断面図である。

40

【図 25 d】本発明の第 4 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 3 マスク工程を具体的に説明するための断面図である。

【図 25 e】本発明の第 4 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 3 マスク工程を具体的に説明するための断面図である。

【図 26】本発明の第 5 実施例による水平電界型の液晶表示装置の薄膜トランジスタ・アレイ基板を示した平面図である。

【図 27】図 4 に示された線 " V I 1 - V I 1 ' " 、 " V I 2 - V I 2 ' " につれて切断した薄膜トランジスタ・アレイ基板を示した断面図である。

【図 28 a】本発明の第 5 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 1 マスク工程を説明するための平面図である。

50

【図 28b】本発明の第 5 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 1 マスク工程を説明するための断面図である。

【図 29a】本発明の第 5 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 2 マスク工程を説明するための平面図である。

【図 29b】本発明の第 5 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 2 マスク工程を説明するための断面図である。

【図 30a】本発明の第 5 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 2 マスク工程を具体的に説明するための断面図である。

【図 30b】本発明の第 5 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 2 マスク工程を具体的に説明するための断面図である。

10

【図 30c】本発明の第 5 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 2 マスク工程を具体的に説明するための断面図である。

【図 31a】本発明の第 5 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 3 マスク工程を説明するための平面図である。

【図 31b】本発明の第 5 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 3 マスク工程を説明するための断面図である。

【図 32a】本発明の第 5 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 3 マスク工程を具体的に説明するための断面図である。

【図 32b】本発明の第 5 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 3 マスク工程を具体的に説明するための断面図である。

20

【図 32c】本発明の第 5 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 3 マスク工程を具体的に説明するための断面図である。

【図 32d】本発明の第 5 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 3 マスク工程を具体的に説明するための断面図である。

【図 32e】本発明の第 5 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 3 マスク工程を具体的に説明するための断面図である。

【図 33】本発明の第 6 実施例による水平電界型の液晶表示装置の薄膜トランジスタ・アレイ基板を示した平面図である。

【図 34】図 11 に示された線 "VII1 - VII1'"、"VII2 - VII2'" につれて切断した薄膜トランジスタ・アレイ基板を示した断面図である。

30

【図 35a】本発明の第 6 実施例による薄膜トランジスタ・アレイ基板の製造方法を説明するための平面図及び断面図である。

【図 35b】本発明の第 6 実施例による薄膜トランジスタ・アレイ基板の製造方法を説明するための断面図である。

【図 35c】本発明の第 6 実施例による薄膜トランジスタ・アレイ基板の製造方法を説明するための断面図である。

【図 36a】本発明の第 6 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 3 マスク工程を具体的に説明するための断面図である。

【図 36b】本発明の第 6 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 3 マスク工程を具体的に説明するための断面図である。

40

【図 36c】本発明の第 6 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 3 マスク工程を具体的に説明するための断面図である。

【図 36d】本発明の第 6 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 3 マスク工程を具体的に説明するための断面図である。

【図 36e】本発明の第 6 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 3 マスク工程を具体的に説明するための断面図である。

【図 37】本発明の第 7 実施例による水平電界型の液晶表示装置の薄膜トランジスタ・アレイ基板を示した平面図である。

【図 38】図 37 に示された線 "VIII - VIII'"、"IX - IX'"、"X - X'"、"XI - XI'" につれて切断した薄膜トランジスタ・アレイ基板を示した断面図

50

である。

【図 3 9 a】本発明の第 7 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 1 マスク工程を説明するための平面図である。

【図 3 9 b】本発明の第 7 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 1 マスク工程を説明するための断面図である。

【図 4 0 a】本発明の第 7 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 2 マスク工程を説明するための平面図である。

【図 4 0 b】本発明の第 7 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 2 マスク工程を説明するための断面図である。

【図 4 1 a】本発明の第 5 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 2 マスク工程を具体的に説明するための断面図である。

10

【図 4 1 b】本発明の第 5 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 2 マスク工程を具体的に説明するための断面図である。

【図 4 1 c】本発明の第 5 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 2 マスク工程を具体的に説明するための断面図である。

【図 4 1 d】本発明の第 5 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 2 マスク工程を具体的に説明するための断面図である。

【図 4 1 e】本発明の第 5 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 2 マスク工程を具体的に説明するための断面図である。

【図 4 1 f】本発明の第 5 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 2 マスク工程を具体的に説明するための断面図である。

20

【図 4 2】図 4 1 c に示されたフォトリソパターンを示された平面図である。

【図 4 3 a】本発明の第 7 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 3 マスク工程を説明するための平面図である。

【図 4 3 b】本発明の第 7 実施例による薄膜トランジスタ・アレイ基板の製造方法の中の第 3 マスク工程を説明するための断面図である。

【図 4 4】本発明の第 1 乃至第 7 実施例に係る薄膜トランジスタアレイ基板を含む液晶表示パネルを示す断面図である。

【図 4 5】図 4 4 に図示された液晶表示パネルと異なっている形態の液晶表示パネルを示す断面図である。

30

【符号の説明】

【 0 1 9 0 】

2 , 1 0 2 : ゲート・ライン

4 , 1 0 4 : データ・ライン

6 , 1 0 6 : ゲート電極

8 , 1 0 8 : ソース電極

1 0 , 1 1 0 : ドレイン電極

1 4 , 1 1 4 : 活性層

1 6 , 1 1 6 : オミック接触層

1 8 , 1 1 8 : 保護膜

40

2 2 , 1 2 2 : 画素電極

2 6 , 3 2 , 3 4 , 1 3 2 , 1 3 4 : 接触ホール

2 8 , 1 2 8 : ストレージ電極

3 0 , 1 3 0 : 薄膜トランジスタ

4 0 , 1 4 0 : ストレージキャパシティ

5 0 , 1 5 0 : ゲート・パッド

6 0 , 1 6 0 : データ・パッド

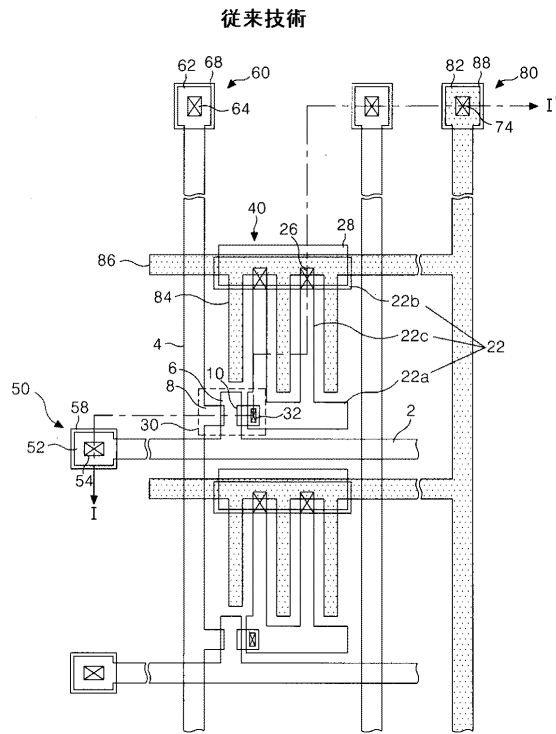
8 0 , 1 8 0 : 共通パッド

8 4 , 1 8 4 : 共通電極

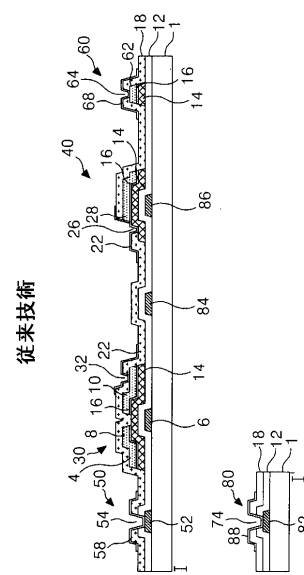
8 6 , 1 8 6 : 共通ライン

50

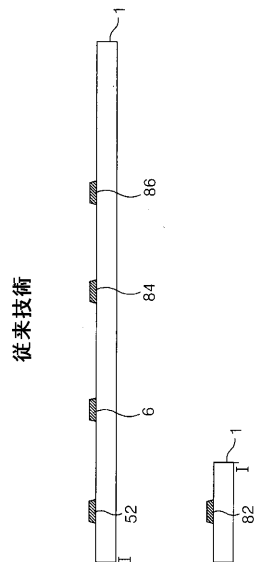
【図 1】



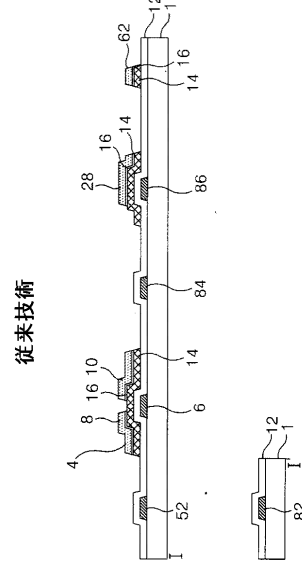
【図 2】



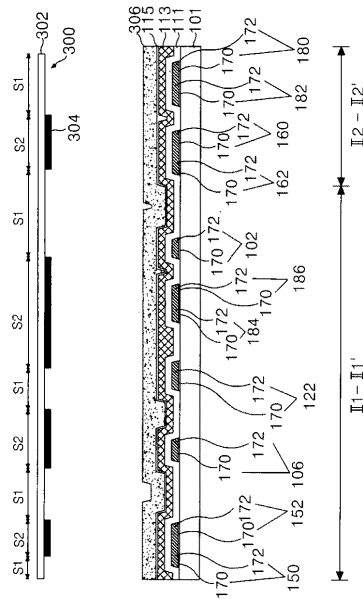
【図 3 a】



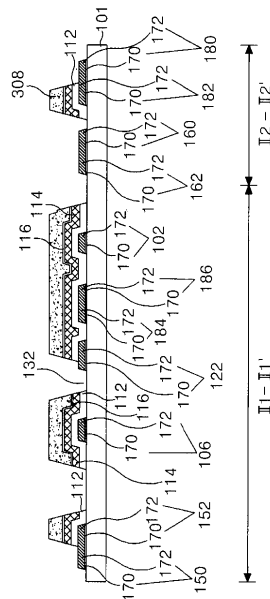
【図 3 b】



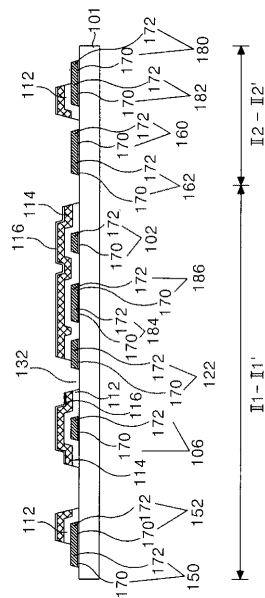
【 図 8 a 】



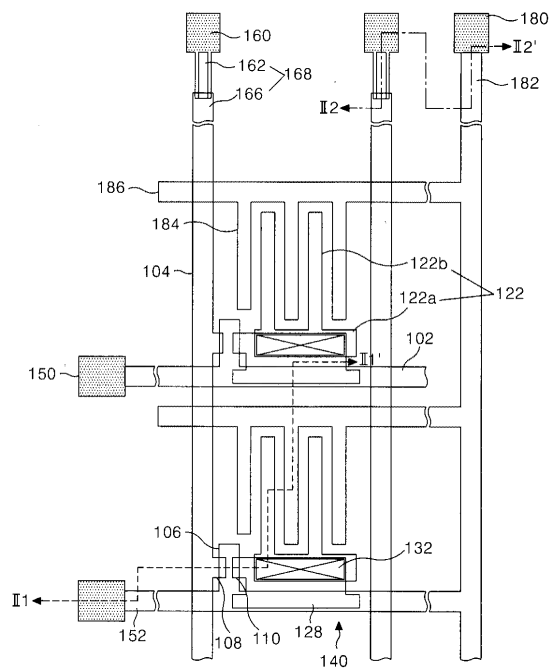
【 図 8 b 】



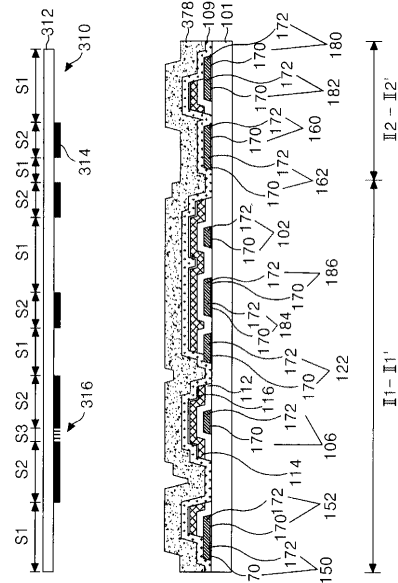
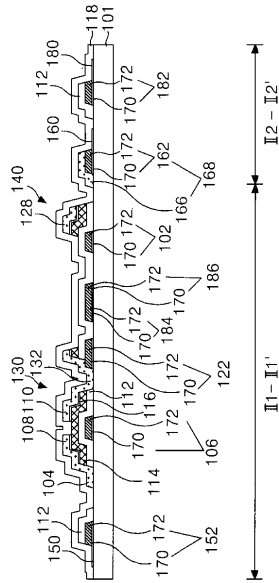
【 図 8 c 】



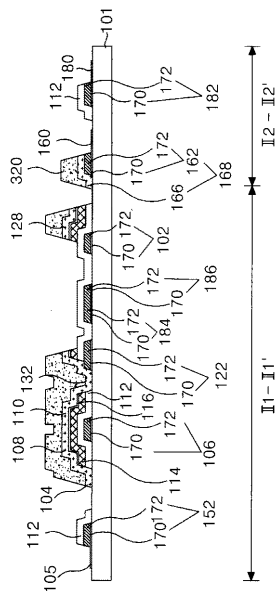
【 図 9 a 】



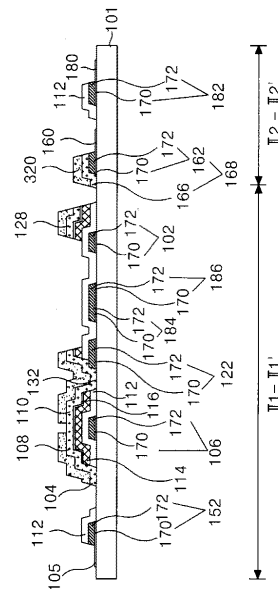
【 図 1 0 a 】



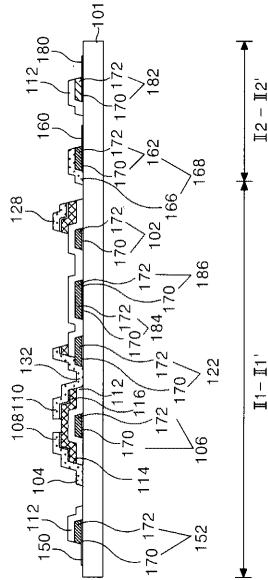
【 ㊦ 1 0 b 】



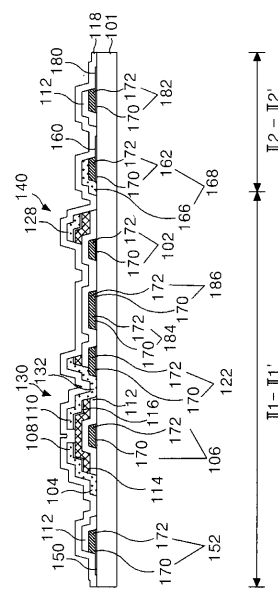
【 図 1 0 c 】



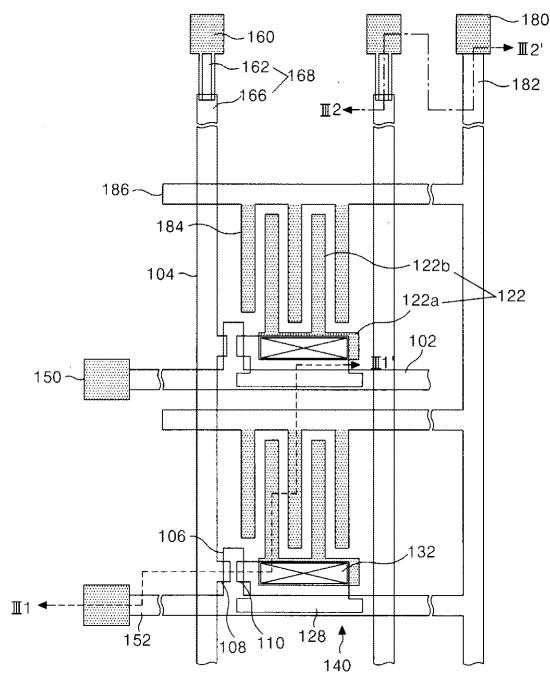
【図 10 d】



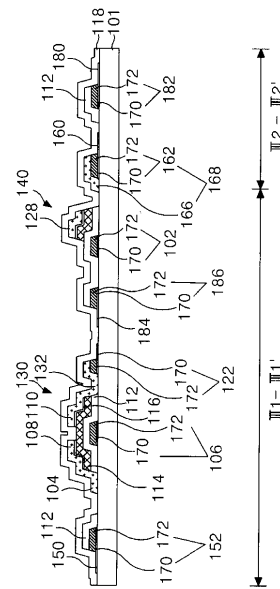
【図 10 e】



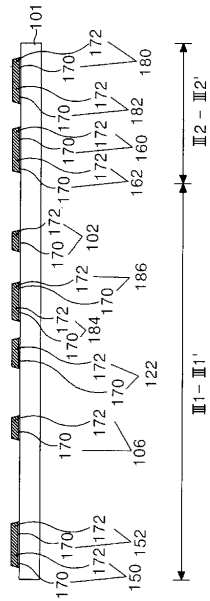
【図 11】



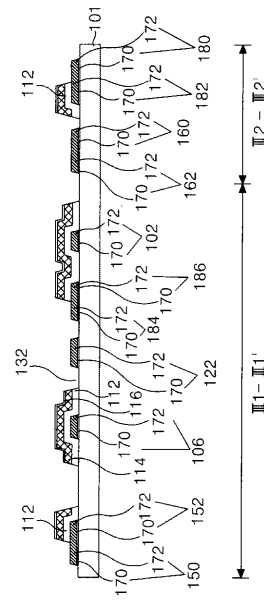
【図 12】



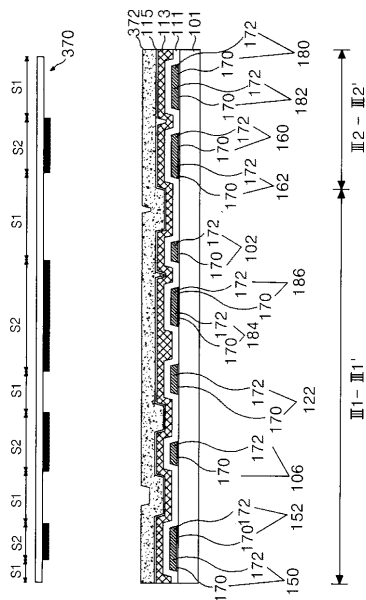
【図 1 3 a】



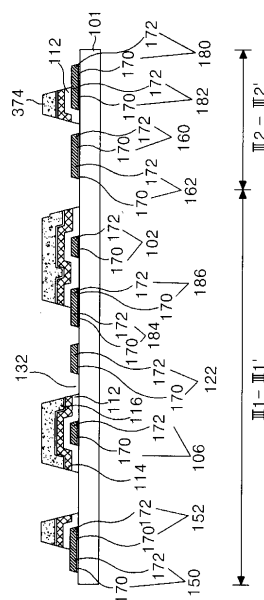
【図 1 3 b】



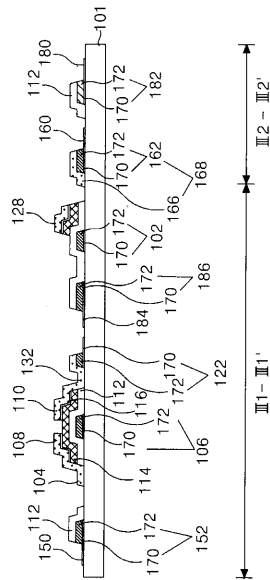
【図 1 4 a】



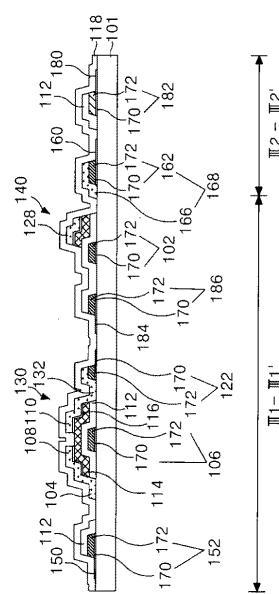
【図 1 4 b】



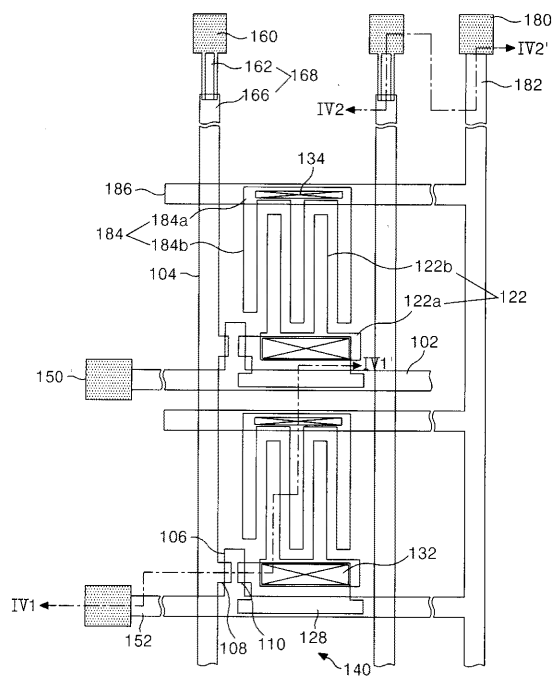
【図 15 d】



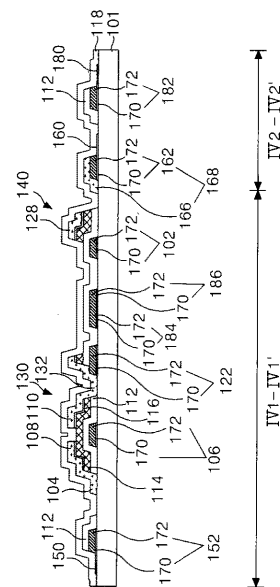
【図 15 e】



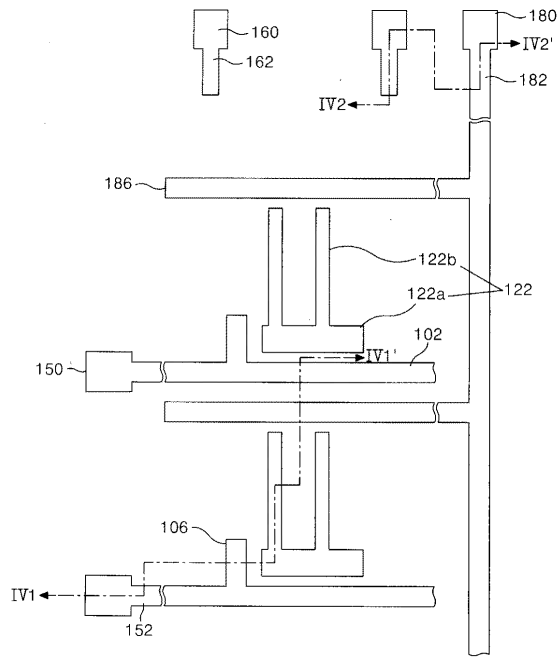
【図 16】



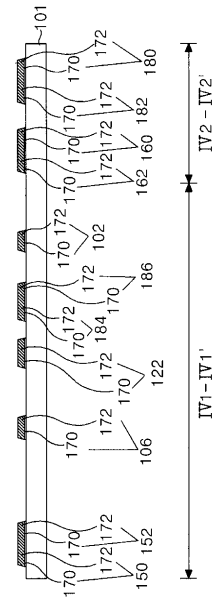
【図 17】



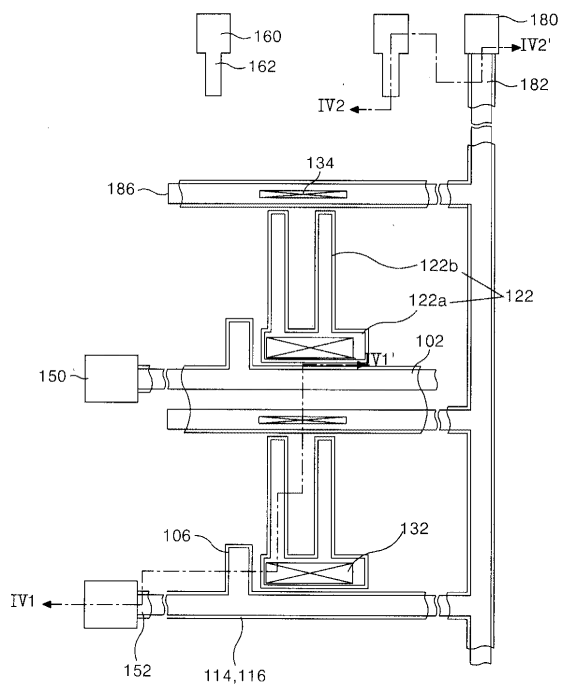
【図 18 a】



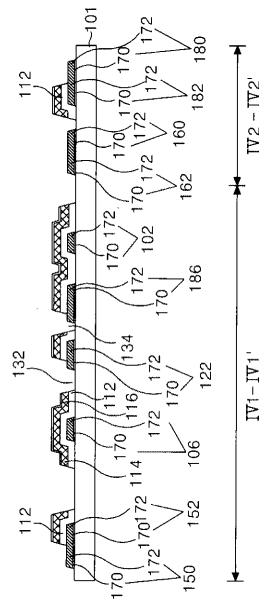
【図 18 b】



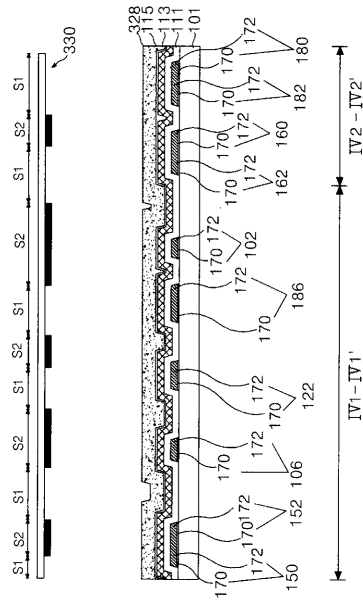
【図 19 a】



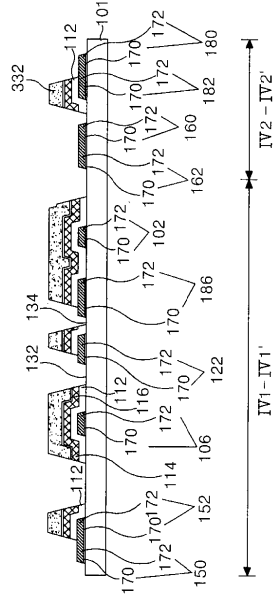
【図 19 b】



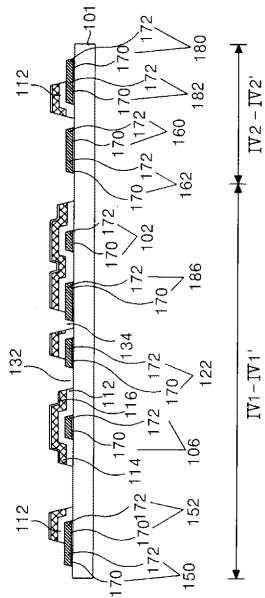
【 図 2 0 a 】



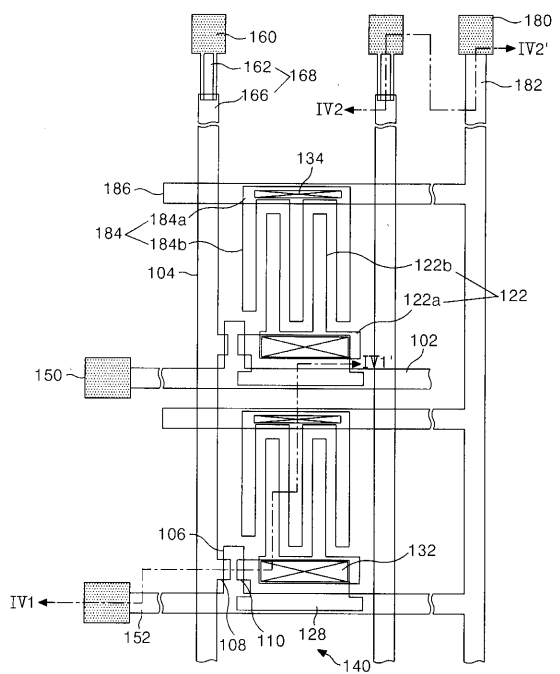
【 図 2 0 b 】



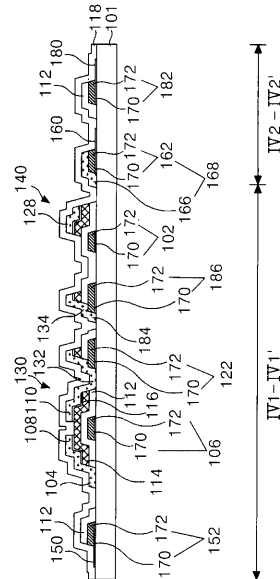
【 ㊦ 2 0 c 】



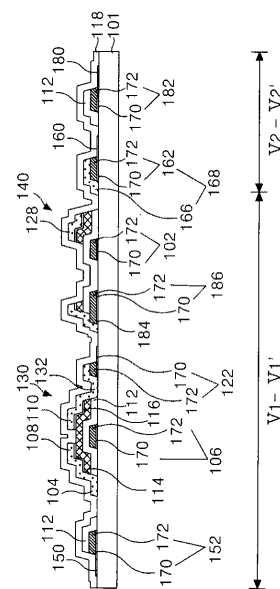
【 図 2 1 a 】



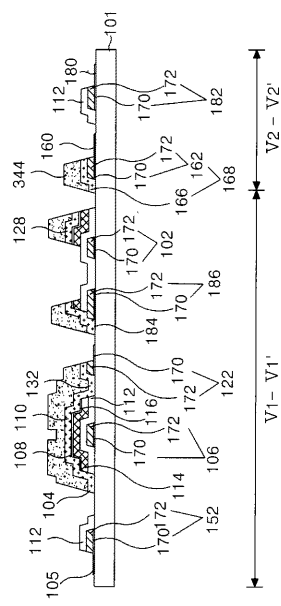
【図 2 2 e】



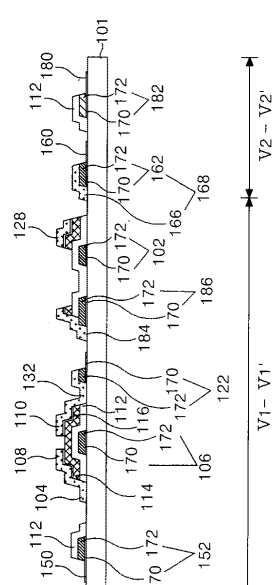
【圖 24】



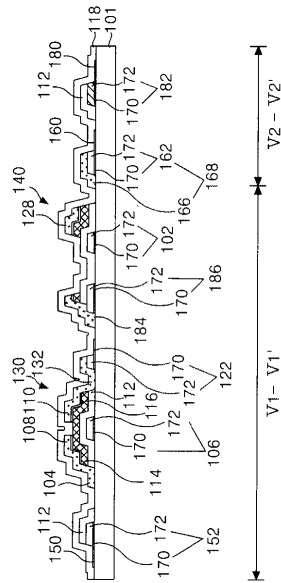
【 図 2 5 b 】



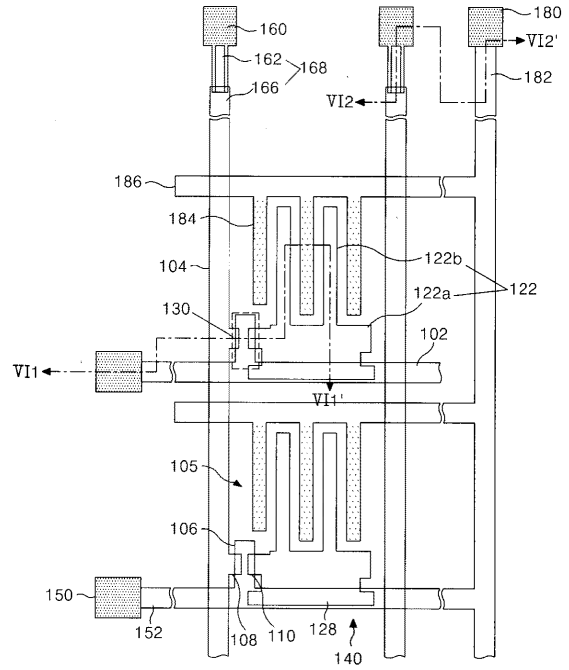
【 図 2 5 d 】



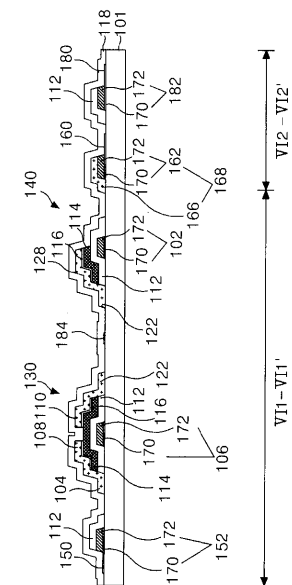
【図 25 e】



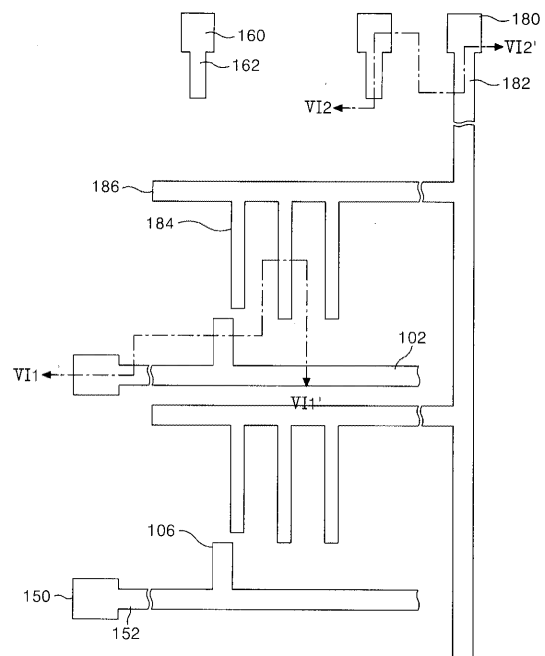
【図 26】



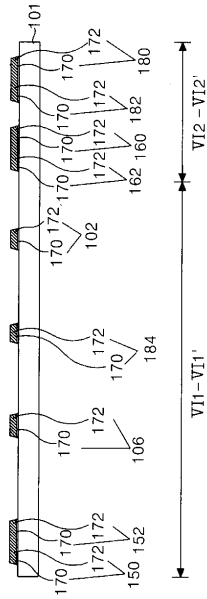
【図 27】



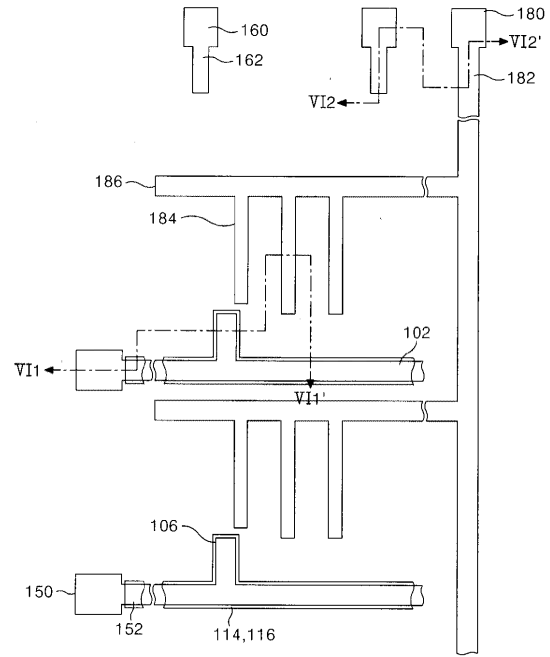
【図 28 a】



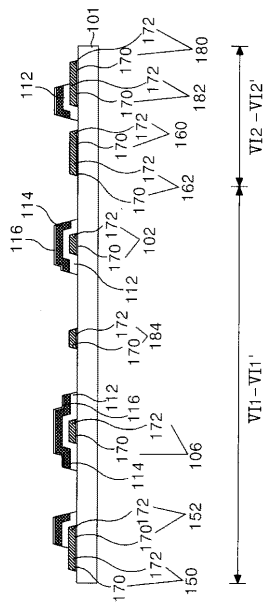
【図 28 b】



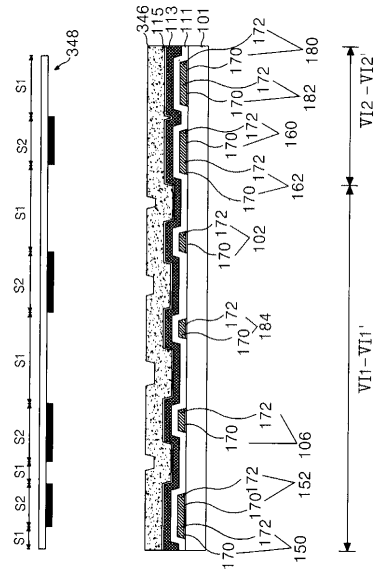
【図 29 a】



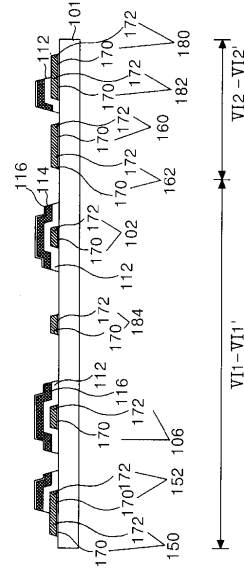
【図 29 b】



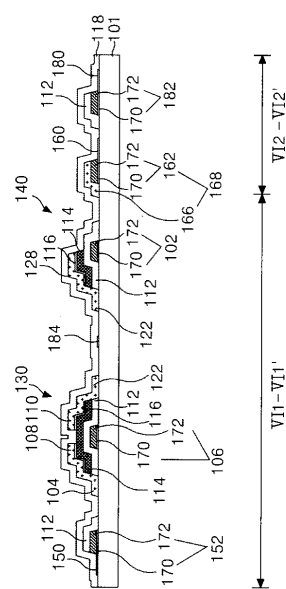
【図 30 a】



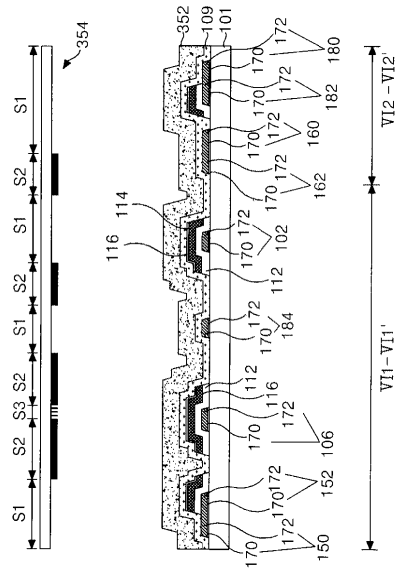
【 図 3 0 c 】



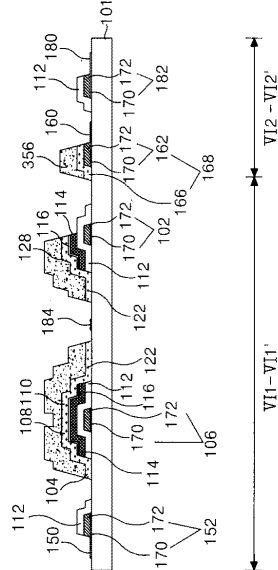
【 図 3 1 b 】



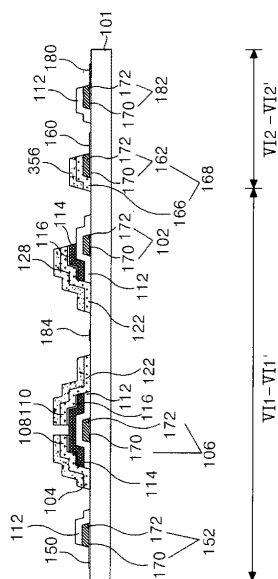
【 ㊦ 3 2 a 】



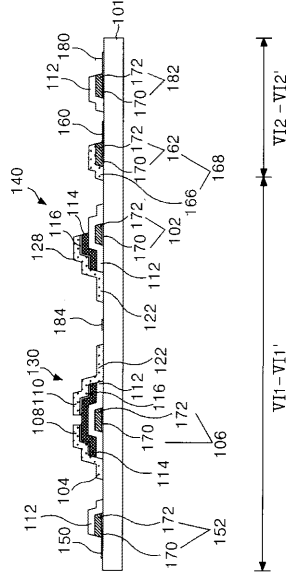
【 図 3 2 b 】



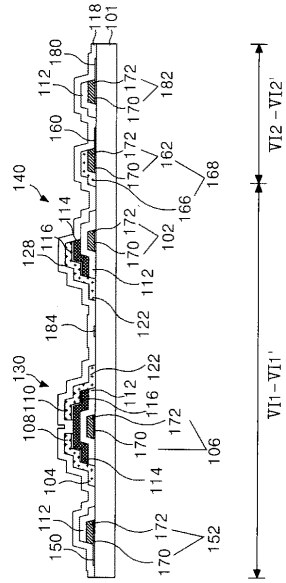
【 図 3 2 c 】



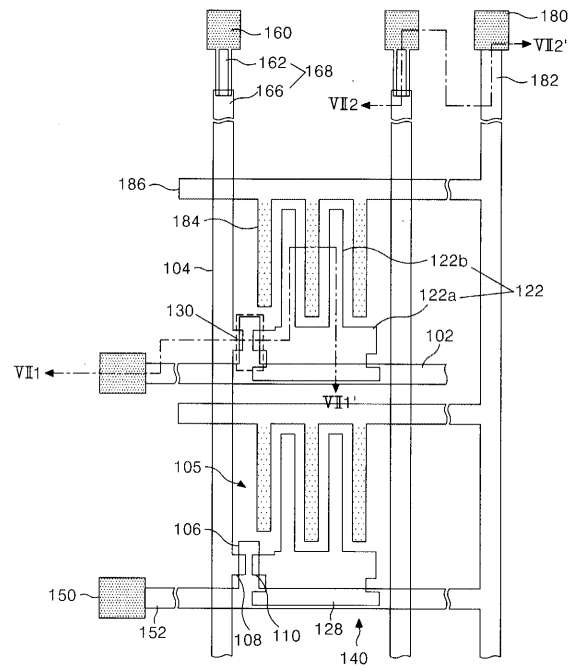
【 図 3 2 d 】



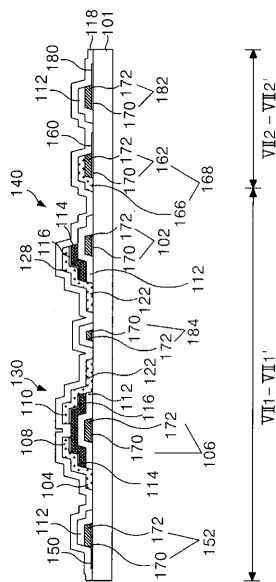
【図 3 2 e】



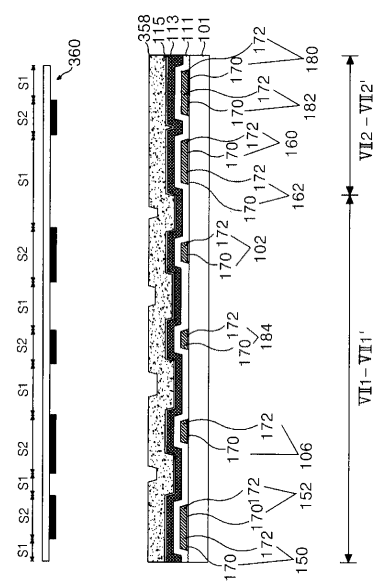
【図 3 3】



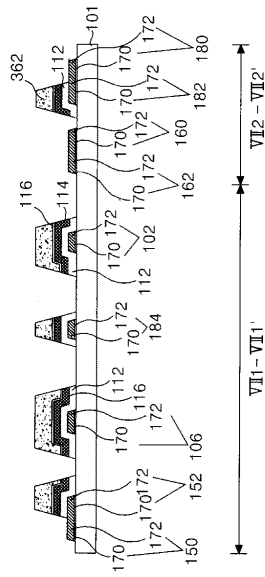
【図 3 4】



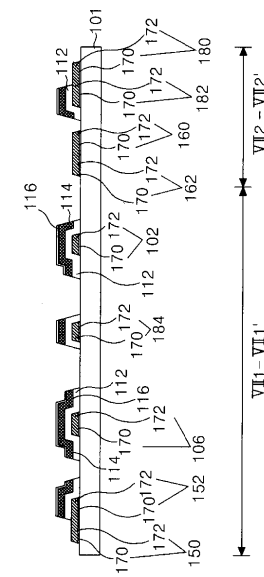
【図 3 5 a】



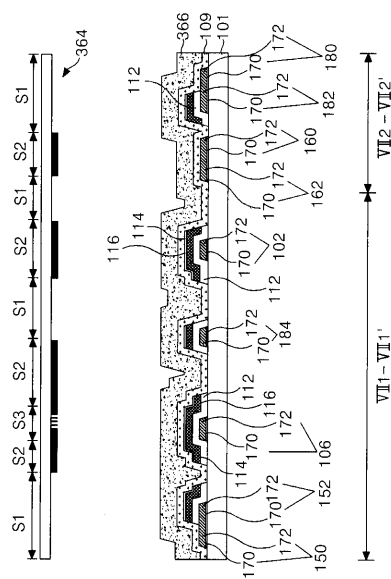
【図 3 5 b】



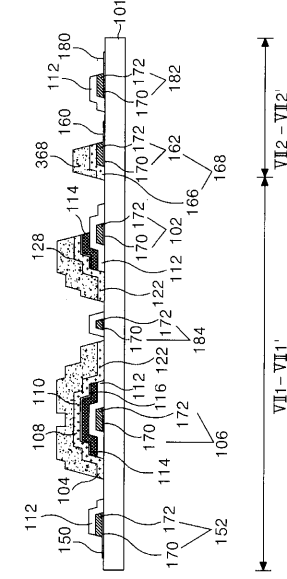
【図 3 5 c】



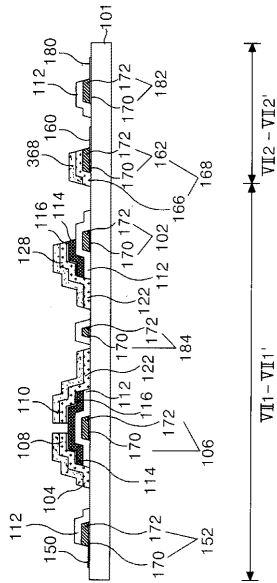
【図 3 6 a】



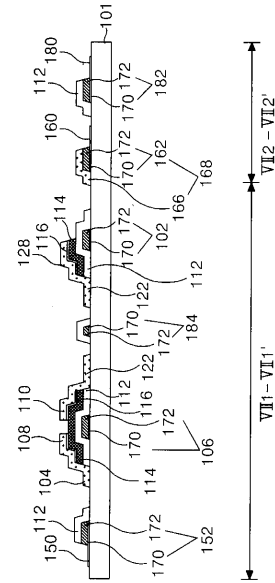
【図 3 6 b】



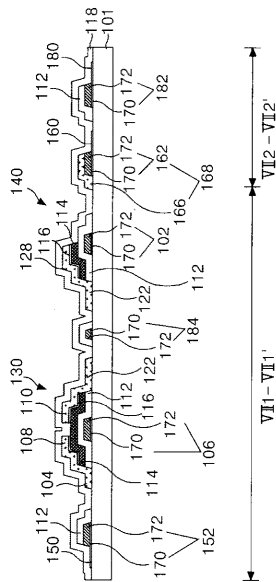
【図 3 6 c】



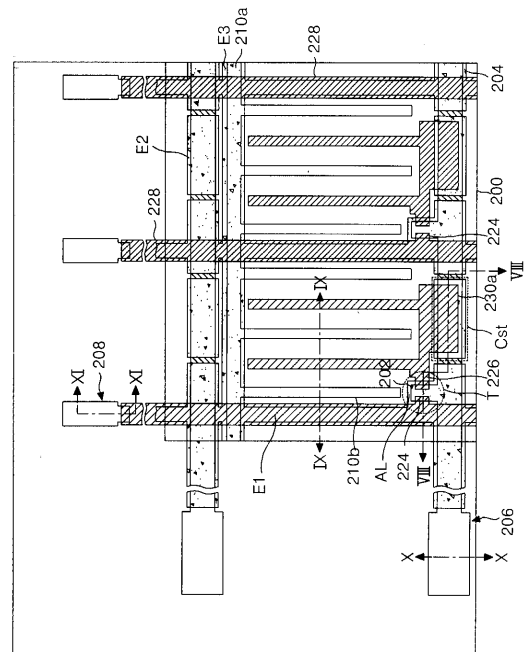
【図 3 6 d】



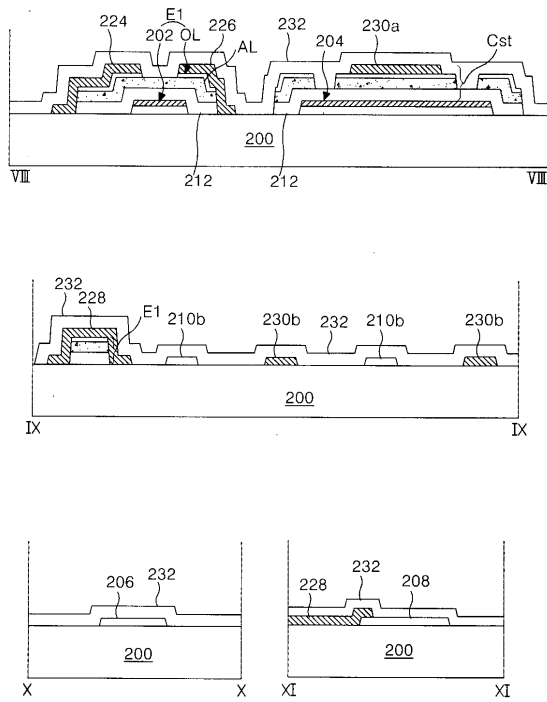
【図 3 6 e】



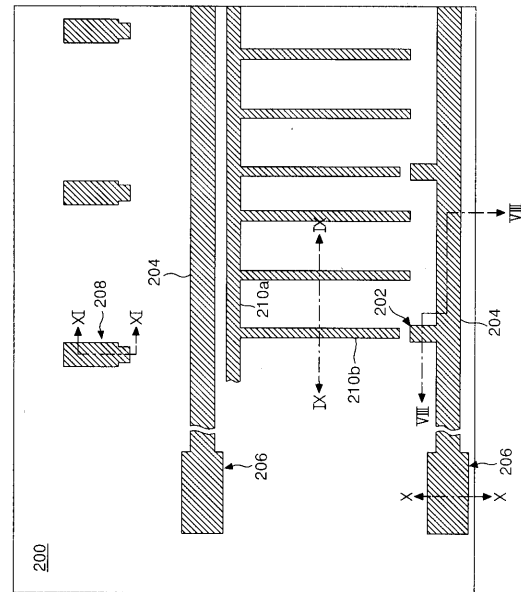
【図 3 7】



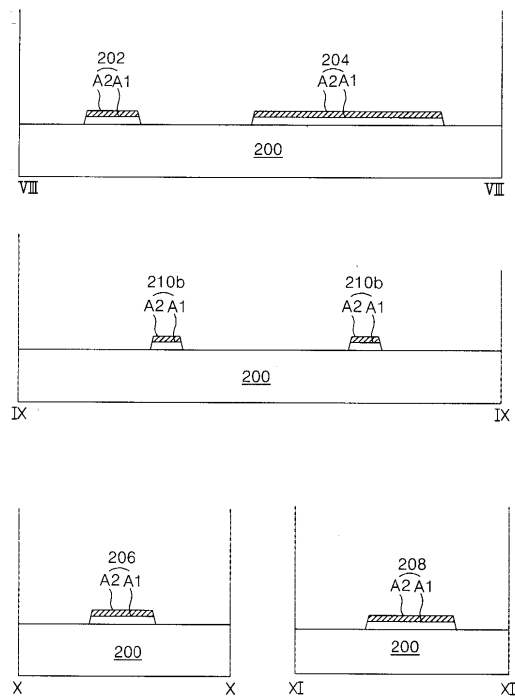
【図 38】



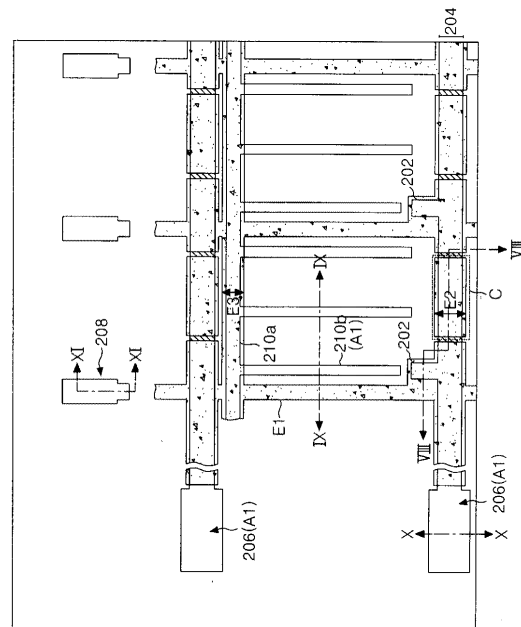
【図 39 a】



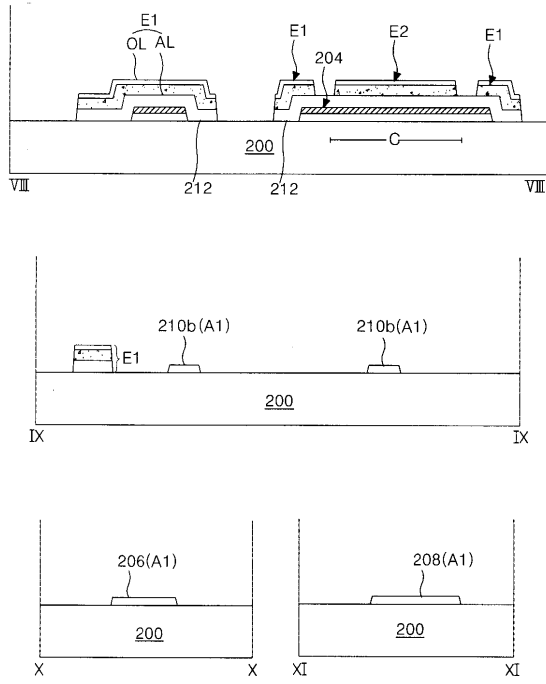
【図 39 b】



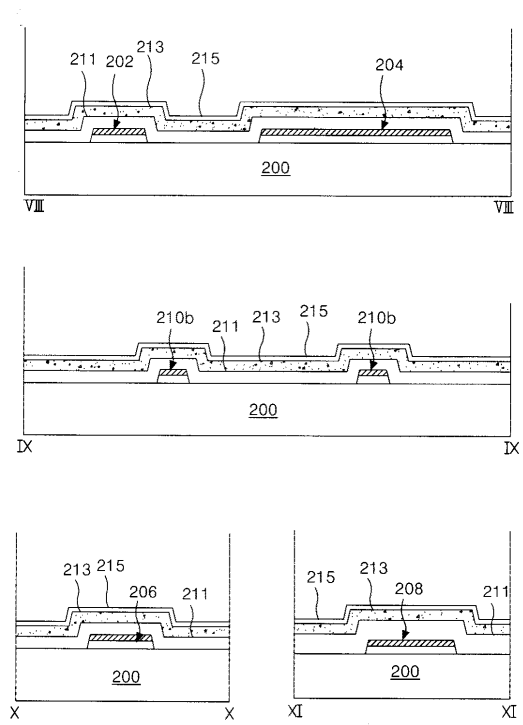
【図 40 a】



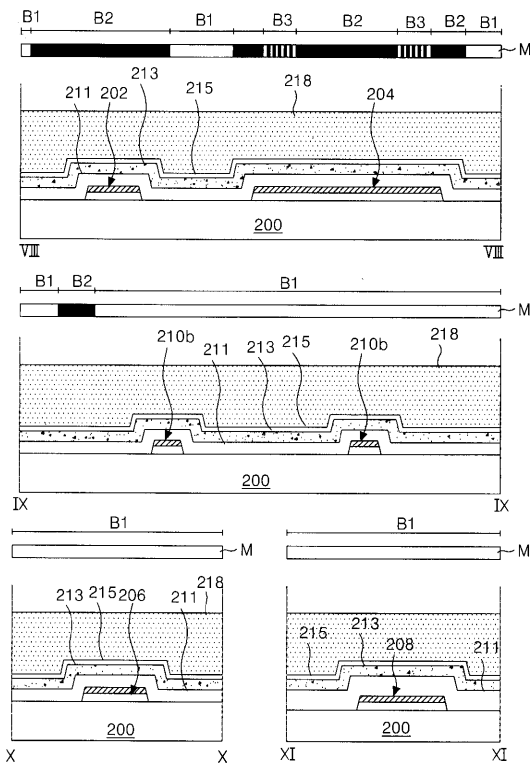
【図 40 b】



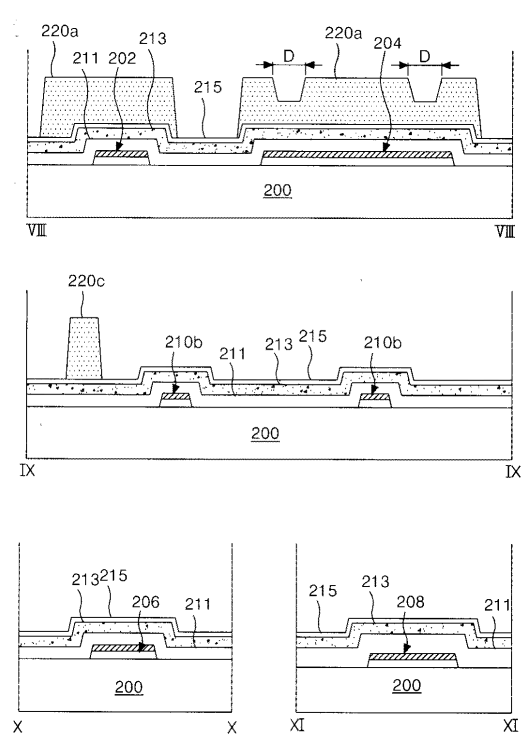
【図 41 a】



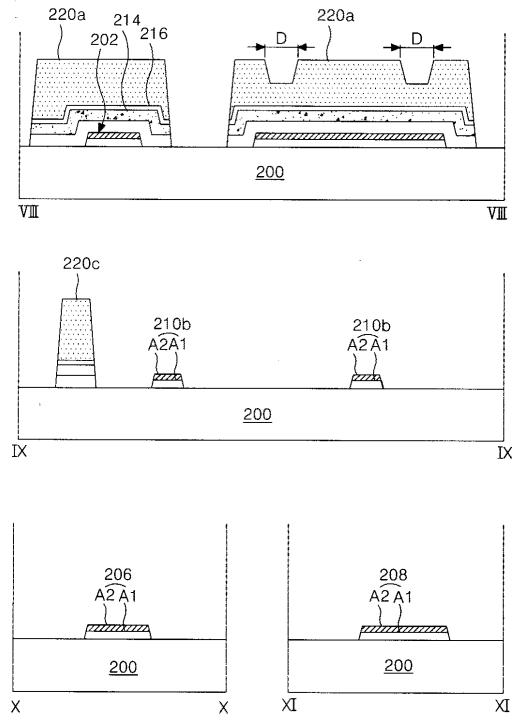
【図 41 b】



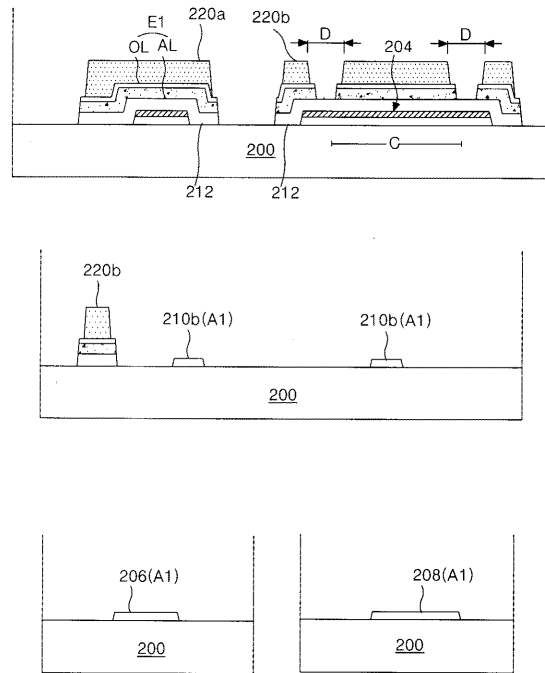
【図 41 c】



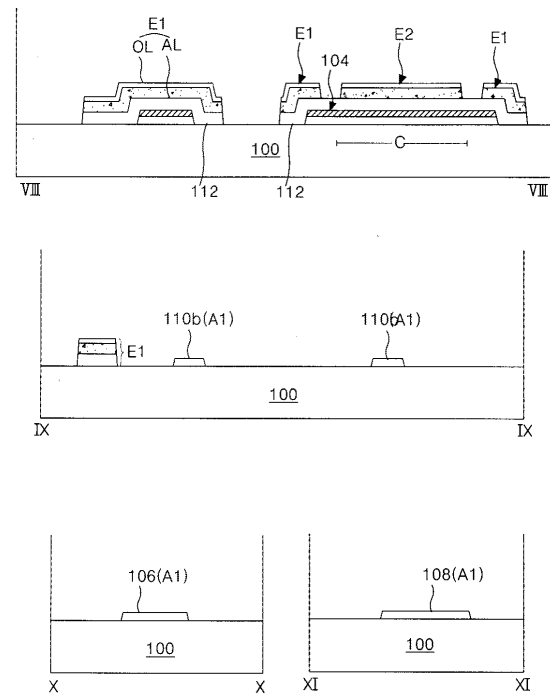
【図 4 1 d】



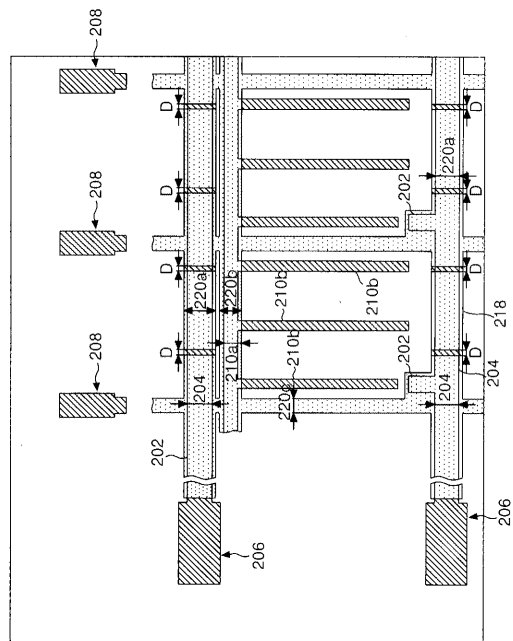
【図 4 1 e】



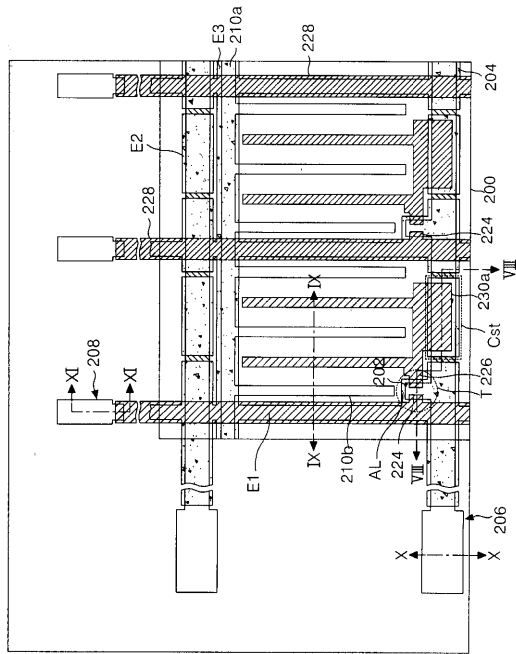
【図 4 1 f】



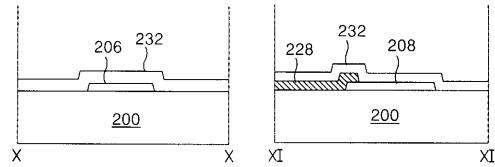
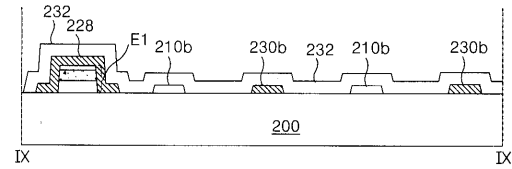
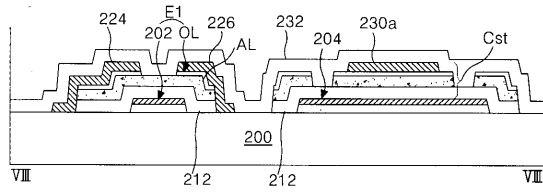
【図 4 2】



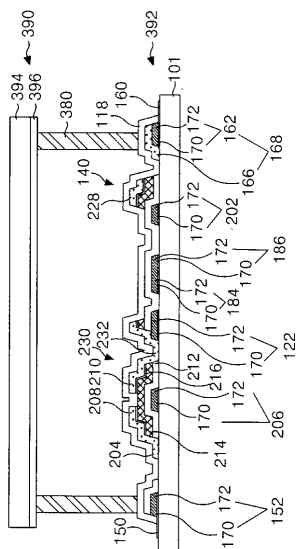
【 図 4 3 a 】



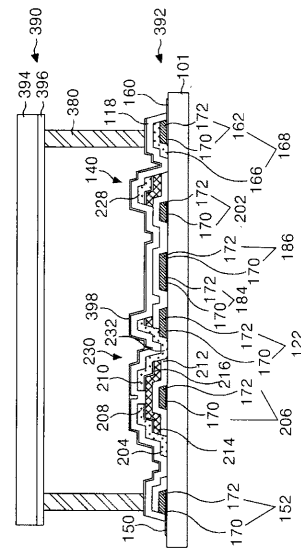
【 図 4 3 b 】



【 図 4 4 】



【 図 4 5 】



フロントページの続き

(31)優先権主張番号 2003-100325

(32)優先日 平成15年12月30日(2003.12.30)

(33)優先権主張国 韓国(KR)

(72)発明者 安 炳 哲

大韓民国 京畿道 安養市 東安區 坪村洞 899-2 ヒャンチョン アパート 203-903号

(72)発明者 柳 洵 城

大韓民国 京畿道 軍浦市 山本洞 ケムガン アパート 915-1402号

(72)発明者 權 五 楠

大韓民国 京畿道 龍仁市 器興邑 甫羅里 570 ミンソクメウル ヒュンデ モーニングサイド 313-402

(72)発明者 張 允 ▲ギョン▼

大韓民国 京畿道 儀旺市 五全洞 21 ジンダルレ アパート 103-807号

(72)発明者 崔 洛 奉

大韓民国 京畿道 水原市 長安區 泉川洞 サムスングラミアン アパート 102-1302号

(72)発明者 南 承 熙

大韓民国 京畿道 水原市 長安區 栗田洞 394-22 502号

合議体

審判長 吉野 公夫

審判官 杉山 輝和

審判官 江成 克己

(56)参考文献 特開2001-264810(JP,A)

特開2001-221992(JP,A)

特開2002-107762(JP,A)

特開平06-310533(JP,A)

特開平03-064737(JP,A)

特開2002-202527(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1343

G02F 1/1345

G02F 1/136

专利名称(译)	卧式电场型液晶显示面板		
公开(公告)号	JP4727201B2	公开(公告)日	2011-07-20
申请号	JP2004300817	申请日	2004-10-14
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji.菲利普斯杜天公司，有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	安炳哲 柳洵城 權五楠 張允ギョン 崔洛奉 南承熙		
发明人	安 炳 哲 柳 洵 城 權 五 楠 張 允 ▲ギョン▼ 崔 洛 奉 南 承 熙		
IPC分类号	G02F1/1343 G02F1/1345 G02F1/1368 G02F1/1362		
CPC分类号	G02F1/13458 G02F1/134363 G02F2001/136222 G02F2001/136236		
FI分类号	G02F1/1343 G02F1/1345 G02F1/1368		
F-TERM分类号	2H092/GA14 2H092/HA02 2H092/JA24 2H092/JA37 2H092/JA41 2H092/JB57 2H092/JB61 2H092/MA12 2H092/NA25 2H092/NA27 2H092/PA06 2H092/PA08 2H192/AA24 2H192/BB02 2H192/BB03 2H192/BB04 2H192/BB72 2H192/BB73 2H192/BB86 2H192/BC31 2H192/CB05 2H192/CB46 2H192/CC32 2H192/DA02 2H192/FA65 2H192/HA44 2H192/HA66 2H192/JA33		
代理人(译)	朝日 伸光		
优先权	1020030071362 2003-10-14 KR 1020030071378 2003-10-14 KR 1020030071402 2003-10-14 KR 1020030100325 2003-12-30 KR		
其他公开文献	JP2005122185A		
外部链接	Espacenet		

摘要(译)

要解决的问题：减少制造薄膜晶体管（TFT）阵列基板的步骤数，并降低制造水平电场型液晶显示板的制造单价。解决方案：水平电场型液晶显示面板具有TFT阵列基板，该TFT阵列基板具有与水平电场型液晶显示面板兼容的TFT，用于保护TFT的保护膜，连接到TFT的像素电极122，公共电极184连接到公共线186并与像素电极一起形成水平电场，并且焊盘连接到栅极线102，数据线104和公共线186中的一个并形成在透明导电膜上170；滤色器阵列基板，与TFT阵列基板相对设置，并与TFT阵列基板连接。透明导电膜170的至少一部分在焊盘处露出。Ž

従来技術

