

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4682278号
(P4682278)

(45) 発行日 平成23年5月11日 (2011.5.11)

(24) 登録日 平成23年2月18日 (2011.2.18)

(51) Int.Cl.

F I

G O 2 F 1/1368 (2006.01)

G O 2 F 1/1368

請求項の数 9 (全 12 頁)

(21) 出願番号	特願2006-300180 (P2006-300180)	(73) 特許権者	510134581
(22) 出願日	平成18年11月6日 (2006.11.6)		奇美電子股▲ふん▼有限公司
(65) 公開番号	特開2007-156442 (P2007-156442A)		Chimei Innolux Corp
(43) 公開日	平成19年6月21日 (2007.6.21)		oration
審査請求日	平成18年11月6日 (2006.11.6)		台湾苗栗縣竹南鎮科學路160號 新竹
(31) 優先権主張番号	11/295,422		科學工業園區
(32) 優先日	平成17年12月5日 (2005.12.5)		No. 160 Kesyue Rd., C
(33) 優先権主張国	米国 (US)		hu-Nan Site, Hsinchu
			Science Park, Chu-N
			an 350, Miao-Li Coun
			ty, Taiwan,
		(74) 代理人	230104019
			弁護士 大野 聖二
		(74) 代理人	100106840
			弁理士 森田 耕司
最終頁に続く			

(54) 【発明の名称】 低温ポリシリコン薄膜トランジスタ液晶ディスプレイ装置に用いられる積層蓄積容量構造

(57) 【特許請求の範囲】

【請求項 1】

基板と、

第1の導電層、第2の導電層、およびこれらの間に位置する第1の絶縁層を含み、前記第2の導電層が前記第1の導電層の上方に配置され、前記基板の上方に配置される第1の蓄積容量と、

第1の部分および延伸された第2の部分を含む第3の導電層と、

前記第2の導電層、前記第3の導電層の前記延伸された第2の部分、およびこれらの間に位置する第2の絶縁層を含み、前記第3の導電層の前記延伸された第2の部分が前記第2の導電層の上方に配置されており、前記第1の蓄積容量上方に位置してこれと電氣的に接続する第2の蓄積容量と、

前記第2の絶縁層と前記第3の導電層の前記延伸された第2の部分との間に位置する第3の絶縁層とを備え、

前記第3の絶縁層は、前記第2の蓄積容量に対応する部分に開口を有し、

前記第2の絶縁層は、前記第3の絶縁層の開口に対応する部分に凹部を有することで、当該凹部の厚さが、前記第2の絶縁層の他の部分に比べて薄く形成されており、

前記第3の導電層の第2の部分の一部が前記第2の絶縁層の前記凹部に直接接している低温ポリシリコン薄膜トランジスタ液晶ディスプレイ装置に用いられる積層蓄積容量構造

。

【請求項 2】

10

20

ビアをその中に有する保護層、および前記保護層上方に形成される画素電極をさらに備え、前記画素電極が、前記ビアを介して前記第3の導電層の前記第1の部分と電氣的に接続する請求項1記載の低温ポリシリコン薄膜トランジスタ液晶ディスプレイ装置に用いられる積層蓄積容量構造。

【請求項3】

前記第2の絶縁層の前記凹部の厚さが800～1200である請求項1記載の低温ポリシリコン薄膜トランジスタ液晶ディスプレイ装置に用いられる積層蓄積容量構造。

【請求項4】

前記基板が基板およびその上の緩衝層を含む請求項1記載の低温ポリシリコン薄膜トランジスタ液晶ディスプレイ装置に用いられる積層蓄積容量構造。

10

【請求項5】

前記第3の導電層の前記第1の部分が、前記第3の絶縁層、前記第2の絶縁層および前記第1の絶縁層を通して前記第1の導電層と電氣的に接続する請求項4記載の低温ポリシリコン薄膜トランジスタ液晶ディスプレイ装置に用いられる積層蓄積容量構造。

【請求項6】

前記第2の絶縁層には窒化シリコンが含まれる請求項5記載の低温ポリシリコン薄膜トランジスタ液晶ディスプレイ装置に用いられる積層蓄積容量構造。

【請求項7】

請求項1に記載の低温ポリシリコン薄膜トランジスタ液晶ディスプレイ装置に用いられる積層蓄積容量構造、

20

TFTアレイ基板に対向するカラーフィルタ基板、および、
前記TFTアレイ基板と前記カラーフィルタ基板との間に位置する液晶層、
を備える低温ポリシリコン薄膜トランジスタ液晶ディスプレイパネル。

【請求項8】

請求項7に記載の低温ポリシリコン薄膜トランジスタ液晶ディスプレイパネル、および、
前記低温ポリシリコン薄膜トランジスタ液晶ディスプレイパネルに接続され、入力に応じて前記パネルを制御し画像を表示させる(render images)コントローラ、
を備える低温ポリシリコン薄膜トランジスタ液晶ディスプレイ装置。

30

【請求項9】

請求項8に記載の低温ポリシリコン薄膜トランジスタ液晶ディスプレイ装置、および、
前記低温ポリシリコン薄膜トランジスタ液晶ディスプレイ装置の前記コントローラに接続され、前記ディスプレイ装置を制御して画像を表示させる(render images)入力装置、
を備える電子デバイス。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は低温ポリシリコン薄膜トランジスタ液晶ディスプレイ装置(LTPS TFT-LCD)に関し、より詳細には積層蓄積容量構造(stacked storage capacitor structure)およびその製造方法に関するものである。

40

【背景技術】

【0002】

図1Aは、従来のLTPS TFT-LCDに用いられる蓄積容量が形成された画素の平面図であり、図1Bは、図1Aに示される画素のA-A'線で切り取った断面図であり、図1Cは、図1Aに示される画素の等価回路である。

【0003】

図1Aには、蓄積容量12、TFT14およびその上に配置される画素電極140を備えた画素10が示されている。信号線16およびゲート線18はTFT14近傍にて交差すると共に、画素10を囲うように配置されている。画素電極140および蓄積容量12は、ビア146を介してTFT14に電氣的に接続する。

50

【 0 0 0 4 】

図 1 B には、緩衝層 1 0 8、第 1 の導電層である p - S i 層 1 1 2、ゲート絶縁層 1 1 6、第 2 の導電層 1 2 0、第 1 の層間誘電層 1 2 4、および第 2 の層間誘電層 1 2 8 を含む処理済みの基板 (processed substrate) 1 0 4 が示されている。p - S i 層 1 1 2 と、第 2 の導電層 1 2 0 と、これらの間に位置するゲート絶縁層 1 1 6 とが蓄積容量 (C s t) 1 2 を構成する。そして周知のプロセスによって金属層 1 3 2 が形成された後、金属層 1 3 2 および第 2 の層間誘電層 1 2 8 上方に、ビア 1 4 6 をその中に有する保護層 1 3 6 が形成される。さらに、保護層 1 3 6 およびビア 1 4 6 上方に透明画素電極 1 4 0 がコンフォーマルに形成される。画素電極 1 4 0 は I T O または I Z O からなる。加えて、基板 1 0 4 の他方の側にバックライトモジュール 1 4 8 が配置されることにより、L T P S T F T - L C D 用の T F T アレイ基板 1 0 0 が完成する。矢印 1 4 4 はバックライトモジュール 1 4 8 からの光線を示している。

10

【 0 0 0 5 】

図 1 C には、図 1 A における画素の等価回路が示されている。

【 0 0 0 6 】

ディスプレイに対する高解像度への要求がますます高まる中、その要求を満足させるため、画素サイズは縮小が要されており、よって L T P S T F T - L C D に使用される蓄積容量の面積も同時に縮小させねばなくなっている。ディスプレイの解像度を高めるためには、好適な開口率を維持するべく、各画素における蓄積容量が使用可能な面積を減少させる必要がある。またこれと同時に、フリッカー、残像やクロストークなどといった問題も発生し易くなる。

20

【 0 0 0 7 】

そこで、画素の開口率を犠牲にすることなく電荷蓄積容量を増加させ得る、または、L T P S T F T - L C D 中の画素の開口率を高めながら電荷蓄積容量も維持できるような新規な構造が望まれる。

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 8 】

上述に鑑みて、本発明の目的は、L T P S T F T - L C D に用いられる積層蓄積容量構造を提供することにある。

30

【 課題を解決するための手段 】

【 0 0 0 9 】

本発明は、L T P S T F T - L C D に用いられる積層蓄積容量構造を開示するものである。本発明の第 1 の実施形態は、処理済み基板 (processed substrate)、第 1 の蓄積容量および第 2 の蓄積容量を備える。第 1 の蓄積容量は、第 1 の導電層、第 2 の導電層、およびこれらの間に位置する第 1 の絶縁層を含み、第 2 の導電層は第 1 の導電層上方に配置され、かつ、第 1 の蓄積容量は処理済み基板上方に配置される。当該積層蓄積容量構造は、第 1 の部分および延伸された第 2 の部分を含む第 3 の導電層をさらに備える。第 2 の蓄積容量は、第 2 の導電層、第 3 の導電層の延伸された第 2 の部分、およびこれらの間に位置する第 2 の絶縁層を含み、第 3 の導電層の延伸された第 2 の部分は第 2 の導電層上方に形成され、第 2 の蓄積容量は第 1 の蓄積容量上に配置されると共にこれと電氣的に接続される。第 2 の絶縁層と第 3 の導電層の延伸された第 2 の部分との間に位置する第 3 の絶縁層は、第 2 の蓄積容量に対応する部分に開口を有する。第 2 の絶縁層は、第 3 の絶縁層の開口に対応する部分に凹部を有することで、凹部の厚さが、第 2 の絶縁層の他の部分に比べて薄く形成されている。第 3 の導電層の第 2 の部分の一部が第 2 の絶縁層の凹部に直接接している。

40

【 0 0 1 0 】

第 1 の実施形態は、ビアをその中に有する保護層、および保護層上に形成される画素電極をさらに備え、画素電極はビアを介して第 3 の導電層の第 1 の部分と電氣的に接続する。加えて、当該実施形態は、第 2 の絶縁層と第 3 の導電層の延伸された第 2 の部分との間

50

に位置する第3の絶縁層をさらに備え、この第3の絶縁層および第2の絶縁層は凹部を有する。

【0011】

また、本発明の第2の実施形態におけるように、第2の導電層と第3の導電層の延伸された第2の部分との間に配置される第3の絶縁層をさらに備え、第2の絶縁層が、その第3の絶縁層に直接覆われる第2の導電層の第3の部分に当たる位置に、凹部を有することが好ましい。

【発明の効果】

【0012】

本発明の実施形態によれば、第3の導電層の延伸された部分を利用することで、画素の面積を余分に占有することなく、第2の蓄積容量を第1の蓄積容量上に形成させることができるので、開口率に影響を与えずに電荷蓄積容量を増加させることができる。特に、第3の導電層の第1の部分および延伸された第2の部分が同時に形成されるため、プロセスの複雑度とコストが低減される。

【発明を実施するための最良の形態】

【0013】

第1の実施形態

本発明の上述およびその他の目的、特徴ならびに長所がより明らかに理解されるよう、以下に好ましい実施形態を挙げ、図面と対応させながら詳細に説明する。

【0014】

図2Aは、本発明の1実施形態によるLTFT-LCD用の積層蓄積容量構造が形成された画素の平面図であり、図2Eは、図2Aに示される画素の線B-B'で切り取った断面図であり、図2Bから図2Eは該積層蓄積容量構造の製造方法を示す断面図であり、図2Fは、図2Aに示される画素の等価回路である。

【0015】

図2Aには、第1の蓄積容量(Cst)22および第2の蓄積容量(Cst')29を含む積層蓄積容量構造、TFT24、ならびにその上方に配置される画素電極240を備える画素20が示されている。信号線26とゲート線28は、TFT24近傍にて交差すると共に、画素20を囲うように配置されている。第2の蓄積容量(Cst')29は第1の蓄積容量(Cst)22の上方に位置する。画素電極240および積層蓄積容量構造はビア246を介してTFT24に電氣的に接続する。

【0016】

図2Bには、基板204、緩衝層208、第1の導電層であるp-Si層212、ゲート絶縁層216、第2の導電層220、第1の層間誘電層224、および第2の層間誘電層228が示されている。p-Si層212と、第2の導電層220と、これらの間に位置するゲート絶縁層216とが第1の蓄積容量(Cst)22を構成する。

【0017】

図2Cにおいて、フォトリソグラフィとエッチングにより開口230および232が順次形成される。つまり、第2の層間誘電層228上にはフォトレジストパターン(図示せず)が形成されており、該フォトレジストパターンをエッチングマスクとして用いてウェットエッチングまたはドライエッチングを行い、第2の層間誘電層228の領域I内における部分を完全にエッチングし、かつ、第1の層間誘電層224の領域I内における部分を一部エッチングすることにより、第2の層間誘電層228aおよび第1の層間誘電層224aが形成される。第1の層間誘電層224aおよび第2の層間誘電層228aの厚さは800~3000、好ましくは3000であるが、領域I内における第1の層間誘電層224aの厚さ231は1000であるのが好ましい。第1の層間誘電層にはSiNxまたはSiOxが含まれる。

【0018】

図2Dにおいて、公知のCVD、ECPまたはPVDにより、第1の部分232aと、第2の層間誘電層228aの一部上方に延伸している延伸された第2の部分232bとを

10

20

30

40

50

含む第3の導電層が堆積される。第1の部分232aおよび延伸された第2の部分232bは、それぞれ領域IIおよびIIIにより画定される。開口232はAlまたはCuなどの金属材料で充填される。第3の導電層と、第2の導電層220と、これらに挟まれる第1の層間誘電層224aとが第2の蓄積容量(Cst')29を構成する。

【0019】

図2Eにおいて、周知のプロセスにより第3の導電層および第2の層間誘電層228a上方に、ビア246をその中に有する保護層236が形成される。保護層236およびビア246上には透明画素電極240がコンフォーマルに形成される。この画素電極240にはITOまたはIZOが含まれる。さらに、基板204のもう一方の側にバックライトモジュール248が配置されると、LTPTS TFT-LCDに用いられるTFTアレイ基板200が完成する。矢印244はバックライトモジュール248からの光線を示す。

【0020】

図2Fにおいて、上述した方法により得られた、第1の蓄積容量(Cst)22および第2の蓄積容量(Cst')29を含む積層蓄積容量構造は、従来技術よりも容量が増加する、つまり第2の蓄積容量(Cst')29の分だけ容量が増える。

【0021】

図2Gは、上述のTFTアレイ基板200とカラーフィルタ基板252を貼り合わせると共に、その間に液晶層250を形成させて得られたLTPTS TFT-LCDパネル2000である。

【0022】

第2の実施形態

図3Aは、本発明の第2の実施形態によるLTPTS TFT-LCD用の積層蓄積容量構造が形成された画素の平面図であり、図3Gは、図3Aに示される画素の線C-C'で切り取った断面図であり、図3Bから図3Gは該積層蓄積容量構造の製造方法を示す断面図である。

【0023】

図3Aには、第1の蓄積容量(Cst)32および第2の蓄積容量(Cst')39を含む積層蓄積容量構造、TFT34、ならびにその上方に配置される画素電極340を備える画素30が示されている。信号線36とゲート線38は、TFT34近傍にて交差すると共に、画素30を囲うように配置されている。第2の蓄積容量(Cst')39は第1の蓄積容量(Cst)32の上方に位置する。画素電極340および積層蓄積容量構造はビア346を介してTFT34に電氣的に接続する。

【0024】

図3Bには、基板304、緩衝層308、第1の導電層であるp-Si層312、ゲート絶縁層316、第2の導電層320、および第1の層間誘電層324が示されている。p-Si層312と、第2の導電層320と、これらの間に位置するゲート絶縁層316とが第1の蓄積容量(Cst)32を構成する。

【0025】

図3Cにおいて、フォトリソグラフィーとエッチングにより開口326が形成される。つまり、第1の層間誘電層324上にはフォトレジストパターン(図示せず)が形成されており、該フォトレジストパターンをエッチングマスクとして用いウェットエッチングまたはドライエッチングを行って第1の層間誘電層324をエッチングすることにより、第1の層間誘電層324aが形成される。より具体的にいうと、第1の層間誘電層324の領域I'内における部分は完全に除去されるため、第2の導電層320の一部表面327が露出することとなる。

【0026】

図3Dにおいて、第1の層間誘電層324aおよび第2の導電層320の露出された表面327上に第2の層間誘電層328がコンフォーマルに堆積される。第2の層間誘電層328を形成させる方式としては、CVDまたはPECVDを挙げることができる。第2の層間誘電層328にはSiN_xまたはSiO_xが含まれ、その厚さは400~1200

10

20

30

40

50

、好ましくは600～700である。

【0027】

図3Eにおいて、p-Si層312の一部表面が露出するまで第2の層間誘電層328、第1の層間誘電層324aおよびゲート絶縁層316にウェットまたはドライエッチングを施すことにより開口330が形成される。また、これによって第2の層間誘電層328a、第1の層間誘電層324aおよびゲート絶縁層316aが残される。

【0028】

図3Fにおいて、公知のCVD、ECPまたはPVDによって、第1の部分332aと、第2の層間誘電層328aの一部上方に延伸している延伸された第2の部分332bとを含む第3の導電層が堆積される。第1の部分332aおよび延伸された第2の部分332bは、それぞれ領域II'およびIII'により画定される。開口330はAlまたはCuなどの金属材料で充填される。第3の導電層と、第2の導電層と、これらに挟まれる第2の層間誘電層328aとが第2の蓄積容量(Cst')39を構成する。

10

【0029】

図3Gにおいて、周知のプロセスにより、第3の導電層および第2の層間誘電層328a上方に、ビア346をその中に有する保護層336が形成される。保護層336およびビア346上には透明画素電極340がコンフォーマルに形成される。画素電極340にはITOまたはIZOが含まれる。さらに、基板304のもう一方の側にバックライトモジュール348が配置されると、LTPS TFT-LCDに用いられるTFTアレイ基板300が完成する。矢印344はバックライトモジュール348からの光線を示す。

20

【0030】

図2Fと同じ様に、上述した方法によれば、従来技術よりも容量が増加した、つまり第2の蓄積容量(Cst')39の分だけ容量が増えた、第1の蓄積容量(Cst)32および第2の蓄積容量(Cst')39を含む積層蓄積容量構造が形成される。

【0031】

図3Hは、上述のTFTアレイ基板300とカラーフィルタ基板352を貼り合わせると共に、その間に液晶層350を形成させて得られるLTPS TFT-LCDパネル3000である。

【0032】

図4は、本発明による図2GのLTPS TFT-LCDパネル2000を用いたLTPS TFT-LCD装置を説明する概略図である。図2Gに示されるLTPS TFT-LCDパネル2000がコントローラ3と接続してLTPS TFT-LCD装置4が形成される。コントローラ3はソースおよびゲート駆動回路(図示せず)を備えており、入力に基づいてLTPS TFT-LCDパネル2000を制御できるようになっている。別の実施形態においては、図4のLTPS TFT-LCDパネル2000をLTPS TFT-LCDパネル3000に置き換えることもできる。

30

【0033】

図5は、図4に示されるLTPS TFT-LCD装置4を用いた電子デバイスを説明する概略図である。入力装置5が図4に示されるLTPS TFT-LCD装置4のコントローラ3に接続して、電子デバイス6が形成される。入力装置5としては、コントローラ3にデータを入力して画像を表示させる(render an image)ことのできるような、プロセッサおよびこれに類似するものが挙げられる。電子デバイス6は、PDA、ノートブックコンピュータ、タブレットコンピュータ、携帯電話などの携帯型デバイス、ディスプレイモニターデバイス、またはデスクトップコンピュータなどの非携帯型デバイスであり得る。

40

【0034】

本発明の実施形態によれば、第3の導電層の延伸された部分を利用することで、画素の面積を余分に占有することなく、第2の蓄積容量を第1の蓄積容量上に形成させることができるため、開口率に影響を与えずに電荷蓄積容量を増加させることができる。特に、第3の導電層の第1の部分および延伸された第2の部分は同時に形成されるため、プロセス

50

の複雑度とコストが低減される。

【 0 0 3 5 】

本発明を好ましい実施形態によって以上のように開示したが、これは本発明を限定しようとするものではなく、当業者であれば、本発明の精神と範囲を逸脱しない限りにおいて変更および修飾を施すことができる。よって、本発明の保護範囲は、添付の特許請求の範囲で定義されたものが基準とされる。

【図面の簡単な説明】

【 0 0 3 6 】

【図 1 A】図 1 A は、従来の L T P S T F T - L C D 用の蓄積容量が形成された画素の平面図である。

10

【図 1 B】図 1 B は、図 1 A に示される画素の A - A ' 線で切り取った断面図である。

【図 1 C】図 1 C は、図 1 A に示される画素の等価回路である。

【図 2 A】図 2 A は、本発明の第 1 の実施形態による L T P S T F T - L C D 用の積層蓄積容量構造が形成された画素の平面図である。

【図 2 B】図 2 B は、該積層蓄積容量構造の製造方法を示す断面図である。

【図 2 C】図 2 C は、該積層蓄積容量構造の製造方法を示す断面図である。

【図 2 D】図 2 D は、該積層蓄積容量構造の製造方法を示す断面図である。

【図 2 E】図 2 E は、図 2 A に示される画素の線 B - B ' で切り取った断面図である。

【図 2 F】図 2 F は、図 2 A に示される画素の等価回路である。

【図 2 G】図 2 G は、L T P S T F T - L C D パネルの断面図である。

20

【図 3 A】図 3 A は、本発明の第 2 の実施形態による L T P S T F T - L C D 用の積層蓄積容量構造が形成された画素の平面図である。

【図 3 B】図 3 B は、該積層蓄積容量構造の製造方法を示す断面図である。

【図 3 C】図 3 C は、該積層蓄積容量構造の製造方法を示す断面図である。

【図 3 D】図 3 D は、該積層蓄積容量構造の製造方法を示す断面図である。

【図 3 E】図 3 E は、該積層蓄積容量構造の製造方法を示す断面図である。

【図 3 F】図 3 F は、該積層蓄積容量構造の製造方法を示す断面図である。

【図 3 G】図 3 G は、図 3 A に示される画素の線 C - C ' で切り取った断面図である。

【図 3 H】図 3 H は、L T P S T F T - L C D パネルの断面図である。

【図 4】本発明による L T P S T F T - L C D 装置の概略図である。

30

【図 5】図 4 に示される L T P S T F T - L C D 装置を用いた電子デバイスの概略図である。

【符号の説明】

【 0 0 3 7 】

I、II、III、I'、II'、III' 領域

2 0 画素

2 2 第 1 の蓄積容量

2 4 T F T

2 6 信号線

2 8 ゲート線

40

2 9 第 2 の蓄積容量

2 0 0 T F T アレイ基板

2 0 4 基板

2 0 8 緩衝層

2 1 2 p - S i 層

2 1 6 ゲート絶縁層

2 2 0 第 2 の導電層

2 2 4、2 2 4 a 第 1 の層間誘電層

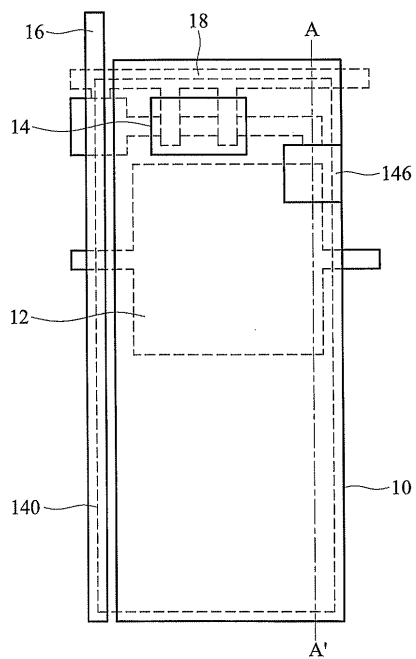
2 2 8、2 2 8 a 第 2 の層間誘電層

2 3 0 開口

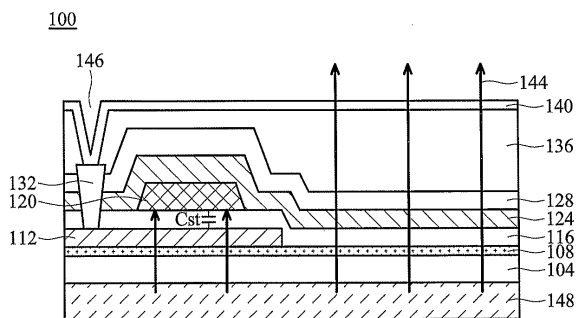
50

2 3 1	厚さ	
2 3 2	開口	
2 3 2 a	第 3 の導電層の第 1 の部分	
2 3 2 b	第 3 の導電層の第 2 の部分	
2 3 6	保護層	
2 4 0	画素電極	
2 4 4	光線を示す矢印	
2 4 6	ビア	
2 4 8	バックライトモジュール	
2 5 0	液晶層	10
2 5 2	カラーフィルタ基板	
2 0 0 0	L T P S T F T - L C D パネル	
3 0	画素	
3 2	第 1 の蓄積容量	
3 4	T F T	
3 6	信号線	
3 8	ゲート線	
3 9	第 2 の蓄積容量	
3 0 0	T F T アレイ基板	
3 0 4	基板	20
3 0 8	緩衝層	
3 1 2	p - S i 層	
3 1 6	ゲート絶縁層	
3 2 0	第 2 の導電層	
3 2 4、3 2 4 a	第 1 の層間誘電層	
3 2 6	開口	
3 2 7	表面	
3 2 8、3 2 8 a	第 2 の層間誘電層	
3 3 0	開口	
3 3 2 a	第 3 の導電層の第 1 の部分	30
3 3 2 b	第 3 の導電層の第 2 の部分	
3 3 6	保護層	
3 4 0	画素電極	
3 4 4	光線を示す矢印	
3 4 6	ビア	
3 4 8	バックライトモジュール	
3 5 0	液晶層	
3 5 2	カラーフィルタ基板	
3 0 0 0	L T P S T F T - L C D パネル	
3	コントローラ	40
4	L T P S T F T - L C D 装置	
5	入力装置	
6	電子デバイス	

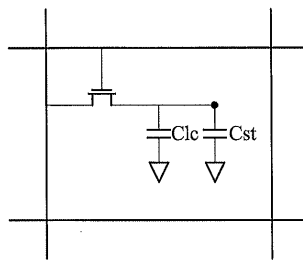
【図 1 A】



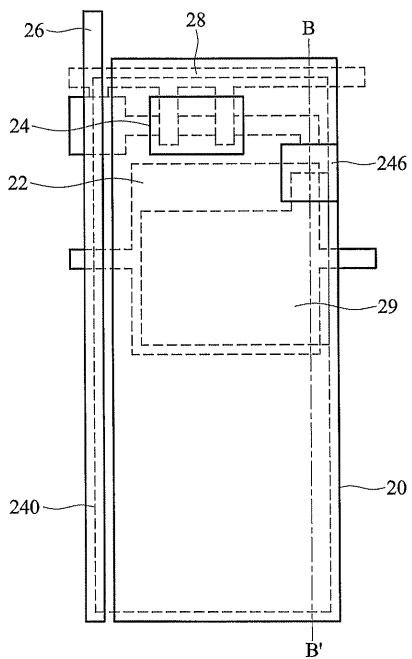
【図 1 B】



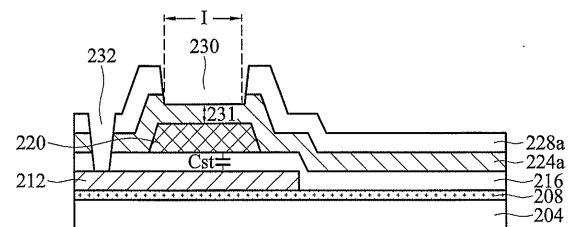
【図 1 C】



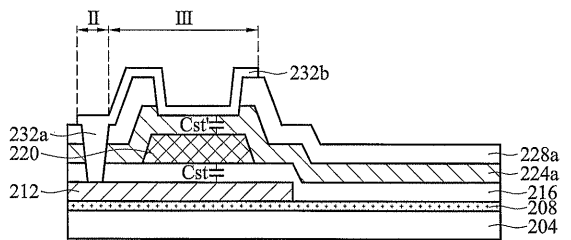
【図 2 A】



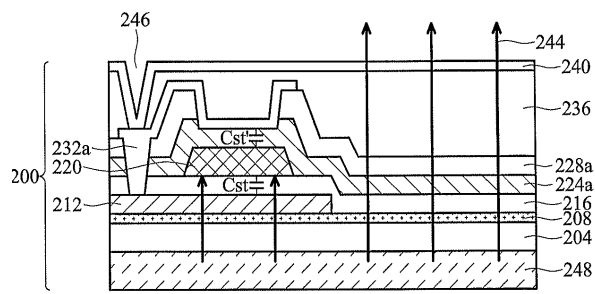
【図 2 C】



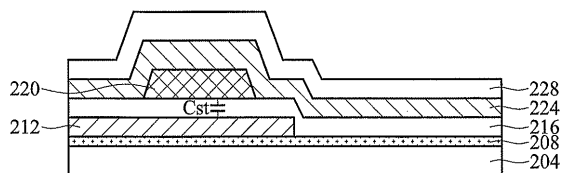
【図 2 D】



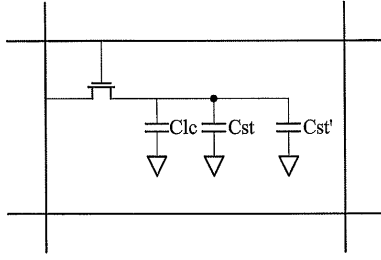
【図 2 E】



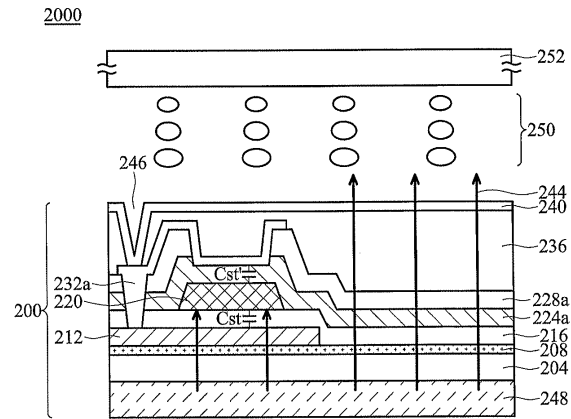
【図 2 B】



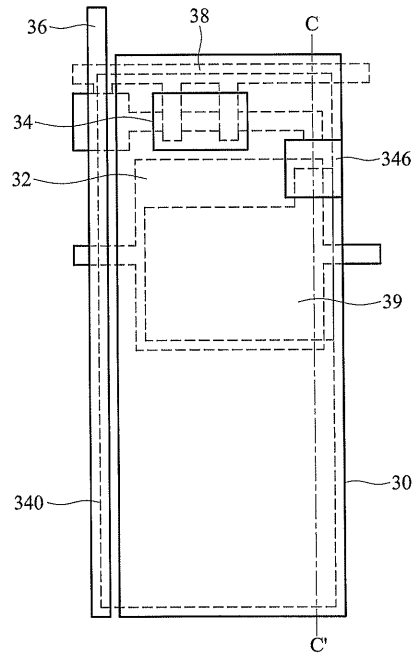
【図 2 F】



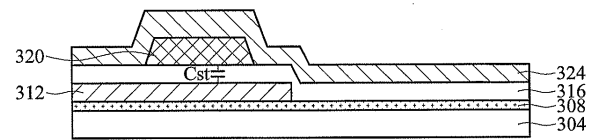
【図 2 G】



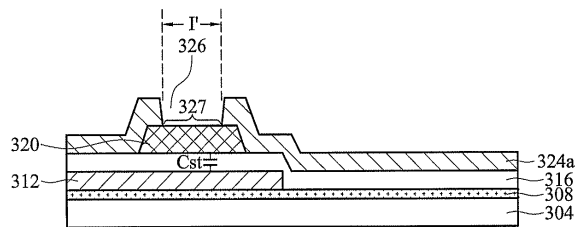
【図 3 A】



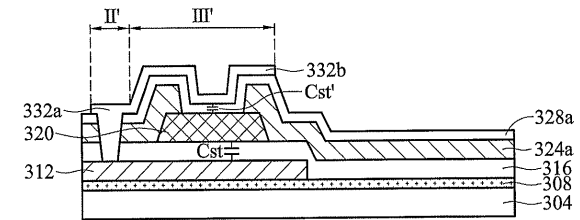
【図 3 B】



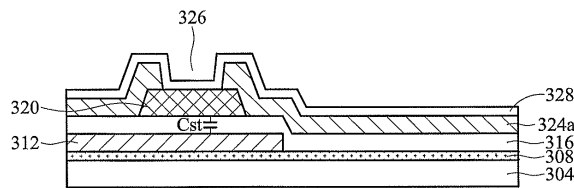
【図 3 C】



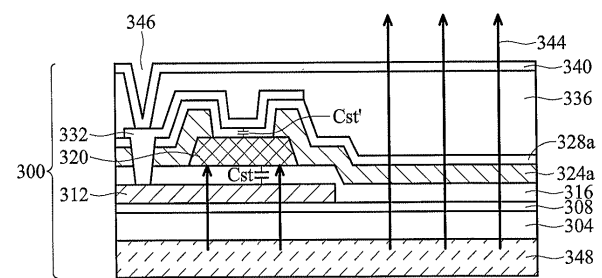
【図 3 F】



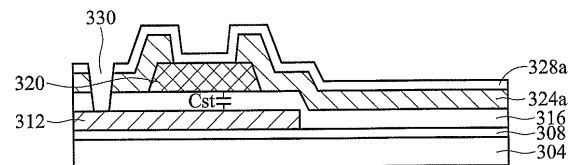
【図 3 D】



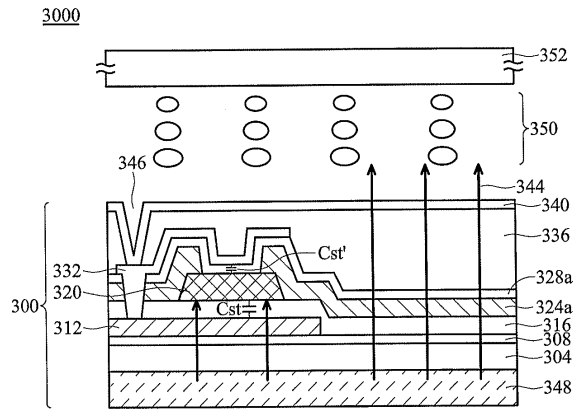
【図 3 G】



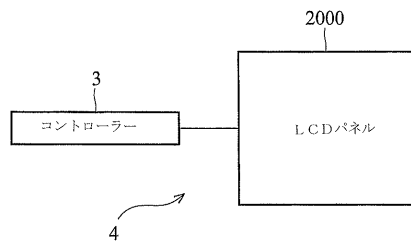
【図 3 E】



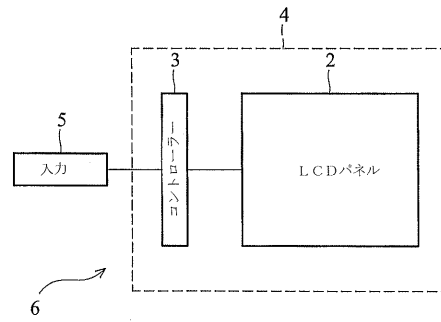
【図 3 H】



【図 4】



【図 5】



フロントページの続き

- (74)代理人 100115808
弁理士 加藤 真司
- (74)代理人 100113549
弁理士 鈴木 守
- (74)代理人 100117444
弁理士 片山 健一
- (74)代理人 100115679
弁理士 山田 勇毅
- (72)発明者 李 牧家
台湾台北市中山区明水路601号12F
- (72)発明者 黄 俊偉
台湾台北縣中和市南華路31号11F
- (72)発明者 呂 宏哲
台湾新竹市新香街188巷6-2号
- (72)発明者 郭 國鴻
台湾高雄市前鎮区明道六街9号
- (72)発明者 李 鴻斌
台湾新竹縣湖口鄉安宅六街36号2F
- (72)発明者 ▲らい▼ 文貴
台湾彰化縣田中鎮中正路600号
- (72)発明者 蔡 佳怡
台湾宜蘭縣羅東鎮清潭路34号
- (72)発明者 張 育淇
台湾新竹縣湖口鄉達生路84号
- (72)発明者 李 浩群
台湾台東市新杜一街22号
- (72)発明者 張 ▲うえ▼熾
台湾苗栗縣竹南鎮科中路12号

審査官 福田 知喜

- (56)参考文献 特開2000-284722(JP, A)
特開2000-267131(JP, A)
特開2003-241687(JP, A)
特開2001-013518(JP, A)
特開2000-276076(JP, A)
特開2001-324725(JP, A)
特開平07-270821(JP, A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1343 - 1/1368

专利名称(译)	层压板存储容量结构用于低温多晶硅薄膜晶体管液晶显示器件		
公开(公告)号	JP4682278B2	公开(公告)日	2011-05-11
申请号	JP2006300180	申请日	2006-11-06
[标]申请(专利权)人(译)	统宝光电股份有限公司		
申请(专利权)人(译)	统宝光电股▲ふん▼有限公司		
当前申请(专利权)人(译)	奇美电子股▲ふん▼有限公司		
[标]发明人	李牧家 黄俊偉 呂宏哲 郭國鴻 李鴻斌 らい文貴 蔡佳怡 張育淇 李浩群 張うえ熾		
发明人	李 牧家 黄 俊偉 呂 宏哲 郭 國鴻 李 鴻斌 ▲らい▼ 文貴 蔡 佳怡 張 育淇 李 浩群 張 ▲うえ▼熾		
IPC分类号	G02F1/1368		
CPC分类号	G02F1/136213 G02F2201/18		
FI分类号	G02F1/1368		
F-TERM分类号	2H092/JA24 2H092/JA46 2H092/JB56 2H092/JB61 2H092/JB66 2H092/JB69 2H092/KA04 2H092/MA02 2H092/MA13 2H092/MA17 2H092/NA11 2H192/AA24 2H192/BC31 2H192/DA12 2H192/DA43 2H192/DA44 2H192/DA67		
代理人(译)	森田浩二 加藤真司 鈴木 守 片山宪一		
审查员(译)	福田 知喜		
优先权	11/295422 2005-12-05 US		
其他公开文献	JP2007156442A		
外部链接	Espacenet		

摘要(译)

亲切代码： 提供一种用于LTPS TFT-LCD的层压存储电容器结构，其能够在不牺牲像素的孔径比的情况下增加电荷存储容量，或者在增加像素的孔径比的同时保持电荷存储容量。 — 用于本发明的LTPS TFT-LCD的叠层存储电容器结构包括处理过的基板，第一存储电容器和第二存储电容器。第一存储电容器包括第一导电层，第二导电层和位于其间的第一绝缘层。层叠的存储电容器结构还包括第三导电层，第三导电层包括第一部分和拉伸的第二部分。第二存储电容器包括第二导电层，第三导电层的拉伸的第二部分，以及位于它们之间的第二绝缘层。 .The 3H

【图 2 B】

