

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4566838号
(P4566838)

(45) 発行日 平成22年10月20日(2010.10.20)

(24) 登録日 平成22年8月13日(2010.8.13)

(51) Int.Cl.	F I
GO2F 1/1368 (2006.01)	GO2F 1/1368
HO1L 29/786 (2006.01)	HO1L 29/78 612C

請求項の数 7 (全 13 頁)

(21) 出願番号	特願2005-187736 (P2005-187736)	(73) 特許権者	501426046
(22) 出願日	平成17年6月28日(2005.6.28)		エルジー ディスプレイ カンパニー リ
(65) 公開番号	特開2006-189763 (P2006-189763A)		ミテッド
(43) 公開日	平成18年7月20日(2006.7.20)		大韓民国 ソウル, ヨンドゥンポーク, ヨ
審査請求日	平成17年7月14日(2005.7.14)		イドードン 20
審判番号	不服2008-31123 (P2008-31123/J1)	(74) 代理人	100094112
審判請求日	平成20年12月9日(2008.12.9)		弁理士 岡部 譲
(31) 優先権主張番号	2004-118478	(74) 代理人	100064447
(32) 優先日	平成16年12月31日(2004.12.31)		弁理士 岡部 正夫
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100085176
(31) 優先権主張番号	2005-046945		弁理士 加藤 伸晃
(32) 優先日	平成17年6月1日(2005.6.1)	(74) 代理人	100096943
(33) 優先権主張国	韓国 (KR)		弁理士 臼井 伸一
		(74) 代理人	100101498
			弁理士 越智 隆夫

最終頁に続く

(54) 【発明の名称】 液晶表示装置及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

基板上に互いに交差してマトリックス状に配置され、画素領域を定義するゲート配線及びデータ配線、

前記データ配線に沿って、前記データ配線の両側に配置された不透明なデータ配線シールド共通電極、

前記ゲート配線とデータ配線との交差点に形成される薄膜トランジスタ、

前記ゲート配線、前記データ配線及びデータ配線シールド共通電極の上部に形成されたブラックマトリックス、

前記ゲート配線とデータ配線とが交差してなる画素領域上に配置され、前記ブラックマトリックスと接しているカラーフィルタ、及び

前記ゲート配線とデータ配線とが交差してなる画素領域上に配置され、横方向電界を生成するための共通電極及び画素電極とからなり、

前記データ配線に沿った前記ブラックマトリックスとカラーフィルタとの境界が前記データ配線シールド共通電極領域の内側に位置するよう構成されて、前記データ配線シールド共通電極が前記データ配線から水平方向に離間して配置され、

前記カラーフィルタと前記共通電極及び前記画素電極との間に、窒化シリコン及び酸化シリコンを含む無機絶縁物質から選択される何れか1つの絶縁膜が形成されて、前記ブラックマトリックス及び前記カラーフィルタが異なる高さを有する液晶表示装置。

【請求項 2】

10

20

前記薄膜トランジスタは、前記ゲート配線から延びたゲート電極と、前記データ配線から延びたソース／ドレイン電極と、アクティブ層とを含むことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記データ配線及びデータ配線シールド共通電極は、ジグザグ状に配列されることを特徴とする請求項 1 に記載の液晶表示装置のアレイ基板。

【請求項 4】

前記カラーフィルタと前記ブラックマトリックスの高さの差（H2）が前記カラーフィルタの厚さ（H1）＊0.2 より小さく形成されていることを特徴とする請求項 1 に記載の液晶表示装置。

10

【請求項 5】

基板上に、ゲート配線、ゲート電極、データ配線の両側に沿ったデータ配線シールド共通電極、及びアクティブ層を形成する段階、

前記データ配線、ソース電極、及びドレイン電極を形成する段階、

前記ゲート配線、データ配線及びデータ配線シールド共通電極上にブラックマトリックスを形成する段階、

前記ゲート配線とデータ配線とが交差してなる画素領域上に、前記ブラックマトリックスと接したカラーフィルタを形成する段階、及び

前記ゲート配線とデータ配線とが交差してなる画素領域上に、横方向電界を生成するための共通電極及び画素電極を形成する段階とからなり、

20

前記データ配線に沿った前記ブラックマトリックスとカラーフィルタとの境界が、前記データ配線シールド共通電極領域の内側に位置するように形成されて、前記データ配線シールド共通電極が、前記データ配線から水平方向に離間して配置され、

前記カラーフィルタと前記共通電極及び前記画素電極との間に、窒化シリコン及び酸化シリコンを含む無機絶縁物質から選択される何れか 1 つの絶縁膜が形成されて、前記ブラックマトリックス及び前記カラーフィルタが異なる高さを有する液晶表示装置の製造方法。

【請求項 6】

前記データ配線及びデータ配線シールド共通電極は、ジグザグ状に配列することを特徴とする請求項 5 に記載の液晶表示装置の製造方法。

30

【請求項 7】

前記カラーフィルタと前記ブラックマトリックスの高さの差（H2）が前記カラーフィルタの厚さ（H1）＊0.2 より小さく形成されていることを特徴とする請求項 5 に記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関し、詳しくは、COT (Color filter On TFT) 構造で光漏れを防止できる液晶表示装置及びその製造方法に関する。

【背景技術】

40

【0002】

一般に、液晶表示装置は、液晶分子の光学的異方性及び複屈折特性を利用して画像を表示するもので、電界の印加により液晶の配列が変わり、変わる液晶の配列方向によって光が透過する特性が変わる。

このような液晶表示装置は、電界生成電極がそれぞれ形成されている 2 つの基板を、各電極が形成されている面が対向するように配置し、これらの基板間に液晶物質を注入した後、各電極に電圧を印加することによって生成される電気場により液晶分子を動かせることにより、これによる光透過率の変化によって画像を表示する装置である。

【0003】

以下、このような一般の液晶表示装置について図 3 を参照して説明する。

50

図 3 は、一般の液晶表示装置を概略的に示す平面図である。

図 3 に示すように、一般の液晶表示装置 1 1 は、サブカラーフィルタ(図示せず)、及び各サブカラーフィルタ間に構成されたブラックマトリックス(図示せず)を含むカラーフィルタ(図示せず)と前記カラーフィルタの上部に蒸着される共通電極(図示せず)とが形成される上部基板(図示せず)と、画素電極 1 7 及び薄膜トランジスタ T が構成される画素領域 P が定義され、前記画素領域 P の周辺にアレイ配線が形成される下部基板(図示せず)と、前記上部基板と下部基板との間に充填される液晶(図示せず)とを含む。

【0004】

ここで、アレイ基板とも呼ばれる前記下部基板には、スイッチング素子である薄膜トランジスタ T がマトリックス状に配置され、これらの薄膜トランジスタと交差するようにゲート配線 1 3 及びデータ配線 1 5 が形成されている。

10

【0005】

また、前記画素領域 P は、前記ゲート配線 1 3 とデータ配線 1 5 とが交差して定義される領域であり、前記画素領域 P 上には、前述したように、透明な画素電極 1 7 が形成される。ここで、前記画素電極 1 7 は、インジウム-スズ-オキサイド(indium-tin-oxide: ITO)のように、光透過率に比較的優れた透明導電性金属から形成される。

【0006】

また、前記ゲート配線 1 3 の上部には、前記画素電極 1 7 と並列に連結されるストレージキャパシタ C が形成され、前記ストレージキャパシタ C は、第 1 電極として、前記ゲート配線 1 3 の一部を使用し、第 2 電極として、ソース/ドレイン電極と同一層に同一物質から形成された島状のソース/ドレイン金属層 3 0 を使用する。ここで、前記ソース/ドレイン金属層 3 0 は、前記画素電極 1 7 と接触して該画素電極の信号を受けるように構成される。

20

【0007】

前述したように、カラーフィルタ基板である上部基板とアレイ基板である下部基板とを合着して液晶パネルを製作する場合、これらの上部基板と下部基板との合着誤差(misalign)により光漏れなどが発生する確率が非常に高い。

【0008】

以下、このように構成される一般の液晶表示装置の製造方法について、図 4 を参照して説明する。

30

図 4 は、図 3 の II-II 線断面図である。

図 4 に示すように、一般の液晶表示装置の製造方法においては、まず、アレイ基板である下部基板 2 2 とカラーフィルタ基板である上部基板 5 とを離隔して配置し、これらの下部基板 2 2 と上部基板 5 との間に液晶層 1 4 を注入する。

また、前記下部基板 2 2 上には、ゲート電極 3 2、アクティブ層 3 4、ソース電極 3 6 及びドレイン電極 3 8 を含む薄膜トランジスタ T を形成し、前記薄膜トランジスタ T 上には、これを保護する保護膜 4 0 を形成する。

【0009】

そして、画素領域 P には、前記薄膜トランジスタ T のドレイン電極 3 8 と接触する透明な画素電極 1 7 を形成し、前記画素電極 1 7 と並列に連結されるストレージキャパシタ C をゲート配線 1 3 の上部に構成する。

40

【0010】

さらに、前記上部基板 5 には、前記ゲート配線 1 3、データ配線 1 5 及び薄膜トランジスタ T に対応するブラックマトリックス 6 と共に、前記下部基板 2 2 の画素領域 P に対応する赤、緑、青のカラーフィルタ 8 a、8 b、8 c を形成する。そしてこの上に共通電極 1 8 がある。ここで、一般のアレイ基板の構成においては、垂直クロストークを防止するために、データ配線 1 5 と画素電極 1 7 とを所定の離隔間隔 A を隔てて形成し、ゲート配線 1 3 と画素電極 1 7 ととも所定の離隔間隔 B を隔てて形成する。

【0011】

また、前記データ配線 1 5 及びゲート配線 1 3 と画素電極 1 7 との離隔間隔 A、B は、

50

光漏れ現象が発生する領域であるので、前記上部基板 5 に形成されたブラックマトリックス 6 がこれらの離隔間隔 A、B を遮蔽する機能をする。

さらに、前記薄膜トランジスタ T の上部に構成されたブラックマトリックス 6 は、外部から照射される光が保護膜 40 を経てアクティブ層 34 に影響を与えないように、光を遮断する機能をする。

【0012】

一方、前記上部基板 5 と下部基板 22 とを合着する工程中に合着誤差が発生する場合があるが、これに鑑みて、前記ブラックマトリックス 6 の設計時に所定値のマージンをおいて設計するため、それだけ開口率が低下する。

また、前記のマージンを超える合着誤差が発生した場合、離隔間隔 A、B がブラックマトリックス 6 により全て遮蔽されない光漏れが発生し得る。

従って、この場合、外部に光が漏れて画質を低下させるという問題点がある。

【0013】

前述の液晶表示装置の製造方法は、最も一般的な方式であって、カラーフィルタ基板及びアレイ基板を別の工程を通じて製作し、これらを合着する方式を採択した。

【0014】

最近では、アレイ基板上にカラーフィルタを形成する COT (Color filter On TFT) 方式の新しい概念の薄膜トランジスタアレイ設計概念が導入された。

COT 構造の液晶表示装置は、スイッチング素子である薄膜トランジスタを形成した後、前記薄膜トランジスタ上に赤、緑、青のカラー樹脂を形成する方式で製作される。

【0015】

以下、このような従来の COT 構造の液晶表示装置について図 5 を参照して説明する。

図 5 は、従来の COT 構造につくられた、垂直電界で駆動される TN タイプの液晶表示装置を例に概略的に示す平面図である。

【0016】

図 5 に示すように、従来の COT 構造の液晶表示装置はゲート配線 102 とデータ配線 116 とを交差して形成し、これらの配線 102、116 の交差点に、ゲート電極 104、アクティブ層 108 及びソース／ドレイン電極 112、114 を含んで薄膜トランジスタ T を構成する。

また、前記ゲート配線 102 とデータ配線 116 とが交差して定義される領域には、カラーフィルタ 124a、124b、124c を構成する。

【0017】

さらに、前記カラーフィルタ 124a、124b、124c の上部に、前記ドレイン電極 114 と接触する透明電極 (図示せず) を構成する。これは、前記透明電極 (図示せず) を通じてドレイン電極 114 と間接的に接触する形状である。

さらに、前記透明電極は、ゲート配線 102 の上部に構成されたストレージキャパシタ C と並列に連結される。

【0018】

また、前記ストレージキャパシタ C は、ゲート配線 102 の一部を第 1 電極とし、前記透明電極と連結される共に前記ソース／ドレイン電極 112、114 と同一層に形成されたキャパシタ上部電極 118 を第 2 電極とする。

【0019】

また、COT 構造は、前記アレイ基板の薄膜トランジスタ T の上部に、ブラックマトリックス 120 及び赤、緑、青のカラーフィルタ 124a、124b、124c が構成された形態である。ここで、前記ブラックマトリックス 120 は、光漏れ領域を遮蔽する機能をする。

【0020】

さらに、前記ブラックマトリックス 120 は、不透明な有機物質を塗布して形成し、光を遮断する機能と共に薄膜トランジスタ T を保護する保護膜の機能をする。

【0021】

10

20

30

40

50

以下、このように構成される従来のCOT構造の液晶表示装置の製造方法について、図6A～図6Eを参照して説明する。

図6A～図6Eは、図5のIV-IV線断面図である。

図6Aに示すように、まず、基板100上に導電性金属を蒸着し、これをパターニングして、ゲート配線102及びゲート電極104を形成する。

【0022】

その後、前記ゲート配線102及びゲート電極104が形成された基板100上の全面に、窒化シリコン(SiNx)及び酸化シリコン(SiO₂)を含む無機絶縁物質群から選択される何れか1つを蒸着して、第1絶縁膜であるゲート絶縁膜106を形成する。

【0023】

次に、前記ゲート絶縁膜106上に、純粋非晶質シリコン(a-Si:H)及び不純物が含まれた非晶質シリコン(n+a-Si:H)を蒸着し、これをパターニングして、前記ゲート電極104上部のゲート絶縁膜106上に、アクティブ層108及びオーム接触層110を形成する。

【0024】

その後、前記アクティブ層108及びオーム接触層110が形成された基板100上の全面に、クロム(Cr)、モリブデン(Mo)、銅(Cu)、タングステン(W)、タンタル(Ta)などを含む導電性金属群から選択される何れか1つを蒸着し、これをパターニングして、前記オーム接触層110とそれぞれ接触するソース／ドレイン電極112、114、前記ソース電極112と接触するデータ配線116、及び前記ゲート配線102の上部に位置するストレージノードである島状のキャパシタ上部電極118を形成する。

【0025】

次に、前記ソース／ドレイン電極112、114が形成された基板100上の全面に、窒化シリコン及び酸化シリコンを含む無機絶縁物質群の何れか1つを蒸着して第2絶縁膜119を形成する。ここで、前記第2絶縁膜119は、以後に形成される有機膜(図示せず)とアクティブ層108間に発生し得る接触不良を防止するためのものである。また、前記第2絶縁膜119は、有機膜とアクティブ層108間の接触不良が発生しなければ形成しなくても良い。

【0026】

その後、前記第2絶縁膜119上に不透明な有機物質を塗布して有機膜を形成した後、これをパターニングして、前記薄膜トランジスタT、データ配線116及びゲート配線102の上部にブラックマトリックス120を形成する。

ここで、前記薄膜トランジスタTを保護する保護膜として、ブラックマトリックスを使用することなく、誘電率の低い透明有機絶縁物質または透明無機絶縁物質を使用することができ、この場合、上部基板に別途のブラックマトリックスを形成する。

【0027】

次に、図6Bに示すように、前記薄膜トランジスタT及びストレージキャパシタC領域にオーバーラップするように、前記ブラックマトリックス120を選択的にパターニングする。このとき、前記ブラックマトリックス120のパターニング時にドレイン電極と接触するために後続工程で形成されるコンタクトホール領域と、キャパシタの上部電極と連結される部分に該当する第2絶縁膜119部分には、ブラックマトリックスが残らないようにパターニングする。

その後、前記選択的にパターニングされたブラックマトリックス120を含む全体構造の上面にカラー樹脂を塗布して、複数の画素領域Pに赤、緑、青のカラーフィルタ124a、124b、124cをそれぞれ形成する。

【0028】

次に、図6Cに示すように、前記カラーフィルタ124a、124b、124cを含む全体構造の上面にアクリル樹脂を塗布して、オーバーコート層126を形成する。

【0029】

その後、図6Dに示すように、前記オーバーコート層126及びブラックマトリックス

10

20

30

40

50

120を選択的にパターニングして、前記ドレイン電極114及びキャパシタ上部電極118の一部を露出させるドレインコンタクトホール128及びキャパシタコンタクトホール130を形成する。

【0030】

次に、図6Eに示すように、前記ドレインコンタクトホール128及びキャパシタコンタクトホール130を含むオーバーコート層126上に透明電極物質を蒸着した後、これをパターニングして共通電極132を形成する。

【0031】

前述したような従来の液晶表示装置のアレイ基板及びその製造方法によれば、大型ガラス基板工程で合着マージンの増加による開口率の低下を防止するためのCOT構造においては、薄膜トランジスタ下部基板にオーバーコート層(即ち、アクリル樹脂)を使用するが、このようなオーバーコート層は、有機膜により下部基板に発生した凸部を平坦化させ、カラーフィルタの不純物イオンが液晶層に湧出することを防止する機能をする。

【発明の開示】

【発明が解決しようとする課題】

【0032】

しかしながら、オーバーコート層(即ち、アクリル樹脂)を使用する場合、コストが増加し、且つ、後露光(post exposure)工程により透過率が一時的に向上するが、以後工程で透過率の減少が発生するため、パネル透過率を低下させるという問題点があった。

【0033】

本発明は、このような従来技術の問題点を解決するためになされたもので、COT構造で平坦化するためのオーバーコート層(即ち、アクリル樹脂)を使用しない液晶表示装置及びその製造方法を提供することを目的とする。

また、本発明の他の目的は、製造単価を削減し、透過率の減少を抑えて透過率を安定化させることができる液晶表示装置のアレイ基板及びその製造方法を提供することにある。

【課題を解決するための手段】

【0034】

上記の目的を達成するための本発明による液晶表示装置は、基板上に互いに交差してマトリックス状に配置され、画素領域を定義するゲート配線及びデータ配線、前記データ配線に沿って、前記データ配線の両側に配置された不透明なデータ配線シールド共通電極、前記ゲート配線とデータ配線との交差点に形成される薄膜トランジスタ、前記ゲート配線、前記データ配線及びデータ配線シールド共通電極の上部に形成されたブラックマトリックス、前記ゲート配線とデータ配線とが交差してなる画素領域上に配置され、前記ブラックマトリックスと接しているカラーフィルタ、及び前記ゲート配線とデータ配線とが交差してなる画素領域上に配置され、横方向電界を生成するための共通電極及び画素電極とからなり、前記データ配線に沿った前記ブラックマトリックスとカラーフィルタとの境界が、前記データ配線シールド共通電極領域の内側に位置するように構成されていることを特徴とする。

【0035】

また、上記の目的を達成するための本発明による液晶表示装置の製造方法は、基板上にゲート配線とデータ配線とを交差して形成する段階、前記データ配線の両側に、前記データ配線に沿ったデータ配線シールド共通電極を形成する段階、前記ゲート配線とデータ配線とが交差してなる領域に、ゲート電極、アクティブ層、ソース電極及びドレイン電極から構成される薄膜トランジスタを形成する段階、前記ゲート配線、データ配線及びデータ配線シールド共通電極上にブラックマトリックスを形成する段階、前記ゲート配線とデータ配線とが交差してなる画素領域上に、前記ブラックマトリックスと接したカラーフィルタを形成する段階、及び前記ゲート配線とデータ配線とが交差してなる画素領域上に、横方向電界を生成するための共通電極及び画素電極を形成する段階とからなり、前記データ配線に沿った前記ブラックマトリックスとカラーフィルタとの境界が、前記データ配線シールド共通電極領域の内側に位置するように形成されていることを特徴とする。

【0036】

本発明の液晶表示装置では、データ配線に沿ったブラックマトリックスとカラーフィルタとの境界が、不透明なデータ配線シールド共通電極領域の内側に位置するように構成されている。

【発明の効果】

【0037】

本発明による液晶表示装置のアレイ基板及びその製造方法によれば、単価が高く、且つ追加工程により透過率が低下するオーバーコート層(即ち、アクリル樹脂)を使用しないことで、単価を削減することができ、透過率が低下することを抑えることができる。

【発明を実施するための最良の形態】

10

【0038】

以下、本発明による液晶表示装置の製造方法の好ましい実施形態について、添付の図面を参照して説明する。

【0039】

図1A-1Dは、本発明によるCOT構造の液晶表示装置を概略的に示す平面図である。

図1Aに示すように、本発明によるCOT構造の液晶表示装置は下部アレイ基板上に、ゲート配線202が配列され、前記ゲート配線202と所定間隔離隔して水平方向に共通電極配線206が配列されている。ここで、前記共通電極配線206は、垂直方向に配列されてクロストークの水準を最少化するためのデータ配線シールド共通電極206aと、水平方向に配列されてキャパシタを構成するストレージキャパシタ部206bとから構成される。ここで、前記データ配線シールド共通電極206aは、少なくとも2つが所定の間隔をおいて対向して配列されている。また、前記ゲート配線202と共通電極配線206とは、ゲートパターニング時に同時にパターニングする。

20

【0040】

次に、図1Bに示すように、下部アレイ基板(図2Aの200)上に、前記ゲート配線202と交差するように垂直方向に配列されるデータ配線214とソース／ドレイン電極216、218を配列する。このとき、前記データ配線214は、共通電極配線206のデータ配線シールド共通電極206a間に隔離して配列されている。また、前記ドレイン電極218は、前記共通電極配線206のストレージキャパシタ部206b上にオーバーラップするように配置されている。このとき、前記ドレイン電極218と前記共通電極配線206のストレージキャパシタ部206bとはキャパシタを構成する。

30

【0041】

その後、図には示していないが、基板全体に絶縁膜(図2Aの220)を蒸着した後、その上に前記データ配線214及び前記データ配線シールド共通電極206aとオーバーラップするようにブラックマトリックス(図2Cの222)を形成する。このとき、前記ブラックマトリックス(図2Cの222)は、データ配線214全体とデータ配線シールド共通電極206aの所定部分までオーバーラップするように配列されている。また、前記ブラックマトリックス(図2Cの222)は、後続工程で前記ドレイン電極218を露出させるドレインコンタクトホール229が形成される平坦化有機膜(図2Fの228)上にはオーバーラップしないように配列する。

40

【0042】

次に、図には示していないが、前記ブラックマトリックス(図2Cの222)の上面一部を含む第2絶縁膜220上にカラーフィルタ層(図2Eの224)を形成する。このとき、前記カラーフィルタ層(図2Eの224)は、前記ゲート配線202とデータ配線214とが交差する領域上に形成され、前記ブラックマトリックス(図2Cの222)の上面一部とオーバーラップするように配列する。

その後、図1Cに示すように、前記ブラックマトリックス(図2Cの222)とカラーフィルタ層(図2Eの224)とを含む基板全体に平坦化有機膜(図2Fの228)を形成した後、前記平坦化有機膜(図2Fの228)と前記第2絶縁膜(図2Aの220)を順次パター

50

ニングして、前記ドレイン電極 218 を露出させるドレインコンタクトホール 229 を形成する。このとき、前記ドレインコンタクトホール 229 の形成時に、前記平坦化有機膜(図 2 F の 228)上には厚いブラックマトリックス(図 2 C の 222)又はカラーフィルタ層(図 2 E の 224)が位置しないため、ドレインコンタクトホール 229 の形成が可能となる。

次に、図 1 D に示すように、前記ドレインコンタクトホール 229 を介して前記ドレイン電極 218 と接続する画素電極 230 と共通電極 232 が配列されている。このとき、前記画素電極 230 は、前記ドレイン電極 218 とオーバーラップしており、垂直方向 230a に延びている。また、前記共通電極 232 は、前記ゲート配線領域とデータ配線領域及びデータ配線シールド共通電極 206a にオーバーラップしており、前記共通電極 232 から延びた垂直方向 232a は、前記画素電極の垂直方向 230a の間に配置されている。このとき、前記共通電極 232 は、以前に形成されたゲートパターンニング時に形成された共通電極配線と表示外郭領域でコンタクトして互いに等電位状態となる。

10

【0043】

以下、このように構成された本発明による COT 構造の液晶表示装置の製造方法について、図 2 A ～ 図 2 F を参照して説明する。

図 2 A ～ 図 2 F は、図 1 の VI a - VI a 線断面図及び VI b - VI b 線断面図である。

【0044】

図 2 A に示すように、まず、基板 200 上に不透明な導電性金属を蒸着し、これをパターンニングして、ゲート配線(図 1 の 202)及びゲート電極 204 を形成する。さらに、前記ゲート配線(図 1 の 202)の形成と同時に、後続工程で形成されるデータ配線(図 1 の 214)の両側に位置する不透明なデータ配線シールド共通電極 206a を備えた共通電極配線 206 をゲート配線 202 と離隔して水平方向に対応するように形成する。ここで、前記データ配線シールド共通電極 206a は、不透明な金属膜からなり、データ信号が有機膜上部の開口領域(即ち、共通電極 232 と画素電極 230 との間)の電界に影響を与えないように遮蔽する機能、即ち、垂直クロストークレベルを下げる機能をする。

20

【0045】

その後、前記データ配線シールド共通電極 206a、ゲート配線(図 1 の 202)及びゲート電極 204 が形成された基板 200 上の全面に、窒化シリコン(SiNx)及び酸化シリコン(SiO₂)を含む無機絶縁物質群から選択される何れか 1 つを蒸着して、第 1 絶縁膜であるゲート絶縁膜 208 を形成する。

30

【0046】

次に、前記ゲート絶縁膜 208 上に純粋非晶質シリコン(a-Si:H)及び不純物が含まれた非晶質シリコン(n+ a-Si:H)を蒸着し、これをパターンニングして、前記ゲート電極 204 上部のゲート絶縁膜 208 上に、アクティブ層 210 及びオーム接触層 212 を形成する。

【0047】

その後、図 2 B に示すように、前記アクティブ層 210 及びオーム接触層 212 が形成された基板上の全面に、クロム(Cr)、モリブデン(Mo)、銅(Cu)、タングステン(W)、タンタル(Ta)などを含む導電性金属群から選択される何れか 1 つを蒸着し、これをパターンニングして、データ配線 214 と共に、該データ配線 214 から延びて前記オーム接触層 212 とそれぞれ接触するソース電極 216 及びドレイン電極 218 を形成する。さらに、前記データ配線 214 をパターンニングするとき、前記ソース電極 216 と接触する前記ゲート配線 204 の上部に、キャパシタ上部電極(図示せず)を共に形成する。また、前記データ配線 214 は、前記データ配線シールド共通電極 206a からそれぞれ間隔 W1、W2 を隔てて形成する。

40

【0048】

次に、前記ソース電極 216 及びドレイン電極 218 が形成された基板 200 上の全面に、窒化シリコン及び酸化シリコンを含む無機絶縁物質群の何れか 1 つを蒸着して第 2 絶縁膜 220 を形成する。ここで、前記第 2 絶縁膜 220 は、以後に形成される有機膜(図

50

示せず)とアクティブ層 210 間に発生し得る接触不良を防止するためのものである。また、前記第 2 絶縁膜 220 は、有機膜とアクティブ層 210 間の接触不良が発生しなければ形成しなくても良い。

【0049】

その後、図 2 C に示すように、前記第 2 絶縁膜 220 上に不透明な有機物質を塗布してブラックマトリックス 222 を形成する。

【0050】

次に、図 2 C の右側 (VIb) に示すように、前記データ配線 214 及びデータ配線シールド共通電極 206 a の一部分とオーバーラップするように、前記ブラックマトリックス 222 を選択的にパターニングする。即ち、ブラックマトリックス 222 の両側縁がデータ配線シールド共通電極 206 a の上にあるようにパターンニングする。ここで、前記薄膜トランジスタ T を保護する保護膜として、ブラックマトリックスを使用することなく、誘電率の低い透明有機絶縁物質または透明無機絶縁物質を使用することができ、この場合、上部基板に別途のブラックマトリックスを形成する。さらに、前記ブラックマトリックス 222 をパターニングするとき、該ブラックマトリックス 222 の縁部が前記データ配線シールド共通電極 206 a の上部にオーバーラップするようにする。

また、前記ブラックマトリックスのパターニング時にドレイン電極と接触するために後続工程で形成されるコンタクトホール領域に該当する第 2 絶縁膜 220 部分にはブラックマトリックスが残らないようにパターニングする。

【0051】

その後、図 2 E に示すように、前記選択的にパターニングされたブラックマトリックス 222 を含む全体構造の上面にカラー樹脂を塗布して、複数の画素領域に赤、緑、青のカラーフィルタ 224 を形成する。ここで、アクリル平坦化膜のない状態では、ブラックマトリックス 222 とカラーフィルタ 224 とがオーバーラップする領域又はそれらの境界で凸部 226 が形成される。後に、一番上層として配向膜が形成されたとき、配向膜にも凸部が生じ、該凸部 226 の傾斜部でラビング方向が乱れて回位(disclination)が生ずる。しかしながら、図 2 D に示すように、不透明なデータ配線シールド共通電極 206 a とがブラックマトリックス 222 の縁(つまり、カラーフィルタの境界)の凸部より外側に延在しているので、この回位の生じている部分におけるバックライトの光はシールド共通電極で遮断される。つまり、ブラックマトリックスの縁、つまりカラーフィルタとの境界がデータ配線シールド共通電極領域の内側になるように配置している。

【0052】

また、図 2 E に示すように、カラーフィルタ 224 とブラックマトリックス 222 は同じ高さを有するまたは " カラーフィルタ 224 とブラックマトリックス 222 の高さの差 (H2) " が " カラーフィルタ 224 の厚さ (H1) *0.2 " より小さく形成する。

いずれにしてもこの凸部又は凹部は生じる。

【0053】

次に、図 2 F に示すように、前記カラーフィルタ 224 を含む全体構造の上面に、既存に使用されていたアクリル樹脂を使用するオーバーコート層の代わりに、窒化シリコン (SiNx) 及び酸化シリコン (SiO₂) を含む無機絶縁物質群の何れか 1 つを蒸着して第 3 絶縁膜 228 を形成する。この膜 228 は、平坦化を目的としないから薄くとも良い。

その後、前記第 3 絶縁膜 228 を選択的に除去して、前記ドレイン電極 218 を露出させるドレインコンタクトホール(図示せず)を形成する。

【0054】

次に、前記ドレインコンタクトホールを含む第 3 絶縁膜 228 上に透明電極物質(例えば、ITO)を蒸着して透明電極層(図示せず)を形成する。

【0055】

その後、前記透明電極層を選択的にパターニングして、前記ドレイン電極 218 と接続する画素電極 230 及び共通電極 232 を形成する。そして、平坦化層をオーバーコートす

10

20

30

40

50

ることなく、最上層として配向膜(図示せず)を形成する。平坦化オーバコートがなくとも、この配向膜に生じた前述した凸部での回位は、不透明なデータ配線シールド共通電極206aによって光遮断される。つまり、データ配線方向(Y方向)に沿ったブラックマトリックスとカラーフィルタとの境界での凸部又は凹部での配向の乱れは光遮断される。ラビング方向はY方向であると、Y方向に沿った凸部又は凹部が問題となり、ゲート配線に沿ったX方向のブラックマトリックスとカラーフィルタとの境界での凸部と凹部はほとんど問題とはならない。しかしながら、ゲート配線に沿う(X方向)ブラックマトリックスとカラーフィルタの境界を不透明なゲート配線内に位置するよう構成することもできる。

【図面の簡単な説明】

【0056】

10

【図1A】本発明によるCOT構造の液晶表示装置を段階的に示す平面図の1である。

【図1B】本発明によるCOT構造の液晶表示装置を段階的に示す平面図の2である。

【図1C】本発明によるCOT構造の液晶表示装置を段階的に示す平面図の3である。

【図1D】本発明によるCOT構造の液晶表示装置を段階的に示す平面図の4である。

【図2A】図1の第1工程でのVIa-VIa線断面図及びVIb-VIb線断面図である。

【図2B】図1の第2工程でのVIa-VIa線断面図及びVIb-VIb線断面図である。

【図2C】図1の第3工程でのVIa-VIa線断面図及びVIb-VIb線断面図である。

【図2D】図1の第4工程でのVIa-VIa線断面図及びVIb-VIb線断面図である。

【図2E】図1の第5工程でのVIa-VIa線断面図及びVIb-VIb線断面図である。

【図2F】図1の第6工程でのVIa-VIa線断面図及びVIb-VIb線断面図である。

20

【図3】一般の液晶表示装置を概略的に示す平面図である。

【図4】図3のII-II線断面図である。

【図5】従来のCOT構造の液晶表示装置を概略的に示す平面図である。

【図6A】図5の第1工程でのIV-IV線断面図である。

【図6B】図5の第2工程でのIV-IV線断面図である。

【図6C】図5の第3工程でのIV-IV線断面図である。

【図6D】図5の第4工程でのIV-IV線断面図である。

【図6E】図5の第5工程でのIV-IV線断面図である。

【符号の説明】

【0057】

30

200 基板

202 ゲート配線

204 ゲート電極

206 共通電極配線

206a データ配線シールド電極

206b ストレージキャパシタ部

208 第1絶縁膜

210 アクティブ層

212 オーム接触層

214 データ配線

216 ソース電極

218 ドレイン電極

220 第2絶縁膜

222 ブラックマトリックス

224 カラーフィルタ

226 凸部

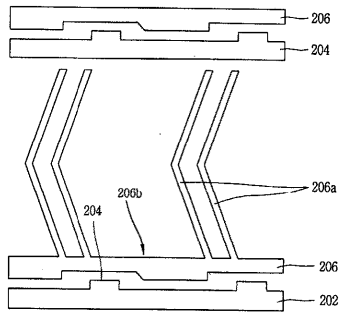
228 第3絶縁膜

230 画素電極

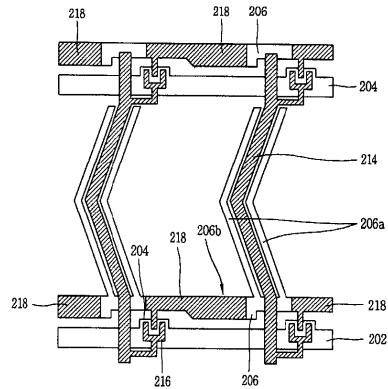
232 共通電極

40

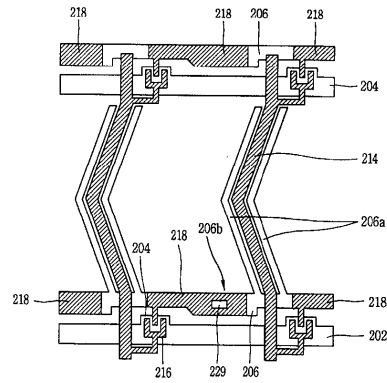
【図 1 A】



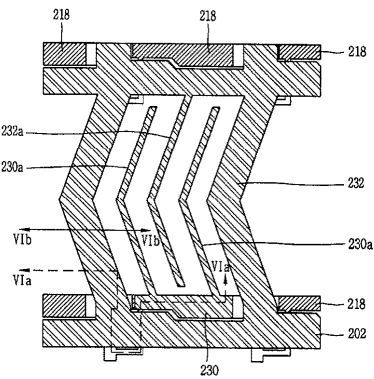
【図 1 B】



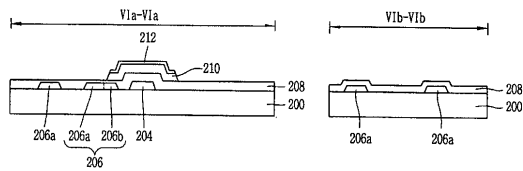
【図 1 C】



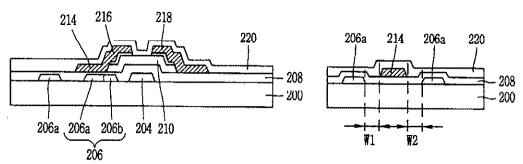
【図 1 D】



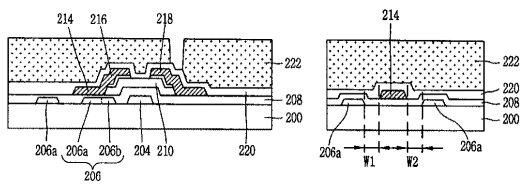
【図 2 A】



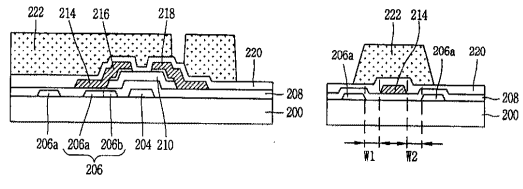
【図 2 B】



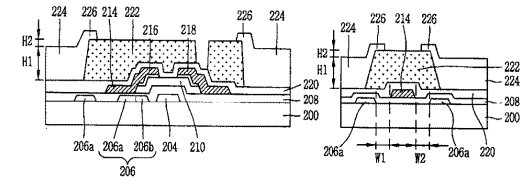
【図 2 C】



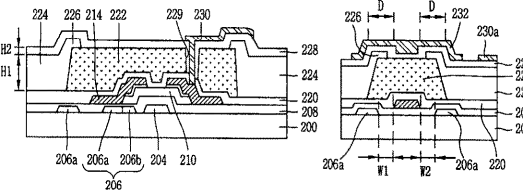
【図 2 D】



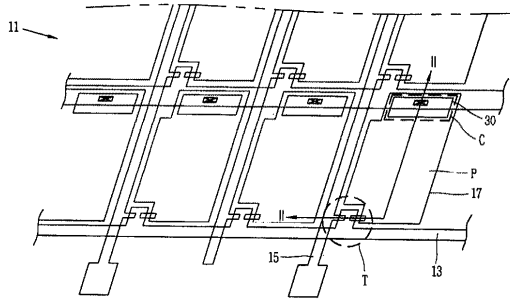
【図 2 E】



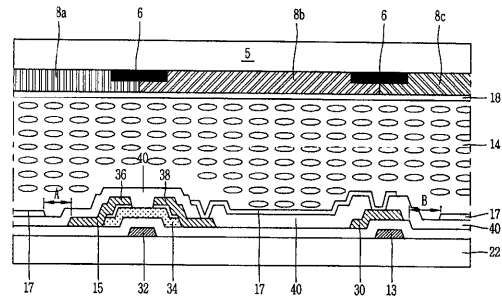
【図 2 F】



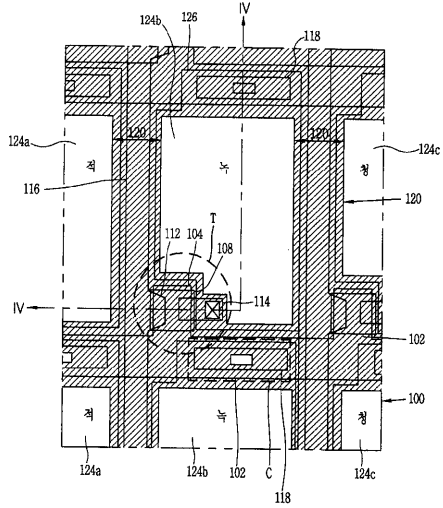
【図 3】



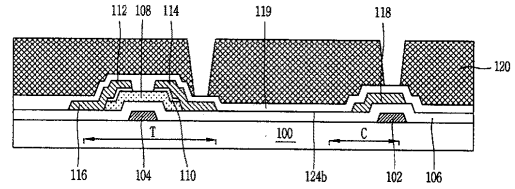
【図 4】



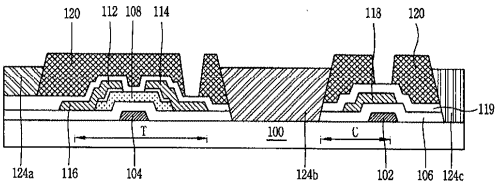
【図 5】



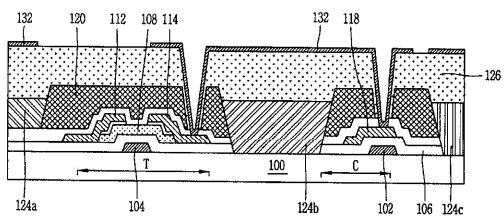
【図 6 A】



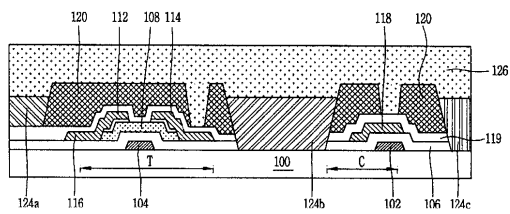
【図 6 B】



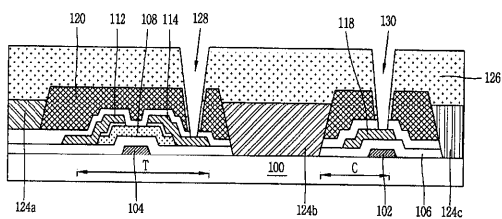
【図 6 E】



【図 6 C】



【図 6 D】



フロントページの続き

(74)代理人 100104352

弁理士 朝日 伸光

(72)発明者 金 東 国

大韓民国 京畿道 儀旺市 五全洞 100 慕洛山現代アパート 104-904

合議体

審判長 稲積 義登

審判官 吉野 公夫

審判官 杉山 輝和

(56)参考文献 特開2001-66617 (JP, A)

特開2001-222030 (JP, A)

特開2001-33798 (JP, A)

特開2001-249342 (JP, A)

特開2004-354553 (JP, A)

特開平10-142628 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1343

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	JP4566838B2	公开(公告)日	2010-10-20
申请号	JP2005187736	申请日	2005-06-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji.菲利普斯杜天公司，有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	金東国		
发明人	金 東 国		
IPC分类号	G02F1/1368 H01L29/786 G02F1/1343 G02F1/1362		
CPC分类号	G02F1/134363 G02F1/136209 G02F1/136213 G02F1/136286 G02F2001/136222		
FI分类号	G02F1/1368 H01L29/78.612.C		
F-TERM分类号	2H092/GA11 2H092/JA24 2H092/JA36 2H092/JA41 2H092/JA46 2H092/JB11 2H092/JB22 2H092/JB31 2H092/JB52 2H092/JB56 2H092/KB25 2H092/KB26 2H092/MA04 2H092/NA25 2H092/PA01 2H092/PA08 2H192/AA24 2H192/BB03 2H192/BB53 2H192/BB73 2H192/BC31 2H192/CB05 2H192/CC55 2H192/DA12 2H192/EA13 2H192/EA42 2H192/GA03 2H192/JA32 5F110/AA30 5F110/BB01 5F110/CC07 5F110/EE02 5F110/EE43 5F110/FF02 5F110/FF03 5F110/FF27 5F110/GG02 5F110/GG15 5F110/GG42 5F110/HK02 5F110/HK04 5F110/HK09 5F110/HK16 5F110/HK21 5F110/HK32 5F110/HL07 5F110/NN03 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN33 5F110/NN72 5F110/NN73		
代理人(译)	臼井伸一 朝日 伸光		
优先权	1020040118478 2004-12-31 KR 1020050046945 2005-06-01 KR		
其他公开文献	JP2006189763A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置，其能够防止由COT（TFT上的滤色器）结构中的向错引起的光泄漏，降低制造成本，抑制透射率的降低并稳定透射率，并提供制造装置的方法。解决方案：液晶显示装置的阵列基板包括：栅极线202和数据线214，它们彼此交叉以在基板上限定像素区域；数据线屏蔽公共电极206a，设置在数据线214的两侧；薄膜晶体管T形成在栅极线202和数据线214的交叉处；黑矩阵222设置在栅极线202和数据线214上并与数据线214重叠，数据线的一部分屏蔽公共电极206a；滤色器，设置在由栅极线202和数据线214相互交叉的像素区域上；公共电极232和像素电极230设置在由栅极线202和数据线214彼此交叉限定的像素区域处。

【 図 1 B 】

