

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4477552号  
(P4477552)

(45) 発行日 平成22年6月9日(2010.6.9)

(24) 登録日 平成22年3月19日(2010.3.19)

(51) Int.Cl.	F I
GO2F 1/1368 (2006.01)	GO2F 1/1368
GO2F 1/1345 (2006.01)	GO2F 1/1345
GO2F 1/1335 (2006.01)	GO2F 1/1335 500
GO2F 1/1339 (2006.01)	GO2F 1/1335 505
GO9F 9/30 (2006.01)	GO2F 1/1339 505

請求項の数 8 (全 12 頁) 最終頁に続く

(21) 出願番号	特願2005-185929 (P2005-185929)	(73) 特許権者	501426046
(22) 出願日	平成17年6月27日(2005.6.27)		エルジー ディスプレイ カンパニー リ
(65) 公開番号	特開2006-18275 (P2006-18275A)		ミテッド
(43) 公開日	平成18年1月19日(2006.1.19)		大韓民国 ソウル, ヨンドゥンポーク, ヨ
審査請求日	平成17年7月8日(2005.7.8)		イドードン 20
(31) 優先権主張番号	2004-049779	(74) 代理人	100064447
(32) 優先日	平成16年6月29日(2004.6.29)		弁理士 岡部 正夫
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100094112
前置審査			弁理士 岡部 譲
		(74) 代理人	100085176
			弁理士 加藤 伸晃
		(74) 代理人	100104352
			弁理士 朝日 伸光

最終頁に続く

(54) 【発明の名称】 画素領域外郭部の光漏れを防止するCOT構造液晶表示装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

アレイ基板、及び該アレイ基板と貼り合わせられる上部基板と、  
前記アレイ基板上に形成されたゲートライン及び該ゲートラインと垂直交差するデータ  
ラインと、

前記アレイ基板上に形成され、前記ゲートライン及び前記ゲートラインと垂直交差する  
データラインにより画定される単位画素がマトリクス配列される画素領域と、

前記アレイ基板上に形成され、前記ゲートライン及びデータラインとそれぞれ連結され  
て、前記画素領域の外郭に形成されるパッド部と、

前記アレイ基板上に形成され、前記アレイ基板上の画素領域にゲート電極、アクティブ  
層、及び該アクティブ層と連結されたソース及びドレイン電極を備える薄膜トランジスタ  
と、

前記アレイ基板の全面に形成された保護層と、  
前記保護層上に形成され、前記画素領域と前記パッド部間に定義されるシールパターン  
形成領域に配置される静電気防止回路部と、

前記保護層上に形成され、前記画素領域から前記画素領域外郭部まで延びたブラックマ  
トリクスと、

前記静電気防止回路部を含む保護層上に形成され、前記パッド部と前記画素領域間に定  
義される前記シールパターン形成領域に形成されるシールパターンと、

前記保護層上に形成され、前記ブラックマトリクス間に形成されるカラーフィルタ層と

10

20

を包含して構成されることを特徴とするCOT構造液晶表示素子。

【請求項2】

前記静電気防止回路部は、前記シールパターンの下に形成されることを特徴とする請求項1記載のCOT構造液晶表示装置。

【請求項3】

前記画素領域外郭部を遮るトップケースを更に具備することを特徴とする請求項1記載のCOT構造液晶表示装置。

【請求項4】

前記画素領域外郭部を遮るトップケースを更に具備することを特徴とする請求項1記載のCOT構造液晶表示装置。

10

【請求項5】

前記静電気防止回路部は、前記ブラックマトリクスにより遮られないことを特徴とする請求項1記載のCOT構造液晶表示装置。

【請求項6】

アレイ基板、及び前記アレイ基板と貼り合わせられる上部基板を提供する段階と、  
前記アレイ基板上に単位画素がマトリクス配列される画素領域を定義するゲートライン  
及び該ゲートラインと垂直交差するデータラインを形成する段階と、

前記アレイ基板上に、前記アレイ基板上の画素領域にゲート電極、アクティブ層、及び  
該アクティブ層と連結されたソース及びドレイン電極を備える薄膜トランジスタを形成す  
る段階と、

20

前記アレイ基板上に、前記ゲートライン及び前記データラインとそれぞれ連結され、前  
記画素領域の外郭にパッド部を形成する段階と、

前記アレイ基板の全面に保護層を形成する段階と、

前記保護層上に、前記画素領域と前記パッド部間に定義されるシールパターン形成領域  
に静電気防止回路部を形成する段階と、

前記保護層上に、前記画素領域から前記画素領域外郭部まで延びるブラックマトリクス  
を形成する段階と、

前記保護層上に、前記ブラックマトリクス間にカラーフィルタ層を形成する段階と、

前記カラーフィルタ層上に前記薄膜トランジスタのドレイン電極と連結される画素電極  
を形成する段階と、

30

前記パッド部と前記画素領域間に定義される前記シールパターン形成領域である前記静  
電気防止回路部を含む保護層上に、シールパターンを形成する段階と、

前記シールパターンにより前記アレイ基板と前記上部基板を貼り合わせる段階と  
から構成されることを特徴とするCOT構造液晶表示装置製造方法。

【請求項7】

前記上部基板の形成段階は、

前記アレイ基板上に共通電極を形成する段階と、

前記共通電極上に配向膜を形成する段階と、を順次行うことを特徴とする請求項6記載  
のCOT構造液晶表示装置製造方法。

【請求項8】

40

前記ブラックマトリクスは、前記静電気防止回路部上には形成されないことを特徴とす  
る請求項6のCOT構造液晶表示装置製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、COT構造の液晶表示装置に係るもので、詳しくは、画素領域外郭部にブラ  
ックマトリクスが形成された液晶表示装置に関するものである。

【背景技術】

【0002】

液晶表示装置は、屈折率異方性及び誘電率異方性を有する液晶を利用して映像を表現す

50

る表示装置であって、単位画素がマトリクス状に配列されるアレイ基板と、アレイ基板に対向してイメージをカラーに表現するカラーフィルター基板と、カラーフィルター基板とアレイ基板間に液晶が充填される構造を有する。

【 0 0 0 3 】

今日、液晶表示装置は、鮮明な色相を実現して輝度に優れた T N (twisted nematic) モードの液晶表示装置が応用されている。T N モードの液晶表示装置は、単位画素がマトリクス状に配列されるアレイ基板と、アレイ基板と対向してカラーフィルター層が形成されるカラーフィルター基板と、二つの基板間に螺旋形に配列される液晶層と、を具備する。アレイ基板には、スイッチング素子である薄膜トランジスタ (T F T) が各画素毎に形成されるために、T F T アレイ基板と呼ぶ。

10

【 0 0 0 4 】

液晶表示装置は、自ら光を生成し得ないため、外部から光を供給するバックライトアセンブリを更に具備する。通常、T N モードの液晶表示装置は、T F T アレイ基板の下部で光が進行して液晶層及び上部カラーフィルター層を通過して映像を表示ようになる。

【 0 0 0 5 】

ところが、T F T アレイ基板の下部で進行する光のうち一部は、不必要な光であるため、遮断すべきであるが、不必要な光を遮断することがブラックマトリクスである。ブラックマトリクスは、通常、不透明な金属箔膜や有機膜によりカラーフィルター層上に形成される。

【 0 0 0 6 】

20

しかし、ブラックマトリクスがカラーフィルター基板の上に形成される液晶表示装置は、アレイ基板とカラーフィルター基板とを精密に貼り合わせることが難しく、液晶パネルの製造工程がカラーフィルター基板の製造工程と T F T アレイ基板の製造工程に分散される問題がある。

【 0 0 0 7 】

従って、ブラックマトリクス及びカラーフィルター層の製造工程をアレイ基板に形成して液晶パネルの形成工程をアレイ基板に集中させることができ、貼り合わせ工程でアレイ基板とカラーフィルター基板のアラインを容易にするために、カラーフィルター層がアレイ基板に形成されるカラーフィルターオン T F T (Color filter On Glass: C O T) 構造の液晶表示装置が提案された。

30

【 0 0 0 8 】

以下、図 4 を参照して C O T 構造の液晶表示装置の構造について説明する。

C O T 構造の液晶表示装置は、カラーフィルター層 1 1 0 及びブラックマトリクス 1 1 1 がアレイ基板の上に形成されるのが特徴である。C O T 構造の液晶表示装置は、アレイ基板とこれと対向する上部基板に区分され、アレイ基板は、スイッチング素子である T F T と単位画素毎に形成されるカラーフィルター層と、カラーフィルター層間に形成されるブラックマトリクスを具備することを特徴とする。

【 0 0 0 9 】

また、ブラックマトリクスは、ゲートライン及びデータラインなどの反転ドメイン領域から漏洩する光を遮断する。以下、C O T 構造液晶表示装置のアレイ基板の構造について、図 4 を参照してより詳しく説明する。

40

【 0 0 1 0 】

C O T 構造のアレイ基板は、ガラスなどの透明な基板 1 0 1 上に薄膜トランジスタ T F T がマトリクス状に配列される。また、アレイ基板には、ゲートライン (図示せず) とデータライン 1 0 8 とが互いに垂直に交差して単位画素を定義する。単位画素の一方側に T F T が形成される。

【 0 0 1 1 】

以下、T F T の構成についてより詳細に説明すると、スキャン信号を供給するゲート電極 1 0 3 と、ゲート電極 1 0 3 上に形成されるゲート絶縁層 1 0 2 と、ゲート絶縁層 1 0 2 上に形成される半導体層のアクティブ層 1 0 4 と、アクティブ層 1 0 4 とソース 1 0 5

50

及びドレイン電極 106 をオーム接触させるオームコンタクト層 107 と、を包含して構成される。

【0012】

また、TFT 上には、TFT を外部から保護して絶縁する保護層 (passivation layer) 109 が更に形成されている。

【0013】

また、保護層 109 上には、ブラックマトリックス 111 が形成されるが、ブラックマトリックス 111 は、ゲートライン及びデータラインの周囲の反転ドメイン (reverse tilt domain) 領域を通過する不必要な光を遮断するために、マトリックス状に配列される。また、ゲートラインとデータラインとの交差により定義される画素領域には、赤、緑、青色のサブカラーフィルター層 110 のうち何れか一つが画素毎に一つずつ形成されている。

10

【0014】

また、TFT のドレイン電極 106 の上部には、コンタクトホールが形成されて画素電極 112 と相互連結されている。

【0015】

一方、TFT アレイ基板と対向する上部基板は、ガラスなどの透明な基板 150 と、基板 150 上に形成される共通電極 151 と、共通電極 151 上に液晶の初期配向のための配向膜 152 が形成される。

また、配向膜 152 は、TFT アレイ基板にも形成されることができる。

20

【0016】

一方、TFT アレイ基板は、画素電極 112 が形成される画素領域の外郭には、ゲート電圧及びデータ電圧を供給するゲートパッド部及びデータパッド部が形成されるパッド部と、上部基板とアレイ基板とを貼り合わせるシーラント (sealant) が形成されるシール領域と、画素領域に隣接する画素領域外郭部と、が形成される。

【0017】

ところが、画素領域外郭部からバックライトの光が漏洩するという問題が発生する。光を遮断するために、画素領域外郭部に対応する上部基板には、ブラックマトリックスが形成される。

【0018】

図5を参照して液晶表示パネルの画素領域外郭部の構造について説明する。

アレイ基板は、図5に示すように、画素領域Aと、画素領域Aに隣接する画素領域外郭部0と、シールライン170が形成されるシール領域Pと、各種パッドが形成されるパッド部Qと、がそれぞれ配置される。

30

【0019】

また、画素領域Aとシールライン170間の領域である画素領域外郭部0には、画素領域に印加され得る外部の静電気を遮断するための静電気放電 (electrostatic discharge、ESD) 回路が形成される。ESD回路は、複数のTFTの組合により構成され得るが、その一端子は、パッド170と連結されて、他の端子は、画素電極物質であるITO (Indium Tin Oxide) により画素領域の他の配線と連結される。従って、外部の静電気がパッド170を通過して画素領域に進入すると、ESD回路171が作動して静電気を液晶パネルの他の配線に分散させて画素を保護する。

40

【0020】

ところが、ESD回路171が形成される画素領域外郭部は、透明な保護層により覆われているため、画素領域外郭部0に光が漏洩する問題が発生する。

【0021】

上記のような問題を解決するために、液晶表示パネルを外郭から覆うトップケース175の外形により遮断しようとする努力があったが、トップケース175は、上部基板150の上段に設置される偏光板174と接触されてはいけないために、画素領域外郭部0を遮るのに限界があった。

50

## 【0022】

画素領域外郭部を通した光漏れを防止するために、COT構造の液晶表示装置は、画素領域外郭部0を遮るブラックマトリックス173を上部基板150に更に形成する。また、ブラックマトリックス層173は、主に不透明な金属層に形成される。従って、上部基板にブラックマトリックス173が更に追加されるために、COT構造の液晶表示装置は、上部基板150にブラックマトリックスを形成する工程が別途に必要となる。

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0023】

即ち、このような従来のCOT構造の液晶表示装置においては、アレイ基板の製造工程と上部基板の製造工程において、それぞれ一回ずつ2回のブラックマトリックス形成工程が必要であるという問題があった。

10

## 【0024】

本発明は、このような従来技術の問題を解決するためになされたもので、アレイ基板上にブラックマトリックスを形成する工程において、画素領域外郭部にブラックマトリックスを更に形成して画素領域外郭部の光漏れ現象を防止することを目的とする。また、本発明は、アレイ基板のブラックマトリックス形成工程において、画素領域外郭部にもブラックマトリックスを更に形成することで、上部基板上にブラックマトリックスを形成する工程を省略して全体の製造工程を短縮することを目的とする。

## 【課題を解決するための手段】

20

## 【0025】

このような目的を達成するために、本発明に係るCOT構造の液晶表示装置においては、第1ブラックマトリックス及びカラーフィルター層を包含する画素領域と、画素領域の外郭に形成されるシールパターンと、シールパターンと画素領域間の光漏れを防止する第2ブラックマトリックスと、第2ブラックマトリックスの外郭に形成される静電気放電回路を具備するアレイ基板と、アレイ基板と対向する上部基板と、を包含して構成されることを特徴とする。

## 【0026】

また、本発明に係るCOT構造液晶表示装置の製造工程においては、基板上の画素領域にゲート電極、アクティブ層及びアクティブ層と連結されるソース及びドレイン電極を具備する薄膜トランジスタを形成する段階と、薄膜トランジスタを保護する保護層を形成する段階と、保護層上に画素領域外郭部へ延長されるブラックマトリックスを形成する段階と、ブラックマトリックスの間にカラーフィルター層を形成する段階と、ドレイン電極と連結される画素電極をカラーフィルター層上に形成する段階と、を順次行うアレイ基板形成段階と、アレイ基板と対向する上部基板を形成する段階及びアレイ基板と上部基板をシールパターンにより貼り合わせる段階と、を順次行うことを特徴とする。

30

## 【発明の効果】

## 【0027】

本発明に係るCOT構造液晶表示装置及びその製造方法においては、COT構造の液晶表示装置を製造する時、アレイ基板に形成されるブラックマトリックスを画素領域外郭部に更に形成して画素領域外郭部の光漏れ現象を防止して画素領域と画素領域外郭部にブラックマトリックスを同時に形成することで、工程を短縮し得るという効果がある。即ち、上部基板にブラックマトリックスを形成しなくても済むため、上部基板にブラックマトリックスを形成する工程を減らし得るという効果がある。

40

## 【発明を実施するための最良の形態】

## 【0028】

COT構造の液晶表示装置は、ブラックマトリックスとカラーフィルター層がTFTアレイ基板上に形成されることが特徴である。ブラックマトリックスとカラーフィルター層は、アレイ基板の各画素が配列される画素領域のみに形成される。従って、画素領域の外郭から光漏れが発生するが、本発明は、画素領域外郭部の光漏れを防止するブラックマト

50

リックスを更に形成する。

【0029】

以下、図1を参照して本発明に係るCOT構造液晶表示装置の構造に対し、説明する。

【0030】

本発明に係る液晶表示装置は、カラーフィルター層を包含するアレイ基板とこれに対向するカラーフィルター基板とがシールパターン460により貼り合わせられている。また、アレイ基板には、複数のゲートライン(図示せず)とゲートラインと垂直交差するデータライン(図示せず)が形成される。ゲートラインとデータラインとの交差により単位画素が定義されて、単位画素の一方側にスイッチング素子である薄膜トランジスタ(TFT)が形成されている。

10

【0031】

図1は、TFTを包含する一つの単位画素と画素領域外郭部を示している。単位画素にデータ電圧を印加するソース及びドレイン電極を包含するTFTは、保護層409により外部と絶縁されている。また、保護層409の上部には、ゲートライン及びデータラインなどの反転ドメイン領域を遮るブラックマトリックス410が形成されるが、ブラックマトリックス410は、TFTが形成される領域を一層遮っている。また、ブラックマトリックス410は、マトリックス状に配列されて、反転ドメイン領域を遮る。また、単位画素領域には、赤、緑、青色のカラーフィルター層411のうち何れか一つが形成される。

【0032】

また、単位画素毎に形成されるカラーフィルター層411上には、画素電極412が形成されて、画素電極412は、TFTのドレイン電極と連結される。

20

【0033】

一方、本発明のブラックマトリックス410は、画素領域だけではなく、画素領域外郭部0に延長されて形成される。また、ブラックマトリックス410が画素領域外郭部0に延長されて形成されることで、画素領域外郭部0を通して光漏れが発生することを防止することができる。

【0034】

ところで、従来は、画素領域外郭部0に静電気放電回路(ESD)が形成されていて、ブラックマトリックスを画素領域外郭部に設置することが困難であった。静電気放電回路は、複数の薄膜トランジスタの組合により形成されるが、その一電極がゲートパッド部又はデータパッド部と連結され、他の電極は画素領域のゲートライン及びデータライン又は上部基板の共通電極などと連結されて、外部から流入される静電気を放電させる役割をする。また、静電気放電回路は、画素電極物質のITO(Indium Tin Oxide)によりパッド部及び画素領域内の複数の配線と連結される。連結は、保護層409上に形成される複数のコンタクトホール(図示せず)を通して行われる。

30

【0035】

ところが、保護層409上に厚い有機膜であるブラックマトリックス410が形成されると、コンタクトホールを形成することが難しい。即ち、画素領域内の各種配線及び上部基板に形成される各種配線と静電気防止回路とを連結するためのコンタクトホールは、ブラックマトリックス410及びその下方の保護層409を除去して形成するべきである。

40

【0036】

しかし、ブラックマトリックス410は、厚いだけではなく、微細な蝕刻が難しくして静電気防止回路を露出させるコンタクトホールを形成することができない。

【0037】

従って、本発明は、静電気放電回路を画素領域外郭部0に形成しない。即ち、図1に示すように、本発明に係る静電気防止回路450は、画素領域外郭部0に延長されるブラックマトリックス410の外郭に形成される。特に、画素領域外郭部0とパッド部Q間に上部基板と下部基板とを貼り合わせるシールパターン460が形成されるが、本発明の静電気放電回路450は、シールパターン460下に形成されることことができる。

【0038】

50

また、シールパターン460は、静電気防止回路部と画素領域の各種配線及び上部基板の各種配線がITO配線により相互連結された後に形成されるために、静電気防止回路部450上にシールパターン460を形成することは可能である。

【0039】

従って、本発明は、シールパターン形成工程の順序を変化させてブラックマトリックス410を画素領域外郭部0に延長して形成しながらも、ブラックマトリックス410により覆われない静電気放電回路450を構成することができる。

【0040】

また、シールパターン460の外郭においては、ゲート信号及びデータ信号が入力されるゲートパッド部又はデータパッド部などが形成されるパッド部Qが更に形成されている。

10

【0041】

一方、TFTアレイ基板500の上部には、共通電極を包含する上部基板600が位置するが、上部基板は、透明なガラスなどの基板480とアレイ基板500に形成される画素電極412と共に液晶に電界を印加する共通電極(図示せず)及び液晶の初期配向のための配向膜(図示せず)を包含して構成される。

【0042】

また、上部基板600とアレイ基板500は、シールパターン460により互いに貼り合わせられ、その間に液晶が注入される。上部基板600とアレイ基板500のセルギャップを誘起するために上部基板600又はアレイ基板500には、複数のスペーサ483

20

が更に形成される。

【0043】

また、上部基板500の外面には偏光板361が形成されるが、偏光板361は、アレイ基板500の外部にも更に形成される。

【0044】

また、上部基板600とアレイ基板500との貼り合わせにより形成される液晶表示パネルは、モジュール装置により保護されるが、モジュール装置の中の一つが液晶表示パネルの上部から液晶表示パネルの縁を遮るトップケース370である。また、トップケース370は、液晶パネルを外部の衝撃から保護する機能をすると共に、アレイ基板500の画素領域外郭部0から発生する光漏れを防止することができる。

30

【0045】

しかし、上部基板に形成される偏光板361との接触を避けるために、トップケース370は、画素領域外郭部0を完全に遮ることができない。従って、本発明の画素領域外郭部0に形成されるブラックマトリックス410は必要である。

【0046】

一方、本発明は、トップケース370の形成位置を調節して静電気放電回路の形成位置を調節することができる。

【0047】

本発明の他の実施形態は、静電気放電回路450をシールパターン460の前段に形成することを提案する。

40

【0048】

以下、図2を参照して本発明の他の実施形態に係る液晶表示装置の構成に対し、説明する。

【0049】

本発明に係る液晶表示装置の基本構成は、実施形態と同様であるため、重複する構成要素の説明は省略する。

【0050】

アレイ基板500上には、図2に示すように、画素領域Aとシールパターン460が形成されるシールライン形成領域Pと、シールライン形成領域Pと画素領域A間に形成される画素領域外郭部0と、ゲート電圧又はデータ電圧が印加されるパッド部Qと、が形成さ

50

れる。画素領域外郭部 0 の中で、シールパターン 4 6 0 に隣接して静電気放電回路 4 5 0 が形成される。静電気放電回路 4 5 0 を除外した画素領域外郭部 0 の残りの領域は、ブラックマトリックス 4 1 0 により遮られる。

【 0 0 5 1 】

一方、液晶パネルの外郭を覆うトップケースは、延長されて静電気放電回路 4 5 0 が形成される画素領域外郭部 0 の一部を遮る。また、トップケースは、上部基板の偏光板 3 6 1 と接触しない範囲でより延長されることができる。

【 0 0 5 2 】

従って、トップケース 3 7 0 とブラックマトリックス 4 1 0 により画素領域外郭部 0 の光漏れを防止することができる。

10

【 0 0 5 3 】

製品によってはシールライン形成領域 P からパッド部 Q に至るリンク部（図示せず）が更に形成され得る。リンク部は、ゲートライン間又はデータライン間の間隔が狭くなりながらパッド部と連結される所である。従って、リンク部は、空間が狭くて静電気放電回路を形成することが難しいが、本発明は、リンク部ではない画素領域外郭部 0 に静電気放電回路が形成されるため、静電気放電回路を形成するための空間を十分に確保することができる。しかし、静電気放電回路がシールライン形成部 P 又は画素領域外郭部 0 に形成されることで制限されることない。即ち、デザインルールを改善して静電気防止回路を微細線幅に設計する場合、リンク部に形成されることもできる。

【 0 0 5 4 】

20

以下、本発明に係る C O T 構造液晶表示装置の製造工程に対し、図 3 A ~ 図 3 G を参照して説明する。

【 0 0 5 5 】

図 3 A に示すように、ガラスなどの透明な基板 4 0 1 上にゲート電極 4 0 2 及びゲートパッド電極 4 0 3 を形成する。ゲート電極 4 0 2 は、金属箔膜をスパッタリング方法により蒸着してフォトリソグラフィ工程を利用して所定のパターンに形成することができる。

【 0 0 5 6 】

次いで、ゲート電極 4 0 2 上にシリコン酸化膜のゲート絶縁層 4 0 4 をプラズマ化学気相蒸着方法（P E C V D）方法により形成する。

【 0 0 5 7 】

30

次いで、図 3 B に示すように、ゲート電極 4 0 2 上にアクティブ層 4 0 5 とオームコンタクト層 4 0 6 を形成する。アクティブ層 4 0 5 は、半導体層から構成されて、P E C V D 方法により蒸着されてドライエッチングプロセスによってパターンニングされることができる。

【 0 0 5 8 】

次に、図 3 C に示すように、スパッタリング方法により金属箔膜を蒸着し、フォトリソグラフィ工程によりソース及びドレイン電極 4 0 7、4 0 8 を形成し、画素領域にはデータライン（図示せず）を形成する。

【 0 0 5 9 】

次いで、ソース及びドレイン電極 4 0 7、4 0 8 上に絶縁層の保護層 4 0 9 を更に形成する。

40

【 0 0 6 0 】

一方、図 3 A ~ 図 3 C には、図示されなかつたが、T F T が形成される画素領域外郭部に静電気放電回路が共に形成されることもできる。静電気放電回路も保護層 4 0 9 により保護される。

【 0 0 6 1 】

次いで、図 3 D に示すように、保護層 4 0 9 上、特に、画素領域 A に有機膜から構成されるブラックマトリックス 4 1 0 を形成する。ブラックマトリックスは、格子状に構成されて、ゲートライン及びデータラインを遮って反転ドメイン領域であるゲートライン及びデータラインの隣接部を遮る。且つ、ブラックマトリックス 4 1 0 は、延長されて画素領

50

域外郭部 0 も同時に遮る。

【 0 0 6 2 】

ブラックマトリックス 4 1 0 を形成した後、ブラックマトリックスの間、即ち、単位画素毎にカラーフィルター層 4 1 1 を形成する。カラーフィルター層 4 1 1 は、赤、緑、青色のサブカラーフィルター層をフォトマスク工程を適用して分散法により形成することができる。

【 0 0 6 3 】

カラーフィルター層を形成する工程において、T F T の所定領域にはカラーフィルター層が形成されないようにする。

【 0 0 6 4 】

次いで、T F T のドレイン電極 4 0 8 を露出させるコンタクトホールを形成する。コンタクトホールは、カラーフィルター層が形成されない領域に形成して保護層のみの除去により容易に形成することができる。

【 0 0 6 5 】

コンタクトホールが形成される段階において、静電気放電回路部の一電極を露出させるコンタクトホールが同時に形成される。また、ゲートパッド電極を露出させるコンタクトホールも共に形成される。

【 0 0 6 6 】

次いで、図 3 F に示すように、コンタクトホールを通してドレイン電極と連結されて単位画素毎に形成される画素電極 4 1 2 を形成する。画素電極は、透明電極である I T O をスパッタリングして蒸着した後、フォトリソグラフィ工程を適用してパターニングする。画素電極がパターニングされる段階において、パッド部のパッド及び静電気放電回路と画素領域の配線とを連結する静電気放電回路の連結配線が同時に形成される。

【 0 0 6 7 】

次いで、ポリイミド (polyimide) から構成される配向膜を画素電極が形成されたアレイ基板上に形成することで、T F T アレイ基板を完成する。

【 0 0 6 8 】

一方、T F T アレイ基板と対向する上部基板が別途の工程によって形成される。上部基板には、共通電極 4 8 1 が形成され、且つ、配向膜 4 8 2 が更に形成される。本発明の上部基板には、画素領域外郭部の光漏れの防止のためのブラックマトリックスが形成されないことが特徴である。

【 0 0 6 9 】

次いで、別途の工程により形成された上部基板とアレイ基板をシールパターンを通して貼り合わせる工程を進行する。貼り合わせ工程は、シールラインの形成工程、上部基板とアレイ基板のアライン工程及び貼り合わせ工程によって形成される。

【 0 0 7 0 】

貼り合わせ工程の後、液晶パネルのセルギャップに液晶を充填させて切断して単位液晶パネルを完成する。

【 図面の簡単な説明 】

【 0 0 7 1 】

【 図 1 】 本発明に係る C O T 構造液晶表示装置を示す断面図である。

【 図 2 】 他の実施形態による本発明に係る液晶表示装置を示す断面図である。

【 図 3 A 】 本発明に係る液晶表示装置の製造工程を示すフローチャートである。

【 図 3 B 】 図 3 A に続く液晶表示装置の製造工程を示すフローチャートである。

【 図 3 C 】 図 3 B に続く液晶表示装置の製造工程を示すフローチャートである。

【 図 3 D 】 図 3 C に続く液晶表示装置の製造工程を示すフローチャートである。

【 図 3 E 】 図 3 D に続く液晶表示装置の製造工程を示すフローチャートである。

【 図 3 F 】 図 3 E に続く液晶表示装置の製造工程を示すフローチャートである。

【 図 3 G 】 図 3 F に続く液晶表示装置の製造工程を示すフローチャートである。

【 図 4 】 従来の C O T 構造の液晶表示装置を示す断面図である。

10

20

30

40

50

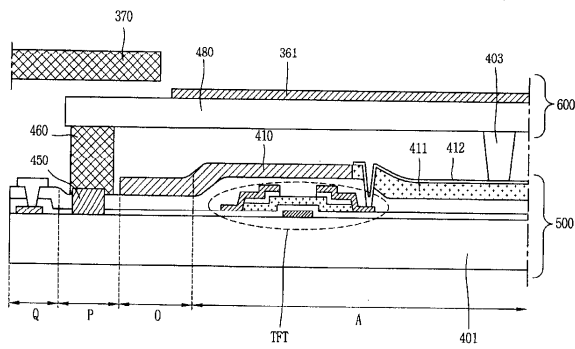
【図5】従来のCOT構造の液晶表示装置の画素領域外郭部を示す断面図である。

【符号の説明】

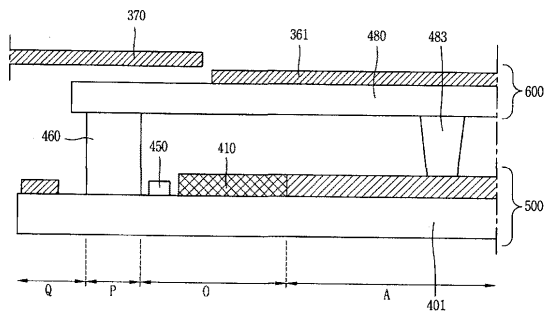
【0072】

- 409:保護層
- 410:ブラックマトリクス
- 411:カラーフィルター層
- 412:画素電極
- 450:静電気防止回路部
- 460:シールパターン
- 481:共通電極

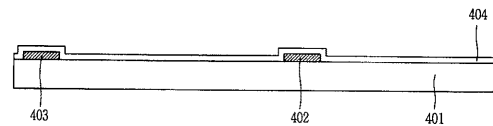
【図1】



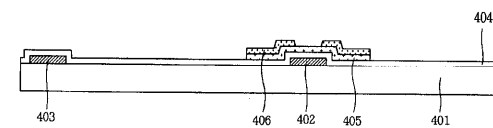
【図2】



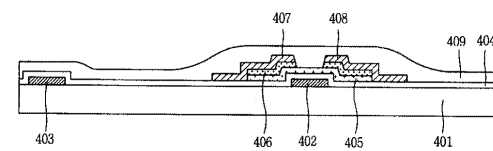
【図3A】



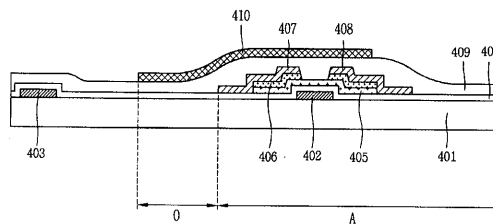
【図3B】



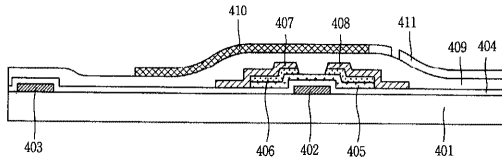
【図3C】



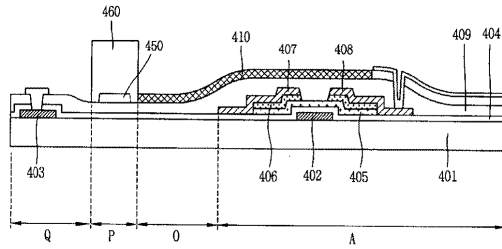
【図3D】



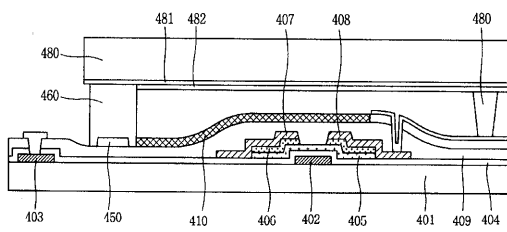
【図3E】



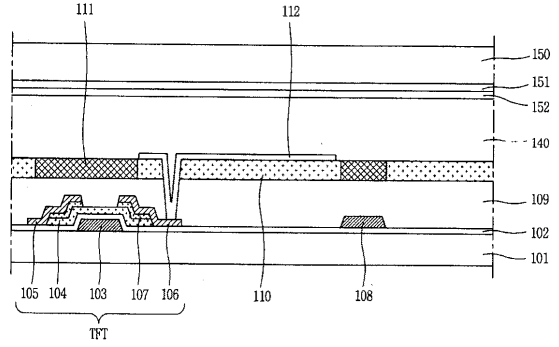
【図3F】



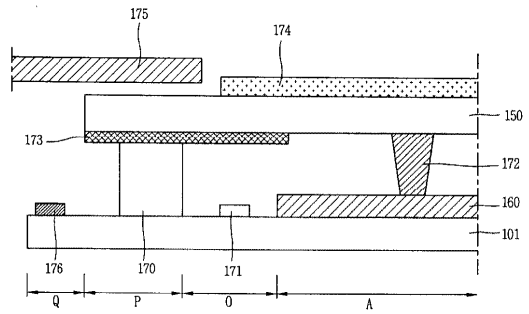
【図3G】



【図4】



【図5】



---

フロントページの続き

(51)Int.Cl.

F I

G 0 9 F 9/30 3 3 8

G 0 9 F 9/30 3 4 9 C

(72)発明者 金 東 国

大韓民国 京畿道 儀旺市 五全洞 1 0 0 慕洛山現代アパート 1 0 4 - 9 0 4

審査官 藤田 都志行

(56)参考文献 特開平 1 1 - 2 3 7 6 2 1 ( J P , A )

特開平 1 0 - 1 6 1 1 4 2 ( J P , A )

特開 2 0 0 2 - 0 2 3 1 9 1 ( J P , A )

特開 2 0 0 2 - 1 4 8 6 3 9 ( J P , A )

(58)調査した分野(Int.Cl. , D B名)

G 0 2 F 1 / 1 3 6 8

G 0 2 F 1 / 1 3 4 5

G 0 2 F 1 / 1 3 3 5

G 0 2 F 1 / 1 3 3 9

G 0 9 F 9 / 3 0

专利名称(译)	用于防止像素区域外部漏光的COT结构液晶显示装置及其制造方法		
公开(公告)号	<a href="#">JP4477552B2</a>	公开(公告)日	2010-06-09
申请号	JP2005185929	申请日	2005-06-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji.菲利普斯杜天公司, 有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	金東国		
发明人	金 東 国		
IPC分类号	G02F1/1368 G02F1/1345 G02F1/1335 G02F1/1339 G09F9/30 G02F1/1362		
CPC分类号	G02F1/136204 G02F2001/136222		
FI分类号	G02F1/1368 G02F1/1345 G02F1/1335.500 G02F1/1335.505 G02F1/1339.505 G09F9/30.338 G09F9/30.349.C		
F-TERM分类号	2H089/HA15 2H089/QA05 2H089/TA13 2H091/FA02Y 2H091/FA35Y 2H091/FD01 2H091/FD04 2H091/LA03 2H092/GA64 2H092/JA26 2H092/JB52 2H092/JB58 2H092/JB79 2H092/KB26 2H092/PA04 2H189/AA15 2H189/AA53 2H189/AA94 2H189/CA18 2H189/FA25 2H189/FA77 2H189/HA03 2H189/HA12 2H189/JA05 2H189/LA06 2H189/LA10 2H189/LA14 2H189/LA15 2H191/FA02Y 2H191/FA14Y 2H191/FD01 2H191/FD04 2H191/LA03 2H192/AA24 2H192/BC31 2H192/CB05 2H192/EA02 2H192/EA32 2H192/EA42 2H192/GA31 2H291/FA02Y 2H291/FA14Y 2H291/FD01 2H291/FD04 2H291/LA03 5C094/AA16 5C094/AA43 5C094/BA03 5C094/BA43 5C094/CA19 5C094/CA24 5C094/DA13 5C094/ED15		
代理人(译)	朝日 伸光		
优先权	1020040049779 2004-06-29 KR		
其他公开文献	JP2006018275A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：提供一种COT型液晶显示装置，其通过在阵列基板上形成黑矩阵的步骤中在像素区域的外部进一步形成黑矩阵来防止光在像素区域外泄漏，并且提供一种制造显示装置的方法。解决方案：COT（薄膜晶体管上的滤色器）结构液晶显示装置包括：像素区域，其中由栅极线限定的单位像素和与栅极线交叉并垂直的数据线排列成矩阵；焊盘区域，耦合到栅极线 and 数据线，并形成在像素区域的外部；在焊盘区域和像素区域之间形成的密封图案；像素区域的外侧区域，外侧区域形成在密封图案和像素区域之间并具有第一黑矩阵；第一基板，具有在焊盘区域和像素区域之间形成的无静电放电电路。之

【图 2】

