

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4471444号
(P4471444)

(45) 発行日 平成22年6月2日(2010.6.2)

(24) 登録日 平成22年3月12日(2010.3.12)

(51) Int.Cl.

F I

G02F 1/133 (2006.01)

G02F 1/133 550

G02F 1/1368 (2006.01)

G02F 1/133 575

G09F 9/30 (2006.01)

G02F 1/1368

G09G 3/20 (2006.01)

G09F 9/30 338

G09G 3/36 (2006.01)

G09G 3/20 624B

請求項の数 12 (全 18 頁) 最終頁に続く

(21) 出願番号 特願2000-98110 (P2000-98110)
 (22) 出願日 平成12年3月31日(2000.3.31)
 (65) 公開番号 特開2001-281628 (P2001-281628A)
 (43) 公開日 平成13年10月10日(2001.10.10)
 審査請求日 平成18年10月23日(2006.10.23)

(73) 特許権者 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100064746
 弁理士 深見 久郎
 (74) 代理人 100085132
 弁理士 森田 俊雄
 (74) 代理人 100091409
 弁理士 伊藤 英彦
 (74) 代理人 100096781
 弁理士 堀井 豊
 (74) 代理人 100096792
 弁理士 森下 八郎

最終頁に続く

(54) 【発明の名称】 液晶表示装置ならびにこれを備えた携帯電話機および携帯情報端末機器

(57) 【特許請求の範囲】

【請求項 1】

デジタル表示データに基づく情報を表示する液晶表示装置であって、 行列状に配置される複数の垂直走査線および複数の水平走査線と、

行列状に配置された複数の画素と、

前記複数の垂直走査線を走査する垂直走査回路と、

前記複数の水平走査線を走査する水平走査回路とを備え、

各前記画素は、M個(M:2以上の自然数)の副画素を含み、

前記複数の垂直走査線のそれぞれは、異なる行の前記副画素に接続され、

前記複数の水平走査線のそれぞれは、第1および第2のデータ線を含むとともに、異なる列の前記画素に接続され、

各前記副画素は、

液晶表示素子と、

前記液晶表示素子の両側に対向して配置される、共通電極および画素電極と、

前記水平走査回路から対応する前記の第1のデータ線を介して供給され、表示データに対応する電位レベルを、対応する前記垂直走査線が走査されたことに応じて前記画素電極に伝達する第1のスイッチ素子とを有し、

各前記画素は、

前記M個の副画素のうちの2個にそれぞれ属する前記画素電極間に設けられ、接続制御ノードの電位に応じてオン/オフする副画素接続スイッチと、

10

20

前記水平走査回路から対応する前記第2のデータ線を介して供給され、表示データに対応する電位レベルを、対応する前記垂直走査線が走査されたことに応じて前記副画素接続スイッチの接続制御ノードに伝達する第2のスイッチ素子とをさらに含み、

各前記画素において前記第1のスイッチ素子がオン/オフした後に前記第2のスイッチがオン/オフする、液晶表示装置。

【請求項2】

前記第1のデータ線は、前記共通電極に対応する電位および前記共通電極の電位レベルとの電位差が前記液晶表示素子の駆動電圧となる電位のいずれか一方を伝達する、請求項1記載の液晶表示装置。

【請求項3】

前記M個の副画素のそれぞれは、互いに異なる表示面積を有する、請求項1記載の液晶表示装置。

【請求項4】

各前記副画素は、

前記液晶表示素子と並列に接続される保持容量素子をさらに有し、

前記M個の副画素のそれぞれにおける、前記液晶表示素子および前記保持容量素子のキャパシタンスの和は互いに異なる、請求項3記載の液晶表示装置。

【請求項5】

デジタル表示データに基づく情報を表示する液晶表示装置であって、

行列状に配置される複数の垂直走査線および複数の水平走査線と、

前記複数の垂直走査線に対応してそれぞれ配置される、複数の副垂直走査線、複数の第1の基準電位配線、および複数の第2の基準電位配線と、

行列状に配置された複数の画素とを備え、

各前記画素は、M個（M：2以上の自然数）の副画素を有し、

各前記副画素は、前記複数の垂直走査線のうちの1本および複数の水平走査線のうちの1本と対応付けられており、

各前記副画素は、

液晶表示素子と、

前記液晶表示素子の両側に対向して配置される、共通電極および画素電極と、

対応する前記垂直走査線の電位に応じて、対応する前記水平走査線と第1の内部ノードとを接続する第1のスイッチ素子と、

前記第1の内部ノードの電位レベルを保持するための制御用容量素子と、

前記第1の内部ノードの電位レベルに応じて、前記第1および第2の基準電位配線のうちのいずれか一方を第2の内部ノードと接続する接続切換回路と、

対応する前記副垂直走査線の電位に応じて、前記第2の内部ノードと前記画素電極とを接続する第2のスイッチ素子とをさらに有し、

各前記画素は、

前記M個の副画素のうちの2個にそれぞれ属する前記画素電極間に設けられた副画素接続スイッチをさらに有し、

前記副画素接続スイッチは、前記複数の垂直走査線のうちの1本および複数の水平走査線のうちの1本と対応付けられており、前記対応する垂直走査線および水平走査線の電位レベルに応じてオン/オフする、液晶表示装置。

【請求項6】

前記接続切換回路は、

前記第1の基準電位配線と前記第2の内部ノードとの間に電氣的に結合され、前記第1の内部ノードと接続されるゲート電極を有する第1導電型の薄膜トランジスタと、

前記第2の基準電位配線と前記第2の内部ノードとの間に電氣的に結合され、前記第1の内部ノードと接続されるゲート電極を有する第2導電型の薄膜トランジスタとを有する、請求項5記載の液晶表示装置。

【請求項7】

前記第 1 の基準電位配線は、前記共通電極に対応する電位を伝達し、

前記第 2 の基準電位配線は、前記共通電極の電位レベルとの電位差が前記液晶表示素子の駆動電圧となる電位を伝達する、請求項 5 記載の液晶表示装置。

【請求項 8】

前記複数の水平走査線は、各副画素のオン/オフ選択を行なうためのデジタル信号を伝達する、請求項 5 記載の液晶表示装置。

【請求項 9】

デジタル信号に基づく情報を表示するための液晶表示部を備え、

前記液晶表示部は、

行列状に配置される複数の垂直走査線および複数の水平走査線と、

前記複数の垂直走査線に対応してそれぞれ配置される、複数の副垂直走査線、複数の第 1 の基準電位配線、および複数の第 2 の基準電位配線と、

行列状に配置された複数の画素とを含み、

各前記画素は、M 個 (M: 2 以上の自然数) の副画素を有し、

各前記副画素は、前記複数の垂直走査線のうちの 1 本および複数の水平走査線のうちの 1 本と対応付けられており、

各前記副画素は、

液晶表示素子と、

前記液晶表示素子の両側に対向して配置される、共通電極および画素電極と、

対応する前記垂直走査線の電位に応じて、対応する前記水平走査線と第 1 の内部ノードとを接続する第 1 のスイッチ素子と、

前記第 1 の内部ノードの電位レベルを保持するための制御用容量素子と、

前記第 1 の内部ノードの電位レベルに応じて、前記第 1 および第 2 の基準電位配線のうちのいずれか一方を前記第 2 の内部ノードと接続する接続切換回路と、

対応する前記副垂直走査線の電位に応じて、前記第 2 の内部ノードと前記画素電極とを接続する第 2 のスイッチ素子とをさらに有し、

各前記画素は、

前記 M 個の副画素のうちの 2 個にそれぞれ属する前記画素電極間に設けられた副画素接続スイッチをさらに有し、

前記副画素接続スイッチは、前記複数の垂直走査線のうちの 1 本および複数の水平走査線のうちの 1 本と対応付けられており、前記対応する垂直走査線および水平走査線の電位レベルに応じてオン/オフする、携帯電話機。

【請求項 10】

前記複数の水平走査線は、各副画素のオン/オフ選択を行なうための前記デジタル信号を伝達する、請求項 9 記載の携帯電話機。

【請求項 11】

デジタル信号に基づく情報を表示するための液晶表示部を備え、

前記液晶表示部は、

行列状に配置される複数の垂直走査線および複数の水平走査線と、

前記複数の垂直走査線に対応してそれぞれ配置される、複数の副垂直走査線、複数の第 1 の基準電位配線、および複数の第 2 の基準電位配線と、

行列状に配置された複数の画素とを含み、

各前記画素は、M 個 (M: 2 以上の自然数) の副画素を有し、

各前記副画素は、前記複数の垂直走査線のうちの 1 本および複数の水平走査線のうちの 1 本と対応付けられており、

各前記副画素は、

液晶表示素子と、

前記液晶表示素子の両側に対向して配置される、共通電極および画素電極と、対応する前記垂直走査線の電位に応じて、対応する前記水平走査線と第 1 の内部ノードとを接続する第 1 のスイッチ素子と、

10

20

30

40

50

前記第 1 の内部ノードの電位レベルを保持するための制御用容量素子と、

前記第 1 の内部ノードの電位レベルに応じて、前記第 1 および第 2 の基準電位配線のうちのいずれか一方を前記第 2 の内部ノードと接続する接続切換回路と、

対応する前記副垂直走査線の電位に応じて、前記第 2 の内部ノードと前記画素電極とを接続する第 2 のスイッチ素子とをさらに有し、

各前記画素は、

前記 M 個の副画素のうちの 2 個にそれぞれ属する前記画素電極間に設けられた副画素接続スイッチをさらに有し、

前記副画素接続スイッチは、前記複数の垂直走査線のうちの 1 本および複数の水平走査線のうちの 1 本と対応付けられており、前記対応する垂直走査線および水平走査線の電位レベルに応じてオン / オフする、携帯情報端末機器。

10

【請求項 1 2】

前記複数の水平走査線は、各副画素のオン / オフ選択を行なうための前記デジタル信号を伝達する、請求項 1 記載の携帯情報端末機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、液晶を用いて画像を表示するための液晶表示装置に関し、より特定的には、デジタルデータの映像信号に応じて階調表示が可能な液晶表示装置に関する。

【0002】

20

【従来の技術】

パーソナルコンピュータ、テレビジョン受像機や携帯電話機などのディスプレイパネルとして、液晶表示装置が用いられるようになってきている。液晶表示装置は、従来のディスプレイ装置と比較して、低消費電力化や省スペース化といった面でメリットが大きい。

【0003】

図 8 は、従来技術の液晶表示装置 500 の全体構成を示すブロック図である。

図 8 を参照して、液晶表示装置 500 は、行列状に配置される複数のピクセル 1001 を含む液晶表示部 1002 を備える。カラー液晶表示装置においては、1 個のピクセル 1001 は、R (Red)、G (Green) および B (Blue) の各 1 つの画素 1005 から構成される。

30

【0004】

画素 1005 は液晶表示部 1002 において行列状に配置されている。液晶表示装置 500 は、さらに、各画素行ごとに配置される垂直走査線 1010 および共通配線 1012 と、各画素列ごとに配置される水平走査線 1011 とを備える。

【0005】

図 9 は、画素 1005 の構成を示す回路図である。

図 9 を参照して、画素 1005 は、対向して設けられる画素電極と共通電極とを有する液晶表示素子 1102 を含む。以下においては、液晶表示素子の画素電極と接続されるノードを画素電極ノード Na と称し、共通電極と接続されるノードを共通電極ノード Nb と称する。

40

【0006】

画素電極ノード Na と共通電極ノード Nb との間の電位差に応じて、液晶表示素子中の液晶の配向性が変化する。これに応じて、液晶表示素子の輝度が変化することによって、各画素の輝度をコントロールすることが可能となる。

【0007】

画素 1005 は、さらに、画素電極ノード Na と共通配線 1012 との間に設けられる保持容量 1103 と、垂直走査線 1010 をゲートに受けて、信号線 1011 と画素電極ノード Na との間に電氣的に結合される TFT (Thin Film Transistor) 素子 1101 とをさらに含む。

【0008】

50

画素 1 1 0 5 においては、垂直走査線 1 0 1 0 に正電圧を印加（活性化）することにより、T F T 素子 1 0 0 1 をオンして、水平走査線 1 0 1 1 の電位レベルを画素電極ノード N a に伝達することができる。液晶表示素子 1 1 0 2 自体もキャパシタンスを有するので、この場合には液晶表示素子 1 1 0 2 および保持容量 1 1 0 3 が T F T 素子 1 1 0 1 のオンによって充電されることになる。

【 0 0 0 9 】

一方、垂直走査線 1 0 1 0 が非活性化されて T F T 素子 1 0 0 1 がオフされた場合には、画素電極ノード N a の電位レベルは、保持容量 1 1 0 3 によって保持される。

【 0 0 1 0 】

再び図 8 を参照して、液晶表示装置 5 0 0 は、各画素行を一定周期で順に選択するための垂直走査回路 1 0 0 3 と、各画素列に対して、表示データに対応する電圧信号である表示信号を供給するための水平走査回路 1 0 0 6 とをさらに備える。

10

【 0 0 1 1 】

垂直走査回路 1 0 0 3 は、シフトレジスタ回路 1 0 0 4 と、バッファ回路 1 0 0 5 とを含み、各画素行を一定周期で順に選択するために、垂直走査線 1 0 1 0 を順に 1 本ずつ活性化して、正電圧を印加する。

【 0 0 1 2 】

水平走査回路 1 0 0 6 は、各画素列を一定周期で順に選択するためのシフトレジスタ回路 1 0 0 7 およびバッファ回路 1 0 0 8 と、表示信号線 1 0 1 3 と水平走査線 1 0 1 1 との間に設けられるスイッチ 1 0 0 9 とを含む。スイッチ 1 0 0 9 は、各画素列に対応して設けられ、対応する表示信号線 1 0 1 3 と信号線水平走査線との間をオン／オフする。スイッチ 1 0 0 9 は、一定周期の信号に基づいて、順番に 1 個ずつオンされる。表示信号線 1 0 1 3 は、液晶表示装置 5 0 0 がカラー表示装置であることから、R、G および B の 3 画素に対応して、それぞれ 1 本ずつ設けられる。

20

【 0 0 1 3 】

水平走査回路 1 0 0 6 によって、1 つの画素行に属するすべての画素に対して表示信号の書込が行なわれた後、すなわち 1 つの画素行に対する走査が完了すると、垂直走査回路 1 0 0 3 は、次の画素行を選択するために、これまで選択されていた垂直走査線 1 0 1 0 を非活性化して 0 もしくは負電圧を印加するとともに、次の垂直走査線 1 0 1 0 を活性化して正電圧を印加する。

30

【 0 0 1 4 】

次の画素行に対しても同様の走査が順次実行され、垂直走査回路 1 0 0 3 がすべての画素行を走査（これを 1 フレームとも称する）した後に、再び先頭の垂直走査線 1 0 1 2 が活性化されて正電圧が印加される。このように、すべての画素が 1 フレームごとに順次表示信号を書込まれることによって、画像の表示が実行されることとなる。

【 0 0 1 5 】

【 発明が解決しようとする課題 】

このように、従来の技術の液晶表示装置 5 0 0 においては、画素電極ノード N a の電位レベルに応じた輝度が各画素において得られるので、各画素における表示を階調表示とするためには、階調に対応した電位レベルで構成されるアナログ信号を水平走査線から画素電極ノード N a に書込む必要があった。このため、液晶表示装置に外部から入力される表示データがデジタルデータである場合には、デジタル／アナログ信号変換を行なうことが必要である。

40

【 0 0 1 6 】

これに対して、デジタル信号である表示信号に対応して階調表示を実行するための構成として、各画素を複数に分割する面積階調方式が知られている。

【 0 0 1 7 】

図 1 0 は、面積階調方式の概念を説明する図である。

図 1 0 を参照して、面積階調方式においては、画素 1 0 0 5 を、複数の副画素 S P X 1 ~ S P X n (n : 自然数) に分割される。副画素 S P X 1 ~ S P X n の各々は、デジタル信

50

号に応じて、そのオン（最大輝度）およびオフ（最小輝度）が独立に制御される。したがって、各画素 1005 において、デジタルデータの表示信号に応じてオンする副画素を選択することにより、オン選択された副画素の面積に比例する階調的な輝度を得ることができる。

【0018】

しかしながら、このような、面積階調方式においては、階調数を高めるためには、画素の分割を増加させる必要がある。分割数を増加すると、画素 1 個当たりの大きさが増大し、表示解像度の低下や表示品位の低下を招くという問題点があった。

【0019】

この発明は、このような問題点を解決するためになされたものであって、この発明の目的は、表示解像度などの表示品位を損なうことなく、デジタルデータによって高階調表示化が可能な液晶表示装置を提供することである。

【0020】

【課題を解決するための手段】

請求項 1 記載の液晶表示装置は、デジタル表示データに基づく情報を表示する液晶表示装置であって、行列状に配置される複数の垂直走査線および複数の水平走査線と、行列状に配置された複数の画素と、複数の垂直走査線を走査する垂直走査回路と、複数の水平走査線を走査する水平走査回路とを備える。各画素は、M 個（M：2 以上の自然数）の副画素を含む。複数の垂直走査線のそれぞれは、異なる行の副画素に接続され、複数の水平走査線のそれぞれは、第 1 および第 2 のデータ線を含むとともに、異なる列の画素に接続される。各副画素は、液晶表示素子と、液晶表示素子の両側に対向して配置される、共通電極および画素電極と、水平走査回路から対応する第 1 のデータ線を介して供給され、表示データに対応する電位レベルを、対応する垂直走査線が走査されたことに応じて画素電極に伝達する第 1 のスイッチ素子とを有する。各画素は、M 個の副画素のうちの 2 個にそれぞれ属する画素電極間に設けられ、接続制御ノードの電位に応じてオン/オフする副画素接続スイッチと、水平走査回路から対応する第 2 のデータ線を介して供給され、表示データに対応する電位レベルを、対応する垂直走査線が走査されたことに応じて副画素接続スイッチの接続制御ノードに伝達する第 2 のスイッチ素子とをさらに含む。各画素において第 1 のスイッチ素子がオン/オフした後に第 2 のスイッチがオン/オフする。

【0022】

請求項 2 記載の液晶表示装置は、請求項 1 記載の液晶表示装置であって、第 1 のデータ線は、共通電極に対応する電位および共通電極の電位レベルとの電位差が液晶表示素子の駆動電圧となる電位のいずれか一方を伝達する。

【0023】

請求項 3 記載の液晶表示装置は、請求項 1 記載の液晶表示装置であって、M 個の副画素のそれぞれは、互いに異なる表示面積を有する。

【0024】

請求項 4 記載の液晶表示装置は、請求項 3 記載の液晶表示装置であって、各副画素は、液晶表示素子と並列に接続される保持容量素子をさらに有し、M 個の副画素のそれぞれにおける、液晶表示素子および保持容量素子のキャパシタンスの和は互いに異なる。

【0025】

請求項 5 記載の液晶表示装置は、デジタル表示データに基づく情報を表示する液晶表示装置であって、行列状に配置される複数の垂直走査線および複数の水平走査線と、複数の垂直走査線に対応してそれぞれ配置される、複数の副垂直走査線、複数の第 1 の基準電位配線、および複数の第 2 の基準電位配線と、行列状に配置された複数の画素とを備える。各画素は、M 個（M：2 以上の自然数）の副画素を有する。各副画素は、複数の垂直走査線のうちの 1 本および複数の水平走査線のうちの 1 本と対応付けられている。各副画素は、液晶表示素子と、液晶表示素子の両側に対向して配置される、共通電極および画素電極と、対応する垂直走査線の電位に応じて、対応する水平走査線と第 1 の内部ノードとを接続する第 1 のスイッチ素子と、第 1 の内部ノードの電位レベルを保持するための制御用容

量素子と、第 1 の内部ノードの電位レベルに応じて、第 1 および第 2 の基準電位配線のうちのいずれか一方を第 2 の内部ノードと接続する接続切換回路と、対応する副垂直走査線の電位に応じて、第 2 の内部ノードと画素電極とを接続する第 2 のスイッチ素子とをさらに有する。各画素は、M 個の副画素のうちの 2 個にそれぞれ属する画素電極間に設けられた副画素接続スイッチをさらに有する。副画素接続スイッチは、複数の垂直走査線のうちの 1 本および複数の水平走査線のうちの 1 本と対応付けられており、対応する垂直走査線および水平走査線の電位レベルに応じてオン / オフする。

【 0 0 2 6 】

請求項 6 記載の液晶表示装置は、請求項 5 記載の液晶表示装置であって、接続切換回路は、第 1 の基準電位配線と第 2 の内部ノードとの間に電氣的に結合され、第 1 の内部ノードと接続されるゲート電極を有する第 1 導電型の薄膜トランジスタと、第 1 の基準電位配線と第 2 の内部ノードとの間に電氣的に結合され、第 1 の内部ノードと接続されるゲート電極を有する第 2 導電型の薄膜トランジスタとを有する。

10

【 0 0 2 7 】

請求項 7 記載の液晶表示装置は、請求項 5 記載の液晶表示装置であって、第 1 の基準電位配線は、共通電極に対応する電位を伝達し、第 2 の基準電位配線は、共通電極の電位レベルとの電位差が液晶表示素子の駆動電圧となる電位を伝達する。

【 0 0 2 8 】

請求項 8 記載の液晶表示装置は、請求項 5 記載の液晶表示装置であって、複数の水平走査線は、各副画素のオン / オフ選択を行なうためのデジタル信号を伝達する。

20

【 0 0 2 9 】

請求項 9 記載の携帯電話機は、デジタル信号に基づく情報を表示するための液晶表示部を備え、液晶表示部は、行列状に配置される複数の垂直走査線および複数の水平走査線と、複数の垂直走査線に対応してそれぞれ配置される、複数の副垂直走査線、複数の第 1 の基準電位配線、および複数の第 2 の基準電位配線と、行列状に配置された複数の画素とを含み、各画素は、M 個 (M : 2 以上の自然数) の副画素を有し、各副画素は、複数の垂直走査線のうちの 1 本および複数の水平走査線のうちの 1 本と対応付けられており、各副画素は、液晶表示素子と、液晶表示素子の両側に対向して配置される、共通電極および画素電極と、対応する垂直走査線の電位に応じて、対応する水平走査線と第 1 の内部ノードとを接続する第 1 のスイッチ素子と、第 1 の内部ノードの電位レベルを保持するための制御容量素子と、第 1 の内部ノードの電位レベルに応じて、第 1 および第 2 の基準電位配線のうちのいずれか一方を第 2 の内部ノードと接続する接続切換回路と、対応する副垂直走査線の電位に応じて、第 2 の内部ノードと画素電極とを接続する第 2 のスイッチ素子とをさらに有し、各画素は、M 個の副画素のうちの 2 個にそれぞれ属する画素電極間に設けられた副画素接続スイッチをさらに有し、副画素接続スイッチは、複数の垂直走査線のうちの 1 本および複数の水平走査線のうちの 1 本と対応付けられており、対応する垂直走査線および水平走査線の電位レベルに応じてオン / オフする。

30

【 0 0 3 0 】

請求項 10 記載の携帯電話機は、請求項 9 記載の携帯電話機であって、複数の水平走査線は、各副画素のオン / オフ選択を行なうためのデジタル信号を伝達する。

40

【 0 0 3 1 】

請求項 11 記載の携帯情報端末機器は、デジタル信号に基づく情報を表示するための液晶表示部を備え、液晶表示部は、行列状に配置される複数の垂直走査線および複数の水平走査線と、複数の垂直走査線に対応してそれぞれ配置される、複数の副垂直走査線、複数の第 1 の基準電位配線、および複数の第 2 の基準電位配線と、行列状に配置された複数の画素とを含み、各画素は、M 個 (M : 2 以上の自然数) の副画素を有し、各副画素は、複数の垂直走査線のうちの 1 本および複数の水平走査線のうちの 1 本と対応付けられており、各副画素は、液晶表示素子と、液晶表示素子の両側に対向して配置される、共通電極および画素電極と、対応する垂直走査線の電位に応じて、対応する水平走査線と第 1 の内部ノードとを接続する第 1 のスイッチ素子と、第 1 の内部ノードの電位レベルを保持するた

50

めの制御用容量素子と、第 1 の内部ノードの電位レベルに応じて、第 1 および第 2 の基準電位配線のうちのいずれか一方を第 2 の内部ノードと接続する接続切換回路と、対応する副垂直走査線の電位に応じて、第 2 の内部ノードと画素電極とを接続する第 2 のスイッチ素子とをさらに有し、各画素は、M 個の副画素のうちの 2 個にそれぞれ属する画素電極間に設けられた副画素接続スイッチをさらに有し、副画素接続スイッチは、複数の垂直走査線のうちの 1 本および複数の水平走査線のうちの 1 本と対応付けられており、対応する垂直走査線および水平走査線の電位レベルに応じてオン/オフする。

【0032】

請求項 1 2 記載の携帯情報端末機器は、請求項 1 1 記載の携帯情報端末機器であって、複数の水平走査線は、各副画素のオン/オフ選択を行なうためのデジタル信号を伝達する。

10

【0033】

【発明の実施の形態】

以下において、本発明の実施の形態について図面を参照して詳しく説明する。

【0034】

〔実施の形態 1〕

図 1 は、本発明の実施の形態 1 に従う液晶表示装置 100 の全体構成を示すブロック図である。

【0035】

本発明の対象となる液晶表示装置は、カラー液晶表示装置およびモノクロ液晶表示装置のいずれにも適用可能な構成であるため、以下の説明においては、各画素に対応した構成について説明する。

20

【0036】

すなわち、液晶表示装置 100 を、カラー画像表示に使用する場合は、同様の構成で配置される各画素について、R、G および B のいずれかのカラーフィルタを設けることとして、3 個の画素で 1 つの表示単位を形成することとすればよい。

【0037】

図 1 を参照して、液晶表示装置 100 は、行列状に配置された複数の画素 20 から構成される液晶表示部 10 を備える。各画素 20 は、副画素 S P X 1 および S P X 2 と、副画素接続回路 25 とを含む。図示しないが、行列状に配された他の画素 20 も副画素 S P X 1 および S P X 2 に分割されており、副画素接続スイッチ回路 25 をそれぞれが有している。

30

【0038】

したがって、液晶表示部 10 全体として、副画素 S P X 1、S P X 2 および副画素接続回路 25 は行列状に配置されることとなる。副画素および副画素接続回路の各行に対応して、独立の垂直走査線 70 が配置される。また、画素の各列に対応して水平走査線 60 が配置される。

【0039】

図 1 の例においては、画素 20 は、水平方向に沿って分割されているので、副画素 S P X 1 および S P X 2 と副画素接続回路 25 との間で水平走査線 60 が共有されている。

40

【0040】

水平走査線 60 は、表示信号に対応するデータを伝達する第 1 のデータ線 62 と、副画素間の接続を制御するための副画素接続信号を伝達する第 2 のデータ線 65 とを含む。また、副画素の各列に対応して、共通配線 80 が配置される。共通配線 80 は、共通電極ノード N b に対応する電位を供給する。

【0041】

副画素 S P X 1 は、液晶表示素子 22 と、画素電極ノード N a と共通配線 80 との間に設けられる保持容量 23 と、垂直走査線 70 をゲートに受けて、第 1 のデータ線 62 と画素電極ノード N a との間に電氣的に結合されるスイッチ素子である T F T 素子 21 とをさらに含む。T F T 素子 21 は、スイッチ素子の代表例として適用される。

50

【 0 0 4 2 】

T F T 素子 2 1、液晶表示素子 2 2 および保持容量 2 3 は、図 9 で説明した T F T 素子 1 1 0 1、液晶表示素子 1 1 0 2 および保持容量 1 1 0 3 にそれぞれ対応する。同様に、垂直走査線 7 0、共通配線 8 0 および第 1 のデータ線 6 2 は、図 7 における垂直走査線 1 0 1 0、共通配線 1 0 1 2 および水平走査線 1 0 1 1 にそれぞれ対応する。その他の副画素の各々も、副画素 S P X 1 と同様の構成を有する。

【 0 0 4 3 】

垂直走査回路 3 0 は、図 8 で説明した垂直走査回路 1 0 0 3 に対応し、垂直走査線 7 0 のうちの 1 本を、順番に一定期間ずつ活性化して正電圧を印加する。

【 0 0 4 4 】

制御回路 5 0 は、副画素接続信号を副画素接続選択信号線 5 2 に出力し、表示信号を表示信号線 5 4 に出力する。水平走査回路 4 0 は、シフトレジスタ回路 4 2 およびバッファ回路 4 5 と、表示信号線 5 4 と第 1 のデータ線 6 2 との間に設けられるスイッチ S W 1 と、副画素接続選択信号線 5 2 と第 2 のデータ線 6 5 との間に設けられるスイッチ S W 2 とを備える。

【 0 0 4 5 】

スイッチ S W 1 および S W 2 は、各画素列ごとに配置される。各画素列に対応して配置されるスイッチ S W 1 および S W 2 は、シフトレジスタ回路 4 2 およびバッファ回路 4 5 によって順にオンされ、水平走査回路 4 0 は、第 1 のデータ線 6 2 および第 2 のデータ線 6 5 を介して、各画素列に対して対応する表示信号および副画素接続信号を供給する。

【 0 0 4 6 】

いわゆる、点順次駆動の場合には、1 つの行に属する各副画素は、水平走査回路 4 0 によってそれぞれ表示信号を供給されて充電されていく。1 つの行に対するすべての副画素に対する表示信号の供給が終了すると、垂直走査回路 3 0 は、次の行を選択するために、活性化の対象となる垂直走査線 7 0 を切替える。これにより、これまで活性化されていた垂直走査線 7 0 は非活性化されて、その電位レベルは 0 または負電圧となるので、対応する T F T 素子 2 1 がオフされて、画素電極ノード N a の電位レベルが保持される。

【 0 0 4 7 】

液晶表示装置 1 0 0 においては、各副画素に対応して、独立に表示信号を供給することが可能な回路構成としたので、それぞれの副画素のオン/オフ制御を独立に行なうことができ、表示信号がデジタルデータである場合においても、各画素 2 0 における階調表示を実行することが可能となる。

【 0 0 4 8 】

液晶表示装置 1 0 0 においては、副画素 S P X 1 と S P X 2 との間に副画素接続回路 2 5 を設けることにより、さらに多段階の階調表示が可能となる。

【 0 0 4 9 】

副画素接続回路 2 5 は、接続制御ノード N c の電位レベルに応じて、副画素 S P X 1 および S P X 2 のそれぞれの画素電極ノード間を接続する副画素接続スイッチ S W a と、垂直走査線 7 0 の電位レベルに応じて、第 2 のデータ線 6 5 と接続制御ノード N c とを接続する接続制御スイッチ S W b とを有する。

【 0 0 5 0 】

これにより、垂直走査線 7 0 の活性化によって指定されたタイミングにおいて副画素接続信号を第 2 のデータ線 6 5 を介して接続制御ノード N c に取込み、これに応じて副画素間の接続を制御することが可能となる。

【 0 0 5 1 】

図 2 は、液晶表示装置 1 0 0 における副画素間の接続を説明するための概念図である。

【 0 0 5 2 】

図 2 を参照して、副画素 S P X 1 および S P X 2 は、互いに異なる表示面積を有する。図 2 においては、副画素 S P X 1 と S P X 2 との表示面積比を S : 2 S とする。また、それぞれの副画素の容量値の比を C : 4 C とする。ここで、副画素の容量値は、保持容量 2 3

10

20

30

40

50

および液晶表示素子 2 2 のキャパシタンスの和で与えられる。

【 0 0 5 3 】

まず、副画素 S P X 1 をオンして画素電極ノードに電位 V を書込み、副画素 S P X 2 をオフする場合を考えると、副画素 S P X 1 の画素電極ノードの電位（以下、単に画素電極電位とも称する）は V となり、副画素 S P X 2 の画素電極電位は 0 となる。

【 0 0 5 4 】

各副画素における輝度が画素電極電位と表示面積との積に比例すると仮定すると、この場合における副画素間の接続前における画素輝度は、下記となる。

【 0 0 5 5 】

$$V \times S + 0 \times 2 S = V \cdot S$$

10

続いて、接続制御スイッチ S W b に対応する垂直走査線に正電圧が印加されている期間中に、第 2 のデータ線に正電圧を印加することによって、副画素接続スイッチ S W a をオンさせ、両副画素の画素電極を接続することができる。これに応じて、副画素 S P X 1 および S P X 2 間で電荷の再配分が生じ、両副画素の画素電極電位は変化することになる。

【 0 0 5 6 】

すなわち、接続後の両副画素における画素電極電位を V ' とすると、下記 (1) 式が成立する。

【 0 0 5 7 】

$$V' \times (C + 4 C) = V \times C + 0 \times 4 C \quad \dots (1)$$

(1) 式より、V ' = V / 5 が得られる。したがって、副画素 S P X 1 の画素電極の電位レベルは V から V / 5 に変化し、副画素 S P X 2 の画素電極の電位レベルは 0 から V / 5 に変化する。

20

【 0 0 5 8 】

副画素間の接続後における輝度は、下記となることから、副画素間を接続することによって、新たな階調を得ることができる。

【 0 0 5 9 】

$$V / 5 \times S + V / 5 \times 2 S = 3 / 5 \cdot V \cdot S$$

次に、副画素 S P X 1 と副画素 S P X 2 とのオンおよびオフを入換えた場合、すなわち、副画素 S P X 2 をオンして画素電極ノードに電位 V を書込み、副画素 S P X 1 をオフした後に、両副画素の画素電極を接続する場合を考える。

30

【 0 0 6 0 】

同様に、各副画素における輝度が画素電極電位と表示面積との積に比例すると仮定すると、副画素間の接続前における画素輝度は、下記となる。

【 0 0 6 1 】

$$0 \times S + V \times 2 S = 2 \cdot V \cdot S$$

同様に、接続後における画素電極電位を V ' とすると、上記 (1) 式に代わって、下記 (2) 式が成立する。

【 0 0 6 2 】

$$V' \times (C + 4 C) = 0 \times C + V \times 4 C \quad \dots (2)$$

(2) 式より、V ' = 4 / 5 · V が得られる。これにより、副画素 S P X 1 の画素電極の電位レベルは 0 から 4 / 5 · V に変化し、副画素 S P X 2 の画素電極の電位レベルは V から 4 / 5 · V に変化する。

40

【 0 0 6 3 】

一方、副画素間の接続後における輝度は、下記で示される。

$$4 / 5 \cdot V \times S + 4 / 5 \cdot V \times 2 S = 12 / 5 \cdot V \cdot S$$

このように、副画素間を接続することによって、新たな階調を得ることができる。

【 0 0 6 4 】

以上より、副画素 S P X 1（面積 S，容量 C）および S P X 2（面積 2 S，容量 4 C）に分割された画素においては、

(1) S P X 1 および S P X 2 の両方がオフである場合 (0)、

50

- (2) $S P X 1$ のみがオンである場合 ($S \cdot V$) 、
- (3) $S P X 2$ のみがオンする場合 ($2 \cdot S \cdot V$) 、および
- (4) $S P X 1$ および $S P X 2$ の両方がオンする場合 ($3 \cdot S \cdot V$) の 4 階調表示に加えて、上記の 2 通りの副画素間接続によって、
- (5) 副画素 $S P X 1$ のみをオンした後に両副画素間を接続する場合 ($3 / 5 \cdot V \cdot S$) 、および
- (6) 副画素 $S P X 2$ のみをオンした後に、両副画素間を接続する場合 ($1 2 / 5 \cdot V \cdot S$) の 2 個の中間階調を得ることができる、これにより、各画素における副画素の分割数を増加させることなくさらに多くの階調表示を行なうことができる。

【 0 0 6 5 】

10

上記のように、各副画素の表示面積および容量値は同一とせず、異なる値とする方が、中間階調数を多くできる。副画素間の接続によって得られる中間階調のレベルは、副画素間の面積比および容量比によって調整することができる。

【 0 0 6 6 】

液晶表示装置 1 0 0 においては各画素を 2 つの副画素に分割する場合について説明したが、各画素を 3 以上の複数個の副画素に分割してもよい。

【 0 0 6 7 】

図 3 は、各画素を 3 個の副画素に分割した場合における副画素間の接続を説明する概念図である。

【 0 0 6 8 】

20

図 3 を参照して、各画素を 3 個の副画素 $S P X 1 \sim S P X 3$ に分割した場合には、互いに独立にオン／オフ制御可能なスイッチ $S W 1 2$ 、 $S W 2 3$ および $S W 1 3$ を、それぞれの副画素間間に設けることにより、さらに多くの階調表示が可能となる。

【 0 0 6 9 】

この場合においても、各副画素および副画素制御スイッチ $S W 1 2$, $S W 2 3$, $S W 1 3$ を行列状に配置して、それぞれを垂直走査線および水平走査線に同期したタイミングで制御する構成とすることができる。

【 0 0 7 0 】

[実施の形態 2]

図 4 は、本発明の実施の形態 2 に従う液晶表示装置 1 1 0 の構成を示す概略ブロック図である。

30

【 0 0 7 1 】

図 4 を参照して、液晶表示装置 1 1 0 は、実施の形態 1 に従う液晶表示装置 1 0 0 と比較して、副画素の構成が異なる。これに対応して、副画素の各行に対応して、垂直走査線 7 0 に加えて、副垂直走査線 7 1、画像信号線 7 5 およびスイッチ $S W 3$ が配置される。

【 0 0 7 2 】

副垂直走査線 7 1 は、垂直走査回路 3 0 によって、1 本ずつ順番に一定周期で活性化される。活性化時において、副垂直走査線 7 1 は、垂直走査線 7 0 と同様に、正電圧を印加される。

【 0 0 7 3 】

40

スイッチ $S W 3$ は、副垂直走査線 7 1 の活性化に応じてオンし、制御回路 5 0 が生成する基準電位を画像信号線 7 5 に伝達する。ただし、 $S W 3$ を配置せずに、各画像信号線 7 5 に対して常に基準電位を供給する構成とすることも可能である。

【 0 0 7 4 】

その他の構成については、図 1 で説明したのと同様であるので説明は繰返さない。

【 0 0 7 5 】

図 5 は、実施の形態 2 に従う副画素の構成を説明する回路図である。

図 5 を参照して、実施の形態 2 に従う副画素 $S P X 1'$ は、実施の形態 1 に従う副画素 $S P X 1$ の構成と比較して、制御用容量素子 2 6 と、T F T 素子 2 7 および 2 8 で構成される接続切換回路 3 1 と、スイッチ素子として用いられる T F T 素子 2 9 とをさらに含む

50

点で異なる。

【 0 0 7 6 】

制御用容量素子 2 6 は、垂直走査線 7 0 の活性化に応じて T F T 素子 2 1 を介して第 1 のデータ線 6 2 と接続される内部ノード N d と共通配線 8 0 との間に接続される。

【 0 0 7 7 】

T F T 素子 2 7 は n 型であり、内部ノード N d と接続されるゲートを有し、画像信号線 7 5 と内部ノード N e との間に電氣的に結合される。T F T 素子 2 8 は、T F T 素子 2 7 と異なる導電型であり、内部ノード N d の電位レベルに応じて T F T 素子 2 7 と相補的にオンする。T F T 素子 2 8 は、内部ノード N d と接続されるゲートを有し、共通配線 8 0 と内部ノード N e との間に電氣的に結合される。

10

【 0 0 7 8 】

T F T 素子 2 7 および 2 8 は、内部ノード N d の電位レベルに応じて、相補的にオン/オフするので、接続切換回路 3 1 は、内部ノード N d の電位レベルに応じて、画素信号線 7 5 および共通配線 8 0 のうちのいずれか一方を内部ノード N e と接続する。

【 0 0 7 9 】

T F T 素子 2 9 は、副垂直走査線 7 1 と接続されるゲートを有し、内部ノード N e と画素電極ノード N a との間に電氣的に結合される。

【 0 0 8 0 】

これにより、副垂直走査線 7 1 の活性化期間中において、内部ノード N d の電位レベルに応じて、画素信号線 7 5 および共通配線 8 0 のうちのいずれか一方が画素電極ノード N a と接続される。

20

【 0 0 8 1 】

既に説明した副画素 S P X 1 の場合と同様に、画素電極ノード N a の電位レベルは、保持容量 2 3 によって保持される。

【 0 0 8 2 】

副画素 S P X 1 ' においては、副画素のオン/オフを示す表示信号は、第 1 のデータ線 6 2 によって伝達され、T F T 素子 2 1 のオンに応じて、内部ノード N d に伝達されて、制御用容量素子 2 6 で保持される。したがって、次の行が走査され、対応する垂直走査線 7 0 が非活性化された場合においても、内部ノード N d には、一旦与えられた電位レベルが保持される。

30

【 0 0 8 3 】

内部ノード N d に保持される電位レベルが H レベルであり、副画素 S P X 1 ' のオンが指示されている場合には、T F T 素子 2 7 のオン状態が維持されるため、副垂直走査線 7 1 の活性化に応じて、画素電極ノード N a と画素信号線 7 5 とが接続される。反対に、内部ノード N d に 0 または負電圧が保持されて、副画素 S P X 1 ' のオフが指示されている場合には、T F T 素子 2 8 が T F T 素子 2 7 と相補的にオンされて、副垂直走査線 7 1 の活性化に応じて、画素電極ノード N a と共通配線 8 0 とが接続される。

【 0 0 8 4 】

このように、画素電極ノード N a は、副画素へのオン/オフ指示を制御用容量素子 2 6 で保持し、副垂直走査線 7 1 の活性化に応じて、画素信号線 7 5 および共通配線 8 0 のいずれか一方と画素電極ノード N a とを周期的に接続することができる。この結果、同一画像を連続して表示する場合においては、一旦当該同一画像に対応する各副画素のオン/オフ指示を制御用容量素子 2 6 に保持させた後は、垂直走査線および水平走査線を駆動した高動作周波数の書込動作を実行することなく、副垂直走査線 7 1 を低い動作周波数で周期的に活性化することによって、所望の画像を連続表示することができる。

40

【 0 0 8 5 】

したがって、同一画像の連続表示時における、水平走査回路および垂直走査回路の消費電力を削減することができる。

【 0 0 8 6 】

さらに、画素信号線 7 5 および共通配線 8 0 と画素電極ノード N a との接続が維持される

50

ので、画素電極ノードNaの電位レベル変動は発生せず、反射率（輝度）の変化が生じない。

【0087】

ここで、画素信号線75によって伝達される基準電位を、画素電極に書込まれた電位が対向基板（共通電極）の電位レベルに液晶駆動電圧を加えた第1の電位レベル、または対向基板（共通電極）の電位レベルに液晶駆動電圧を減じた第2の電位レベルとなるように設定することにより、オンが指示された副画素における液晶の反射率は最大値（ノーマリホワイトモードでは最小値）となる。極性の異なる第1の電位レベルおよび第2の電位レベルを周期的に切換えて、基準電位とすることにより、液晶に常に同方向の電位が印可されることによる焼き付きの発生を防止できる。

10

【0088】

さらに、共通配線80によって伝達される電位レベルを、画素電極に書込まれる電位レベルが対向基板（共通電極）の電位レベルと等しくなるように設定すれば、オフが指定された副画素における液晶の反射率を最小値（ノーマリホワイトモードでは最大値）とすることができる。これにより、オンおよびオフがそれぞれ指示される副画素間におけるコントラストを最大に得ることができる。

【0089】

したがって、実施の形態2に従う液晶表示装置においては、副画素間の画素電極の接続を実現できる構成とともに、副画素に対するオン/オフ指示を副画素内部で保持することにより、同一画像を連続表示する場合における低消費電力化を図ることができる。

20

【0090】

さらに、最大輝度および最小輝度を安定的に出力できる副画素の構成とすることによって、コントラストに優れた多階調表示動作を可能とすることができる。

【0091】

[実施の形態2の変形例]

図6は、実施の形態2の変形例に従う携帯電話機200を示す図である。

【0092】

図6を参照して、携帯電話機200は、実施の形態2に従う液晶表示装置110を備える。携帯電話機の表示部は、液晶表示装置110の液晶表示部10によって形成される。したがって、表示部を構成する各副画素は、図5で説明した構成を有しているので、同一画像を連続して表示する場合において、低消費電力化を図ることができる。

30

【0093】

この特性は、いわゆる待ち受け時における低消費電力化要求が高い携帯電話機に適しており、実施の形態2に従う液晶表示装置110を備える携帯電話機200は、表示解像度などの表示品位を損なうことなくデジタルデータに基づく高階調表示を行なうとともに、低消費電力化によるバッテリー駆動時間の長期化を実現する。

【0094】

図7は、実施の形態2の変形例に従う携帯情報端末機器210を示す図である。

【0095】

図7を参照して、携帯情報端末機器210も、携帯電話機200と同様に、実施の形態2に従う液晶表示装置110を備えるので、同一画像を連続して表示する場合における低消費電力化を図ることができる。

40

【0096】

したがって、携帯情報端末機器210は、表示解像度などの表示品位を損なうことなくデジタルデータに基づく高階調表示を行なうとともに、低消費電力化によるバッテリー駆動時間の長期化を実現することができる。

【0097】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される

50

。

【 0 0 9 8 】

【発明の効果】

請求項 1 および 2 に記載の液晶表示装置は、各副画素を 2 値的にオン / オフ制御することによって各画素における階調表示を行なう場合において、副画素の画素電極間を接続するスイッチを設けているので、表示可能な階調数を多くすることができる。

【 0 0 9 9 】

請求項 3 記載の液晶表示装置は、各副画素の表示面積が異なるので、請求項 1 記載の液晶表示装置が奏する効果に加えて、さらに表示可能な階調数を多くすることができる。

【 0 1 0 0 】

請求項 4 記載の液晶表示装置は、各副画素の容量値が異なるので、副画素の画素電極間を接続した場合に生じる電位レベルのバリエーションを増やすことができる。したがって、請求項 1 記載の液晶表示装置が奏する効果に加えて、さらに表示可能な階調数を多くすることができる。

【 0 1 0 1 】

請求項 5 および 6 記載の液晶表示装置は、各副画素において、制御用容量素子によって内部ノードに保持される電位レベルに応じて、第 1 および第 2 の基準電位配線の一方と各副画素中の画素電極とを周期的に接続できる。したがって、同一画像を連続して表示する場合において、垂直走査線および水平走査線を駆動した高周波数の書込動作を実行する必要がなく、低消費電力化を図ることができる。

【 0 1 0 2 】

請求項 7 記載の液晶表示装置は、共通電極との電位差がゼロおよび液晶駆動電位である 2 つの電位を、第 1 および第 2 の基準電位配線によってそれぞれ伝達するので、請求項 5 記載の液晶表示装置が奏する効果に加えて、副画素間の表示コントラストを強調することができる。

【 0 1 0 3 】

請求項 8 記載の液晶表示装置は、請求項 5 記載の液晶表示装置が奏する効果に加えて、デジタル信号によって各画素の階調表示を行なうことができる。

【 0 1 0 4 】

請求項 9 および 1 0 に記載の携帯電話機は、デジタル信号に基づいて各副画素を 2 値的にオン / オフ制御することによって各画素における階調表示を行なう場合において、副画素の画素電極間を接続するスイッチを設けているので、表示可能な階調数を多くすることができる。さらに、各副画素においては、制御用容量素子によって内部ノードに保持される電位レベルに応じて、第 1 および第 2 の基準電位配線の一方と各副画素中の画素電極とを周期的に接続できる。したがって、同一画像を連続して表示する、いわゆる待ち受け時において、垂直走査線および水平走査線を駆動した高周波数の書込動作を実行する必要がなく、低消費電力化を図ることができる。

【 0 1 0 5 】

請求項 1 1 および 1 2 に記載の携帯情報端末機器は、デジタル信号に基づいて各副画素を 2 値的にオン / オフ制御することによって各画素における階調表示を行なう場合において、副画素の画素電極間を接続するスイッチを設けているので、表示可能な階調数を多くすることができる。さらに、各副画素においては、制御用容量素子によって内部ノードに保持される電位レベルに応じて、第 1 および第 2 の基準電位配線の一方と各副画素中の画素電極とを周期的に接続できる。したがって、同一画像を連続して表示する場合において、垂直走査線および水平走査線を駆動した高周波数の書込動作を実行する必要がなく、低消費電力化を図ることができる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 に従う液晶表示装置 1 0 0 の全体構成を示すブロック図である。

【図 2】 液晶表示装置 1 0 0 における副画素間の接続を説明するための概念図である。

10

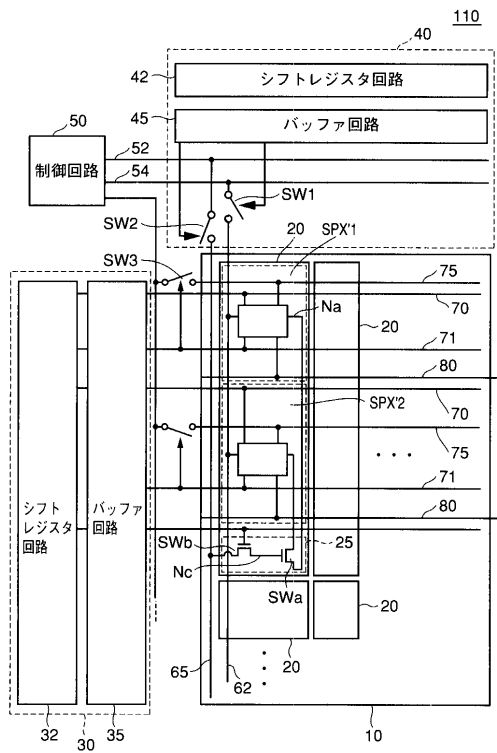
20

30

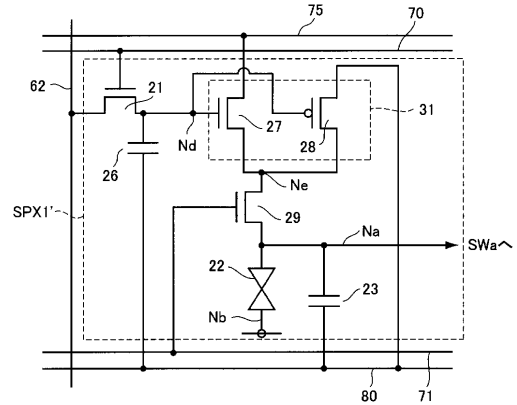
40

50

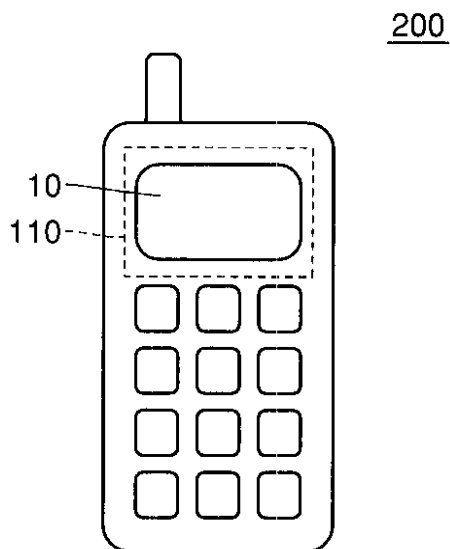
【図 4】



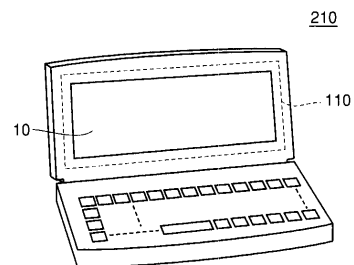
【図 5】



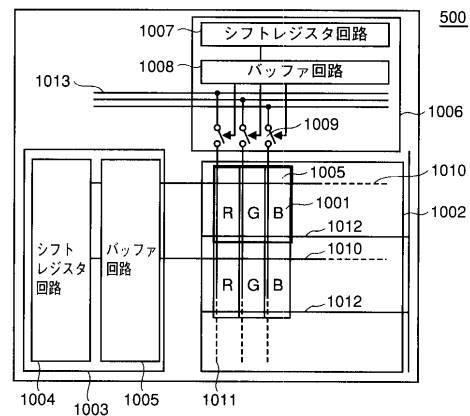
【図 6】



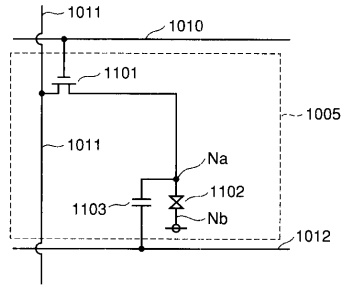
【図 7】



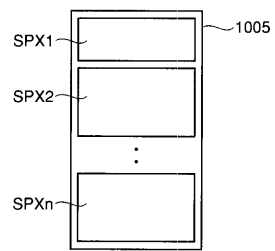
【図 8】



【図 9】



【図 10】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 4 1 G
G 0 9 G 3/20 6 8 0 S
G 0 9 G 3/20 6 8 0 T
G 0 9 G 3/36

(72)発明者 時岡 秀忠
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
(72)発明者 上里 将史
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
(72)発明者 村井 博之
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
(72)発明者 井上 満夫
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 藤田 都志行

(56)参考文献 特開平03-053218(JP,A)
特開昭62-023023(JP,A)
国際公開第97/022963(WO,A1)
特開平10-68931(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/133
G02F 1/1368
G09F 9/30
G09G 3/20
G09G 3/36

专利名称(译)	液晶显示装置，包括该液晶显示装置的移动电话，以及便携式信息终端装置		
公开(公告)号	JP4471444B2	公开(公告)日	2010-06-02
申请号	JP2000098110	申请日	2000-03-31
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机株式会社		
当前申请(专利权)人(译)	三菱电机株式会社		
[标]发明人	時岡秀忠 上里将史 村井博之 井上満夫		
发明人	時岡 秀忠 上里 将史 村井 博之 井上 満夫		
IPC分类号	G02F1/133 G02F1/1368 G09F9/30 G09G3/20 G09G3/36 G02F1/136		
CPC分类号	G09G3/3659 G09G3/2074 G09G2300/0828 G09G2300/0842 G09G2330/021		
FI分类号	G02F1/133.550 G02F1/133.575 G02F1/1368 G09F9/30.338 G09G3/20.624.B G09G3/20.641.G G09G3/20.680.S G09G3/20.680.T G09G3/36 G02F1/136.500		
F-TERM分类号	2H092/HA02 2H092/JA24 2H092/JB22 2H092/JB31 2H092/JB42 2H092/JB69 2H092/NA26 2H092/PA06 2H092/PA08 2H092/PA10 2H092/RA10 2H093/NA31 2H093/NA45 2H093/NA51 2H093/NA54 2H093/NC07 2H093/NC22 2H093/NC34 2H093/NC40 2H093/NC41 2H093/NC58 2H093/ND12 2H093/ND39 2H093/ND41 2H192/AA24 2H192/BC24 2H192/CB12 2H192/CB22 2H192/CB24 2H192/CC64 2H192/DA12 2H192/GD61 2H193/ZA04 2H193/ZA19 2H193/ZC26 2H193/ZD13 2H193/ZD21 2H193/ZD24 2H193/ZF09 2H193/ZH21 5C006/AA01 5C006/AA12 5C006/AA22 5C006/BB06 5C006/BC03 5C006/BC06 5C006/BC12 5C006/BC20 5C006/BF03 5C006/BF04 5C006/BF45 5C006/EC08 5C006/FA41 5C006/FA47 5C006/FA56 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD22 5C080/DD26 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ06 5C094/AA01 5C094/AA22 5C094/BA03 5C094/BA43 5C094/CA19 5C094/CA25 5C094/EA04 5C094/EA07 5C094/HA08 5C094/HA10		
代理人(译)	森田俊夫 伊藤英彦 堀井裕		
其他公开文献	JP2001281628A5 JP2001281628A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供液晶显示设备，通过数字数据实现高灰度显示，而不会损失显示分辨率等显示质量。解决方案：布置成矩阵形式的每个像素20被分成多个子像素。由于水平扫描线60和垂直扫描线70对应于子像素的每个行和列布置，因此每个子像素能够独立地控制开和关。每个像素20包括子像素之间的子像素连接电路25。子像素连接电路25根据从数据线65输入的子像素连接信号，与垂直扫描线70的激活同步地连接在每个子像素的像素电极之间。

