

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4412494号
(P4412494)

(45) 発行日 平成22年2月10日(2010.2.10)

(24) 登録日 平成21年11月27日(2009.11.27)

(51) Int.Cl.

F I

G O 2 F 1/1368 (2006.01)

G O 2 F 1/1368

G O 2 F 1/1337 (2006.01)

G O 2 F 1/1337 5 O 5

請求項の数 21 (全 14 頁)

(21) 出願番号 特願2005-376099 (P2005-376099)
 (22) 出願日 平成17年12月27日(2005.12.27)
 (65) 公開番号 特開2007-58155 (P2007-58155A)
 (43) 公開日 平成19年3月8日(2007.3.8)
 審査請求日 平成17年12月27日(2005.12.27)
 (31) 優先権主張番号 94129055
 (32) 優先日 平成17年8月25日(2005.8.25)
 (33) 優先権主張国 台湾(TW)

(73) 特許権者 502352807
 中華映管股▲ふん▼有限公司
 台湾台北市中山北路3段22號
 (74) 代理人 100093997
 弁理士 田中 秀佳
 (74) 代理人 100101616
 弁理士 白石 吉之
 (74) 代理人 100107423
 弁理士 城村 邦彦
 (74) 代理人 100120949
 弁理士 熊野 剛
 (74) 代理人 100121186
 弁理士 山根 広昭
 (72) 発明者 黄俊益
 台湾桃園縣大園鄉中華路497號
 最終頁に続く

(54) 【発明の名称】 マルチドメイン垂直配向液晶表示パネル、薄膜トランジスタアレイ、およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

基板と、

基板上に配置され、複数の画素領域を規定する複数のデータ線および走査線と、

画素領域に配置され、データ線および走査線に電氣的に接続し、データ線および走査線で駆動する複数の画素構造を有する薄膜トランジスタアレイであって、前記画素構造が各々、

データ線および走査線に電氣的に接続した薄膜トランジスタと、

薄膜トランジスタ上に配置されるとともに薄膜トランジスタに電氣的に接続され、複数の主スリットを備えた画素電極と、

基板上で、画素電極の一部と基板の間に配置された誘電体裏地層を有し、

各主スリットにおいて、主スリットの一方の側に位置する画素電極の部位が誘電体裏地層上に直接形成されており、主スリットの他方の側に位置する画素電極の部位が基板上に直接形成されている薄膜トランジスタアレイ。

【請求項2】

主スリットが、誘電体裏地層の縁に対応する請求項1記載の薄膜トランジスタアレイ。

【請求項3】

各誘電体裏地層が第一裏地サブレイヤと第二裏地サブレイヤを有し、第一裏地サブレイヤの高さが第二裏地サブレイヤの高さと異なっている請求項1記載の薄膜トランジスタアレイ。

10

20

【請求項 4】

各画素電極がさらに複数の微細スリットを備え、主スリットの両側に前記微細スリットを配置した請求項 1 記載の薄膜トランジスタアレイ。

【請求項 5】

各薄膜トランジスタが、
基板上に配置されたゲートと、
基板上に配置され、ゲートを被覆するゲート絶縁層と、
ゲート絶縁層上に配置され、ゲートに対応するチャネルと、
チャネル上に配置され、対応する画素電極に電氣的に接続したソース/ドレインと、
基板上に配置され、チャネルおよびソース/ドレインを被覆する保護層を有する請求項 1 記載の薄膜トランジスタアレイ。 10

【請求項 6】

ゲート絶縁層と保護層がさらに、薄膜トランジスタから外側に延び、誘電体裏地層を構成する請求項 5 記載の薄膜トランジスタアレイ。

【請求項 7】

薄膜トランジスタアレイと、
薄膜トランジスタアレイに対応するように配置された対向基板と、
薄膜トランジスタアレイと対向基板の間に配置された液晶層を有するマルチドメイン垂直配向液晶表示パネルであって、
前記薄膜トランジスタアレイが、 20
基板と、
基板上に配置され、複数の画素領域を規定する複数のデータ線および走査線と、
画素領域に配置され、データ線および走査線に電氣的に接続し、データ線および走査線で駆動する複数の画素構造を有し、前記画素構造が各々、
データ線および走査線に電氣的に接続した薄膜トランジスタと、
薄膜トランジスタ上に配置され、それに電氣的に接続し、複数の主スリットを備えた画素電極と、
基板上で、画素電極の一部と基板との間に配置された誘電体裏地層とを有し、
各主スリットにおいて、主スリットの一方の側に位置する画素電極の部位が誘電体裏地層上に直接形成されており、主スリットの他方の側に位置する画素電極の部位が基板上に直接形成されているマルチドメイン垂直配向液晶表示パネル。 30

【請求項 8】

主スリットが、誘電体裏地層の縁に対応する請求項 7 記載のマルチドメイン垂直配向液晶表示パネル。

【請求項 9】

各誘電体裏地層が第一裏地サブレイヤと第二裏地サブレイヤを有し、第一裏地サブレイヤの高さが第二裏地サブレイヤの高さと異なっている請求項 7 記載のマルチドメイン垂直配向液晶表示パネル。

【請求項 10】

各画素電極がさらに複数の微細スリットを備え、主スリットの両側に前記微細スリットを配置した請求項 7 記載のマルチドメイン垂直配向液晶表示パネル。 40

【請求項 11】

各薄膜トランジスタが、
基板上に配置されたゲートと、
基板上に配置され、ゲートを被覆するゲート絶縁層と、
ゲート絶縁層上に配置され、ゲートに対応するチャネルと、
チャネル上に配置され、対応する画素電極に電氣的に接続したソース/ドレインと、
基板上に配置され、チャネルおよびソース/ドレインを被覆する保護層を有する請求項 7 記載のマルチドメイン垂直配向液晶表示パネル。

【請求項 12】

ゲート絶縁層と保護層がさらに、薄膜トランジスタから外側に延び、誘電体裏地層を構成する請求項 1 1 記載のマルチドメイン垂直配向液晶表示パネル。

【請求項 1 3】

対向基板が、カラーフィルタである請求項 7 記載のマルチドメイン垂直配向液晶表示パネル。

【請求項 1 4】

対向基板が、複数の配向突出部を有する請求項 7 記載のマルチドメイン垂直配向液晶表示パネル。

【請求項 1 5】

配向突出部が帯状で、主スリットに対して平行である請求項 1 4 記載のマルチドメイン垂直配向液晶表示パネル。

【請求項 1 6】

その上に複数の画素領域を規定する基板を提供し、
ゲート金属層を形成し、ゲート金属層をパターンニングして、各画素領域にゲートを形成し、

ゲートを被覆するゲート絶縁層を形成し、
ゲート絶縁層上に複数のチャンネルを形成し、前記チャンネルがゲートに対応し、
ソース/ドレイン金属層を形成し、ソース/ドレイン金属層をパターンニングして、各チャンネル上にソース/ドレインを形成し、

基板上に保護層を形成し、ソース/ドレインおよびチャンネルを被覆し、
保護層とゲート絶縁層をパターンニングして、基板上の各画素領域内に誘電体裏地層を形成し、

基板上に電極層を形成、電極層をパターンニングして、各画素領域内に複数の主スリットを備えた画素電極を形成し、前記保護層を介して、対応するソース/ドレインに画素電極を電氣的に接続し、画素電極の一部が対応する誘電体裏地層を被覆し、

各主スリットにおいて、主スリットの一方の側に位置する画素電極の部位が誘電体裏地層上に直接形成されており、主スリットの他方の側に位置する画素電極の部位が基板上に直接形成されている薄膜トランジスタアレイの製造方法。

【請求項 1 7】

保護層とゲート絶縁層をパターンニングするステップで、マスク工程を行い、保護層内にコンタクト孔を規定し、同時に各画素領域内に誘電体裏地層を形成し、前記コンタクト孔が対応するように、各ソース/ドレインの一部を露出させる請求項 1 6 記載の方法。

【請求項 1 8】

保護層とゲート絶縁層をパターンニングするステップでさらに、別のマスク工程を行い、誘電体裏地層の一部を取り除き、複数の第一裏地サブレイヤと第二裏地サブレイヤを形成し、第一裏地サブレイヤの高さが、第二裏地サブレイヤの高さと異なる請求項 1 6 記載の方法。

【請求項 1 9】

その上に複数の画素領域を規定する基板を提供し、
ゲート金属層を形成し、ゲート金属層をパターンニングして、各画素領域内にゲートを形成し、

ゲートを被覆するゲート絶縁層を形成し、
ゲート絶縁層上に複数のチャンネルを形成し、前記チャンネルがゲートに対応し、
ソース/ドレイン金属層を形成し、ソース/ドレイン金属層をパターンニングして、各チャンネル上にソース/ドレインを形成し、

基板上に保護層を形成して、ソース/ドレインおよびチャンネルを被覆し、
保護層とゲート絶縁層をパターンニングして、基板上に各画素領域内に誘電体裏地層を形成し、

基板上に電極層を形成し、電極層をパターンニングして、各画素領域内に複数の主スリットを備えた画素電極を形成し、前記保護層を介して、対応するソース/ドレインに画素

10

20

30

40

50

電極を電氣的に接続し、画素電極の一部が対応する誘電体裏地層を被覆し、

各主スリットにおいて、主スリットの一方の側に位置する画素電極の部位が誘電体裏地層上に直接形成されており、主スリットの他方の側に位置する画素電極の部位が基板上に直接形成されており、

対向基板を提供し、

基板と対向基板の間に液晶層を形成するマルチドメイン垂直配向液晶表示パネルの製造方法。

【請求項 20】

保護層とゲート絶縁層をパターンニングするステップで、マスク工程を行い、保護層内にコンタクト孔を規定し、同時に各画素領域内に誘電体裏地層を形成し、前記コンタクト孔が対応するように、各ソース/ドレインの一部を露出させる請求項 19 記載の方法。

10

【請求項 21】

保護層とゲート絶縁層をパターンニングするステップで、別のマスク工程を行って、誘電体裏地層の一部を取り除き、複数の第一裏地サブレイヤと第二裏地サブレイヤを形成し、第一裏地サブレイヤの高さが第二裏地サブレイヤの高さと異なっている請求項 20 記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は一般に、表示パネル、能動素子アレイ、およびその製造方法に関する。より詳細には、この発明はマルチドメイン垂直配向液晶表示 (LCD) パネル、薄膜トランジスタ (TFT) アレイ、およびその製造方法に関する。

20

【背景技術】

【0002】

LCD パネルは、高輝度、高コントラスト、大画面表示、および広視野角を備えるようになっている。LCD パネルの視野角を改善するために、いくつかの広視野角技術が提案されている。広視野角を備えた一般的な LCD には、例えばマルチドメイン垂直配向 (MVA) LCD、面内切り替え (IPS) LCD、および周辺電界切り替え (FFS) LCD がある。MVA - LCD の場合、例えば画素電極上に複数のスリットを形成する。それに対応するカラーフィルタアレイ基板上には、複数の突出部を配置する。スリットと突出部を適合させることで、液晶層の液晶分子は様々な方向に分割し、広視野角性能を実現できる。

30

【0003】

図 1 は、既存の MVA - LCD の一画素を概略的に示す平面図である。図 1 を参照すると、基板 (図示せず) 上には、走査線 102、データ線 104、薄膜トランジスタ (TFT) 120 および画素電極 112 が配置されている。薄膜トランジスタ (TFT) 120 は、ゲート 106、チャネル 108 およびソース 110a / ドレイン 110b を有し、ゲート 106 は走査線 102 と電氣的に接続し、ソース 110a はデータ線 104 と電氣的に接続し、ドレイン 110b はコンタクト孔 116 を介して、画素電極 112 と電氣的に接続する。

40

【0004】

一般に、LCD の視野角を改善するために、画素電極 112 内に複数の帯状スリット 114 を形成し、カラーフィルタ層を備えた対向基板 (図示せず) 上に複数の帯状突出部 118 を形成する。その結果、二つの基板間に配置された液晶分子は、スリット 114 と突出部 118 によって、様々なチルト方向を有することができる。従って、LCD の視野角の範囲を拡大できる。

【0005】

突出部 118 とスリット 114 によって、上記の MVA - LCD の水平および垂直方向で視野角の範囲を拡大できるが、正面から見た場合と斜め方向から見た場合では、中間階調レベルの画像に色シフトが発生し、画質が低下する。図 2 は、既存の MVA - LCD の

50

印加電圧と透過率の関係を示す図であり、R - 線は正面から見た場合のV - T曲線を指し、Q - 線は斜め方向から見た場合のV - T曲線を指している。図2を参照すると、低駆動電圧では、斜め方向から見た透過率は正面から見たものより大きい。その結果、斜め方向ではMVA - LCDの光漏れおよび色シフトが発生する。

【発明の開示】

【発明が解決しようとする課題】

【0006】

従って、この発明はTFTアレイを対象とし、その液晶分子のチルト方向を改善し、色シフトまたは光漏れを解決するために層の厚さを変化させ、異なる高さを備えた構造を形成する。

10

【0007】

この発明はさらにMVA - LCDパネルを対象とし、より異なるセルギャップを提供するために、上記のTFTアレイを用いて、液晶分子のチルト方向を改善し、色シフトまたは光漏れを解決する。

【0008】

さらに、この発明は上記のTFTアレイを製造する方法を対象とし、そのMVA - LCDパネル内の液晶分子のチルト方向を改善し、色シフトまたは光漏れの問題を解決できる。

【0009】

その上、この発明は上記のMVA - LCDパネルを製造する方法を対象とし、その液晶分子のチルト方向を改善し、色シフトまたは光漏れの問題を解決できる。

20

【課題を解決するための手段】

【0010】

この発明は、基板、基板上に配置されて複数の画素領域を規定する複数のデータ線および走査線、画素領域に配置されてデータ線と走査線に電氣的に接続し、データ線と走査線で駆動する複数の画素構造を有する。各画素構造は、データ線と走査線に電氣的に接続した薄膜トランジスタ、薄膜トランジスタ上に配置されてそれに電氣的に接続し、複数の主スリットを備えた画素電極、基板上で画素電極の一部と基板の間に配置された誘電体裏地層を有する。各主スリットにおいて、主スリットの一方の側に位置する画素電極の部位が誘電体裏地層上に直接形成されており、主スリットの他方の側に位置する画素電極の部位が基板上に直接形成されている。

30

【0011】

この発明の一実施例によると、主スリットは誘電体裏地層の縁に対応する。

【0012】

この発明の一実施例によると、各誘電体裏地層は第一裏地サブレイヤと第二裏地サブレイヤを有し、第一裏地サブレイヤの高さは第二裏地サブレイヤの高さと異なっている。

【0013】

この発明の一実施例によると、各画素電極はさらに複数の微細スリットを有し、前記微細スリットは主スリットの両側に配置する。

【0014】

40

この発明の一実施例によると、各薄膜トランジスタは基板上に配置されたゲート、基板上およびゲート上に配置されたゲート絶縁層、ゲート絶縁層上に配置され、ゲートに対応するチャネル、チャネル上に配置され、対応する画素電極に電氣的に接続したソース/ドレイン、および基板上に配置され、チャネルとソース/ドレインを被覆する保護層を有する。

【0015】

この発明の一実施例によると、ゲート絶縁層と保護層はさらに薄膜トランジスタから外に広がり、誘電体裏地層を構成できる。

【0016】

この発明は、上記のTFTアレイ、薄膜トランジスタアレイに対応して配置された対向

50

基板、および薄膜トランジスタアレイと対向基板の間に配置された液晶層を有するMVA-LCDパネルを提供する。

【0017】

この発明の一実施例によると、対向基板はカラーフィルタであってもよい。

【0018】

この発明の一実施例によると、対向基板は複数の配向突出部を有する。さらに、配向突出部は帯状で主スリットと平行になっている。

【0019】

この発明は、TFTアレイの製造方法を提供する。まず、基板を提供し、前記基板上に複数の画素領域を規定する。次に、ゲート金属層を形成し、パターンニングして、各画素領域にゲートを形成する。それから、ゲート絶縁層を形成し、前記ゲート絶縁層でゲートを被覆する。その後、ゲート絶縁層上に複数のチャネルを形成し、前記チャネルはゲートに対応する。次に、ソース/ドレイン金属層を形成し、パターンニングして、各チャネル上にソース/ドレインを形成する。それから、ソース/ドレインとチャネルを被覆するために、基板上に保護層を形成する。その後、保護層とゲート絶縁層をパターンニングして、基板上に各画素領域に誘電体裏地層を形成する。次に、基板上に電極層を形成し、パターンニングして、各画素領域に複数の主スリットを備えた画素電極を形成し、前記画素電極は保護層を介して対応するソース/ドレインと電気的に接続し、画素電極の一部は対応する誘電体裏地層を被覆する。各主スリットにおいて、主スリットの一方の側に位置する画素電極の部位が誘電体裏地層上に直接形成されており、主スリットの他方の側に位置する画素電極の部位が基板上に直接形成されている。

【0020】

この発明は、MVA-LCDパネルの製造方法も提供する。上記のTFTアレイを形成するステップの他に、この製造方法はさらに対向基板を提供し、基板と対向基板の間に液晶層を形成するステップを有する。

【0021】

TFTアレイとMVA-LCDパネルの製造方法によると、保護層とゲート絶縁層をパターンニングするステップで、保護層にコンタクト孔を規定し、同時に各画素領域に誘電体裏地層を形成するマスク工程を行い、前記コンタクト孔は対応するように各ソース/ドレインの一部を露出させる。その上、保護層とゲート絶縁層をパターンニングするステップではさらに、誘電体裏地層の一部を取り除き、複数の第一裏地サブレイヤと第二裏地サブレイヤを形成する別のマスク工程を行い、前記第一裏地サブレイヤの高さは第二裏地サブレイヤの高さとは異なっている。

【発明の効果】

【0022】

この発明では、誘電体裏地層はTFTアレイ上のゲート絶縁層と保護層と共に形成し、追加のマスクなしで誘電体裏地層の厚さを変更でき、より異なるセルギャップがLCDパネル内に提供される。従って、液晶分子のチルト方向が改善され、色シフトまたは光漏れを取り除くことができる。

【発明を実施するための最良の形態】

【0023】

ここで、この発明の好ましい実施例について詳しく説明するが、その例は添付の図面に示されている。可能な限り、同一または同様の部品を指示するために、図面および説明では同じ参照番号を用いる。

【0024】

図3は、この発明によるMVA-LCDの印加電圧と透過率の関係を示す図である。図3を参照すると、曲線Aと曲線Bは異なるセルギャップに対応するV-T曲線を表しており、曲線Cは曲線Aと曲線Bから導いた混合V-T曲線を表している。この発明は一パネル内に異なるセルギャップを形成し、異なるセルギャップによる補償を実現する。従って、斜め方向と正面方向から見たV-T曲線の違いを低減し、光漏れまたは色シフトを取り

除くことができる。

【0025】

図4Aは、この発明の第一実施例によるMVA-LCDパネルのTFTアレイを概略的に示す部分平面図である。図4Bは、ラインA-A'およびラインB-B'におけるMVA-LCDパネルを概略的に示す断面図である。

【0026】

図4Aを参照すると、MVA-LCDパネル200は、TFTアレイ210、カラーフィルタ220、および液晶層230を有する。TFTアレイ210とカラーフィルタ220は実質的に平行である。さらに、液晶層230は複数の液晶分子232を有し、TFTアレイ210とカラーフィルタ220の間に配置する。

10

【0027】

TFTアレイ210は、基板211、複数の走査線212、複数のデータ線213、および複数の画素構造を有する。走査線212とデータ線213は基板211上に配置され、複数の画素領域216を規定する。画素構造は画素領域216内に各々配置され、走査線212とデータ線213に電氣的に接続する。

【0028】

各画素構造は、TFT214、画素電極215、および誘電体裏地層217を有する。ここで、TFT214は対応する画素領域216内に配置され、対応する走査線212とデータ線213に電氣的に接続し、それらで駆動する。各TFT214は、ゲート2141、ゲート絶縁層2142、チャンネル2143、ソース2144、ドレイン2145、および保護層2146を有する。ゲート2141は、基板211上に配置する。ゲート絶縁層2142は基板211上に配置され、ゲート2141を被覆する。さらに、チャンネル2143はゲート絶縁層2142上に配置され、ゲート2141に対応させる。ソース2144/ドレイン2145はチャンネル2143上に配置され、ソース2144は対応するデータ線213に電氣的に接続する。保護層2146はソース2144/ドレイン2145上に配置され、ゲート2141、ゲート絶縁層2142、チャンネル2143、およびソース2144/ドレイン2145を湿気や損傷から保護する。さらに、保護層2146はコンタクト孔2146aを有し、画素電極215はコンタクト孔2146aを介して、画素領域216内の対応するTFT214のドレイン2145に電氣的に接続する。

20

【0029】

この発明では、誘電体裏地層217はゲート絶縁層2142と保護層から構成でき、TFT214から延びている。誘電体裏地層217の製造方法では、例えば保護層2146内のコンタクト孔2146aを形成する際に、TFT214から延びるゲート絶縁層2142と保護層を取り除く。さらに、画素電極215は複数の主スリット2151を有することができ、これらは平行で誘電体裏地層217の縁に対応する。

30

【0030】

カラーフィルタ220は、TFTアレイ210と平行である。液晶層230は複数の液晶分子232からなり、TFTアレイ210とカラーフィルタ220の間に配置する。ここで、カラーフィルタ220の表面上に複数の配向突出部222を形成し、画素電極215の主スリット2151と連携して、液晶分子を異なる方向にチルトさせる。実施例では、配向突出部222は帯状で、主スリット2151と平行である。

40

【0031】

図4Aと4Bを参照すると、画素電極215の一部は基板211上に形成し、画素電極215の他の部分は誘電体裏地層217上に形成し、ここでTFTアレイ210上の領域Iと領域IIの間で、異なる高さを形成する。この発明では、高さが異なる二つの領域によって、より異なるドメインが提供され、正面からと斜め方向から見たV-T曲線の違いを低減できる。特に、領域Iと領域IIは異なるセルギャップを有し、異なる電界を形成して液晶分子を異なる方向にチルトさせる。従って、自己補償が実現され、色シフトまたは光漏れを取り除くことができる。

【0032】

50

図5を参照すると、別の種類のTFTアレイ210が概略的に示されており、ここでは画素電極215上の各主スリット2151の両側に複数の微細スリット2151aを形成する。微細スリット2151aは、MVA-LCDパネル200の応答速度を改善できる。

【0033】

図6Aは、この発明の第二実施例によるMVA-LCDパネルのTFTアレイを概略的に示す部分平面図である。図6Bは、ラインC-C'におけるMVA-LCDパネルを概略的に示す断面図である。

【0034】

第二実施例に示した構造は、第一実施例の構造と同様である。第一実施例に比べて、誘電体裏地層217の取り除いた部分と残りの部分を変化させている。同様に、第二の実施例は領域Iと領域IIでより多くのドメインを形成し、これらは異なるセルギャップを有し、正面と斜め方向から見たV-T曲線の違いを低減する。

【0035】

図7Aは、この発明の第三実施例によるMVA-LCDパネルのTFTアレイを概略的に示す部分平面図である。図7Bは、ラインD-D'におけるMVA-LCDパネルを概略的に示す断面図である。

【0036】

同様に、第三実施例は誘電体裏地層217の一部を取り除き、基板211と誘電体裏地層217の一部の上に画素電極215を形成する。当然のことながら、誘電体裏地層217の一部のみが、画素電極215の二つの隣接する主スリット2151の間に異なるセルギャップを形成する。異なるセルギャップによって、液晶分子は異なる方向にチルトでき、自己補償を実現できる。

【0037】

図8Aは、この発明の第四実施例によるMVA-LCDパネルのTFTアレイを概略的に示す部分平面図である。図8Bは、ラインE-E'におけるMVA-LCDパネルを概略的に示す断面図である。この発明では、誘電体裏地層217は、第一裏地サブレイヤ2171と第二裏地サブレイヤ2172を有する。第一裏地サブレイヤ2171と第二裏地サブレイヤ2172によって、MVA-LCDパネル200内には三つの異なるセルギャップh1、h2、およびh3が形成され、より多くのドメインを提供する。

【0038】

従って、上記の実施例の他に、この発明はさらに基板上に異なる高さを備えた二つ以上の裏地サブレイヤを形成し、液晶分子はより多くのチルト方向を備えることができる。

【0039】

図9(A)～(G)は、この発明の第一、第二および第三実施例によるTFTアレイ210の製造工程を概略的に示している。

【0040】

まず、基板211を提供し、図4Aに示したように、前記基板上にマトリクス状に配置した複数の画素領域216を規定する。図9(A)を参照すると、基板211上にゲート金属層が形成され、フォトリソグラフィ/エッチング工程を行って、ゲート金属層をパターンニングし、図4Aに示したように、各画素領域216内にゲート2141を形成する。次に、図9(B)を参照すると、基板211上にゲート絶縁層2142が形成され、ゲート2141を被覆している。ゲート絶縁層2142は、基板上でプラズマ化学気相成長(PECVD)技術を行うことで形成できる。

【0041】

それから、図9(C)を参照すると、ゲート2141に対応するゲート絶縁層2142上に、チャンネル2143が形成されている。次に、図9(D)を参照すると、基板211上にソース/ドレイン金属層が形成され、フォトリソグラフィ/エッチング工程を行って、ソース/ドレイン金属層をパターンニングし、各チャンネル2143上にソース2144/ドレイン2145を形成する。

10

20

30

40

50

【 0 0 4 2 】

その後、図 9 (E) を参照すると、基板 2 1 1 上に保護層 2 1 4 6 が形成され、チャンネル 2 1 4 3 とソース 2 1 4 4 / ドレイン 2 1 4 5 を被覆する。それから、図 9 (F) を参照すると、マスク工程が行われ、保護層 2 1 4 6 とゲート絶縁層 2 1 4 2 をパターンニングし、保護層 2 1 4 6 内にコンタクト孔 2 1 4 6 a を規定し、画素領域 2 1 6 内に誘電体裏地層 2 1 7 を形成する。誘電体裏地層 2 1 7 は、T F T 2 1 4 の外側に延びるゲート絶縁層 2 1 4 2 と保護層 2 1 4 6 を有する。

【 0 0 4 3 】

次に、図 9 (G) を参照すると、基板 2 1 1 上に電極層が形成され、各画素領域 2 1 6 内に平行な主スリット 2 1 5 1 を備えた画素電極 2 1 5 を形成するためにパターンニングする。画素電極 2 1 5 は、保護層 2 1 4 6 のコンタクト孔 2 1 4 6 a を介して、T F T 2 1 4 のドレイン 2 1 4 5 に電氣的に接続する。画素電極 2 1 5 の一部は誘電体裏地層 2 1 7 上に配置され、他の部分は基板 2 1 1 上に配置して、T F T アレイ 2 1 0 上にセルギャップが異なる二つの領域を形成する。それから、誘電体裏地層 2 1 7 の異なる部分で、この発明の第一、第二、および第三実施例による T F T アレイ 2 1 0 を形成できる。

【 0 0 4 4 】

さらに、図 9 (F) に示したステップの後、追加のマスク工程を行って、誘電体裏地層 2 1 7 の一部を取り除くことができる。従って、図 1 0 を参照すると、基板 2 1 1 上に、異なる高さを備えた第一裏地サブレイヤ 2 1 7 1 と第二裏地サブレイヤ 2 1 7 2 が形成されている。次に、基板上に画素電極 2 1 5 を形成し、第四実施例で述べた T F T アレイ 2 1 0 を形成する。

【 0 0 4 5 】

図 1 1 を参照すると、この図は、この発明の M V A - L C D パネルを概略的に示している。M V A - L C D パネル 2 0 0 を製造する際、カラーフィルタ等の対向基板 2 4 0 が提供される。それから、上記の T F T アレイ 2 1 0 と対向基板 2 4 0 の間に、液晶層 2 3 0 を形成し、上記の実施例で述べた M V A - L C D パネル 2 0 0 を構成する。同様に、対向基板 2 4 0 は複数の配向突出部 2 2 2 を有することができ、これらは画素電極 2 1 5 の主スリット 2 1 5 1 と連携して、マルチドメイン垂直配向効果を実現する。

【 産業上の利用可能性 】

【 0 0 4 6 】

つまり、T F T アレイ上のゲート絶縁層と保護層をパターンニングする際に、誘電体裏地層を形成できる。従って、追加のマスク工程なしに、L C D パネルのセルギャップを修正できる。液晶分子はより異なるチルト方向を有し、色シフトまたは光漏れを劇的に取り除くことができる。

【 0 0 4 7 】

当業者には明らかなように、発明の範囲または精神から逸脱することなく、この発明の構造に様々な修正および変形を行うことができる。上記の観点から、添付の請求項およびそれらと等価なものの範囲内にある限り、この発明はその修正および変形を対象とするものとする。

【 0 0 4 8 】

添付の図面は、発明をさらに理解するために含められ、この明細書に組み込まれ、その一部を構成する。図面は発明の実施形態を例示し、その開示内容と共に、発明の原理を説明するために役立つ。

【 図面の簡単な説明 】

【 0 0 4 9 】

【 図 1 】 既存の M V A - L C D の一画素を概略的に示す平面図である。

【 図 2 】 既存の M V A - L C D の印加電圧と透過率の関係を示す図である。

【 図 3 】 この発明による M V A - L C D の印加電圧と透過率の関係を示す図である。

【 図 4 A 】 この発明の第一実施例による M V A - L C D パネルの T F T アレイを概略的に示す部分平面図である。

10

20

30

40

50

【図４Ｂ】ラインＡ－Ａ’およびラインＢ－Ｂ’におけるＭＶＡ－ＬＣＤパネルを概略的に示す断面図である。

【図５】別の種類のＴＦＴアレイ２１０を概略的に示す図である。

【図６Ａ】この発明の第二実施例によるＭＶＡ－ＬＣＤパネルのＴＦＴアレイを概略的に示す部分平面図である。

【図６Ｂ】ラインＣ－Ｃ’におけるＭＶＡ－ＬＣＤパネルを概略的に示す断面図である。

【図７Ａ】この発明の第三実施例によるＭＶＡ－ＬＣＤパネルのＴＦＴアレイを概略的に示す部分平面図である。

【図７Ｂ】ラインＤ－Ｄ’におけるＭＶＡ－ＬＣＤパネルを概略的に示す断面図である。

【図８Ａ】この発明の第四実施例によるＭＶＡ－ＬＣＤパネルのＴＦＴアレイを概略的に示す部分平面図である。 10

【図８Ｂ】ラインＥ－Ｅ’におけるＭＶＡ－ＬＣＤパネルを概略的に示す断面図である。

【図９】（Ａ）～（Ｇ）は、この発明の第一、第二および第三実施例によるＴＦＴアレイ２１０の製造工程を概略的に示す図である。

【図１０】第一裏地サブレイヤと第二裏地サブレイヤを基板上に異なる高さで形成している図である。

【図１１】この発明のＭＶＡ－ＬＣＤパネルを概略的に示す図である。

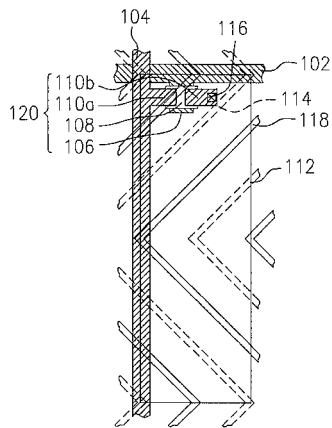
【符号の説明】

【００５０】

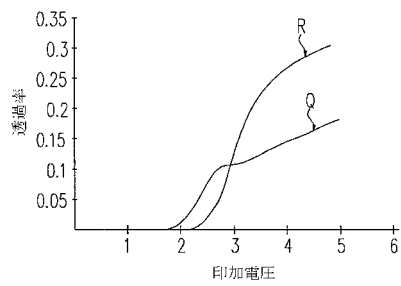
１０２	走査線	20
１０４	データ線	
１０６	ゲート	
１０８	チャンネル	
１１０ a	ソース	
１１０ b	ドレイン	
１１２	画素電極	
１１４	帯状スリット	
１１６	コンタクト孔	
１１８	帯状突出部	
２００	ＭＶＡ－ＬＣＤパネル	30
２１０	ＴＦＴアレイ	
２１１	基板	
２１２	走査線	
２１３	データ線	
２１５	画素電極	
２１６	画素領域	
２１７	誘電体裏地層	
２２０	カラーフィルタ	
２２２	配向突出部	
２３０	液晶層	40
２３２	液晶分子	
２４０	対向基板	
２１４ １	ゲート	
２１４ ２	ゲート絶縁層	
２１４ ３	チャンネル	
２１４ ４	ソース	
２１４ ５	ドレイン	
２１４ ６	保護層	
２１４ ６ a	コンタクト孔	
２１５ １	主スリット	50

- 2 1 5 1 a 微細スリット
 2 1 7 1 第一裏地サブレイヤ
 2 1 7 2 第二裏地サブレイヤ

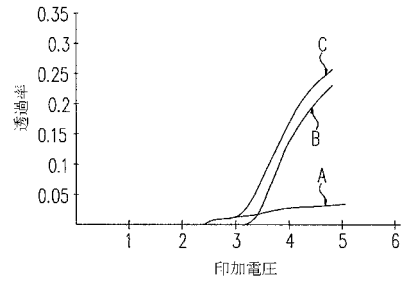
【図 1】



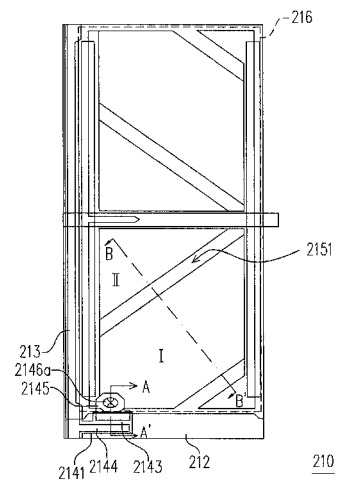
【図 2】



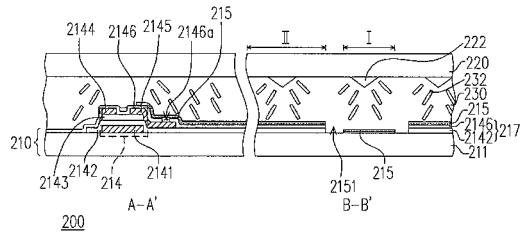
【図 3】



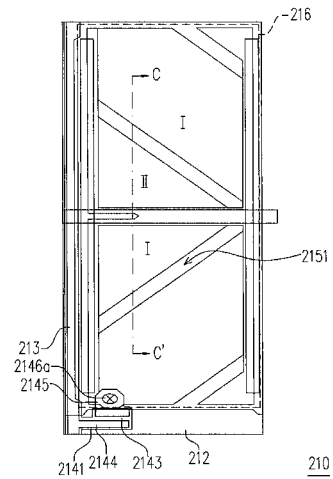
【図 4 A】



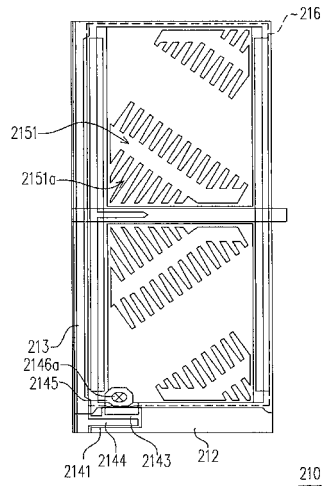
【図 4 B】



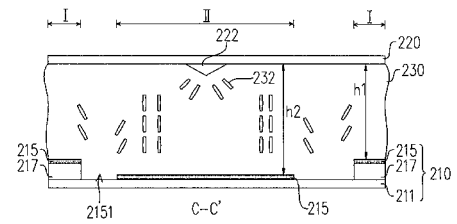
【図 6 A】



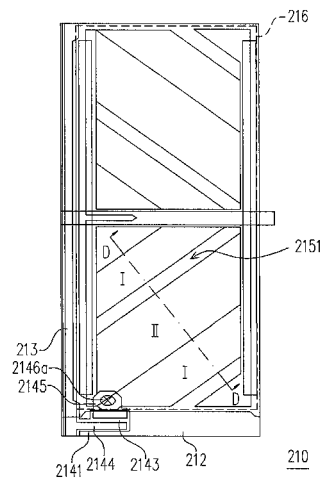
【図 5】



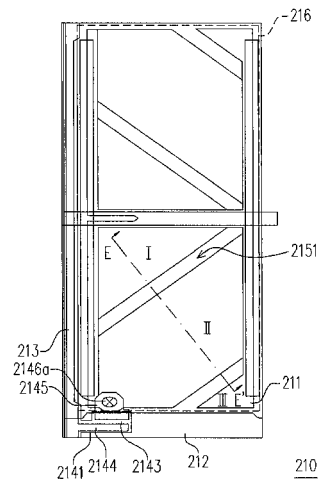
【図 6 B】



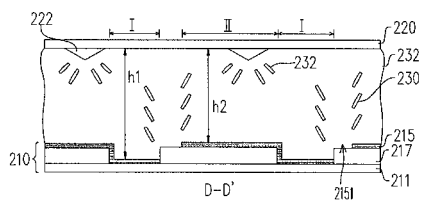
【図 7 A】



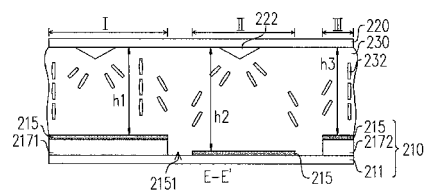
【図 8 A】



【図 7 B】



【図 8 B】



フロントページの続き

審査官 金高 敏康

(56)参考文献 特開平 1 1 - 2 4 2 2 2 5 (J P , A)
特開 2 0 0 4 - 0 0 4 4 6 0 (J P , A)
特開 2 0 0 4 - 3 0 1 9 7 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 2 F 1 / 1 3 6 8
G 0 2 F 1 / 1 3 3 7

专利名称(译)	多畴垂直配向液晶显示面板，薄膜晶体管阵列及其制造方法		
公开(公告)号	JP4412494B2	公开(公告)日	2010-02-10
申请号	JP2005376099	申请日	2005-12-27
[标]申请(专利权)人(译)	中华映管股份有限公司		
申请(专利权)人(译)	中华映管股▲ふん▼有限公司		
当前申请(专利权)人(译)	中华映管股▲ふん▼有限公司		
[标]发明人	黄俊益		
发明人	黄俊益		
IPC分类号	G02F1/1368 G02F1/1337		
CPC分类号	G02F1/1393 G02F1/133371 G02F1/133707 G02F2201/123		
FI分类号	G02F1/1368 G02F1/1337.505		
F-TERM分类号	2H090/LA01 2H090/LA04 2H090/MA01 2H090/MA07 2H090/MA15 2H092/GA13 2H092/GA14 2H092/JA26 2H092/JA38 2H092/JA42 2H092/JB13 2H092/JB58 2H092/JB63 2H092/JB69 2H092/PA02 2H192/AA24 2H192/BA25 2H192/BC31 2H192/CB05 2H192/CC04 2H192/EA43 2H192/EA68 2H192/GA43 2H192/GD14 2H192/GD43 2H192/JA13 2H290/AA33 2H290/BB24 2H290/BB44 2H290/BB48 2H290/BB74 2H290/CA46		
代理人(译)	田中 秀佳 熊野刚		
优先权	094129055 2005-08-25 TW		
其他公开文献	JP2007058155A		
外部链接	Espacenet		

摘要(译)

要解决的问题：形成具有不同高度的结构，其中改变层的厚度以改善 TFT 阵列中的液晶分子的倾斜方向并解决色移或漏光。解决方案：本发明提供了一种多畴垂直配向液晶显示面板，薄膜晶体管阵列和制造该阵列的方法。 TFT 阵列基板包括基板，数据线，扫描线和像素结构。数据线和扫描线布置在基板上以限定多个像素区域。每个像素结构布置在对应的像素区域中。每个像素结构包括 TFT，像素电极和介电衬层。 TFT 电连接到相应的数据线和相应的扫描线。具有狭缝的像素电极放置在 TFT 上并与其电连接。介电衬层设置在基板上。部分介电衬层夹在像素电极和基板之间，以使液晶显示器内的液晶分子具有更多的倾斜方向。

Ž

