

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4394660号
(P4394660)

(45) 発行日 平成22年1月6日(2010.1.6)

(24) 登録日 平成21年10月23日(2009.10.23)

(51) Int.Cl.

F I

G O 2 F 1/1368 (2006.01)

G O 2 F 1/1368

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 2 4

G O 2 F 1/13 (2006.01)

G O 2 F 1/13 1 0 1

請求項の数 26 (全 15 頁)

(21) 出願番号 特願2006-114291 (P2006-114291)
 (22) 出願日 平成18年4月18日(2006.4.18)
 (65) 公開番号 特開2007-183527 (P2007-183527A)
 (43) 公開日 平成19年7月19日(2007.7.19)
 審査請求日 平成18年4月18日(2006.4.18)
 (31) 優先権主張番号 095100427
 (32) 優先日 平成18年1月5日(2006.1.5)
 (33) 優先権主張国 台湾(TW)

(73) 特許権者 502352807
 中華映管股▲ふん▼有限公司
 台湾台北市中山北路3段22號
 (74) 代理人 100082670
 弁理士 西脇 民雄
 (72) 発明者 張 原豪
 台湾台北市文山區景豐街31巷6號1樓
 (72) 発明者 黄 金海
 台湾台北縣五股鄉五權八路18號
 (72) 発明者 林 光祥
 台湾桃園縣龜山鄉大同村大同路356巷4
 4號

審査官 奥田 雄介

最終頁に続く

(54) 【発明の名称】 能動素子配列基板、液晶表示パネル及びその検査方法

(57) 【特許請求の範囲】

【請求項1】

表示領域と周辺回路領域とを有する基板と、
 該表示領域に配置された複数の画素ユニットと、
 前記基板に配置された複数の走査線と、
 前記基板に配置され、前記走査線とともに前記画素ユニットを制御する複数のデータ線と、

前記周辺回路領域に配置された2つのデータテスト線と、
 前記周辺回路領域に配置され、第1セグメント、第2セグメント及び前記第1セグメントと前記第2セグメントとの間を電氣的に接続する接続セグメントを有する内部ショート
 リングと、

前記第1セグメントと接続するゲート及びソース、前記接続セグメントと接続するドレ
 ーンを有する第1能動素子と、

前記第2セグメントと接続するゲート及びソースと、前記接続セグメントと接続するド
 レーンとを有する第2能動素子と、

前記周辺回路領域に配置され、ゲートと、ソースとドレーンとをそれぞれ有する複数の
 第3能動素子と、

前記周辺回路領域に配置され、ゲートと、ソースとドレーンとをそれぞれ有する複数の
 第4能動素子と、を備え、

前記第3能動素子の一部分のゲート及びソースは前記第1セグメントと接続し、対応

10

20

するドレーンは前記複数走査線の奇数走査線と接続するが、前記第 3 能動素子の他方部分の前記ゲート及びソースは前記第 2 セグメントと接続し、対応するドレーンは前記複数走査線の偶数走査線と接続し、

前記第 4 能動素子のゲートは前記接続セグメントと接続し、前記ソースの一部分は前記データテスト線の一つとそれぞれ接続し、対応する前記ドレーンは前記データ線の奇数データ線と接続するが、前記ソースの他方の部分はもう一つの前記データテスト線とそれぞれ接続し、対応するドレーンは前記データ線の偶数データ線と接続することを特徴とする能動素子配列基板。

【請求項 2】

前記内部ショートリングは前記データテスト線の外側に配置されていることを特徴とする請求項 1 に記載の能動素子配列基板。

10

【請求項 3】

前記各画素ユニットは対応する走査線及び前記データ線と電氣的に接続された第 5 能動素子と、前記第 3 能動素子と電氣的に接続された画素電極とを備えていることを特徴とする請求項 1 に記載の能動素子配列基板。

【請求項 4】

前記基板上の前記周辺回路領域に配置された複数の検査パッドをさらに有し、前記内部ショートリングの前記第 1 及び前記第 2 セグメントの端子はそれぞれ前記検査パッドの一つと接続し、各データテスト線の一端子はそれぞれ前記検査パッドの一つと接続することを特徴とする請求項 1 に記載の能動素子配列基板。

20

【請求項 5】

複数の共通線及び該共通線の一端子と接続する検査線を更に有し、

前記共通線は前記基板に配置され、かつ前記表示領域から前記周辺回路領域に延びるが、前記検査線は前記基板上の前記周辺回路領域に配置されることを特徴とする請求項 1 に記載の能動素子配列基板。

【請求項 6】

前記データテスト線は模擬データ線であり、前記データテスト線は前記データ線の両側に配置されることを特徴とする請求項 1 に記載の能動素子配列基板。

【請求項 7】

前記データテスト線は別個の内部ショートリングであることを特徴とする請求項 1 に記載の能動素子配列基板。

30

【請求項 8】

隣接した表示領域及び周辺回路領域を有する基板と、

該表示領域に配置された複数の画素ユニットと、

前記基板に配置された複数の走査線と、

前記基板に配置され、前記走査線とともに前記画素ユニットを制御するデータ線と、

前記周辺回路領域に配置された 2 つのデータテスト線と、

前記周辺回路領域に配置され、第 1 セグメントと、第 2 セグメント及び前記第 1 セグメントと前記第 2 セグメントとの間を電氣的に接続する接続セグメントとを有する内部ショートリングと、

40

前記第 1 セグメントと接続するゲート及びソースと、前記接続セグメントと接続するドレーンとを有する第 1 能動素子と、

前記第 2 セグメントと接続するゲート及びソースと、前記接続セグメントと接続するドレーンとを有する第 2 能動素子と、

前記周辺回路領域に配置され、ゲートと、ソースとドレーンとをそれぞれ有する複数の第 3 能動素子と、

前記周辺回路領域に配置され、ゲートと、ソースとドレーンとをそれぞれ有する複数の第 4 能動素子と、

カラーフィルター基板と、液晶層と、を有する能動素子配列基板を備え、

前記第 3 能動素子の一部分のゲート及びソースは前記第 1 セグメントと接続し、対応の

50

前記ドレーンは前記複数走査線の奇数走査線と接続するが、前記第3能動素子の他方部分の前記ゲート及びソースは前記第2セグメントと接続し、対応の前記ドレーンは前記複数走査線の偶数走査線と接続し、

前記第4能動素子のゲートは前記接続セグメントと接続し、前記ソースの一部分は一つの前記データテスト線とそれぞれ接続し、対応の前記ドレーンは前記データ線の奇数データ線と接続するが、前記ソースの他方の部分はそれぞれもう一つの前記データテスト線と接続し、対応の前記ドレーンは前記データ線の偶数データ線と接続し、

前記液晶層は前記カラーフィルター基板と前記能動素子配列基板との間に配置されていることを特徴とする液晶表示パネル。

【請求項9】

10

前記能動素子配列基板の前記内部ショートリングは前記データテスト線の外側に配置されていることを特徴とする請求項8に記載の液晶表示パネル。

【請求項10】

前記能動素子配列基板の前記各画素ユニットは対応の前記走査線及び前記データ線と電氣的に接続された第5能動素子、前記第3能動素子と電氣的に接続された画素電極を備えていることを特徴とする請求項8に記載の液晶表示パネル。

【請求項11】

前記能動素子配列基板は前記基板上の前記周辺回路領域に配置された複数の検査パッドをさらに有し、前記内部ショートリングの前記第1セグメント及び前記第2セグメントの端子はそれぞれ前記検査パッドの一つと接続し、各データテスト線の一端子はそれぞれ前記検査パッドの一つと接続することを特徴とする請求項8に記載の液晶表示パネル。

20

【請求項12】

前記能動素子配列基板は複数の共通線と該共通線の一端子と接続する検査線とを更に有し、前記共通線は前記基板に配置され、前記表示領域から前記周辺回路領域に延び、前記検査線は前記基板上の前記周辺回路領域に配置されていることを特徴とする請求項8に記載の液晶表示パネル。

【請求項13】

前記能動素子配列基板の前記データテスト線は模擬データ線であり、前記データテスト線は前記データ線の両側に配置されていることを特徴とする請求項8に記載の液晶表示パネル。

30

【請求項14】

前記能動素子配列基板の前記データテスト線は別個の内部ショートリングであることを特徴とする請求項8に記載の液晶表示パネル。

【請求項15】

請求項1に記載の能動素子配列基板に適用した能動素子配列基板の検査方法であって、該方法は、

前記第1能動素子と第4能動素子を始動するように第1走査信号を前記内部ショートリングの前記第1セグメントに入力し、前記第1走査信号は前記第3能動素子により前記奇数走査線に入力し、

前記第2能動素子及び前記偶数走査線と接続された前記第3能動素子の一部分を停止するように第2走査信号を前記内部ショートリングの前記第2セグメントに入力し、

40

前記データテスト線の一つに第1データ信号を入力し、前記第1データ信号を前記第4能動素子の一部分により対応の前記データ線に入力し、

他方の前記データテスト線の電圧を測定し、

前記第1走査信号は高ゲート電圧信号であり、前記第2走査信号は低ゲート電圧信号であることを特徴とする能動素子配列基板の検査方法。

【請求項16】

第1走査信号を前記内部ショートリングの前記第1セグメントに入力し、

第2走査信号を前記内部ショートリングの前記第2セグメントに入力し、

前記データテスト線の電圧を測定する、方法を備える請求項1に記載の能動素子配列基

50

板に適用した能動素子配列基板の検査方法。

【請求項 17】

前記第 1 走査信号は高ゲート電圧信号、前記第 2 走査信号は低ゲート電圧信号であることを特徴とする請求項 16 に記載の能動素子配列基板の検査方法。

【請求項 18】

前記第 1 走査信号及び前記第 2 走査信号は高ゲート電圧信号であることを特徴とする請求項 16 に記載の能動素子配列基板の検査方法。

【請求項 19】

第 1 走査信号を前記内部ショートリングの前記第 1 セグメントに入力し、
第 2 走査信号を前記内部ショートリングの前記第 2 セグメントに入力し、
前記検査線の電圧を測定する、方法を備える請求項 5 に記載の能動素子配列基板に適用した能動素子配列基板の検査方法。

10

【請求項 20】

前記第 1 走査信号は高ゲート電圧信号であり、前記第 2 走査信号は低ゲート電圧信号であることを特徴とする請求項 19 に記載の能動素子配列基板検査方法。

【請求項 21】

前記第 1 走査信号及び前記第 2 走査信号は高ゲート電圧信号であることを特徴とする請求項 19 に記載の能動素子配列基板の検査方法。

【請求項 22】

請求項 1 に記載の能動素子配列基板に適用した能動素子配列基板の検査方法であって、
該方法は、
第 1 走査信号を前記内部ショートリングの前記第 1 セグメントに入力し、
第 2 走査信号を前記内部ショートリングの前記第 2 セグメントに入力し、
第 1 データ信号を前記データテスト線の一つに入力し、前記第 1 データ信号を前記第 4 能動素子の一部分により対応の前記データ線に入力し、
前記検査線の電圧を測定し、
前記第 1 走査信号及び前記第 2 走査信号の少なくとも一つが高ゲート電圧信号であることを特徴とする能動素子配列基板の検査方法。

20

【請求項 23】

請求項 8 に記載の液晶表示パネルに適用する液晶表示パネル検査方法であって、
この検査方法は光源を提供するとともに前記液晶表示パネルを前記光源の上方に配置し、
第 1 走査信号を前記内部ショートリングの前記第 1 セグメントに入力し、
第 2 走査信号を前記内部ショートリングの前記第 2 セグメントに入力し、
第 1 データ信号を前記データテスト線の一つに入力し、
第 2 データ信号を他方の前記データテスト線に入力する、ステップを備えることを特徴とする液晶表示パネル検査方法。

30

【請求項 24】

前記第 1 と第 2 走査信号及び第 1 と第 2 データ信号を前記第 1 と第 2 セグメント、前記データテスト線の一つ及び他方のデータテスト線に入力後、
前記液晶表示パネルは黒、白、または灰色画像を表示することを特徴とする請求項 23 に記載の検査方法。

40

【請求項 25】

前記第 1 と第 2 走査信号及び第 1 と第 2 データ信号を前記第 1 と第 2 セグメント、前記データテスト線の一つ及び他方のデータテスト線に入力後、
前記液晶表示パネルは明るい水平または垂直線の画像を表示することを特徴とする請求項 23 に記載の検査方法。

【請求項 26】

前記第 1 と第 2 走査信号及び第 1 と第 2 データ信号を前記第 1 と第 2 セグメント、前記データテスト線の一つ及び他方のデータテスト線に入力後、
前記液晶表示パネルは輝点配列の画像を表示することを特徴とする請求項 23 に記載の

50

検査方法。

10

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は能動素子配列基板、液晶表示パネル及びその複数の検査方法に関し、特に、本発明は能動素子配列基板、内部ショートリングを有する液晶表示パネル及びその複数の検査方法に関する。

【背景技術】

【0002】

表示装置の需要の増加に伴い、当業界は表示装置の開発に取り組んでいる。表示装置の中でも陰極線管（CRT）はその優れた表示品質及び成熟した技術で表示装置の市場を長年により独占してきた。しかし、この電力消費量の増大と放射量の増大に対する環境保全意識の高まり及び更に軽量、薄型、小型、高級と省電力とを求める市場に対する限られた扁平化性、CRTの成長余地は限られている。従って、薄膜トランジスタ液晶ディスプレイ（TFT-LCD）は例えば高画像質、良好なスペース利用率、低電力消費、放射をしない等の優れた特性をもち、表示装置製品市場の主流になってきている。

30

【0003】

このTFT-LCDは主に液晶表示パネル及びバックライトモジュールを有する。通常、この液晶表示パネルは薄膜トランジスタ配列基板、カラーフィルター基板、この二つの基板の間に配置された液晶層を有する。このバックライトモジュールは液晶モジュールが表示効果を達成できるように液晶表示パネルのため液晶光源を提供する。

40

【0004】

薄膜トランジスタ配列基板は表示領域及び周辺回路領域に分かれ、表示領域に複数の画素ユニットが配列されている。各画素ユニットは薄膜トランジスタ及びこの薄膜トランジスタと接続する画素電極を有する。また、複数の走査線及びデータ線が周辺回路領域と表示領域に配置され、各画素ユニットの薄膜トランジスタは対応する走査線及びデータ線によって制御される。

【0005】

一般に、薄膜トランジスタ配列基板の製造工程後、画素ユニットが正常に始動されるかを判断するように薄膜トランジスタ配列基板上の画素ユニットに対して電氣的検査が行われている。画素ユニットが正常に始動されない場合、不良の部品（例えば薄膜トラン

50

ジスタまたは画素電極)または回路を修繕することができる。しかし、画素ユニットを検査するため、薄膜トランジスタ配列基板の周辺回路領域上に検査回路(examining circuit)を加工する必要がある。注目すべき点は、検査回路は複雑で且つパネル上のレイアウト領域を減らすことがある。また、検査完了後、液晶表示パネルの表示品質への影響を避けるように検査回路はレーザ切削技術により無効にされる。

【0006】

また、輸送または環境変化等の外部要因によって液晶表示パネルに静電蓄積が生じることがある。従って、電荷蓄積が一定量になると、静電気放電(ESD)により、薄膜トランジスタ基板の回路または薄膜トランジスタが損傷を受けることがある。通常に、このような問題を回避するため、ESD保護回路が薄膜トランジスタ配列基板の周辺回路領域に配置されている。

10

【0007】

しかしながら、従来、上述の検査及び静電保護機能を達成するため、薄膜トランジスタ配列基板の周辺回路基板に検査回路及びESD回路が同時に加工される必要があった。その結果、周辺回路のレイアウトを更に複雑化し、それにより製造工程の簡素化及び生産効率の向上に対して作用するレイアウトスペースの不足が生じることになる。

【発明の開示】

【発明が解決しようとする課題】

【0008】

上記を鑑み、本発明の目的は単純レイアウトを有する能動素子配列基板を提供することにある。

20

【0009】

本発明の他の目的は簡素化できる検査回路を有する液晶表示パネルを提供することにある。

【0010】

本発明のもう一つの目的は能動素子配列基板の配線間に短絡回路が生じるかどうかを検査する方法を提供することにある。

【0011】

さらに本発明のもう一つの目的は液晶表示パネルの表示が正常であるかどうかを検査する方法を提供することにある。

30

【課題を解決するための手段】

【0012】

上記及び他の目的を鑑み、本発明は基板、複数の画素ユニット、複数の走査線、複数のデータ線、2つのデータテスト線、内部ショートリング、第1セグメント、第2セグメント、第1能動素子、第2能動素子、複数の第3能動素子、複数の第4能動素子を備える能動素子配列基板を提供することにある。基板は隣接した表示領域及び周辺回路領域を有する。画素ユニットは表示領域に配置されている。走査線及びデータ線は基板に配置され、画素ユニットを制御する。データ線は周辺回路領域に配置されている。この内部ショートリングは前記周辺回路領域に配置され、第1セグメントと、第2セグメント及び前記第1セグメントと前記第2セグメントとの間を電氣的に接続する接続セグメントとを有する。第1能動素子、第2能動素子、各第3能動素子、各第4能動素子はゲート、ソース、ドレインを有する。ゲート及び第1能動素子のソースは第1セグメントと接続し、ドレインは接続セグメントと接続し、ドレインは接続セグメントと接続している。ゲート及び第2能動素子のソースは第2セグメントと接続し、ドレインは接続セグメントと接続している。第3能動素子はこの周辺回路領域に配置され、ゲートと、前記第3能動素子の一部分のゲート及びソースは前記第1セグメントと接続し、対応の前記ドレインは前記複数走査線の奇数走査線と接続するが、前記第3能動素子の他方部分の前記ゲート及びソースは前記第2セグメントと接続し、対応するドレインは前記複数走査線の偶数走査線と接続する。第4能動素子は周辺回路領域に配置され、前記第4能動素子のゲートは前記接続セグメントと接続し、前記ソースの一部分は前記データテスト線の一つとそれぞれ接続し、対

40

50

応するドレーンは前記データ線の奇数データ線と接続するが、前記ソースの他方の部分はもう一つの前記データテスト線とそれぞれ接続し、対応するドレーンは前記データ線の偶数データ線と接続する。

【0013】

本発明の一つの実施例によれば、前記内部ショートリングは前記データテスト線の外側に配置されている。

【0014】

本発明の一つの実施例によれば、前記各画素ユニットは第5能動素子及び画素電極を有する。第5能動素子是对应の前記走査線及び前記データ線と電氣的に接続し、前記画素電極は前記第3能動素子と電氣的に接続している。

10

【0015】

本発明の一つの実施例によれば、この能動素子配列基板は前記基板上の前記周辺回路領域に配置された複数の検査パッドをさらに有し、前記内部ショートリングの前記第1及び前記第2セグメントの端子はそれぞれ前記検査パッドの一つと接続し、各データテスト線の一端子はそれぞれ前記検査パッドの一つと接続する。

【0016】

本発明の一つの実施例によれば、この能動素子配列基板は複数の共通線と該共通線の一端子と接続する検査線とを更に有し、前記共通線は前記基板に配置され、前記表示領域から前記周辺回路領域に延びるが、前記検査線は前記基板上の前記周辺回路領域に配置されている。

20

【0017】

本発明の一つの実施例によれば、前記データテスト線は模擬データ線であり、前記データテスト線は前記データ線の両側に配置されている。

【0018】

本発明の一つの実施例によれば、前記データテスト線は別個の内部ショートリングである。

【0019】

本発明はさらに上述の能動素子配列基板、カラーフィルター基板及び液晶層を有する液晶表示パネルを提供する。前記液晶層は前記カラーフィルター基板と前記能動素子配列基板との間に配置されている。

30

【0020】

本発明はさらに能動素子配列基板に適用した能動素子配列基板の検査方法を提供する。該能動素子配列基板の検査方法は前記第1能動素子と第4能動素子を始動するように、前記内部ショートリングの前記第1セグメントに第1走査信号を入力し、前記第1走査信号は前記第3能動素子の一部分により前記奇数走査線に入力し、

前記第2能動素子及び前記偶数走査線と接続された前記第3能動素子の一部分を停止するように第2走査信号を前記内部ショートリングの前記第2セグメントに入力し、

前記データテスト線の一つに第1データ信号を入力し、前記第1データ信号を前記第4能動素子の一部分により対応の前記データ線に入力し、

他方の前記データテスト線の電圧を測定する、ステップを備え、

40

前記第1走査信号は高ゲート電圧信号であり、前記第2走査信号は低ゲート電圧信号である。

【0021】

本発明は上述の能動素子配列基板に適用した能動素子配列基板の検査方法を提供する。前記能動素子配列基板の検査方法は第1走査信号を前記内部ショートリングの前記第1セグメントに入力し、第2走査信号を前記内部ショートリングの前記第2セグメントに入力し、前記データテスト線の電圧を測定する、ステップを備える。

【0022】

本発明の一つの実施例によれば、前記第1走査信号は高ゲート電圧信号であり、前記第2走査信号は低ゲート電圧信号である。または、前記第1走査信号及び前記第2走査信号

50

はともに、高ゲート電圧信号である。

【 0 0 2 3 】

本発明は上述の能動素子配列基板に適用した能動素子配列基板の検査方法を提供する。前記能動素子配列基板の検査方法は、第 1 走査信号を前記内部ショートリングの前記第 1 セグメントに入力し、第 2 走査信号を前記内部ショートリングの前記第 2 セグメントに入力し、前記検査線の電圧を測定する、ステップを備えている。

【 0 0 2 4 】

本発明の一つの実施例によれば、前記第 1 走査信号は高ゲート電圧信号であり、前記第 2 走査信号は低ゲート電圧信号である。または、前記第 1 走査信号及び前記第 2 走査信号はともに、高ゲート電圧信号である。

10

【 0 0 2 5 】

本発明は上述の能動素子配列基板に適用した能動素子配列基板の検査方法を提供する。前記能動素子配列基板の検査方法は第 1 走査信号を前記内部ショートリングの前記第 1 セグメントに入力し、第 2 走査信号を前記内部ショートリングの前記第 2 セグメントに入力し、第 1 データ信号を前記データテスト線の一つに入力し、前記第 1 データ信号を前記第 4 能動素子の一部分により対応の前記データ線に入力し、前記検査線の電圧を測定する、ステップを備え、前記第 1 走査信号及び前記第 2 走査信号の少なくとも一つが高ゲート電圧信号である。

【 0 0 2 6 】

本発明は上述の液晶表示パネルに適用した液晶表示パネルの検査方法を提供する。この検査法は光源を提供するとともに前記液晶表示パネルを前記光源の上方に配置し、第 1 走査信号を前記内部ショートリングの前記第 1 セグメントに入力し、第 2 走査信号を前記内部ショートリングの前記第 2 セグメントに入力し、第 1 データ信号を前記データテスト線の一つに入力し、第 2 データ信号を他方の前記データテスト線に入力する、ステップを備えている。

20

【 0 0 2 7 】

本発明の一つの実施例によれば、前記第 1 と第 2 走査信号及び第 1 と第 2 データ信号を前記第 1 セグメント、第 2 セグメント、前記データテスト線の一つ及び他方のデータテスト線に入力後、前記液晶表示パネルは黒、白、または灰色画像を表示する。

【 0 0 2 8 】

本発明の一つの実施例によれば、前記第 1 と第 2 走査信号及び第 1 と第 2 データ信号を前記第 1 セグメント、第 2 セグメント、前記データテスト線の一つ及び他方のデータテスト線に入力後、前記液晶表示パネルは明るい水平または垂直線の画像を表示する。

30

【 0 0 2 9 】

本発明の一つの実施例によれば、前記第 1 と第 2 走査信号及び第 1 と第 2 データ信号を前記第 1 セグメント、第 2 セグメント、前記データテスト線の一つ及び他方のデータテスト線に入力後、前記液晶表示パネルは輝点配列の画像を表示する。

【 0 0 3 0 】

上述のように、本発明は検査回路として内部ショートリング、第 1 及び第 2 能動素子を採用しているので、前記検査回路及び ESD 保護回路が一体に整合することができる。従って、そのレイアウトが簡素化され、検査パッドの数が減るとともに、レイアウト空間が増える。また、液晶表示パネルの表示画像は前記第 3 及び第 4 能動素子のため、検査回路による影響を受けることがない。従って、検査回路をレーザ切削工程で切断する必要も無く、または追加のレーザ光線切断機を必要としない。さらに本発明は、入力の奇数及び偶数信号が互いに影響しないように、単一検査回路は奇数または偶数走査線の判定に用いられる。

40

【 0 0 3 1 】

本発明の上述及び他の目的、特徴、利点をわかり易くするために、好適な実施例を、図面を参照し、次の通り詳細に説明する。

【 発明の効果 】

50

【 0 0 3 2 】

上記を鑑み、本発明の能動素子配列基板と液晶表示パネルおよびその検査方法は少なくとも次のような利点を有する。

【 0 0 3 3 】

(1) 本発明は検査回路及び E S D 保護回路がともに整合できるように検査回路として内部ショートリング、第 1 能動素子、第 2 能動素子を採用するのでそのレイアウトが簡素化され、検査パッドの数が減らされ、そのレイアウト空間が大きくなる。

【 0 0 3 4 】

(2) 本発明の検査回路は E S D 保護回路と一体に整合するので、画素ユニットの電荷 (charge) 及び放電は第 3 及び第 4 能動素子を用いることにより影響されない。即ち、液晶表示パネルの表示画像が検査回路による影響を受けない。従って、従って、検査回路をレーザー切削工程で切断する必要も無く、または追加のレーザー光線切断機を必要としない。

【 0 0 3 5 】

(3) 本発明は奇数または偶数線を検査するように単一検査回路として内部ショートリング、第 1 能動素子、第 2 能動素子を採用するので、入力された奇数及び偶数信号は互いに影響されない。

【 0 0 3 6 】

(4) 本発明の能動素子配列基板及び液晶表示パネルの検査する方法をもちいることにより、能動素子配列基板の回路及び液晶表示パネルの表示画像は効率的に検査される。従って、検査時間が短縮され、検査工程の効率も向上される。

【 0 0 3 7 】

(5) 本発明の検査方法は他の検査装置を必要とせず現存の配列検査機に応用されることが出来る。

【 0 0 3 8 】

(6) 本発明の能動素子配列基板、液晶表示装置及びその両方の方法は小型の製品に応用でき、小型向上への転換及び量産を促進することができる。

【発明を実施するための最良の形態】

【 0 0 3 9 】

図 1 は本発明の好適な実施例による能動素子配列基板の構造を示す。図 1 を参照すると、能動素子配列基板 1 0 0 は基板 1 1 0、複数の画素ユニット 1 2 0、複数の走査線 1 3 0、複数のデータ線 1 4 0、二つのデータテスト線 1 5 0、内部ショートリング 1 6 0、第 1 能動素子 1 7 2、第 2 能動素子 1 7 4、複数の第 3 能動素子 1 8 0 と複数の第 4 能動素子 1 9 0 を備えている。

【 0 0 4 0 】

基板 1 1 0 は例えばガラス基板、水晶ガラスまたは他の適当な材料で作られた基板であり、隣接する表示領域 1 1 2 及び周辺回路領域 1 1 4 を有する。画素ユニット 1 2 0 は表示領域 1 1 2 内に配置されている。走査線 1 3 0 は例えばアルミニウム合金線、他の適当な材料で作られた線である。データ線 1 4 0 は例えば金属クロム線、アルミニウム合金線または他の適当な導電材料で作られた線である。走査線 1 3 0 及びデータ線 1 4 0 はともに画素ユニット 1 2 0 を制御する基板 1 1 0 に配置されている。データテスト線 1 5 0 は例えば金属クロム線、アルミニウム合金線または他の適当な導電材料で作られた線であり、周辺回路領域 1 1 4 に配置されている。内部ショートリング 1 6 0 は例えばアルミニウム合金線、2重金属層線または他の適当な導電材料で作られた線である。内部ショートリング 1 6 0 は周辺回路領域 1 1 4 内に配置され、第 1 セグメント 1 6 2、第 2 セグメント 1 6 4、第 1 セグメント 1 6 2 及び第 2 セグメント 1 6 4 の間を電氣的に接続する接続セグメント 1 6 6 を有する。

【 0 0 4 1 】

第 1 能動素子 1 7 2、第 2 能動素子 1 7 4、第 3 能動素子 1 8 0、第 4 能動素子 1 9 0 は例えば薄膜トランジスタ、低温ポリシリコン薄膜トランジスタ (L T P S - T F T) または 3 端子のスイッチ素子である。第 1 能動素子 1 7 2、第 2 能動素子 1 7 4、第 3 能動

素子 1 8 0、第 4 能動素子 1 9 0 はともに基板 1 1 0 に配置されている。第 1 能動素子 1 7 2 はゲート 1 7 2 g、ソース 1 7 2 s、ドレーン 1 7 2 d を有する。第 2 能動素子 1 7 4 はゲート 1 7 4 g、ソース 1 7 4 s、ドレーン 1 7 4 d を有する。各第 3 能動素子 1 8 0 はゲート 1 8 0 g、ソース 1 8 0 s とドレーン 1 8 0 d を有する。各第 4 能動素子 1 9 0 はゲート 1 9 0 g、ソース 1 9 0 s とドレーン 1 9 0 d を有する。

【 0 0 4 2 】

第 1 能動素子 1 7 2 のゲート 1 7 2 g 及びソース 1 7 2 s は第 1 セグメント 1 6 2 と接続し、ドレーン 1 7 2 d は接続セグメント 1 6 6 と接続している。第 2 能動素子 1 7 4 のゲート 1 7 4 g 及びソース 1 7 4 s は第 2 セグメント 1 6 4 と接続し、ドレーン 1 7 4 d は接続セグメント 1 6 6 と接続している。換言すれば、接続セグメント 1 6 6 は第 1 能動素子及び第 2 能動素子 1 7 4 により電氣的に第 1 セグメント 1 6 2 及び第 2 セグメント 1 6 4 と接続している。

10

【 0 0 4 3 】

第 3 能動素子 1 8 0 は周辺回路領域 1 1 4 内に配置されており、第 3 能動素子 1 8 0 のゲート 1 8 0 g 及びソース 1 8 0 s は第 1 セグメント 1 6 2 と接続し、対応のドレーン 1 8 0 d は奇数走査線 1 3 0 と接続している。第 3 能動素子 1 8 0 のゲート 1 8 0 g 及びソース 1 8 0 s は第 2 セグメント 1 6 4 と接続し、対応のドレーン 1 8 0 d は偶数走査線 1 3 0 と接続している。

【 0 0 4 4 】

第 4 能動素子 1 9 0 は周辺回路領域 1 1 4 内に配置されており、第 4 能動素子 1 9 0 のゲート 1 9 0 g は接続セグメント 1 6 6 と接続し、ソース 1 9 0 s の一部分はそれぞれ複数のデータテスト線 1 5 0 一つと接続している。対応のドレーン 1 9 0 d は奇数データ線 1 4 0 と接続しており、他方のソース 1 9 0 s はそれぞれ他方のデータテスト線 1 5 0 と接続している。対応するドレーン 1 9 0 d は偶数データ線 1 4 0 と接続している。

20

【 0 0 4 5 】

注目すべき点は、本発明において能動素子配列基板 1 0 0 は検査パッド 1 6 2 a、1 6 4 a と 1 5 0 a をさらに有し、基板 1 1 0 上の周辺回路領域 1 1 4 内に配置されている。内部ショートリング 1 6 0 の第 1 セグメント 1 6 2 及び第 2 セグメント 1 6 4 の端子は検査パッド 1 6 2 a、1 6 4 a とそれぞれ接続しており、各データテスト線 1 5 0 の一端は検査パッド 1 5 0 a の一つと接続している。検査パッド 1 6 2 a、1 6 4 a と 1 5 0 a は電圧信号を入力また読み取りするように、検査機の探針に加圧されている。検査パッド 1 6 2 a、1 6 4 a と 1 5 0 a は検査機の探針により加圧されるように基板 1 1 0 上の適当な位置に配置されることができる。

30

【 0 0 4 6 】

また、データテスト線 1 5 0 は模擬データ線であり、データテスト線 1 5 0 はデータ線 1 4 0 の両側に配置されるが、内部ショートリング 1 6 0 はデータテスト線 1 5 0 の外側に配置されている。注目すべき点は、他の実施の形態において、データテスト線 1 5 0 は別個の内部ショートリング 1 6 0 であり、内部ショートリング 1 6 0 はデータテスト線 1 5 0 の外側に配置することに限定されない。

【 0 0 4 7 】

40

また、本実施の形態の能動素子配列基板 1 0 0 は共通線 Cs、共通線 Cs と接続された検査線 L を有し、共通線 Cs は基板に配置され、表示領域 1 1 2 から周辺回路領域 1 1 4 まで延びるが、検査線 L は基板 1 1 0 上の周辺回路領域 1 1 4 内に配置されている。一般的に言えば、共通線 Cs 及び検査線 L は必須な素子ではないので、他の実施の形態において能動素子配列基板は必ずしも共通線 Cs 及び検査線 L を含む必要はない。

【 0 0 4 8 】

図 2 は図 1 の領域 S10 の局部を示す拡大図である。図 2 を参照すると、能動素子配列基板 1 0 0 において、画素ユニット 1 2 0 は第 5 能動素子 1 2 2 及び画素電極 1 2 4 を有する。第 5 能動素子 1 2 2 は例えば薄膜トランジスタ、低温ポリシリコン薄膜トランジスタ (L T P S — T F T)、または 3 端子のスイッチ素子であり、対応の走査線 1 3 0 及びデー

50

タ線 1 4 0 と電氣的に接続している。画素電極 1 2 4 は第 3 能動素子 1 3 0 と電氣的に接続し、画素電極 1 2 4 は例えば透明電極、反射電極、または半貫通半反射電極 (transflective electrode) であっても良い。上述のように、画素電極 1 2 4 の材料は例えばインジウム錫酸化物 (ITO)、酸化亜鉛 (IZO: Indium Zinc Oxide)、金属または他の導電性材料であってもよい。

【0049】

能動素子配列基板 1 0 0 において、内部ショートリング 1 6 0 及び第 3 能動素子 1 8 0 は静電気損傷の保護に用いられることができ、データテスト線 1 5 0 及び第 4 能動素子も同じ機能を有する。例えば、静電が第 1 セグメント 1 6 2 に伝導されたとき、第 1 セグメント 1 6 2 と接続した複数の第 3 能動素子 1 8 0 は先に作動され、静電が走査線 1 3 0 に伝導され得る。しかし、第 3 能動素子 1 8 0 のゲート 1 8 0 g の電圧が一定の閾電圧に達したときのみ、ソース 1 8 0 s 及びドレーン 1 8 0 d が伝導されることができる。従って、第 3 能動素子 1 8 0 のゲート 1 8 0 d に静電の一部分を蓄積することで、その残存部分は走査線 1 3 0 に伝導されることができる。内部ショートリング 1 6 0 の第 1 セグメント 1 6 2 は複数の第 3 能動素子 1 8 0 により走査線 1 3 0 と電氣的に接続するので、静電は伝導通路を通過し複数の分路 (shunts) を形成する。第 3 能動素子を始動 (starting) すること、複数の通路を通過する複数の分路を形成することにより、各走査線 1 3 0 に伝導される静電流は大幅に減らされる。

換言すれば、内部ショートリング 1 6 0 及び第 3 能動素子 1 8 0 は静電で生じる部分回路の損傷を保護することができる。従って、第 1 能動素子 1 7 2、第 2 能動素子 1 7 4 と内部ショートリング 1 6 0 は静電気放電 (ESD) 保護回路と呼ばれることもある。また、第 1 能動素子 1 7 2 及び第 2 能動素子 1 7 4 は静電気放電 (ESD) 保護素子と呼ばれることもある。さらに、データテスト線 1 5 0 及び第 4 能動素子 1 9 0 の静電気損傷を保護する機構は上述と同様であるのでここで省く。注目すべきところは、第 1 能動素子 1 7 2、第 2 能動素子 1 7 4 と内部ショートリング 1 6 0 は静電気放電 (ESD) 保護回路だけでなく能動素子配列基板 1 0 0 の検査回路にも用いることができる。内部ショートリング 1 6 0、第 1 能動素子 1 7 2 と第 2 能動素子 1 7 4 は検査回路及び ESD 保護回路がともに整合するように検査回路として用いられるので、そのレイアウトが簡素化され、検査パットの数が減らされるとともにレイアウト空間が大きくなる。データテスト線 1 5 0 及び第 5 能動素子 1 9 0 は ESD 保護回路としても用いられ、また能動素子配列基板 1 0 0 の検査回路としても用いることができる。

下記に、能動素子配列基板 1 0 0 を検査する 4 種類の方法を詳細に述べる。

【0050】

能動素子配列基板 1 0 0 を検査する第 1 の方法は第 1 能動素子 1 7 2 及び第 4 能動素子 1 9 0 を始動するように第 1 走査信号を内部ショートリング 1 6 0 の第 1 セグメント 1 6 2 に入力するステップ、第 2 能動素子 1 7 4 及び偶数走査線 1 3 0 と接続された一部分の第 3 能動素子 1 8 0 を停止するように第 2 走査信号を内部ショートリング 1 6 0 の第 2 セグメント 1 6 4 に入力するステップ、を備え、第 1 走査信号は一部分の第 3 能動素子 1 8 0 により奇数走査線 1 3 0 内に入力される。注目すべきところは、この第 1 走査信号は高ゲート電圧 (V_{gh}) 信号、この第 2 走査信号は低ゲート電圧 (V_{gl}) 信号である。次いで、このステップはさらに第 1 データ信号を複数のデータテスト線 1 5 0 の一つに入力し、他方のデータテスト線 1 5 0 の電圧を測定するステップを有し、第 1 データ信号は複数の第 4 能動素子 1 9 0 の一部分により対応する前記データ線に入力される。他のデータテスト線 1 5 0 を測定するとき、第 1 データ信号と類似の電圧信号が測定された場合、短絡 (short circuit) は奇数データ線 1 4 0 及び偶数データ線 1 4 0 の間に生じることがある。

【0051】

能動素子配列基板 1 0 0 を検査する第 2 方法は第 1 走査信号を内部ショートリング 1 6 0 の第 1 セグメント 1 6 2 に入力し、第 2 走査信号を内部ショートリング 1 6 0 の第 2 セグメント 1 6 4 に入力し、データテスト線 1 5 0 の電圧を測定する、ステップを備える。

第1走査信号がVg_h信号及び第2走査信号がVg_l信号のとき、第1能動素子172及び第4能動素子190は始動され、一部分の第3能動素子180も始動される。本発明において、始動された第3能動素子180は奇数走査線130と接続する。複数のデータテスト線150は測定されたとき、第1走査信号と類似の電圧信号を有する複数のデータ線150の一つが測定されると、短絡は奇数または偶数データ線140の間に生じる。

【0052】

上述のように、上記の状態の下、その測定結果が通常の場合、この第1及び第2走査信号がVg_h信号に変わることがある。そのとき、奇数または偶数データ線140及び偶数走査線130の間に短絡が発生するか否かを判断するために、第2走査信号と類似の電圧信号であるか否かを判断するように複数のデータテスト線150の一つが測定される。注目すべきところは、この第1走査信号が直接にVg_l信号に変わり、この第2走査信号がVg_h信号に変わったとき、奇数または偶数データ線140及び偶数走査線130の間に短絡が発生するか否かを判断するために、第1走査信号と類似の電圧信号であるか否かを判断するように複数のデータテスト線150の一つが測定される。

【0053】

能動素子配列基板100を検査する第3方法は第1走査信号を内部ショートリング160の第1セグメント162に入力し、第2走査信号を内部ショートリング160の第2セグメント164に入力し、検査線Lの電圧を測定する、ステップを備える。第1走査信号がVg_h信号及び第2走査信号がVg_l信号のとき、第1能動素子172及び第4能動素子190は始動され、一部分の第3能動素子180も始動される。本発明において、始動された第3能動素子180は奇数走査線130と接続する。第1走査信号と類似の電圧信号を有する検査線Lが測定された場合、短絡は共通線Cs及び奇数走査線130の間に生じる。

【0054】

上述のように、上記の状態の下、その測定結果が通常の場合、この第1及び第2走査信号がVg_h信号に変わることがある。そのとき、共通線Cs及び偶数走査線130の間に短絡が発生するか否かを判断するために、第2走査信号と類似の電圧信号を有するか否かを判断するように検査線Lが測定される。同様に、直接に第1走査信号がVg_l信号に変わり、第2走査信号がVg_h信号に変わったとき、共通線Cs及び偶数走査線130の間に短絡が発生するか否かを判断するために、検査線Lが第1走査信号と類似の電圧信号を有するか否かを判断するように測定される。

【0055】

能動素子配列基板100を検査する第4方法は第1走査信号を内部ショートリング160の第1セグメント162に入力し、第2走査信号を内部ショートリング160の第2セグメント164に入力し、第1データ信号を複数のデータテスト線150の一つに入力し、検査線Lの電圧を測定するステップを備え、第1データ信号は複数の第4能動素子190の一部分により対応のデータ線140に入力される。ここで、第1走査信号及び前記第2走査信号の少なくとも一つが高ゲート電圧信号である。従って、第4能動素子190は始動される。検査線Lを測定するとき、第1データ信号と類似の電圧信号を有する検査線を測定した場合、短絡は共通線Cs及び奇数または偶数データ線140の間に生じる。

【0056】

能動素子配列基板100を検査する上記方法から、本発明は奇数または偶数走査線を検査する内部ショートリング、第1能動素子、第2能動素子を単一の検査回路として採用し、入力する奇数及び偶数信号は互いに影響されないことは明らかである。内部ショートリング160は静電損傷の防止だけではなく、能動素子配列基板100の配列テストの検査回路として用いることもできる。能動素子配列基板100を検査する方法を用いることで、能動素子配列基板100の回路は直ちに検査されることができ、従って、検査時間は短縮され、検査工程の効率も向上される。

【0057】

能動素子配列基板100は液晶表示パネルの組立に用いても良い。図3は図1の能動素

10

20

30

40

50

子配列基板を用い組立てられた液晶表示パネルの平面図を示す。図3を参照すると、液晶表示パネル300は上述の能動素子配列基板100、液晶層(図示せず)、カラーフィルター基板200を有する。カラーフィルター基板200は上述の能動素子配列基板100上に配置され、液晶層は能動素子配列基板100及びカラーフィルター基板200の間に配置されている。液晶表示パネル300は能動素子配列基板100を有することで、能動素子配列基板100上の検査回路はパネルテスト用の検査回路として用いることができる。液晶表示パネル300を検査する方法は図1及び図3を参照し下記の通り詳細に説明する。

【0058】

液晶表示パネル300を検査する方法は光源を提供し、液晶表示パネルを光源の上方に配置し、第1走査信号を内部ショートリング160の第1セグメント162に入力し、第2走査信号を内部ショートリング160の第2セグメント164に入力し、第1データ信号を複数のデータテスト線150の一つに入力し、第2データ信号を他方のデータテスト線150に入力する、ステップを備え、この光源はバックライトモジュールであっても良い。

10

【0059】

第1と第2走査信号及び第1と第2データ信号を前記第1と第2セグメント、データテスト線の一つ及び他方のデータテスト線に入力後、液晶表示パネル300は例えば黒、白、または灰色画像のような複数の異なる表示画像を表示することができる。黒の画像は液晶表示パネル300上に輝点(bright point)または輝線(bright line)が発生されているか否かを検査するのに用いられる。白の画像は液晶表示パネル300上に暗黒点(dark point)または暗黒線(dark line)が発生されているか否かを検査するのに用いられる。灰色の画像は液晶表示パネル300上にムラ(mura)が現れるか否かを検査するのに用いられる。

20

【0060】

上述の表示画像のほか、液晶表示パネル300は明るい水平(bright horizontal)または垂直線(vertical line)の画像をさらに表示することがある。このような表示画像の下、データ線140または走査線130に破線または短絡のような瑕疵があるか否かを容易に検査することができる。さらに、液晶表示パネル300は輝点配列の画像をさらに表示し、このような画像の下で輝点、マイクロ輝点または閃光点(flash point)を容易に検査することができる。

30

【0061】

液晶表示パネル300を検査する方法を用いることにより、液晶表示パネル300の表示画像を効率的に検査することができ、検査時間は短縮され検査工程の効率は向上される。

【0062】

以上、本発明のより好ましい実施の形態について説明したが、これは本発明を限定するものではない。本発明の範囲内、発明の精神から逸脱しない限り、当業者により上記の実施の形態の均等変化や若干の変更は可能である。上記の記載を鑑み、ここで本発明の権利範囲、均等変化内にあるものは本発明にカバーされるものであることを主張する。

40

【図面の簡単な説明】

【0063】

【図1】本発明の好適な実施例による能動素子配列基板の構造を示す説明図。

【図2】図1の領域S10の局部を示す拡大図である。

【図3】図1の能動素子配列基板を用い組立てられた液晶表示パネルを示す平面図である。

。

フロントページの続き

(56)参考文献 特表2001-516465(JP,A)
特開2003-149668(JP,A)
特開2003-322874(JP,A)
特開2005-274932(JP,A)
特開2006-317763(JP,A)
特開2005-122209(JP,A)
特開平10-339886(JP,A)
特開2002-258231(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368
G02F 1/13

专利名称(译)	有源元件阵列基板，液晶显示面板及其检查方法		
公开(公告)号	JP4394660B2	公开(公告)日	2010-01-06
申请号	JP2006114291	申请日	2006-04-18
[标]申请(专利权)人(译)	中华映管股份有限公司		
申请(专利权)人(译)	中华映管股▲ふん▼有限公司		
当前申请(专利权)人(译)	中华映管股▲ふん▼有限公司		
[标]发明人	張原豪 黄金海 林光祥		
发明人	張 原豪 黄 金海 林 光祥		
IPC分类号	G02F1/1368 H01L29/786 G02F1/13		
FI分类号	G02F1/1368 H01L29/78.624 G02F1/13.101		
F-TERM分类号	2H088/FA13 2H088/HA01 2H088/HA02 2H088/HA06 2H088/HA08 2H088/MA20 2H092/GA44 2H092/GA59 2H092/GA61 2H092/JA24 2H092/JB77 2H092/JB79 2H092/MA58 2H092/NA16 2H092/NA29 2H092/NA30 2H092/PA01 2H092/PA06 2H192/AA24 2H192/EA43 2H192/FA32 2H192/FA46 2H192/GA15 2H192/HB04 2H192/HB13 2H192/HB14 2H192/HB23 5F110/AA22 5F110/AA24 5F110/BB02 5F110/DD02 5F110/DD03 5F110/EE06 5F110/GG02 5F110/GG13 5F110/NN72		
优先权	095100427 2006-01-05 TW		
其他公开文献	JP2007183527A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供具有简单布局的有源元件阵列基板，液晶面板以及用于检查该有源元件阵列基板的方法。ŽSOLUTION：显示单元布置在基板的显示区域中，扫描线和数据线用于控制像素单元。内部短环具有第一段，第二段和用于连接两个段的连接段。栅极和第一和第二有源元件的源极分别连接到第一和第二段。第三有源元件的一部分的栅极和源极连接到第二段，漏极连接到奇数扫描线。第三有源元件的栅极和源极连接到第二段，漏极连接到偶数扫描线。第四有源元件的栅极连接到连接线；源连接到数据测试线，漏极分别连接到奇数和偶数线。Ž

【图 1】

