

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4344594号
(P4344594)

(45) 発行日 平成21年10月14日(2009.10.14)

(24) 登録日 平成21年7月17日(2009.7.17)

(51) Int.Cl.

F I

GO2F 1/1368 (2006.01)
 GO2B 5/20 (2006.01)
 GO2F 1/1335 (2006.01)
 GO9F 9/30 (2006.01)
 HO1L 29/786 (2006.01)

GO2F 1/1368
 GO2B 5/20 1 O 1
 GO2F 1/1335 5 O 5
 GO9F 9/30 3 3 8
 GO9F 9/30 3 4 9 B

請求項の数 36 (全 35 頁) 最終頁に続く

(21) 出願番号 特願2003-403376 (P2003-403376)
 (22) 出願日 平成15年12月2日(2003.12.2)
 (65) 公開番号 特開2004-191972 (P2004-191972A)
 (43) 公開日 平成16年7月8日(2004.7.8)
 審査請求日 平成16年6月4日(2004.6.4)
 (31) 優先権主張番号 2002-078007
 (32) 優先日 平成14年12月9日(2002.12.9)
 (33) 優先権主張国 韓国(KR)
 (31) 優先権主張番号 2002-078910
 (32) 優先日 平成14年12月11日(2002.12.11)
 (33) 優先権主張国 韓国(KR)

前置審査

(73) 特許権者 501426046
 エルジー ディスプレイ カンパニー リ
 ミテッド
 大韓民国 ソウル, ヨンドゥンポーク, ヨ
 イドードン 2 O
 (74) 代理人 100110423
 弁理士 曾我 道治
 (74) 代理人 100084010
 弁理士 古川 秀利
 (74) 代理人 100094695
 弁理士 鈴木 憲七
 (74) 代理人 100111648
 弁理士 梶並 順
 (74) 代理人 100147566
 弁理士 上田 俊一

最終頁に続く

(54) 【発明の名称】 液晶表示装置用アレイ基板とその製造方法

(57) 【特許請求の範囲】

【請求項 1】

ゲート電極を含み基板上に一方向へ延長して構成されたたゲート配線と；
 前記基板の上部に形成されて前記ゲート配線と交差して画素領域を定義し、一端にデータパッドを含むデータ配線と；
 前記ゲート配線と離隔されて前記データ配線と同一層上に前記データ配線と同じ物質で形成されたゲートパッドと；
 前記ゲート配線とデータ配線の交差点に位置して、前記ゲート電極、半導体層、ソース電極、ドレイン電極を含む薄膜トランジスタと；
 前記ゲート配線とデータ配線及びドレイン電極の一部を除いた薄膜トランジスタと重なるように形成されたブラックマトリックスと；
 前記ドレイン電極及び基板と接触しながら画素領域ごと独立的に構成された透明な第1画素電極と；
 前記第1画素電極の上部に、画素領域に対応して構成されたカラーフィルターと；
 前記カラーフィルターの上に位置して、前記第1電極と接触する透明な第2画素電極と；

；
 前記ゲートパッドと接触し透明導電性物質で構成された二重層のゲートパッド端子と；
 前記データパッドと接触し透明導電性物質で構成された二重層のデータパッド端子と；
 透明導電性物質で構成された第1および第2連結電極を含み、前記ゲートパッドと接触すると共に前記ゲート配線の一端と接触し前記ゲートパッドと前記ゲート配線を連結する

10

20

二重層の連結電極と

を含む液晶表示装置用アレイ基板。

【請求項 2】

前記ゲート配線とゲート電極を覆うように基板上に形成された第 1 絶縁膜と；

前記薄膜トランジスタ、前記ゲートパッド、データ配線、データパッドを覆うように前記基板全面に形成された第 2 絶縁膜と；

前記ブラックマトリックスを覆うように前記基板全面に形成されて、前記第 2 絶縁膜と共にドレイン電極の一部を露出する第 3 絶縁膜と；

前記第 2 絶縁膜及び第 3 絶縁膜に形成され、前記ゲートパッド及びデータパッドを各々露出する多数の第 1 コンタクトホール及び第 2 コンタクトホールと；

前記第 1 絶縁膜ないし第 3 絶縁膜に形成され、前記画素領域で基板を露出する開口部と、ゲート配線の一端を露出する第 3 コンタクトホールと

をさらに含み、前記ゲートパッド端子は、前記多数の第 1 コンタクトホール中一つを通じて前記ゲートパッドと接触し、前記データパッド端子は、前記第 2 コンタクトホールを通じて前記データパッドと接触し、前記連結電極は、前記第 1 コンタクトホール中他の一つを通じて前記ゲートパッドと接触すると共に前記第 3 コンタクトホールを通じて前記ゲート配線の一端と接触することを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板。

【請求項 3】

前記カラーフィルターと同一物質で前記第 3 コンタクトホールと対応するように構成して、前記第 1 連結電極及び第 2 連結電極の間に介在され、前記ゲート配線の一端と対応して、前記二重層の連結電極がゲートパッドと接触する第 1 コンタクトホールと対応して、赤、緑、青色のカラー樹脂のうちの一つで構成されたカラーフィルターパターンをさらに含む

ことを特徴とする請求項 2 に記載の液晶表示装置用アレイ基板。

【請求項 4】

前記ゲート配線の上部の第 1 絶縁膜上に、アイランド状のストレージ金属層をさらに含み、前記第 2 絶縁膜及び第 3 絶縁膜は前記ストレージ金属層の一部を露出して、前記第 1 画素電極は露出されたストレージ金属層と接触し、前記接触するアイランド状の金属層と、その下部のゲート配線と、これらの間に介在された第 1 絶縁膜で構成されたストレージキャパシターをさらに含む

ことを特徴とする請求項 2 に記載の液晶表示装置用アレイ基板。

【請求項 5】

前記ストレージ金属層と前記第 1 絶縁膜の間に純粋非晶質シリコン層と不純物非晶質シリコン層で構成された半導体パターンをさらに含む

ことを特徴とする請求項 4 に記載の液晶表示装置用アレイ基板。

【請求項 6】

前記ゲートパッドと第 1 絶縁膜の間と、前記データ配線と第 1 絶縁膜の間と、前記データパッドと第 1 絶縁膜の間に各々の純粋非晶質シリコン層と不純物非晶質シリコン層で構成された半導体パターンをさらに含む

ことを特徴とする請求項 2 に記載の液晶表示装置用アレイ基板。

【請求項 7】

前記第 1 画素電極は前記基板と直接接触する

ことを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板。

【請求項 8】

前記半導体層は、純粋非晶質シリコン層と不純物非晶質シリコン層が積層されてゲート電極の上部に構成される

ことを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板。

【請求項 9】

基板上に一方向へ延長されたゲート配線と、これに連結されたゲート電極を形成する段

10

20

30

40

50

階と；

前記ゲート電極が形成された基板の上部に純粋非晶質シリコンであるアクティブ層と不純物非晶質シリコンであるオーミックコンタクト層を形成する段階と；

前記ゲート配線と交差して画素領域を定義し、一端にデータパッドを含むデータ配線と、前記ゲート配線の一端に近接したゲートパッドと、前記オーミックコンタクト層の上部にデータ配線から延長されたソース電極と、ソース電極と離隔されオーミックコンタクト層に形成されたドレイン電極を形成して薄膜トランジスタを完成する段階と；

前記ドレイン電極の一部を除いた薄膜トランジスタの上部と、ゲート配線及びデータ配線の上部にブラックマトリックスを形成する段階と；

前記ドレイン電極と接触する第1透明電極層を形成する段階と；

10

前記画素領域に対応する第1透明電極層上にカラーフィルターを形成すると同時に、前記ゲートパッドの一部とゲート配線の一端に対応するようにカラーフィルターと同一物質でカラーフィルターパターンを形成する段階と；

前記カラーフィルターとカラーフィルターパターンが形成された基板全面に第2透明電極層を形成する段階と；

前記第1及び第2透明電極層をパターンニングして第1及び第2画素電極を形成すると共に、前記ゲートパッドの上部に位置して二重の透明導電性物質で構成され、前記ゲートパッドと接触する二重層のゲートパッド端子と、前記データパッドの上部に位置して二重の透明導電性物質で構成され、前記データパッドと接触する二重層のデータパッド端子と、透明導電性物質で構成された第1及び第2連結電極を含み、前記ゲートパッドと接触して、前記ゲート配線と接触する二重層の連結電極を形成する段階と

20

を含む液晶表示装置用アレイ基板の製造方法。

【請求項10】

前記ゲート配線とゲート電極が形成された基板全面に第1絶縁膜を形成する段階と；

前記薄膜トランジスタ、ゲートパッド、データパッドを覆うように基板全面に第2絶縁膜を形成する段階と；

前記ブラックマトリックスと第2絶縁膜の上部に第3絶縁膜を形成する段階と；

前記第1絶縁膜ないし第3絶縁膜をパターンニングして画素領域で基板を露出すると同時に、ゲートパッドを露出する多数の第1コンタクトホールと、データパッドを露出する第2コンタクトホールと、ゲート配線の一端を露出する第3コンタクトホールを形成して、ドレイン電極の一部を露出する段階と

30

をさらに含み、前記ゲートパッド端子は、前記多数の第1コンタクトホール中一つを通じて前記ゲートパッドと接触し、前記データパッド端子は、前記第2コンタクトホールを通じて前記データパッドと接触し、前記連結電極は、前記第1コンタクトホール中他の一つを通じて前記ゲートパッドと接触すると共に前記第3コンタクトホールを通じて前記ゲート配線の一端と接触することを特徴とする請求項9に記載の液晶表示装置用アレイ基板の製造方法。

【請求項11】

前記ゲート配線とゲート電極を形成する段階は第1マスクを利用し、前記アクティブ層とオーミックコンタクト層を形成する段階は第2マスクを利用し、前記ゲート配線、データパッド、ゲートパッド、ソース電極及びドレイン電極を形成する段階は第3マスクを利用し、前記ブラックマトリックスを形成する段階は第4マスクを利用し、前記第1絶縁膜ないし第3絶縁膜をパターンニングする段階は第5マスクを利用し、前記第1透明電極層及び第2透明電極層をパターンニングする段階は第6マスクを利用する

40

ことを特徴とする請求項10に記載の液晶表示装置用アレイ基板の製造方法。

【請求項12】

前記データパッドと前記ゲートパッドを形成する段階はゲート配線の上部にストレージ金属層を形成する段階を含み、前記ストレージ金属層と前記ゲート配線の一部は、これらの間に介在されたゲート絶縁膜と共にストレージキャパシターを構成する

ことを特徴とする請求項10に記載の液晶表示装置用アレイ基板の製造方法。

50

【請求項 13】

前記第2絶縁膜及び第3絶縁膜をパターニングする段階はストレージ金属層の一部を露出して、前記第1画素電極は露出されたストレージ金属層と接触する

ことを特徴とする請求項12に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 14】

前記カラーフィルタパターンは前記第3コンタクトホールと対応して前記第1連結電極及び第2連結電極の間に介在され、前記ゲート配線の一端の上部に位置して、前記二重層の連結電極がゲートパッドと接触させる第1コンタクトホールと対応するように構成され、前記カラーフィルタとカラーフィルタパターンは赤色、緑色、青色のカラー樹脂のうちの一つで構成する

10

ことを特徴とする請求項10に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 15】

前記第1画素電極は基板と直接接触して、前記第1画素電極及び第2画素電極は、これらの間にカラーフィルタを介在してサンドイッチ形画素電極を構成し、前記データ配線、データパッド、ゲートパッド、ソース電極、ドレイン電極は、クロム(Cr)、モリブデン(Mo)、銅(Cu)、タングステン(W)、チタン(Ti)及びこれらの合金のうちから選択された一つで構成する

ことを特徴とする請求項9に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 16】

前記ブラックマトリックスは不透明な感光性有機物質で形成される

20

ことを特徴とする請求項9に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 17】

基板上に第1金属層を形成してパターニングし、一方向へ延長されたゲート配線と、これに連結されたゲート電極を形成する段階と；

前記ゲート配線とゲート電極が形成された基板上に第1絶縁膜を形成する段階と；

前記第1絶縁膜上に純粋非晶質シリコン層と、不純物非晶質シリコン層と、第2金属層を順に形成する段階と；

前記純粋非晶質シリコン層、不純物非晶質シリコン層、第2金属層を同時にパターニングして、ゲート配線と垂直に延長されて画素領域を定義し、一端にデータパッドを含むデータ配線、ゲートパッド、ソース電極、ドレイン電極、半導体パターンを形成する段階と；

30

前記ソース電極及びドレイン電極の間に位置する不純物非晶質シリコンパターンをエッチングして純粋非晶質シリコンであるアクティブ層と、不純物非晶質シリコンであるオーミックコンタクト層を形成して、ゲート配線とデータ配線の交差点に薄膜トランジスタを完成する段階と；

前記ドレイン電極の一部を除いた薄膜トランジスタの上部と、ゲート配線及びデータ配線の上部にブラックマトリックスを形成する段階と；

前記ドレイン電極と接触する第1透明電極層を形成する段階と；

前記画素領域に対応する第1透明電極層上にカラーフィルタを形成すると同時に、前記ゲートパッドの一部とゲート配線の一端に対応して、カラーフィルタと同一物質でカラーフィルタパターンを形成する段階と；

40

前記カラーフィルタとカラーフィルタパターンが形成された基板全面に第2透明電極層を形成する段階と；

前記第1及び第2透明電極層をパターニングして第1及び第2画素電極を形成すると共に、前記ゲートパッドの上部に位置して二重の透明導電性物質で構成され、前記ゲートパッドと接触する二重層のゲートパッド端子と、前記データパッドの上部に位置して二重の透明導電性物質で構成され、前記データパッドと接触する二重層のデータパッド端子と、透明導電性物質で構成された第1及び第2連結電極を含み、前記ゲートパッドと接触して前記ゲート配線と接触する二重層の連結電極を形成する段階と

を含む液晶表示装置用アレイ基板の製造方法。

50

【請求項 18】

前記純粋非晶質シリコン層と不純物非晶質シリコン層をパターニングする段階は、前記第2金属層上にフォトリソ層を形成する段階と、このフォトリソ層の上部に透過部、遮断部、半透過部を持つマスクを位置させる段階とを含む

ことを特徴とする請求項17に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 19】

前記薄膜トランジスタ、ゲートパッド、データパッドを覆うように基板全面に第2絶縁膜を形成する段階と；

前記ブラックマトリックスと第2絶縁膜の上部に第3絶縁膜を形成する段階と；

前記第1絶縁膜ないし第3絶縁膜をパターニングして、画素領域で基板とドレイン電極の一部を露出する開口部と、ゲートパッドを露出する多数の第1コンタクトホールと、データパッドを露出する第2コンタクトホールと、ゲート配線の一端を露出する第3コンタクトホールを形成する段階と

をさらに含み、前記ゲートパッド端子は、前記多数の第1コンタクトホール中一つを通じて前記ゲートパッドと接触し、前記データパッド端子は、前記第2コンタクトホールを通じて前記データパッドと接触し、前記連結電極は、前記第1コンタクトホール中他の一つを通じて前記ゲートパッドと接触すると共に前記第3コンタクトホールを通じて前記ゲート配線の一端と接触する

ことを特徴とする請求項17に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 20】

前記ゲート配線とゲート電極を形成する段階は第1マスクを利用し、前記純粋非晶質シリコン層と不純物非晶質シリコン層と第2金属層を同時にパターニングする段階は第2マスクを利用し、前記ブラックマトリックスを形成する段階は第3マスクを利用し、前記第1絶縁膜ないし第3絶縁膜をパターニングする段階は第4マスクを利用し、前記第1透明電極層及び第2透明電極層をパターニングする段階は第5マスクを利用する

ことを特徴とする請求項19に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 21】

前記データパッドと前記ゲートパッドを形成する段階はゲート配線の上部にストレージ金属層を形成する段階を含み、前記ストレージ金属層と前記ゲート配線の一部は、これらの間に介在されたゲート絶縁膜と共にストレージキャパシターを構成する

ことを特徴とする請求項19に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 22】

前記第2絶縁膜及び第3絶縁膜をパターニングする段階はストレージ金属層の一部を露出して、前記第1画素電極は露出されたストレージ金属層と接触する

ことを特徴とする請求項21に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 23】

前記ゲートパッドとゲート配線の一端と近接してアイランド状を構成し、前記ソース電極は前記データ配線から分岐されて形成し、前記ドレイン電極は前記ソース電極と所定間隔を隔てられて形成し、前記半導体パターンは前記パターニングされた第2金属層の下部に位置して純粋非晶質シリコンパターンと不純物非晶質シリコンパターンで構成される

ことを特徴とする請求項18に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 24】

前記半導体パターンは、ゲートパッドと第1絶縁膜との間と、データ配線と第1絶縁膜との間と、データパッドと第1絶縁膜との間に位置する

ことを特徴とする請求項19に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 25】

前記カラーフィルターパターンは前記第3コンタクトホールと対応して前記第1連結電極及び第2連結電極の間に介在され、前記ゲート配線の一端の上部に位置して、前記二重層の連結電極がゲートパッドと接触させる第1コンタクトホールと対応するように構成され、前記カラーフィルターとカラーフィルターパターンは赤色、緑色、青色のカラー樹脂

10

20

30

40

50

のうちの一つで構成する

ことを特徴とする請求項 19 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 26】

前記第 1 画素電極は基板と直接接触し、前記第 1 画素電極及び第 2 画素電極は、これらの間にカラーフィルターを介在してサンドイッチ形画素電極を構成し、前記データ配線、データパッド、ゲートパッド、ソース電極、ドレイン電極は、クロム (Cr)、モリブデン (Mo)、銅 (Cu)、タングステン (W)、チタン (Ti) 及びこれらの合金のうちから選択された一つで構成し、前記ブラックマトリックスは不透明な感光性有機物質で形成される

ことを特徴とする請求項 19 に記載の液晶表示装置用アレイ基板の製造方法。

10

【請求項 27】

表示領域、非表示領域、表示領域と非表示領域の間に位置する境界領域で区分された基板と；

表示領域の基板上に位置する多数のゲート配線と；

非表示領域の基板上に位置する多数のゲートパッドと；

基板上の非表示領域と境界領域に掛けて位置し、ゲート配線とゲートパッドを連結する多数のゲートリンク線と；

前記ゲート配線と垂直に交差して画素領域を定義する多数のデータ配線と；

前記ゲート配線とデータ配線の交差点に位置して、ゲート電極、アクティブ層、ソース電極、ドレイン電極を含む多数の薄膜トランジスタと；

20

前記薄膜トランジスタ、ゲート配線、データ配線の上部に構成されたブラックマトリックスと；

前記画素領域に位置するカラーフィルターと；

前記非表示領域と境界領域に位置して、ゲートリンク線とゲートリンク線の間の離隔空間に対応するように構成された遮光パターンと；

画素領域に位置して薄膜トランジスタのドレイン電極と接触する多数の画素電極と；

前記遮光パターンの上部に形成されたシールパターンと；

前記シールパターンと前記遮光パターンの間に形成され窒化シリコン及び酸化シリコンのうちの一つで構成された無機絶縁層と

を含む液晶表示装置用アレイ基板。

30

【請求項 28】

前記ブラックマトリックスと薄膜トランジスタとの間に窒化シリコン及び酸化シリコンのうちの一つを選択して無機絶縁膜をさらに構成し、前記遮光パターンは光漏れ現象を防ぐために、前記ゲートリンク線の各離隔領域に対応するようにパターンニングされ構成される

ことを特徴とする請求項 27 に記載の液晶表示装置用アレイ基板。

【請求項 29】

前記シールパターンは前記ゲートリンク線と直接接触するように構成される

ことを特徴とする請求項 27 に記載の液晶表示装置用アレイ基板。

【請求項 30】

40

前記画素電極は前記カラーフィルターを間に二重層の透明導電性物質で構成される

ことを特徴とする請求項 27 に記載の液晶表示装置用アレイ基板。

【請求項 31】

表示領域、非表示領域、表示領域と非表示領域の間に位置する境界領域で区分された基板と；

表示領域の基板上に位置する多数のゲート配線と；

非表示領域の基板上に位置する多数のゲートパッドと；

基板上の非表示領域と境界領域に掛けて位置して、ゲート配線とゲートパッドを連結する多数のゲートリンク線と；

前記ゲート配線と垂直に交差して画素領域を定義する多数のデータ配線と；

50

前記ゲート配線とデータ配線の交差点に位置して、ゲート電極、アクティブ層、ソース電極、ドレイン電極を含む多数の薄膜トランジスタと；

前記薄膜トランジスタ、ゲート配線、データ配線の上に構成されたブラックマトリックスと；

前記画素領域に位置するカラーフィルタと；

前記非表示領域と境界領域に位置して、ゲートリンク線とゲートリンク線の間の離隔空間に対応するように構成された遮光パターンと；

前記ブラックマトリックスと遮光パターンの上部に構成された第１無機絶縁膜と；

画素領域に位置して薄膜トランジスタのドレイン電極と接触する多数の画素電極と；

前記第１無機絶縁膜の上部に構成されたシールパターンと

を含む液晶表示装置用アレイ基板。

10

【請求項３２】

前記ブラックマトリックスと薄膜トランジスタとの間に窒化シリコン及び酸化シリコンのうちの一つを選択して第２無機絶縁膜をさらに構成する

ことを特徴とする請求項３１に記載の液晶表示装置用アレイ基板。

【請求項３３】

前記遮光パターンは光漏れ現象を防ぐために、前記ゲートリンク線の各離隔領域に対応してパターンニングされ構成する

ことを特徴とする請求項３１に記載の液晶表示装置用アレイ基板。

【請求項３４】

前記無機絶縁膜は、窒化シリコン及び酸化シリコンのうちの一つで構成される

ことを特徴とする請求項３１に記載の液晶表示装置用アレイ基板。

20

【請求項３５】

前記シールパターンは前記ゲートリンク線と直接接触するように構成される

ことを特徴とする請求項３４に記載の液晶表示装置用アレイ基板。

【請求項３６】

前記画素電極は前記カラーフィルタを間に二重層の透明導電性物質で構成される

ことを特徴とする請求項３１に記載の液晶表示装置用アレイ基板。

【発明の詳細な説明】

【技術分野】

30

【０００１】

本発明は液晶表示装置に係り、薄膜トランジスタアレイ部の上部にカラーフィルタを構成するＣＯＴ（color filter on TFT）構造の液晶表示装置用アレイ基板とその製造方法に関する。

【背景技術】

【０００２】

一般的に、液晶表示装置は液晶分子の光学的異方性と複屈折特性を利用して画像を表現するものであって、電界が印加されると液晶の配列が変わり、変わった液晶の配列方向によって光が透過する特性も変わる。

【０００３】

40

液晶表示装置は、電界生成電極が各々形成されている二枚の基板を電極が形成されている面が向かい合うように配置し、両基板間に液晶物質を注入した後に、両電極間に電圧を印加して生成される電界により液晶分子を動くようにして、これにより変わる光の透過率により画像を表現する装置である。

【０００４】

図１は、液晶表示装置を概略的に示した図面である。図示したように、カラー液晶表示装置１１の上部基板５は、サブカラーフィルタ８と各サブカラーフィルタ８の間に設けられたブラックマトリックス６を含んでおり、また、各サブカラーフィルタ８とブラックマトリックスの上部に蒸着された共通電極１８を含む。カラー液晶表示装置１１の下部基板２２は、画素電極１７とスイッチング素子Ｔが画素領域Ｐに構成されて、画素領域

50

Pの周辺にアレイ配線が形成されている。上部基板5と下部基板22との基板間に液晶14が充填されている。

【0005】

前記下部基板22はアレイ基板とも称するが、スイッチング素子である薄膜トランジスタTがマトリックス状に配置されており、このような多数の薄膜トランジスタTに交差してゲート配線13とデータ配線15が形成される。ここで、前記画素領域Pは前記ゲート配線13とデータ配線15が交差して定義される領域で、前記画素領域P上には前述したように透明な画素電極17が形成される。

【0006】

前記画素電極17は、インジウム - スズ - オキサイド (ITO) のように光の透過率が比較的優れた透明導電性金属を用いる。前記画素電極17と並列に接続したストレージキャパシターCがゲート配線13の上部に構成され、このストレージキャパシターCの第1電極としてゲート配線13の一部を用い、また、第2電極としてソース電極及びドレイン電極と同一層同一物質で形成されたアイランド状のストレージ金属層30を用いる。この時、前記アイランド状のストレージ金属層30は画素電極17と接触して画素電極17の信号を受けるように構成される。

【0007】

ところで、前述したようなカラーフィルター基板としての上部基板5とアレイ基板としての下部基板22を合着して液晶パネルを製作する場合に、上部基板5と下部基板22の合着誤差による光漏れ不良などが発生する確率が非常に高い。

【0008】

以下、図2を参照しながら光漏れ現象について説明する。図2は、図1のII-II線に沿って切断した断面図である。前述したように、アレイ基板である第1基板22と、前記第1基板22と離隔されたカラーフィルター基板である第2基板5と、前記第1基板22及び第2基板5との間に位置する液晶層14を含む。

【0009】

アレイ基板22の上部には、ゲート電極32、アクティブ層34、ソース電極36、ドレイン電極38を含む薄膜トランジスタTと、前記薄膜トランジスタTの上部にこれを保護する保護膜40が構成される。ゲート電極32とアクティブ層34の間には、ゲート絶縁膜16が介在されている。ゲート絶縁膜16はゲート電極32及びゲート配線13を絶縁して保護する役割を行う。

【0010】

画素領域Pには、前記薄膜トランジスタTのドレイン電極38と接触する透明画素電極17が構成されて、画素電極17と並列に連結したストレージキャパシターCがゲート配線13の上部に構成されている。

【0011】

前記上部基板5には、前記ゲート配線13、データ配線15、薄膜トランジスタTに対応してブラックマトリックス6が構成され、下部基板22の画素領域Pに対応してカラーフィルター8a, 8b, 8cが構成される。この時、一般的なアレイ基板は、垂直クロストーク (cross talk) を防止するために、データ配線15と画素電極17を一定間隔A離隔して構成し、ゲート配線13と画素電極も一定間隔B離隔して構成する。

【0012】

データ配線15及びゲート配線13と画素電極17間の離隔した空間ABは光漏れ現象が発生する領域であるために、上部カラーフィルター基板5に構成したブラックマトリックス6がこの部分を遮る役割をする。また、前記薄膜トランジスタTの上部に構成されたブラックマトリックス6は外部から照射される光が保護膜40を通過してアクティブ層34に影響を与えないようにするために光を遮断する役割をする。

【発明の開示】

【発明が解決しようとする課題】

【0013】

10

20

30

40

50

ところが、前記上部基板 5 と下部基板 2 2 を合着する工程において合着誤差 (misalign) が発生する場合があるので、これを勘案して前記ブラックマトリックス 6 を設計する時に一定の値のマージンをおいて設計するため、そのマージン分だけ開口率が低下する。また、マージンを越えた合着誤差が発生する場合、光漏れ領域 A、B がブラックマトリックス 6 によりすべてを遮られない光漏れ不良が発生する場合がたびたびある。このような場合には、前記光漏れが外部に現れるので、液晶表示装置の画質を低下させる問題がある。

【 0 0 1 4 】

本発明は前述したような問題を解決するために提案されたものであって、本発明を要約すると、カラーフィルタを下部基板に構成して、カラーフィルタの間領域つまり、薄膜トランジスタとゲート配線及びデータ配線の上にブラックマトリックスを構成する。前記画素領域には、第 1 画素電極、カラーフィルタ、第 2 画素電極の順で構成するが、前記第 1 画素電極はドレイン電極と直接接触する構成で、前記第 2 画素電極は前記第 1 画素電極と接触するように構成する。この時、前記ゲート配線の一端に構成されるゲートパッドを形成する時、前記カラーフィルタをパターニングする薬液に強いデータ配線物質で形成をしてカラーフィルタをパターニングする工程の途中、前記ゲートパッドがダメージを受けて断線になる不良を防ぐ。また、本発明においては、前記基板の外周領域で発生する光漏れを遮断するために、前記ゲートパッドとゲート配線を連結するゲートリンク線が構成された領域に遮光パターンを形成する。前記ゲートリンク線が通る領域は上部基板と下部基板を合着するシールパターンが印刷される領域のために、前記遮光パターンの上部に無機絶縁膜をさらに形成して、前記印刷されたシールパターンの接触特性を改善する。このような構成は、液晶表示装置の外周光漏れ現象を防げて高画質な液晶表示装置を製作する。

【課題を解決するための手段】

【 0 0 1 5 】

前述した目的を達成するための本発明による液晶表示装置用アレイ基板は、ゲート電極を含み基板上に一方向へ延長して構成されたゲート配線と；前記基板の上部に形成されて前記ゲート配線と交差して画素領域を定義し、一端にデータパッドを含むデータ配線と；前記ゲート配線と離隔されて前記データ配線と同一層上に前記データ配線と同じ物質で形成されたゲートパッドと；前記ゲート配線とデータ配線の交差点に位置して、前記ゲート電極、半導体層、ソース電極、ドレイン電極を含む薄膜トランジスタと；前記ゲート配線とデータ配線及びドレイン電極の一部を除いた薄膜トランジスタと重なるように形成されたブラックマトリックスと；前記ドレイン電極及び基板と接触しながら画素領域ごと独立的に構成された透明な第 1 画素電極と；前記第 1 画素電極の上部に、画素領域に対応して構成されたカラーフィルタと；前記カラーフィルタの上部に位置して、前記第 1 電極と接触する透明な第 2 画素電極と；前記ゲートパッドと接触し透明導電性物質で構成された二重層のゲートパッド端子と；前記データパッドと接触し透明導電性物質で構成された二重層のデータパッド端子と；透明導電性物質で構成された第 1 および第 2 連結電極を含み、前記ゲートパッドと接触すると共に前記ゲート配線の一端と接触し前記ゲートパッドと前記ゲート配線を連結する二重層の連結電極とを含むことを特徴とする。

また、本発明による液晶表示装置用アレイ基板の製造方法は、基板上に一方向へ延長されたゲート配線と、これに連結されたゲート電極を形成する段階と；前記ゲート電極が形成された基板の上部に純粋非晶質シリコンであるアクティブ層と不純物非晶質シリコンであるオーミックコンタクト層を形成する段階と；前記ゲート配線と交差して画素領域を定義し、一端にデータパッドを含むデータ配線と、前記ゲート配線の一端に近接したゲートパッドと、前記オーミックコンタクト層の上部にデータ配線から延長されたソース電極と、ソース電極と離隔されオーミックコンタクト層に形成されたドレイン電極を形成して薄膜トランジスタを完成する段階と；前記ドレイン電極の一部を除いた薄膜トランジスタの上部と、ゲート配線及びデータ配線の上にブラックマトリックスを形成する段階と；前記ドレイン電極と接触する第 1 透明電極層を形成する段階と；前記画素領域に対応する第 1 透明電極層上にカラーフィルタを形成すると同時に、前記ゲートパッドの一部とゲート

10

20

30

40

50

ト配線の一端に対応するようにカラーフィルターと同一物質でカラーフィルターパターンを形成する段階と；前記カラーフィルターとカラーフィルターパターンが形成された基板全面に第2透明電極層を形成する段階と；前記第1及び第2透明電極層をパターンニングして第1及び第2画素電極を形成すると共に、前記ゲートパッドの上部に位置して二重の透明導電性物質で構成され、前記ゲートパッドと接触する二重層のゲートパッド端子と、前記データパッドの上部に位置して二重の透明導電性物質で構成され、前記データパッドと接触する二重層のデータパッド端子と、透明導電性物質で構成された第1及び第2連結電極を含み、前記ゲートパッドと接触して、前記ゲート配線と接触する二重層の連結電極を形成する段階とを含むことを特徴とする。

また、本発明による液晶表示装置用アレイ基板の製造方法は、基板上に第1金属層を形成してパターンニングし、一方向へ延長されたゲート配線と、これに連結されたゲート電極を形成する段階と；前記ゲート配線とゲート電極が形成された基板上に第1絶縁膜を形成する段階と；前記第1絶縁膜上に純粋非晶質シリコン層と、不純物非晶質シリコン層と、第2金属層を順に形成する段階と；前記純粋非晶質シリコン層、不純物非晶質シリコン層、第2金属層を同時にパターンニングして、ゲート配線と垂直に延長されて画素領域を定義し、一端にデータパッドを含むデータ配線、ゲートパッド、ソース電極、ドレイン電極、半導体パターンを形成する段階と；前記ソース電極及びドレイン電極の間に位置する不純物非晶質シリコンパターンをエッチングして純粋非晶質シリコンであるアクティブ層と、不純物非晶質シリコンであるオーミックコンタクト層を形成して、ゲート配線とデータ配線の交差点に薄膜トランジスタを完成する段階と；前記ドレイン電極の一部を除いた薄膜トランジスタの上部と、ゲート配線及びデータ配線の上部にブラックマトリックスを形成する段階と；前記ドレイン電極と接触する第1透明電極層を形成する段階と；前記画素領域に対応する第1透明電極層上にカラーフィルターを形成すると同時に、前記ゲートパッドの一部とゲート配線の一端に対応して、カラーフィルターと同一物質でカラーフィルターパターンを形成する段階と；前記カラーフィルターとカラーフィルターパターンが形成された基板全面に第2透明電極層を形成する段階と；前記第1及び第2透明電極層をパターンニングして第1及び第2画素電極を形成すると共に、前記ゲートパッドの上部に位置して二重の透明導電性物質で構成され、前記ゲートパッドと接触する二重層のゲートパッド端子と、前記データパッドの上部に位置して二重の透明導電性物質で構成され、前記データパッドと接触する二重層のデータパッド端子と、透明導電性物質で構成された第1及び第2連結電極を含み、前記ゲートパッドと接触して前記ゲート配線と接触する二重層の連結電極を形成する段階とを含むことを特徴とする。

また、本発明による液晶表示装置用アレイ基板は、表示領域、非表示領域、表示領域と非表示領域の間に位置する境界領域で区分された基板と；表示領域の基板上に位置する多数のゲート配線と；非表示領域の基板上に位置する多数のゲートパッドと；基板上の非表示領域と境界領域に掛けて位置し、ゲート配線とゲートパッドを連結する多数のゲートリンク線と；前記ゲート配線と垂直に交差して画素領域を定義する多数のデータ配線と；前記ゲート配線とデータ配線の交差点に位置して、ゲート電極、アクティブ層、ソース電極、ドレイン電極を含む多数の薄膜トランジスタと；前記薄膜トランジスタ、ゲート配線、データ配線の上部に構成されたブラックマトリックスと；前記画素領域に位置するカラーフィルターと；前記非表示領域と境界領域に位置して、ゲートリンク線とゲートリンク線の間の離隔空間に対応するように構成された遮光パターンと；画素領域に位置して薄膜トランジスタのドレイン電極と接触する多数の画素電極と；前記遮光パターンの上部に形成されたシールパターンと；前記シールパターンと前記遮光パターンの間に形成され窒化シリコン及び酸化シリコンのうちのひとつで構成された無機絶縁層とを含むことを特徴とする。

また、本発明による液晶表示装置用アレイ基板は、表示領域、非表示領域、表示領域と非表示領域の間に位置する境界領域で区分された基板と；表示領域の基板上に位置する多数のゲート配線と；非表示領域の基板上に位置する多数のゲートパッドと；基板上の非表示領域と境界領域に掛けて位置して、ゲート配線とゲートパッドを連結する多数のゲート

10

20

30

40

50

リンク線と；前記ゲート配線と垂直に交差して画素領域を定義する多数のデータ配線と；前記ゲート配線とデータ配線の交差点に位置して、ゲート電極、アクティブ層、ソース電極、ドレイン電極を含む多数の薄膜トランジスタと；前記薄膜トランジスタ、ゲート配線、データ配線の上部に構成されたブラックマトリックスと；前記画素領域に位置するカラーフィルターと；前記非表示領域と境界領域に位置して、ゲートリンク線とゲートリンク線との間の離隔空間に対応するように構成された遮光パターンと；前記ブラックマトリックスと遮光パターンの上部に構成された第1無機絶縁膜と；画素領域に位置して薄膜トランジスタのドレイン電極と接触する多数の画素電極と、前記第1無機絶縁膜の上部に構成されたシールパターンとを含むことを特徴とする。

【発明の効果】

10

【0023】

本発明によるCOT構造の液晶表示装置は、アレイ基板にブラックマトリックスを設計する時、合着誤差による合着マージンをおく必要がないので、開口率が改善する効果がある。また、ゲートパッドがデータラインと同じ物質で、同じ工程により形成して、前記カラーフィルターをパターニングする薬液により腐食される不良を防げる効果もある。また、パッド部分で再作業(Rework)工程が手軽にできるため、費用の節減による収率が改善する効果がある。

【0024】

また、本発明では、基板の外周領域から発生する光漏れを遮るため、前記ゲートパッドとゲート配線を連結するゲートリンク線が構成された領域に遮光パターンを形成して液晶表示装置の外周で光漏れ現象を防げる。従って、高画質の液晶表示装置が製作できる長所がある。また、前記リンク線が通る領域は、上部基板と下部基板を合着するシールパターンが印刷される領域のために、前記遮光パターンの上部に無機絶縁膜をさらに形成して、前記印刷されたシールパターンの接触特性を改善させる長所もある。

20

【発明を実施するための最良の形態】

【0025】

以下、添付した図面を参照しながら、本発明による望ましい実施の形態を説明する。

- 第1の実施の形態 -

図3は、本発明による液晶表示装置用アレイ基板の構成を概略的に示した図面である。図示したように、基板100上に一方向へ延長されて一端にゲートパッド122を含むゲート配線102を相互平行に構成して、前記ゲート配線102と垂直に交差して多数の画素領域Pを定義し、一端にデータパッド118を含むデータ配線116を形成する。この時、前記ゲートパッド122は、前記データ配線116及びデータパッド118と同一層同一物質で構成する。

30

【0026】

前記ゲート配線102とデータ配線116の交差点には、ゲート電極104、アクティブ層108、ソース電極112、ドレイン電極114を含む薄膜トランジスタTを構成する。前記ゲート配線102及びデータ配線116が交差して定義される画素領域Pには、ドレイン電極114と接触する二重層の画素電極148、150とカラーフィルター140a、140b、140cを構成する。

40

【0027】

前記画素電極148、150は、透明導電性物質の二重層で構成され、このうちの第1画素電極148は、ドレイン電極114と接触しながらカラーフィルター140a、140b、140cの下部に構成して、第2画素電極は、カラーフィルター140a、140b、140cの上部に構成する。前記第2画素電極150は、前記第1画素電極148を通じてドレイン電極114と間接的に接触する。

【0028】

第1透明画素電極148及び第2透明画素電極150は、ゲート配線102の上部に構成されたストレージキャパシターCstと並列に連結される。ストレージキャパシターCstは、ゲート配線102の上部に構成されて、前記第1画素電極148及び第2画素電極1

50

50と接触するアイランド状のストレージ金属層120を第1電極として、その下部のゲート配線102を第2電極とする。

【0029】

COT構造は、図示したように、前記薄膜トランジスタTアレイ部の上部にブラックマトリックス128と、赤色、緑色、青色のカラーフィルター140a、140b、140cが構成される。

【0030】

ブラックマトリックス128は、非表示領域を遮る役割をして、ゲート配線102及びデータ配線116と薄膜トランジスタTの上部にこれらの構成要素に対応して構成する。前記ブラックマトリックス128は、不透明な有機物質を塗布して形成され、光を遮断する役割と共に薄膜トランジスタTを保護する保護膜の役割も行う。

【0031】

前述した構成において、前記ゲートパッド122を形成する時、ゲートパッド122は、前記カラーフィルター140a、140b、140cをパターンニングする薬液に強いデータ配線物質で形成してダメージを受けないようにする。このような構造では、前記ゲート配線102とゲートパッド122を連結する二重層の連結電極160、162の間に別途のカラーフィルターパターン142を構成して前記ゲート配線102及びゲートパッド122がカラーフィルターをパターンニングする薬液にダメージを受けないようにする構造である。

【0032】

以下、図4Aないし図4I，図5Aないし図5I，図6Aないし図6Iを参照しながら、本発明の実施の形態による液晶表示装置用アレイ基板の製造方法を説明する。図4Aないし図4I，図5Aないし図5I，図6Aないし図6Iは、各々図3のIV-IV、V-V及びVI-VI線に沿って切断して、本発明の第1の実施の形態による工程順序を順次図示した工程断面図である。図3の切断線IV-IVは、薄膜トランジスタTと画素の切断線であって、V-Vはゲートパッド部の切断線であって、VI-VIはデータパッド部の切断線である。

【0033】

図4A，図5A，図6Aに示したように、基板100上に導電性金属で第1金属層を蒸着して、第1マスク工程でパターンニングし、ゲート配線102とゲート配線102から延長されたゲート電極104を形成する。

【0034】

前記ゲート配線102とゲート電極104が形成された基板100全面に、窒化シリコン(SiN_x)と酸化シリコン(SiO_2)を含む無機絶縁物質グループのうちから選択された一つを蒸着して、第1絶縁層であるゲート絶縁膜106を形成する。

【0035】

前記ゲート絶縁膜106上に、純粋非晶質シリコン(a-Si:H)と不純物を含む非晶質シリコン(SiO_2)を蒸着して、第2マスク工程でパターンニングし、ゲート電極104の上部のゲート絶縁膜106上にアクティブ層108とオーミックコンタクト層110を形成する。

【0036】

図4B，図5B，図6Bに示したように、前記アクティブ層108とオーミックコンタクト層110が形成された基板100全面に、クロム(Cr)またはモリブデン(Mo)で構成された第2金属層を蒸着して、第3マスク工程でパターンニングし、前記オーミックコンタクト層110と接触するソース電極112とドレイン電極114を各々形成し、前記ソース電極112と連結され一端にデータパッド118を含むデータ配線116を形成し、前記ゲート配線102の上部にアイランド状のストレージ金属層120を形成する。前記ゲート配線102の一端に対応してアイランド状のゲートパッド122を形成する。第2金属層をパターンニングした後、ソース電極112及びドレイン電極114を、マスクを利用して、これらの間に現れたオーミックコンタクト層110の一部をエッチングし、下部のアクティブ層108にチャンネル領域を形成する。

【 0 0 3 7 】

前記ソース電極 1 1 2 及びドレイン電極 1 1 4 とデータパッド 1 1 8 を含むデータ配線 1 1 6 とゲートパッド 1 2 2 が形成された基板 1 0 0 全面に、窒化シリコン (SiN_x) と酸化シリコン (SiO_2) を含む無機絶縁物質グループのうちから選択された一つを蒸着して、第 2 絶縁膜 1 2 4 を形成する。ここで、第 2 絶縁膜 1 2 4 の機能は、以後形成される有機膜 (図示せず) と前記アクティブ層 1 0 8 との間に発生できる接触不良を防ぐためである。第 2 絶縁膜 1 2 4 は、以後形成される有機膜と前記アクティブ層 1 0 8 との間に接触不良が発生しないならばあえて形成する必要はない。前述したような工程により、薄膜トランジスタアレイ部を形成する工程が完了する。

【 0 0 3 8 】

図 4 C、図 5 C、図 6 C に示したように、前記第 2 絶縁膜 1 2 4 の上部に誘電率の低い不透明な有機物質を塗布してブラック有機層 1 2 6 を形成する。ブラック有機層 1 2 6 は、光を遮断する機能をして、以後パターンニング工程によりブラックマトリックスになる。

【 0 0 3 9 】

図 4 D、図 5 D、図 6 D に示したように、ブラック有機層 1 2 6 を第 4 マスク工程でパターンニングし、ドレイン電極 1 1 4 を除いた薄膜トランジスタ T、データ配線 1 1 6、ゲート配線 1 0 2 の上部にブラックマトリックス 1 2 8 を形成する。ブラックマトリックス 1 2 8 は、ドレイン電極 1 1 4 の一端を除いた薄膜トランジスタ T の上部及びストレージキャパシター Cst の上部に形成をして薄膜トランジスタ T とストレージキャパシター Cst を保護する役割を行う。

【 0 0 4 0 】

図 4 E、図 5 E、図 6 E に示したように、前記ブラックマトリックス 1 2 8 が形成された基板 1 0 0 全面に、絶縁物質を蒸着して、第 3 絶縁膜 1 3 0 を形成する。前記第 3 絶縁膜 1 3 0 は、窒化シリコン (SiN_x) と酸化シリコン (SiO_2) を含む無機絶縁物質グループのうちから選択された一つを蒸着して形成する。

【 0 0 4 1 】

図 4 F、図 5 F、図 6 F に示したように、前記第 5 マスク工程で前記第 3 絶縁膜 1 3 0、第 2 絶縁膜 1 2 4、ゲート絶縁膜 1 0 6 (第 1 絶縁膜) をエッチングして、前記ドレイン電極 1 1 4 の一側面と、画素領域 P、前記アイランド状のストレージ金属層 1 2 0 の一側面を露出すると同時に、ゲートパッド 1 2 2 とデータパッド 1 1 8 を露出する第 1 コンタクトホール 1 3 2 及び第 2 コンタクトホール 1 3 4 を形成する。また、前記ゲートパッド 1 2 2 と近接しているゲート配線 1 0 2 の一端を露出する第 3 コンタクトホール 1 3 6 を形成する。

【 0 0 4 2 】

図 4 G、図 5 G、図 6 G に示したように、前記パターンニングされた第 3 絶縁膜 1 3 0 が形成された基板 1 0 0 全面に、前述したようなインジウム - スズ - オキサイド (ITO) とインジウム - ジンク - オキサイド (IZO) を含む透明な導電性金属を蒸着して、第 1 透明電極層 1 3 8 を形成する。前記第 1 透明電極層 1 3 8 が形成された基板 1 0 0 全面に、カラー樹脂を塗布して、多数の画素領域 P に赤色、緑色、青色のカラーフィルター 1 4 0 a, 1 4 0 b, 図 3 の 1 4 0 c を各々形成する。この時、前記ゲート配線 1 0 2 を露出する第 3 コンタクトホール 1 3 6 に対応する上部に別途のカラーフィルターパターン 1 4 2 を形成させる。

【 0 0 4 3 】

図 4 H、図 5 H、図 6 H に示したように、前記画素領域 P に対応するカラーフィルター 1 4 0 a, 1 4 0 b, 図 3 の 1 4 0 c 及び前記ゲート配線 1 0 2 の一端に対応するカラーフィルターパターン 1 4 2 が形成された基板 1 0 0 全面に、第 2 透明電極層 1 4 6 を形成する。

【 0 0 4 4 】

図 4 I、図 5 I、図 6 I に示したように、前記第 1 透明電極層 1 3 8 と第 2 透明電極層 1 4 6 を第 6 マスク工程でパターンニングする。このようなパターンニングは、前記ドレイン

10

20

30

40

50

電極 1 1 4 及びアイランド状のストレージ金属層 1 2 0 と接触して、画素領域 P に対応する第 1 画素電極 1 4 8 を形成し、前記第 1 画素電極 1 4 8 とカラーフィルター 1 4 0 a , 1 4 0 b , 1 4 0 c を間に接触して構成された第 2 画素電極 1 5 0 を形成する。

【 0 0 4 5 】

前記ゲートパッド 1 2 2 と接触する第 1 ゲートパッド端子 1 5 2 及び第 2 ゲートパッド端子 1 5 4 と、前記ゲートパッド 1 2 2 とゲート配線 1 0 2 に同時に接触しながら、カラーフィルターパターン 1 4 2 が介在された第 1 連結電極 1 6 0 及び第 2 連結電極 1 6 2 と、前記データパッド 1 1 8 と接触する第 1 データパッド端子 1 5 6 及び第 2 データパッド端子 1 5 8 を形成する。

【 0 0 4 6 】

前記第 1 連結電極 1 6 0 及び第 2 連結電極 1 6 2 の間にカラーフィルターパターン 1 4 2 を形成しない場合は、カラーフィルターをパターニングする薬液により前記第 1 連結電極 1 6 0 及び第 2 連結電極 1 6 2 とゲート配線 1 0 2 の間にガルバニック現象が発生して、前記ゲート配線 1 0 2 が腐食される問題がある。

【 0 0 4 7 】

前述したような工程により本発明の第 1 の実施の形態による C O T 構造の液晶表示装置用アレイ基板が製作でき、前記ゲートパッドをデータ配線物質と同一な物質、つまり、クロム (C r) またはモリブデン (M o) で形成することで、前記ゲートパッドは前記カラーフィルターをパターニングする薬液によりダメージを受けない長所がある。また、前述した工程は、カラーフィルターパターンを形成するマスク工程を除いて大略 6 マスク工程で製作される。

【 0 0 4 8 】

以下、第 2 の実施の形態は、前述した構成を、カラーフィルターパターンを形成するマスク工程を除いて第 5 マスク工程で製作できる方法を提案する。

- - 第 2 の実施の形態 - -

本発明の第 2 の実施の形態は、前述した薄膜トランジスタアレイ部の製造工程で、前記ソース電極及びドレイン電極と、アクティブ層を同時にパターニングして、C O T 構造の液晶表示装置用アレイ基板を製作する方法を提案する。

【 0 0 4 9 】

図 7 は、本発明の第 2 の実施の形態による C O T 構造の液晶表示装置用アレイ基板の構成を概略的に示した平面図である。図示したように、基板 2 0 0 上に一方向へ延長されるゲート配線 2 0 2 を相互平行に構成して、前記ゲート配線 2 0 2 と垂直に交差して多数の画素領域 P を定義して一端にデータパッド 2 3 0 を含むデータ配線 2 2 4 を構成する。ゲート配線 2 0 2 の一端の外側には、ゲートパッド 2 3 2 が形成されていて、前記ゲートパッド 2 3 2 は、前記データ配線 2 2 4 と同一工程で同一層同一物質に形成される。

【 0 0 5 0 】

前記ゲート配線 2 0 2 とデータ配線 2 2 4 の交差点には、ゲート電極 2 0 4 、アクティブ層 2 3 6 a 、ソース電極 2 4 6 、ドレイン電極 2 4 8 を含む薄膜トランジスタ T を構成する。この時、前記ソース電極 2 4 6 及びドレイン電極 2 4 8 とアクティブ層 2 3 6 a は、同一工程で同時に形成され、この場合には、図示したように、必然的に前記データ配線 2 2 4 、ソース電極 2 4 6 及びドレイン電極 2 4 8 、ゲートパッド 2 3 2 の周辺に非晶質シリコン層 2 3 4 a , 2 3 6 a , 2 4 0 a が露出される形状になる。

【 0 0 5 1 】

前記ゲート配線 2 0 2 とデータ配線 2 2 4 が交差して定義される画素領域 P には、ドレイン電極 2 4 8 と接触する二重層の透明画素電極 2 7 2 、2 7 4 とカラーフィルター 2 6 6 a , 2 6 6 b , 2 6 6 c を構成する。前記透明画素電極 2 7 2 、2 7 4 は、透明導電性物質の二重層で構成され、このうちの第 1 画素電極 2 7 2 は、ドレイン電極 2 4 8 と接触しながらカラーフィルター 2 6 6 a , 2 6 6 b , 2 6 6 c の下部に構成して、第 2 画素電極 2 7 4 は、カラーフィルター 2 6 6 a , 2 6 6 b , 2 6 6 c の上部に構成する。前記第 2 画素電極 2 7 4 は、前記第 1 画素電極 2 7 2 を通じてドレイン電極 2 4 8 と間接的に接

10

20

30

40

50

触する。

【 0 0 5 2 】

第 1 電極 2 7 2 及び第 2 電極 2 7 4 は、ゲート配線 2 0 2 の上部に構成されたストレージキャパシター Cst と並列に連結される。ストレージキャパシター Cst は、ゲート配線 2 0 2 の一部を第 1 電極として、前記第 1 透明電極 2 7 2 及び第 2 透明電極 2 7 4 と連結され、前記ソース電極 2 4 6 及びドレイン電極 2 4 8 と同一層同一物質で形成されたアイランド状のストレージ金属層 2 2 8 を第 2 電極とする。この時、前記アイランド状のストレージ金属層 2 2 8 も周辺に非晶質シリコン層 2 3 8 a が露出される形状になる。

【 0 0 5 3 】

COT 構造は、図示したように、前記薄膜トランジスタ T アレイ部の上部にブラックマトリックス 2 5 4 と、赤色、緑色、青色のカラーフィルター 2 6 6 a、2 6 6 b、2 6 6 c が構成される。ブラックマトリックス 2 5 4 は、非表示領域を遮る役割をして、ゲート配線 2 0 2 及びデータ配線 2 2 4 と薄膜トランジスタ T の上部に対応して構成する。前記ブラックマトリックス 2 5 4 は、不透明な有機物質を塗布して形成され、光を遮断する役割と共に薄膜トランジスタ T を保護する保護膜の役割も行う。

【 0 0 5 4 】

以下、図 8 A ないし図 8 M、図 9 A ないし図 9 M、図 1 0 A ないし図 1 0 M を参照しながら、本発明の第 2 の実施の形態による液晶表示装置用アレイ部とカラーフィルター部の製造工程を説明する。図 8 A ないし図 8 M、図 9 A ないし図 9 M、図 1 0 A ないし図 1 0 M は、各々図 7 の VIII - VIII、IX - IX 及び X - X 線に沿って切断して、本発明の第 2 の実施の形態による工程順序を順次図示した工程断面図である。各工程のパターニングなどは、フォトリソグラフィ工程を必ず経て行なわれ、本発明では、第 2 マスク工程だけを具体的に記述する。

【 0 0 5 5 】

図 8 A、図 9 A、図 1 0 A に示したように、基板 2 0 0 上に薄膜トランジスタ領域 T、画素領域 P、データ領域 D（データ配線とデータパッドを含む）、ストレージ領域 S、ゲートパッド領域 G を定義する。前記多数の領域 D、P、T、G が定義された基板 2 0 0 全面に導電性金属を蒸着して第 1 金属層を形成し、第 1 マスク工程でパターニングしてゲート配線 2 0 2 とゲート電極 2 0 4 を形成する。

【 0 0 5 6 】

図 8 B、図 9 B、図 1 0 B に示したように、前記ゲート配線 2 0 2 とゲート電極 2 0 4 が形成された基板 2 0 0 全面に、窒化シリコン（ SiN_x ）と酸化シリコン（ SiO_2 ）を含む無機絶縁物質グループのうちから選択された一つを蒸着して、第 1 絶縁層であるゲート絶縁膜 2 0 8 を形成する。

【 0 0 5 7 】

前記ゲート絶縁膜 2 0 8 上に、純粋非晶質シリコン層（a-Si:H）、不純物を含む非晶質シリコン（ SiO_2 ）、第 2 金属層を順序に形成する。前記第 2 金属層の上部にフォトリソグラフィを塗布して PR 層 2 1 6 を形成する。この時、前記第 2 金属層は、クロム（Cr）、モリブデン（Mo）、銅（Cu）、タングステン（W）、チタン（Ti）、アルミニウム（Al）、アルミニウム合金（AlNd）を含む導電性金属グループのうちから選択された一つで形成する。

【 0 0 5 8 】

前記基板 2 0 0 と離隔された上部に透過部 M 1、遮断部 M 2、半透過部 M 3 で構成されたマスク M を位置させる。この時、前記遮断部 M 2 は、データ領域 D、ゲートパッド領域 G、薄膜トランジスタ領域 T、ストレージ領域 S に対応して、前記半透過部 M 3 は、前記薄膜トランジスタ領域 T の一部のゲート電極 2 0 4 に対応して、前記透過部 M 1 は、画素領域 P に対応するように構成する。

【 0 0 5 9 】

前記マスク M の上部へ光を照射して下部の PR 層 2 1 6 を露光して現像すると、図 8 C、図 9 C、図 1 0 C に示したように、前記薄膜トランジスタ領域 T に対応する領域には、

10

20

30

40

50

高さが低い第1PRパターン220aが残り、前記データ領域D、ストレージ領域S、ゲートパッド領域Gには元々塗布された高さそのままの第2PRパターン220bが残る。

【0060】

前記薄膜トランジスタ領域Tに対応して部分の第1PRパターン220aの高さが低い理由は、前記マスク(図6BのM)の半透過部M3に対応した部分が上部から一部だけ露光して現像されたからである。

【0061】

前記パターニングされた第1PR層220a及び第2PR層220bの間に露出された下部の第2金属層214、不純物非晶質シリコン層212、純粋非晶質シリコン層210を除去する工程を行う。このような工程の結果として、図8D、図9D、図10Dに示したように、前記パターニングされた第1PR層220a及び第2PR層220bの下部に構成されて、前記データ領域Dに対応して一端にデータパッド230を含むデータ配線224と、前記データ配線224から延長されて前記薄膜トランジスタ領域Tに構成されたソース・ドレイン電極層226と、前記ストレージ領域Sに形成されたアイランド状のストレージ金属層228と、前記ゲートパッド領域Gにアイランド状のゲートパッド232が形成される。

【0062】

前記データ配線224とデータパッド230の下部には第1半導体パターン234が構成され、第1半導体パターン234で前記ソース・ドレイン電極層226の下部まで延長された第2半導体パターン236が構成され、前記アイランド状のストレージ金属層228の下部には第3半導体パターン238が構成され、前記ゲートパッド232の下部に第4半導体パターン240が構成される。

【0063】

各々はパターニングされた純粋非晶質シリコン層234a、236a、238a、240aと不純物非晶質シリコン層234b、236b、238b、240bが積層された形状である。

【0064】

図8E、図9E、図10Eに示した図面は、薄膜トランジスタにアクティブチャンネル層を露出するための前段階のPRパターンをエッチングする除灰工程を現した図面である。前記マスクの半透過部(図8BのM3)に対応して一部だけ露光された部分は、以後形成されるアクティブチャンネルに対応する部分Eであって、これを除去するための除灰工程を行う。前記除灰工程は一種の乾式エッチング工程と同じで、前記アクティブチャンネル層に対応する部分EのPRパターンの高さほどPRパターンが全体的に除去され低くなる。

【0065】

前記除灰工程を通じて全体的に低くなったPRパターン242の周辺Fに前記データパッド230を含むデータ配線224、ソース・ドレイン電極層226、アイランド状のストレージ金属層228、ゲートパッド232の一部が露出される現象が必然的に発生する。

【0066】

前記PRパターンの除灰工程が終了すると、前記アクティブチャンネル層Eに対応して露出されたソース・ドレイン電極層226と、その下部の非晶質シリコン層236bを除去する工程を進めて、前記残ったPRパターニングを除去する。この時、前記除灰工程後、残ったPRパターン242の周辺Fに露出された金属層とその下部の不純物非晶質シリコン層234b、236b、238b、240bも除去される。

【0067】

このような工程が完了すると、結果的に、図8F、図9F、図10Fに示したように、前記薄膜トランジスタ領域Tに対応して相互に所定間隔離隔されてアクティブチャンネル層を露出するソース電極246、ドレイン電極248、ソース電極から延長されて一端にデータパッド230を含むデータ配線224、前記ゲート配線202の一端に近接して構

10

20

30

40

50

成されたゲートパッド 232、前記ゲート配線 202 の一部上部にはアイランド状のストレージ金属層 228 を形成する。

【0068】

前記各金属層の構成要素の周辺には、必然的に純粋非晶質シリコン層 234a、236a、238a、240a が露出された形状になる。この時、前記薄膜トランジスタ領域 T に対応して構成された純粋非晶質シリコン層 236a をアクティブ層、その上部の不純物非晶質シリコン層 236b をオーミックコンタクト層と称する。

【0069】

以上のように、図 8A ないし図 8F、図 9A ないし図 9F、図 10A ないし図 10F を通じた第 1 マスク工程及び第 2 マスク工程により薄膜トランジスタアレイ部を形成する工程が完了した。

10

【0070】

次に、図 8G、図 9G、図 10G に示したように、前記ソース電極 246 及びドレイン電極 248、データ配線 224、データパッド 230 及びゲートパッド 232 が形成された基板 200 全面に窒化シリコン (SiN_x) と酸化シリコン (SiO_2) を含む無機絶縁物質グループのうちから選択された一つを蒸着して、第 2 絶縁膜 250 を形成する。この時、第 2 絶縁膜 250 の機能は、以後形成される有機膜 (ブラックマトリックス) と前記アクティブ層 236a の間に発生する接触不良を防止するための機能をする。

【0071】

前記第 2 絶縁膜 250 の上部に誘電率が低い不透明な有機物質を塗布してブラック有機層 252 を形成し、第 3 マスク工程でパターニングする。このようなパターニングの結果として、図 8H、図 9H、図 10H に示したように、前記薄膜トランジスタ領域 T、データ配線 224、ゲート配線 202 及びアイランド状のストレージ金属層 228 の一部だけを遮るようにパターニングされたブラックマトリックス 254 を形成する。前記ブラックマトリックス 254 は、ドレイン電極 248 の一端を遮らないように構成される。

20

【0072】

図 8I、図 9I、図 10I に示したように、前記ブラックマトリックス 254 が形成された基板 200 全面に、絶縁物質を蒸着して第 3 絶縁膜 256 を形成する。前記第 3 絶縁膜 256 は、窒化シリコン (SiN_x) と酸化シリコン (SiO_2) を含む無機絶縁物質グループのうちから選択された一つを蒸着して形成する。

30

【0073】

図 8J、図 9J、図 10J に示したように、第 4 マスク工程で前記第 3 絶縁膜 256、第 2 絶縁膜 250、ゲート絶縁膜 208 をエッチングして、前記ドレイン電極 248 の一側と、画素領域 P、前記アイランド状のストレージ金属層 228 の一側と、ゲートパッド 232 の一部を露出する。また、多数の第 1 コンタクトホール 258 と、前記データパッドの一部を露出する第 2 コンタクトホール 260 と、前記ゲート配線 202 の一端を露出する第 3 コンタクトホール 262 を形成する工程を行う。

【0074】

図 8K、図 9K、図 10K に示したように、前記パターニングされた第 3 絶縁膜 256 が形成された基板 200 全面に、前述したようなインジウム - スズ - オキサイド (ITO) とインジウム - ジンク - オキサイド (IZO) を含む透明な導電性金属を蒸着して第 1 透明電極層 264 を形成する。

40

【0075】

前記第 1 透明電極層 264 が形成された基板 200 全面に、カラー樹脂を塗布して、多数の画素領域 P に赤色、緑色、青色のカラーフィルター 266a、266b、266c を各々形成する。この時、前記ゲートパッド 232 に対応する第 1 コンタクトホール (図 9J の 258) とゲート配線の一端に形成された第 3 コンタクトホール 262 の上部に別途のカラーフィルターパターン 268 を形成する。

【0076】

図 8I、図 9I、図 10I に示したように、前記多数のカラーフィルター 266a、2

50

66b、266cが形成された基板200全面に、前述した第1透明電極層264のような物質を蒸着して第2透明電極層270を形成する。

【0077】

図8M、図9M、図10Mに示したように、前記第2透明電極層270とその下部の第1透明電極層264を同時に第5マスク工程でパターニングし、前記画素領域Pに対応して二重層の画素電極272、274を形成し、前記ゲートパッド232に対応して二重層のゲートパッド端子276、278を形成し、前記データパッド230に対応して二重層のデータパッド端子280、282を形成し、前記ゲートパッド232とゲート配線202を連結して内部にカラーフィルターパターン268が介在された連結電極284、286を形成する。

10

【0078】

前述したような工程により、本発明の第2の実施の形態によるCOT構造の液晶表示装置用アレイ基板が製作でき、前記ゲートパッドをデータ配線物質と同一物質であるクロム(Cr)またはモリブデン(Mo)で形成することで、前記ゲートパッドは、前記カラーフィルターをパターニングする薬液によりダメージを受けない長所がある。

【0079】

前述した工程は、前記カラーフィルターパターンを形成するマスク工程を除いて大略5マスク工程で製作される。また、前述した第1の実施の形態及び第2の実施の形態によりCOT構造の液晶表示装置用アレイ基板を製作すると、前記ゲートパッドにカラーフィルターパターンが直接残存しないため、この部分では駆動素子を付着したり外すような再作業(Rework)工程が手軽にできる。従って、修理がし易いので、費用を節減して収率が改善する効果がある。

20

【0080】

本発明では、カラーフィルターとブラックマトリックスを下部基板に構成するCOT構造が提案された。このような下部基板の外郭部について以下説明する。

【0081】

図11は、COT構造の液晶表示装置用アレイ基板の外郭部の構造を概略的に示した平面図である。図示したように、基板350上に一方向へ延長されて一端にゲートリンク線354と、これに連結されたゲートパッド356を含むゲート配線352を相互平行に構成して、前記ゲート配線352と垂直に交差して多数の画素領域Pを定義して一端にはデータリンク線(図示せず)と、これに連結されたデータパッド(図示せず)を含むデータ配線358を形成する。以下、ゲートパッド部について説明し、便宜上、データパッド部の説明は省略する。ここで、前記ゲートパッド356には、アイランド状のゲートパッド端子353が別途に構成される。このゲートパッド端子353は、外部の駆動回路で連結されて駆動回路の信号が印加される。

30

【0082】

前記ゲート配線352とデータ配線358の交差点には、ゲート電極360、アクティブ層362、ソース電極364及びドレイン電極366を含む薄膜トランジスタTを構成する。便宜上、符号が表記される薄膜トランジスタに対応するブラックマトリックスは表記しない。前記ゲート配線352とデータ配線364が交差して定義される画素領域Pには透明な画素電極368を構成する。

40

【0083】

前述した構成において、前記薄膜トランジスタ、ゲート配線352、データ配線364に対応する上部にはブラックマトリックス370を形成し、前記画素電極368の上部には各画素領域Pごとに赤色、緑色、青色のカラーフィルター372a、372b、372cを構成する。前述したような構成は、一般的なCOT構造の液晶表示装置用アレイ基板の平面構成である。

【0084】

前述したような構成において、薄膜トランジスタTと画素電極368が形成された領域を表示領域A1と称し、前記ゲートリンク線354とゲートパッド356が形成された領

50

域を非表示領域 A 2 と称し、表示領域 A 1 と非表示領域 A 2 の境界部分を境界領域 A 3 と称する。一般的に境界領域 A 3 では光漏れが観察される。

【 0 0 8 5 】

以下、図 1 2 を参照しながら、前述したように構成されたアレイ基板の外郭領域に当たる液晶表示装置の形状を説明する。図 1 2 は、図 1 1 のXII - XII線に沿って切断して、COT構造の液晶表示装置の外郭部を拡大図示した断面図である。図示したように、COT構造の液晶表示装置 9 0 は、第 1 基板 3 5 0 と第 2 基板 3 9 2 がシールパターン (sealant) 3 9 4 により付着して構成され、前記シールパターン 3 9 4 の外部ヘゲートパッド 3 5 6 と、これに接触するゲートパッド端子 3 5 3 が露出される。

【 0 0 8 6 】

前記第 1 基板 3 5 0 及び第 2 基板 3 9 2 の外部へ各々偏光軸が相互垂直に交差する第 1 偏光板 3 9 6 a 及び第 2 偏光板 3 9 6 b が構成され、外廓から第 1 基板 3 5 0 及び第 2 基板 3 9 2 の周辺を覆うトップカバー (top cover) 3 9 8 が位置する。この時、前記第 1 基板 3 5 0 には、図示してはないが、薄膜トランジスタアレイ部 (図示せず) と、この上部にカラーフィルター 3 7 2 a、3 7 2 b、3 7 2 c とブラックマトリックス 3 7 0 が構成され、前記第 2 基板 3 9 2 には透明共通電極 3 9 9 が構成される。

【 0 0 8 7 】

前述した構成において、前記液晶パネル 3 9 0 の表示領域 A 1、非表示領域 A 2、境界領域 A 3 でほんの少しの光漏れが発生して、画質を落とす問題がある。このような問題点を解決するため、本発明では図 1 3 以下で説明するような COT 構造のアレイ基板を提案する。

【 0 0 8 8 】

図 1 3 は、本発明による COT 構造の液晶表示装置用アレイ基板の外廓部の構成を概略的に示した平面図であって、基板外廓の光漏れ領域に遮光パターンを構成することを特徴とする。図示したように、基板 4 0 0 上に一方向へ延長されて一端にゲートリンク線 4 0 4 と、これに連結されたゲートパッド 4 0 6 を含むゲート配線 4 0 2 を相互平行に構成し、前記ゲート配線 4 0 2 と垂直に交差して一端にデータリンク線 (図示せず) と、これに連結されたデータパッド (図示せず) を含むデータ配線 4 1 0 を構成する。

【 0 0 8 9 】

前記ゲート配線 4 0 2 とデータ配線 4 1 0 の交差点には、ゲート電極 4 1 2、アクティブ層 4 1 4、ソース電極 4 1 6 及びドレイン電極 4 1 8 を含む薄膜トランジスタ T を構成する。説明の便宜上、符号が表記される薄膜トランジスタに対応する部分のブラックマトリックスは表記しない。前記ゲート配線 4 0 2 及びデータ配線 4 1 0 が交差して定義される領域 P には、透明な画素電極 4 2 4 を構成する。

【 0 0 9 0 】

前述した構成において、前記薄膜トランジスタ T、ゲート配線 4 0 2、データ配線 4 1 0 の上部にブラックマトリックス 4 2 2 を形成して、前記画素電極 4 2 4 の下部には各画素領域 P ごとに赤色、緑色、青色のカラーフィルター 4 2 0 a、4 2 0 b、4 2 0 c を構成する。前記画素電極 4 2 4 は、前述したように、二重層で構成されて、この時、前記カラーフィルター 4 2 0 a、4 2 0 b、4 2 0 c は、二重層の画素電極の間に介在された形状である。

【 0 0 9 1 】

前記ゲート配線 4 0 2 とゲートパッド 4 0 6 を連結するゲートリンク線 4 0 4 が通る領域 F に対応して全面的に遮光パターン 4 2 6 を形成する。前記遮光パターン 4 2 6 は、前記表示領域 A 1 に構成されたブラックマトリックス 4 2 2 を形成する工程と同一工程で構成したり、カラーフィルター 4 2 0 a、4 2 0 b、4 2 0 c を形成する工程で構成する。

【 0 0 9 2 】

前記カラーフィルターを利用する場合には、二つの色以上のカラーフィルターを積層して構成したり、各カラーフィルターを形成するカラー樹脂を混合して使用する。ここで、前記遮光パターンは以下、図 1 4 A と 1 4 B に図示したような形状で構成される。

10

20

30

40

50

【 0 0 9 3 】

図 1 4 A、図 1 4 B は、図 1 3 のXIV - XIV線に沿って切断した断面図である。図 1 4 A に示したように、ゲートパッド (図 1 3 の 4 0 6) とゲート配線 (図 1 3 の 4 0 2) を連結するゲートリンク線 4 0 4 が所定間隔離隔されて構成され、前記リンク線 4 0 4 が構成された基板 4 0 0 全面に絶縁膜 4 2 8 が構成される。この時、前記絶縁膜 4 2 8 は、一層以上で構成されたり、二層で構成される。二層で構成される場合には、その物質が相互に違うこともある。

【 0 0 9 4 】

前記絶縁膜 4 2 8 の上部には、前記ゲートリンク線 4 0 4 と離隔領域 F に対応して全面的に遮光パターン 4 2 6 が構成される。この時、前記遮光パターン 4 2 6 は、光を遮断する目的で構成されたため、図 1 4 B に示したように、前記ゲートリンク線 4 0 4 の間領域 F に対応する部分にだけ前記遮光パターン 4 2 6 が構成される場合もある。

【 0 0 9 5 】

前述したように、前記液晶パネルの外廓の光漏れ領域に対応する各配線とパッドを連結する間領域に対応して遮光パターン 4 2 6 を構成すると光漏れ現象を防げて高画質の液晶表示装置が製作される長所がある。ところが、前述した構成において、前記遮光パターン 4 2 6 が形成される部分は、第 1 基板及び第 2 基板を合着するための接着手段であるシールパターンが印刷される領域である。

【 0 0 9 6 】

前記シールパターンは、有機膜または樹脂膜と界面特性が良くないため、浮き上がる不良が発生し易いので、前記遮光パターン 4 2 6 はブラックマトリックスまたはカラーフィルタと同一に有機物質または樹脂で形成されるために、シールパターンが浮き上がる不良が発生し易い。このため、前述したような構造より新たに改善された例を以下、図面により説明する。

【 0 0 9 7 】

図 1 5 は、本発明のまた他の実施の形態による C O T 構造の液晶表示装置用アレイ基板の構成と本発明による遮光パターンを概略的に示した平面図である。図 1 5 に示した構成においては、基板外廓の光漏れ領域に遮光パターンを構成して、遮光パターンの上部に無機絶縁膜を形成することを特徴とする。

【 0 0 9 8 】

図示したように、基板 5 0 0 上に一方向へ延長されて一端にゲートリンク線 5 0 4 と、これに連結されたゲートパッド 5 0 6 を含むゲート配線 5 0 2 を相互平行に構成し、前記ゲート配線 5 0 2 と垂直に交差して一端にデータリンク線 (図示せず) と、これに連結されたデータパッド (図示せず) を含むデータ配線 5 1 0 を構成する。

【 0 0 9 9 】

前記ゲート配線 5 0 2 とデータ配線 5 1 0 の交差点にはゲート電極 5 1 2、アクティブ層 5 1 4、ソース電極 5 1 6 及びドレイン電極 5 1 8 を含む薄膜トランジスタ T を構成する。前記ゲート配線 5 0 2 及びデータ配線 5 1 0 が交差して定義される領域 P には、透明な画素電極 5 2 4 を構成する。

【 0 1 0 0 】

前述した構成において、前記薄膜トランジスタ T、ゲート配線 5 0 2、データ配線 5 1 0 の上部にブラックマトリックス 5 2 2 を形成して、前記画素電極 5 2 4 の下部には各画素領域 P ごとに赤色、緑色、青色のカラーフィルタ 5 2 0 a、5 2 0 b、5 2 0 c を構成する。前記ゲート配線 5 0 2 とゲートパッド 5 0 6 を連結するゲートリンク線 5 0 4 が通る領域に対応して全面的に遮光パターン 5 2 6 を形成する。前記遮光パターン 5 2 6 は、前記表示領域 A 1 に構成されたブラックマトリックス 5 2 2 を形成する工程と同一な工程で構成したり、前述したように、カラーフィルタ 5 2 0 a、5 2 0 b、5 2 0 c を形成する工程で形成する。

【 0 1 0 1 】

前記遮光パターン 5 2 6 の上部には無機絶縁膜 5 2 8 が形成されて、前記無機絶縁膜 5

10

20

30

40

50

28の上部にはシールパターン530を形成する。この時、前記無機絶縁膜528は前記遮光パターン526と同一面積で構成する。

【0102】

前述したような構成において、前記シールパターン530が位置する部分Hは、多様に構成されて、以下、図16A、図16B及び図17の図面を参照しながら説明する。図16A、図16Bは、図15のXVI-XVI線に沿って切断した断面図であって、図17は、COT構造の液晶表示装置用アレイ基板に本発明による遮光パターンの変形例を現した断面図である。

【0103】

図16Aに示したように、基板500上にゲート配線(図15の502)とゲートパッド(図15の506)を連結するゲートリンク線504を相互離隔して多数構成し、前記ゲートリンク線504が構成された基板500全面に絶縁膜532を形成させる。前記絶縁膜532は、前述したように、一層または二層以上で構成されて、二層以上で構成される場合には、相互に違う絶縁物質を使用する。

【0104】

前記ゲートリンク線504に対応する絶縁膜532の上部には、遮光パターン526を形成し、前記遮光パターン526は前記ゲートリンク線504と、その離隔領域Fの全面に対応して形成する。前記遮光パターン526は、表示領域(図15のA1)に形成されるブラックマトリックスとカラーフィルタを形成する工程で構成されて、前記カラーフィルタを利用する場合には、赤色、緑色、青色のカラー樹脂を積層して形成する。

【0105】

前記遮光パターン526の上部には無機絶縁膜528を形成するが、これは一般的に窒化シリコン(SiN_x)と酸化シリコン(SiO_2)を使用して形成する。前記遮光パターン526を前記ゲートリンク線504の上部と、その離隔領域Fに対応して全面に形成できて、図示したように、前記ゲートリンク線504の間領域Fにだけ対応して形成することもできる。

【0106】

以下、図16Bは、図16Aの構成を変形させた例であって、前記シールパターン530の接触領域を広げるための断面構成を提案する。図16Bに示したように、基板500上にゲート配線(図15の502)とゲートパッド(図15の506)を連結するゲートリンク線504を相互に離隔して多数を構成し、前記ゲートリンク線504が構成された基板500全面に絶縁膜532を形成させる。前記絶縁膜532は、前述したように、一層または、二層以上で構成されて、二層以上で構成される場合には、相互に違う絶縁物質を使用する。

【0107】

絶縁膜532をパターンニングして、前記ゲートリンク線504に対応する部分をエッチングして、下部のゲートリンク線504を一部露出する工程を行う。前記ゲートリンク線504の離隔領域Fに対応する絶縁膜532の上部に、遮光パターン526を形成する。この時、遮光パターン526は、表示領域(図15のA1)に形成されるブラックマトリックス(図15の522)とカラーフィルタ(図15の520a、520b、520c)を形成する工程で構成され、前記カラーフィルタを利用する場合には、赤色、緑色、青色のカラーフィルタを積層したり、カラー樹脂を混合して形成する。前記遮光パターン526と露出されたゲートリンク線504の上部に窒化シリコン(SiN_x)と酸化シリコン(SiO_2)を蒸着して無機絶縁膜528を形成する。また、前記無機絶縁膜528の上部に印刷方法によりシールパターンが形成される。

【0108】

前述したような構成は、前記ゲートリンク線504に対応する絶縁膜532をエッチングして前記シールパターン530の接触領域を広げる構成であって、これはシールパターンの接触特性をさらに改善する長所がある。

【0109】

図 17 はまた他の例であって、基板 500 上にゲート配線 (図 15 の 502) とゲートパッド (図 15 の 506) を連結するゲートリンク線 504 を相互に離隔して多数を構成し、前記ゲートリンク線 504 が構成された基板 500 全面に絶縁膜 532 を形成させる。前記絶縁膜 532 は、前述したように、一層または二層以上で構成されて、二層以上で構成される場合には、相互に違う絶縁物質を使用する。

【0110】

絶縁膜 532 をパターニングして、前記ゲートリンク線 504 に対応する部分をエッチングして、下部のゲートリンク線 504 を一部露出する工程を行う。前記ゲートリンク線 504 の離隔領域 F に対応する絶縁膜 532 の上部に、遮光パターン 526 を形成する。この時、遮光パターン 526 は、表示領域に形成されるブラックマトリックスとカラーフ
10
ィルターを形成する工程で構成されて、前記カラーフィルターを利用する場合には、赤色、緑色、青色のカラー樹脂を積層して形成する。前記遮光パターン 526 の上部に印刷方法によりシールパターンが形成される。

【0111】

前述したような構成は、前記ゲートリンク線 504 に対応する絶縁膜 532 をエッチングして前記シールパターン 530 の接触領域を広げる構成であって、図 16 B の構成と違って無機絶縁膜を省略したが、これはまた、シールパターンの接触特性をさらに改善する長所がある。前述したような構成で、本発明による COT 構造の外廓構造が形成される。
20

【0112】

前述したようなアレイ基板の外廓部の構成は、以下、図 18 A ないし図 18 C に示したような薄膜トランジスタアレイ部の構成を適用する。図 18 A ないし図 18 C は、図 15 の XVIII - XVIII 線に沿って切断した薄膜トランジスタと画素電極を概略的に示した断面図である。

【0113】

図 18 A に示したように、基板 500 上にゲート電極 512 が形成され、ゲート電極 512 の上部にはゲート絶縁膜 532 を形成する。ゲート電極 512 に対応するゲート絶縁膜 532 の上部には、アクティブ層 514 とオーミックコンタクト層 515 を積層して、前記オーミックコンタクト層 515 の上部には、前記オーミックコンタクト層 515 と接
30
触しながら所定間隔離されたソース電極 516 及びドレイン電極 518 を形成する。

【0114】

前記ソース電極 516 及びドレイン電極 518 が形成された基板 500 全面には、前記アクティブ層 514 を保護するために無機絶縁物質で保護膜 533 を形成する。前記画素領域 P の保護膜 533 の上部には、カラーフィルター 520 a , 520 b を画素領域 P に対応するように形成する。

【0115】

前記薄膜トランジスタ T の上部にブラックマトリックス 522 を形成する。前記カラーフィルター 520 a , 520 b とブラックマトリックス 522 を形成する工程の途中、前述したように、外廓領域のゲートリンク線 (図 15 の 504) に対応する光漏れ領域に遮
40
光パターン (図 15 の 526) を同時に形成する。つまり、カラーフィルターを利用して遮光パターンを形成する場合は、一つ以上のカラーフィルターパターンを積層して構成させる。

【0116】

前述した構成において、前記ドレイン電極 518 と画素電極 524 を接触するために、前記ドレイン電極 518 に対応する保護膜 533 とその上部のカラーフィルター 520 b をエッチングして、ドレインコンタクトホールを構成し、このような工程の途中、図 16 B 及び図 17 に示したように、基板外廓のゲートリンク線 504 の離隔空間に対応する絶縁膜 (図 16 B 及び図 17 の 532) をエッチングさせる。この時、前記絶縁膜 532 はゲート絶縁膜と保護膜の二重層構成になる場合もある。

【0117】

10

20

30

40

50

図 1 8 B は、画素部に適用可能な C O T 構造の液晶表示装置用アレイ基板のまた他の構造を図示した拡大断面図である。図 1 8 B に示したように、基板 5 0 0 上にゲート電極 5 1 2 が形成して、ゲート電極 5 1 2 の上部にはゲート絶縁膜 5 3 2 を形成する。ゲート電極 5 1 2 に対応するゲート絶縁膜 5 3 2 の上部にはアクティブ層 5 1 4 とオーミックコンタクト層 5 1 5 を積層して、前記オーミックコンタクト層 5 1 5 の上部には前記オーミックコンタクト層 5 1 5 と接触しながら所定間隔離隔されたソース電極 5 1 6 及びドレイン電極 5 1 8 を形成する。

【 0 1 1 8 】

前記ソース電極 5 1 6 及びドレイン電極 5 1 8 が形成された基板 5 0 0 全面には前記アクティブ層 5 1 4 を保護するために無機絶縁物質で第 1 保護膜 5 3 3 を形成する。前記画素領域にはカラーフィルター 5 2 0 a , 5 2 0 b を画素領域 P に対応して第 1 保護膜 5 3 3 の上部に形成する。前記薄膜トランジスタ T の上部にブラックマトリックス 5 2 2 を形成する。前記カラーフィルター 5 2 0 a , 5 2 0 b とブラックマトリックス 5 2 2 が形成された基板 5 0 0 全面に無機絶縁膜で第 2 保護膜 5 2 8 をさらに構成する。前記第 2 保護膜 5 2 8 の上部にドレイン電極 5 1 8 と接触しながら前記画素領域 P に対応して位置する画素電極 5 2 4 を形成する。

【 0 1 1 9 】

前記ブラックマトリックス 5 2 2 とカラーフィルター 5 2 0 a , 5 2 0 b を形成する工程の途中、図 1 3 及び図 1 5 に示した外廓領域に、ゲートリンク線に対応する遮光パターン 5 2 6 を同時に形成させる。また、前記ブラックマトリックス 5 2 2 とカラーフィルター 5 2 0 a , 5 2 0 b の上部に構成された無機絶縁膜 5 2 8 を形成しながら、前記基板 5 0 0 外廓の遮光パターンの上部に前記無機絶縁膜 (図 1 6 A と図 1 6 B の 5 2 8) を同時に形成させる。この時、前記カラーフィルターを利用して遮光パターンを形成する場合は、一つ以上のカラーフィルターパターンを積層して構成させる。また、前記ドレイン電極 5 1 8 と画素電極 5 2 4 を接触するために、第 2 保護膜 5 2 8 、その下部にカラーフィルター 5 2 0 b 、第 1 保護膜 5 3 3 をエッチングする工程を行うが、この時、図 1 6 B 及び図 1 7 の断面構成のように、前記ゲートリンク線 5 0 4 の間の隔離空間に当たる絶縁膜 5 3 2 をエッチングする。

【 0 1 2 0 】

図 1 8 C は、図 1 8 A 、図 1 8 B の構成とは差別的な C O T 構造の液晶表示装置用アレイ基板の一画素に係る構造を図示した拡大断面図である。図 1 8 C に示したように、基板 5 0 0 上にゲート電極 5 1 2 が形成されて、ゲート電極 5 1 2 の上部にはゲート絶縁膜 5 3 2 を形成する。ゲート電極 5 1 2 に対応するゲート絶縁膜 5 3 2 の上部にはアクティブ層 5 1 4 とオーミックコンタクト層 5 1 5 を積層して、前記オーミックコンタクト層 5 1 5 の上部には前記オーミックコンタクト層 5 1 5 と接触しながら所定間隔離隔されたソース電極 5 1 6 及びドレイン電極 5 1 8 を形成する。

【 0 1 2 1 】

前記ソース電極 5 1 6 及びドレイン電極 5 1 8 が形成された基板 5 0 0 全面には前記アクティブ層 5 1 4 を保護するために無機絶縁物質で第 1 保護膜 5 3 3 を形成する。前記画素領域 P には、前記ドレイン電極 5 1 8 と直接接触する第 1 画素電極 5 2 4 a と、第 1 画素電極 5 2 4 a の上部には、カラーフィルター 5 2 0 a , 5 2 0 b が構成されて、カラーフィルター 5 2 0 a , 5 2 0 b の上部には、前記第 1 画素電極 5 2 4 a と接触する第 2 画素電極 5 2 4 b を構成する。

【 0 1 2 2 】

前述した構成においては、前記第 1 画素電極 5 2 4 a 及び第 2 画素電極 5 2 4 b とカラーフィルター 5 2 0 a , 5 2 0 b を形成する前に、前記ソース電極 5 1 6 及びドレイン電極 5 1 8 の上部に対応してブラックマトリックス 5 2 2 を形成し、ブラックマトリックス 5 2 2 の上部には無機絶縁物質で第 2 保護膜 5 2 8 を形成する。

【 0 1 2 3 】

図 1 8 A ないし図 1 8 C に示したような画素の構成は、前述した図 1 3 ないし図 1 7 の

10

20

30

40

50

外廓部構成を持つＣＯＴ構造の液晶表示装置用アレイ基板に適用できる構成である。前述したような構成では、本発明によるＣＯＴ構造の液晶表示装置用アレイ基板の構成と、その概略的な製造方法を説明した。前述した構成は、ゲートリンク部に係り説明したが、これはデータリンク部にも適用されるのは言うまでもない。以上のような方法で、本発明によるＣＯＴ構造の液晶表示装置用アレイ基板が製作できる。

【図面の簡単な説明】

【０１２４】

【図１】一般的な液晶表示装置の構成を概略的に示した図面である。

【図２】図１のⅠⅠ－ⅠⅠ線に沿って切断して示した液晶表示装置の断面図である。

【図３】本発明の第１の実施の形態によるＣＯＴ構造の液晶表示装置用アレイ基板の一部を概略的に示した平面図である。 10

【図４Ａ】図３のⅣ－Ⅳ線に沿って切断して、本発明の第１の実施の形態による工程順序により示した工程断面図である。

【図４Ｂ】図４Ａに続く製造工程を示す断面図である。

【図４Ｃ】図４Ｂに続く製造工程を示す断面図である。

【図４Ｄ】図４Ｃに続く製造工程を示す断面図である。

【図４Ｅ】図４Ｄに続く製造工程を示す断面図である。

【図４Ｆ】図４Ｅに続く製造工程を示す断面図である。

【図４Ｇ】図４Ｆに続く製造工程を示す断面図である。

【図４Ｈ】図４Ｇに続く製造工程を示す断面図である。 20

【図４Ｉ】図４Ｈに続く製造工程を示す断面図である。

【図５Ａ】図３のⅤ－Ⅴ線に沿って切断して、本発明の第１の実施の形態による工程順序により示した工程断面図である。

【図５Ｂ】図５Ａに続く製造工程を示す断面図である。

【図５Ｃ】図５Ｂに続く製造工程を示す断面図である。

【図５Ｄ】図５Ｃに続く製造工程を示す断面図である。

【図５Ｅ】図５Ｄに続く製造工程を示す断面図である。

【図５Ｆ】図５Ｅに続く製造工程を示す断面図である。

【図５Ｇ】図５Ｆに続く製造工程を示す断面図である。

【図５Ｈ】図５Ｇに続く製造工程を示す断面図である。 30

【図５Ｉ】図５Ｈに続く製造工程を示す断面図である。

【図６Ａ】図３のⅥ－Ⅵ線に沿って切断して、本発明の第１の実施の形態による工程順序により示した工程断面図である。

【図６Ｂ】図６Ａに続く製造工程を示す断面図である。

【図６Ｃ】図６Ｂに続く製造工程を示す断面図である。

【図６Ｄ】図６Ｃに続く製造工程を示す断面図である。

【図６Ｅ】図６Ｄに続く製造工程を示す断面図である。

【図６Ｆ】図６Ｅに続く製造工程を示す断面図である。

【図６Ｇ】図６Ｆに続く製造工程を示す断面図である。

【図６Ｈ】図６Ｇに続く製造工程を示す断面図である。 40

【図６Ｉ】図６Ｈに続く製造工程を示す断面図である。

【図７】本発明の第１の実施の形態によるＣＯＴ構造の液晶表示装置用アレイ基板の一部を概略的に示した平面図である。

【図８Ａ】図７のⅧⅢ－ⅧⅢ線に沿って切断して、本発明の第２の実施の形態による工程順序により示した工程断面図である。

【図８Ｂ】図８Ａに続く製造工程を示す断面図である。

【図８Ｃ】図８Ｂに続く製造工程を示す断面図である。

【図８Ｄ】図８Ｃに続く製造工程を示す断面図である。

【図８Ｅ】図８Ｄに続く製造工程を示す断面図である。

【図８Ｆ】図８Ｅに続く製造工程を示す断面図である。 50

【図 8 G】図 8 F に続く製造工程を示す断面図である。

【図 8 H】図 8 G に続く製造工程を示す断面図である。

【図 8 I】図 8 H に続く製造工程を示す断面図である。

【図 8 J】図 8 I に続く製造工程を示す断面図である。

【図 8 K】図 8 J に続く製造工程を示す断面図である。

【図 8 L】図 8 K に続く製造工程を示す断面図である。

【図 8 M】図 8 L に続く製造工程を示す断面図である。

【図 9 A】図 7 の IX - IX 線に沿って切断して、本発明の第 2 の実施の形態による工程順序により示した工程断面図である。

【図 9 B】図 9 A に続く製造工程を示す断面図である。

【図 9 C】図 9 B に続く製造工程を示す断面図である。

【図 9 D】図 9 C に続く製造工程を示す断面図である。

【図 9 E】図 9 D に続く製造工程を示す断面図である。

【図 9 F】図 9 E に続く製造工程を示す断面図である。

【図 9 G】図 9 F に続く製造工程を示す断面図である。

【図 9 H】図 9 G に続く製造工程を示す断面図である。

【図 9 I】図 9 H に続く製造工程を示す断面図である。

【図 9 J】図 9 I に続く製造工程を示す断面図である。

【図 9 K】図 9 J に続く製造工程を示す断面図である。

【図 9 L】図 9 K に続く製造工程を示す断面図である。

【図 9 M】図 9 L に続く製造工程を示す断面図である。

【図 10 A】図 7 の X - X 線に沿って切断して、本発明の第 2 の実施の形態による工程順序により示した工程断面図である。

【図 10 B】図 10 A に続く製造工程を示す断面図である。

【図 10 C】図 10 B に続く製造工程を示す断面図である。

【図 10 D】図 10 C に続く製造工程を示す断面図である。

【図 10 E】図 10 D に続く製造工程を示す断面図である。

【図 10 F】図 10 E に続く製造工程を示す断面図である。

【図 10 G】図 10 F に続く製造工程を示す断面図である。

【図 10 H】図 10 G に続く製造工程を示す断面図である。

【図 10 I】図 10 H に続く製造工程を示す断面図である。

【図 10 J】図 10 I に続く製造工程を示す断面図である。

【図 10 K】図 10 J に続く製造工程を示す断面図である。

【図 10 L】図 10 K に続く製造工程を示す断面図である。

【図 10 M】図 10 L に続く製造工程を示す断面図である。

【図 11】COT 構造の液晶表示装置用アレイ基板の外廓部の構造を概略的に示した平面図である。

【図 12】図 11 の XII - XII 線に沿って切断して、COT 構造の液晶表示装置の構造を示した断面図である。

【図 13】本発明による COT 構造の液晶表示装置用アレイ基板の外廓部の構造を概略的に示した平面図である。

【図 14 A】図 13 の XIV-XIV 線に沿って切断した断面図である。

【図 14 B】図 13 の XIV-XIV 線に沿って切断した断面図である。

【図 15】本発明のまた他の実施の形態による COT 構造の液晶表示装置用アレイ基板の構成と本発明による遮光パターンを概略的に示した平面図である。

【図 16 A】図 15 の XVI-XVI 線に沿って切断した断面図である。

【図 16 B】図 15 の XVI-XVI 線に沿って切断した断面図である。

【図 17】COT 構造の液晶表示装置用アレイ基板に本発明による遮光パターンの変形例を示した断面図である。

【図 18 A】図 15 の XVIII-XVIII 線に沿って切断して、薄膜トランジスタと画素電極を

10

20

30

40

50

示した断面図である。

【図 18 B】図 18 A に続く製造工程を示す断面図である。

【図 18 C】図 18 B に続く製造工程を示す断面図である。

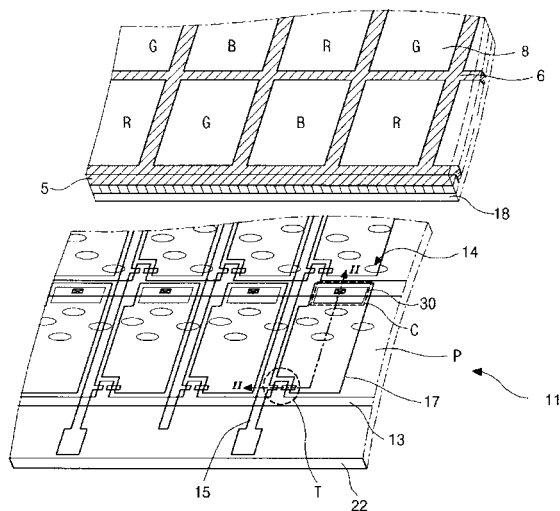
【符号の説明】

【0125】

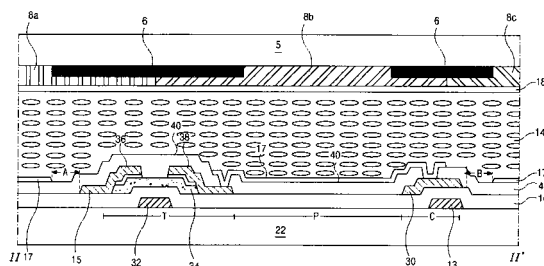
100：基板、102：ゲート配線、104：ゲート電極、108：アクティブ層、112：ソース電極、114：ドレイン電極、116：データ配線、118：データパッド、120：アイランド状のストレージ金属層、122：ゲートパッド、128：ブラックマトリックス、140A, 140B, 140C：カラーフィルタ、142：カラーフィルタパターン、148：第1画素電極、150：第2画素電極、152：第1ゲートパッド端子、154：第2ゲートパッド端子、156：第1データパッド端子、158：第2データパッド端子、160：第1連結電極、162：第2連結電極。

10

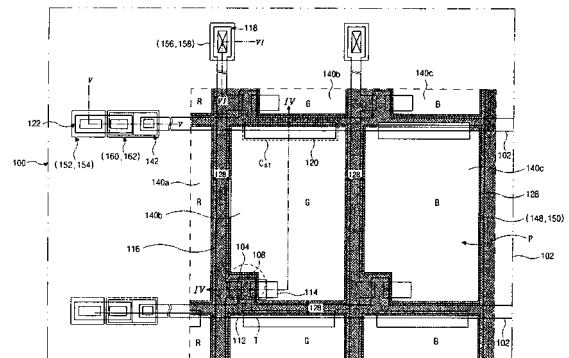
【図 1】



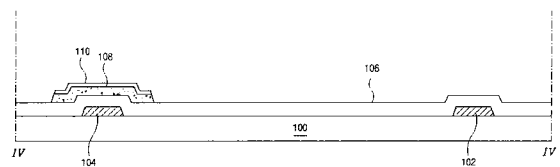
【図 2】



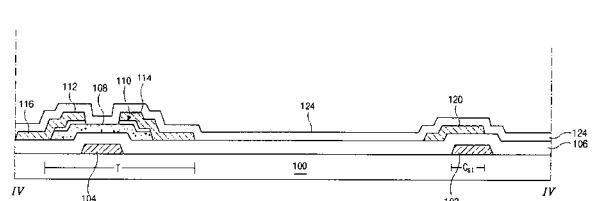
【図 3】



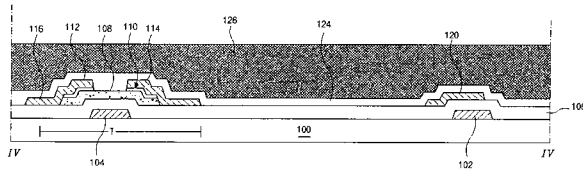
【図 4 A】



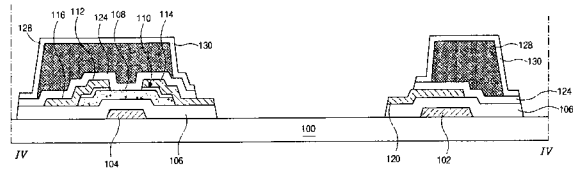
【図 4 B】



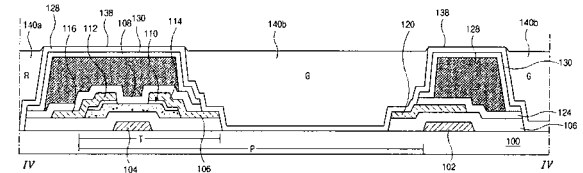
【図 4 C】



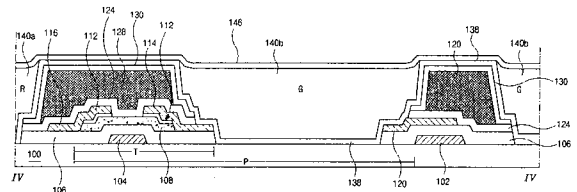
【図 4 F】



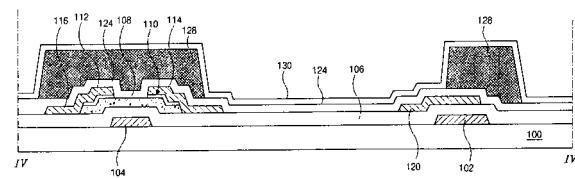
【図 4 G】



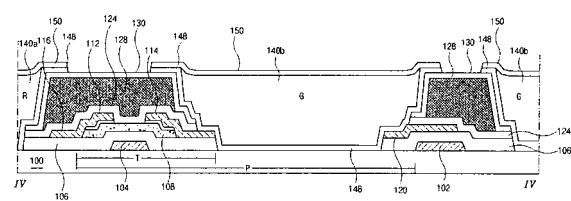
【図 4 H】



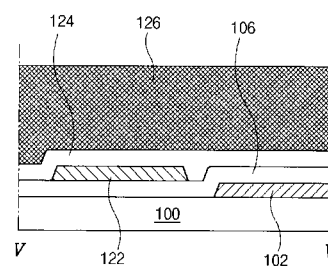
【図 4 E】



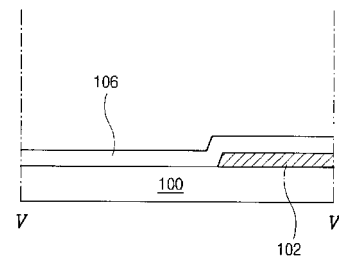
【図 4 I】



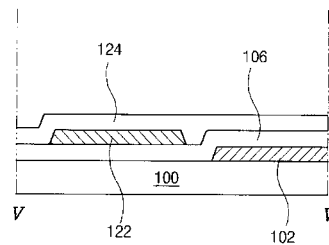
【図 5 C】



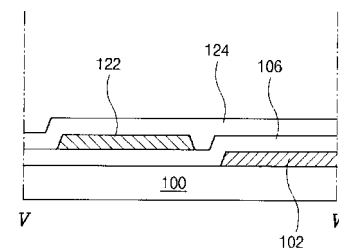
【図 5 A】



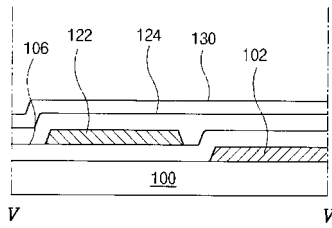
【図 5 D】



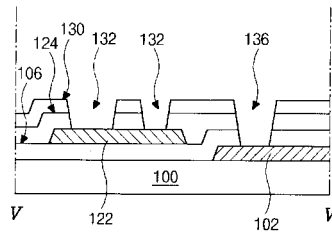
【図 5 B】



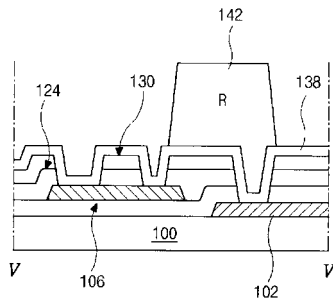
【図 5 E】



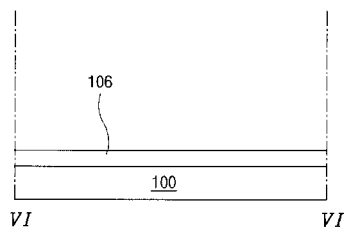
【図 5 F】



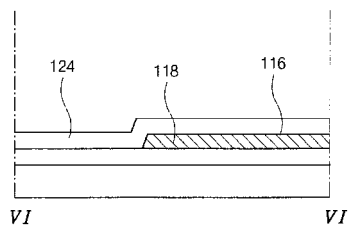
【図 5 G】



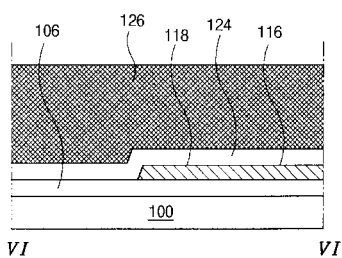
【図 6 A】



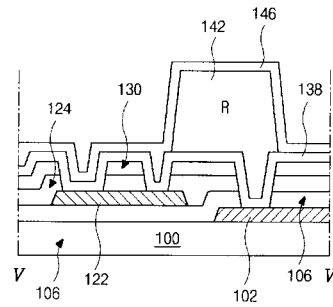
【図 6 B】



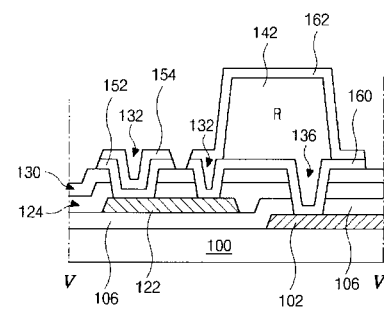
【図 6 C】



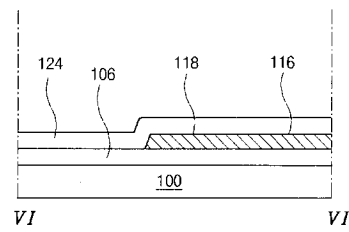
【図 5 H】



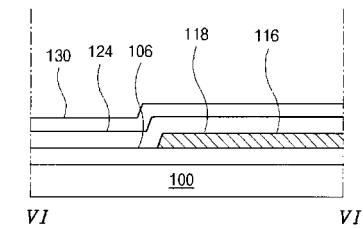
【図 5 I】



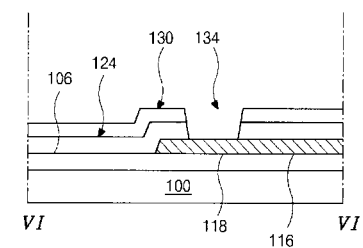
【図 6 D】



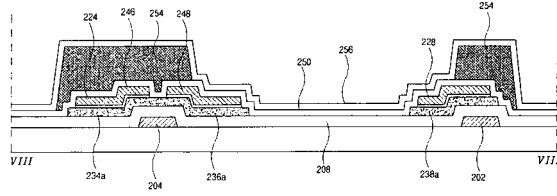
【図 6 E】



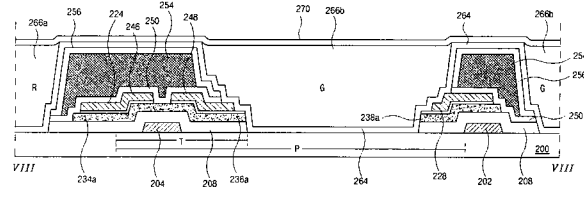
【図 6 F】



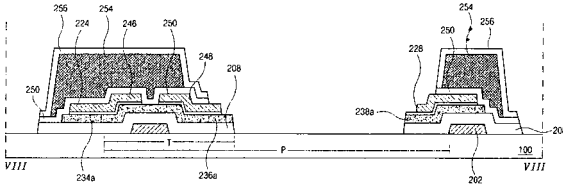
【図 8 I】



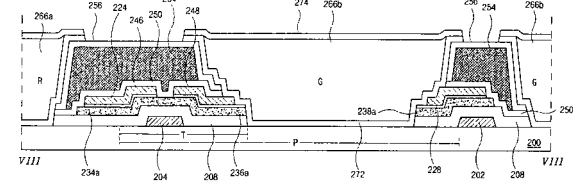
【図 8 L】



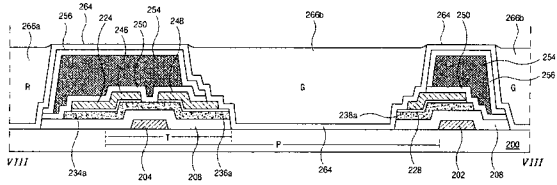
【図 8 J】



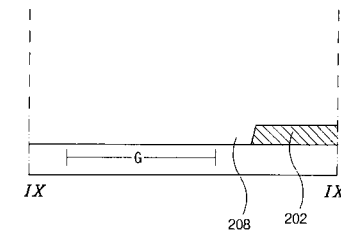
【図 8 M】



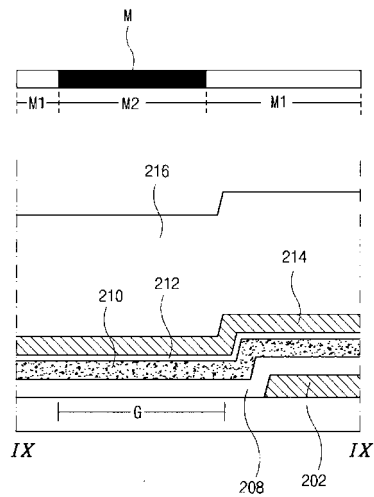
【図 8 K】



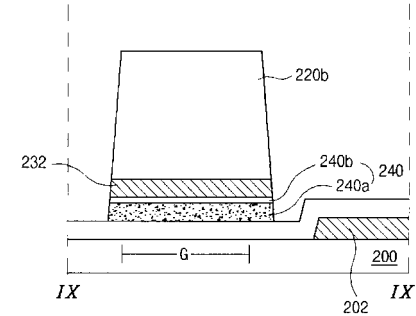
【図 9 A】



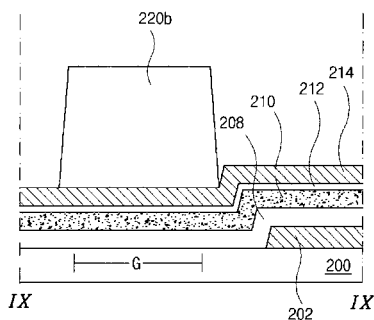
【図 9 B】



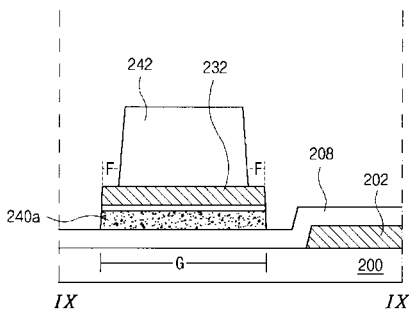
【図 9 D】



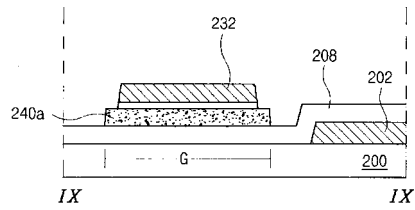
【図 9 C】



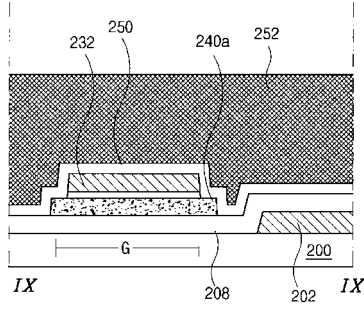
【図 9 E】



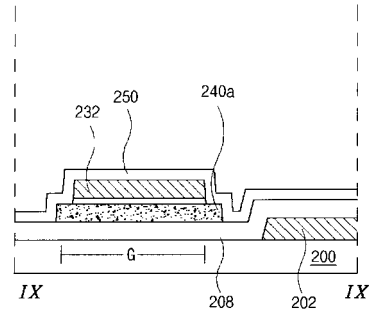
【図 9 F】



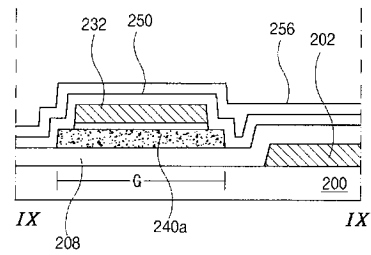
【図 9 G】



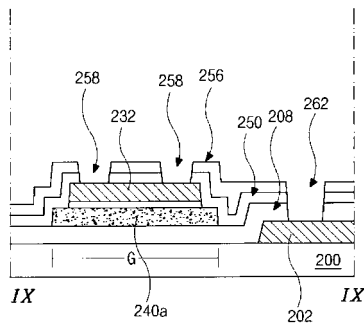
【図 9 H】



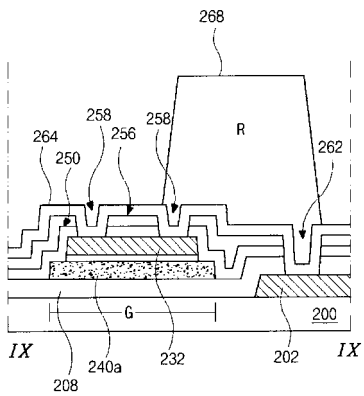
【図 9 I】



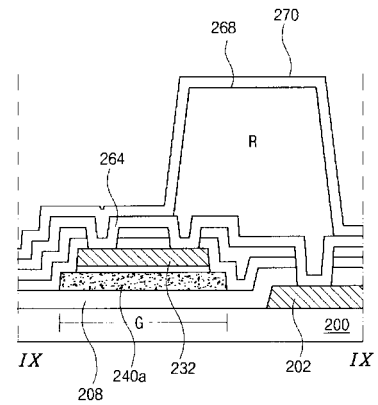
【図 9 J】



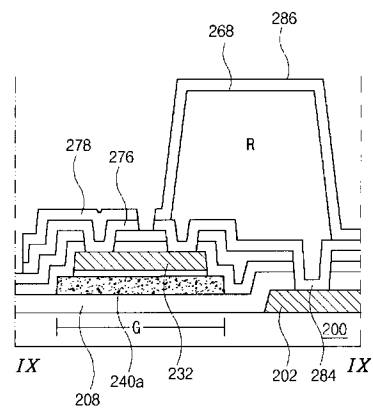
【図 9 K】



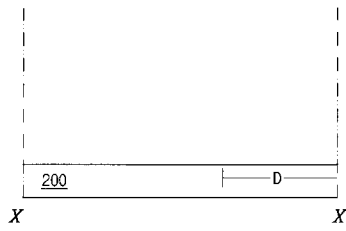
【図 9 L】



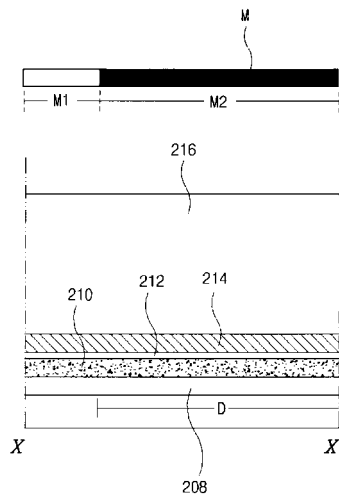
【図 9 M】



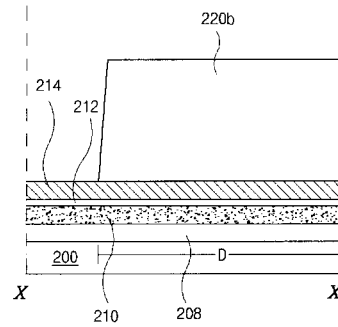
【図 10 A】



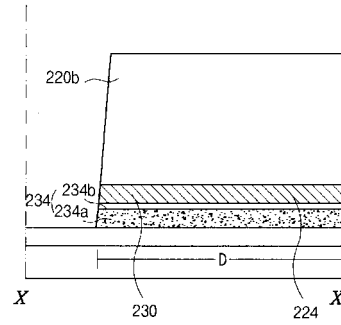
【図 10 B】



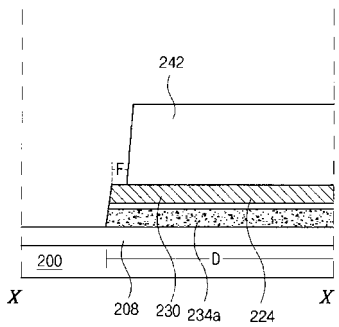
【図 10 C】



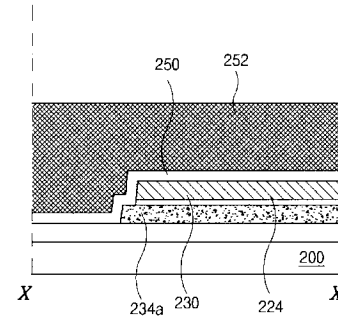
【図 10 D】



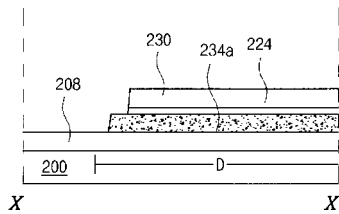
【図 10 E】



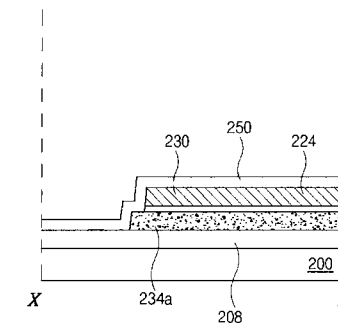
【図 10 G】



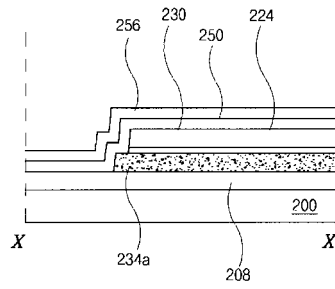
【図 10 F】



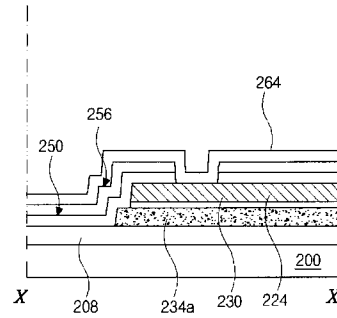
【図 10 H】



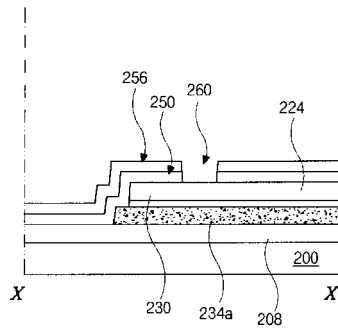
【図 10 I】



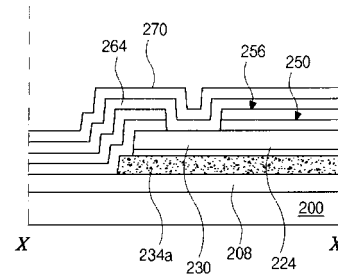
【図 10 K】



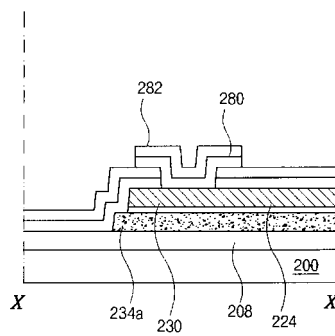
【図 10 J】



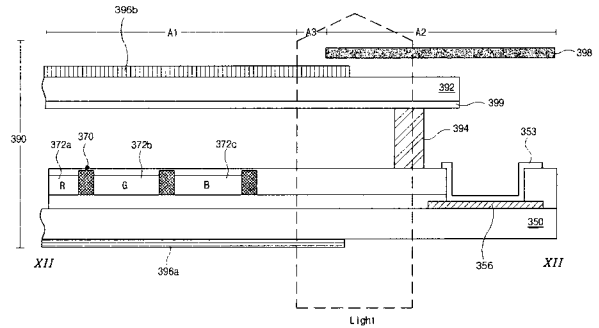
【図 10 L】



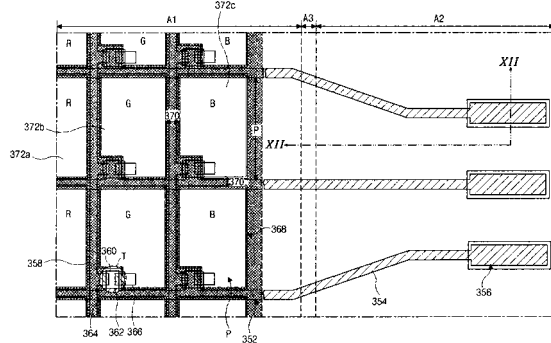
【図 10 M】



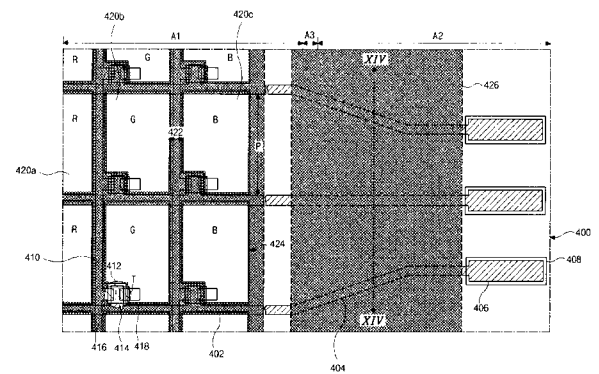
【図 1 2】



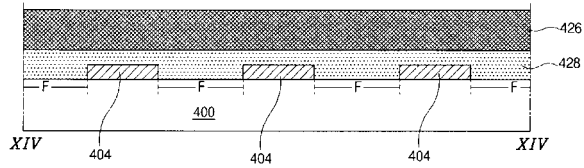
【図 1 1】



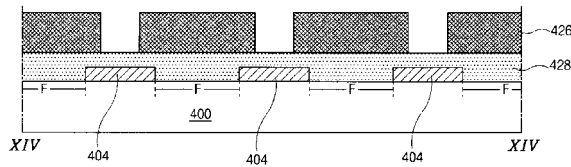
【図 1 3】



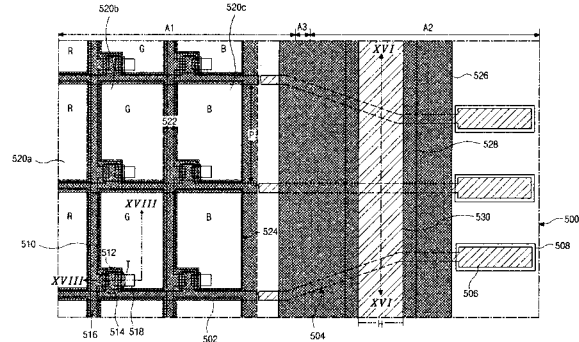
【図 14 A】



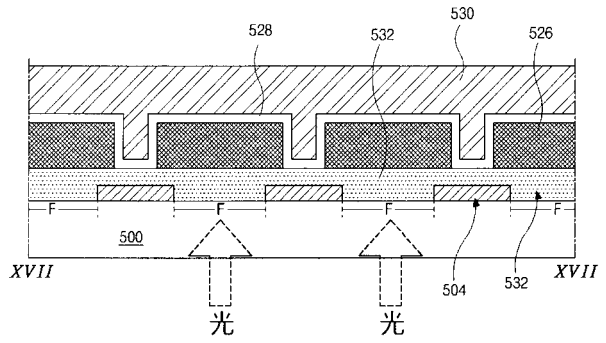
【図 14 B】



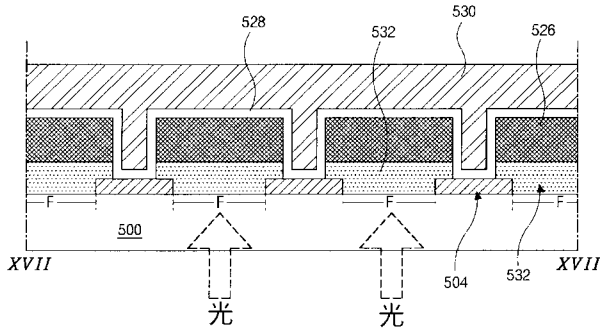
【図 15】



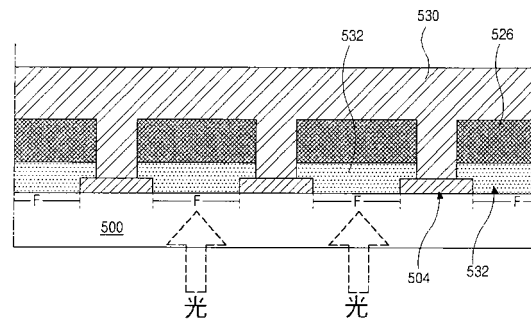
【図 16 A】



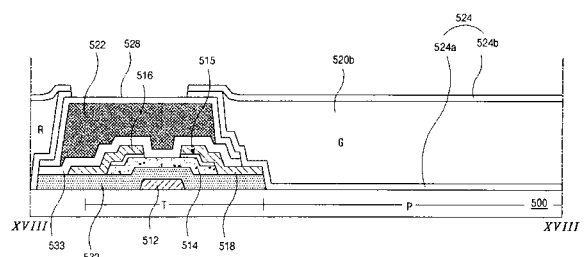
【図 16 B】



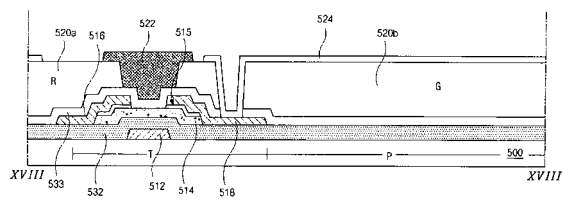
【図 17】



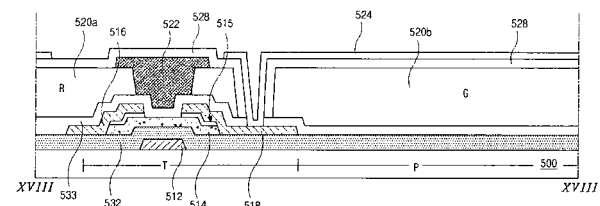
【図 18 C】



【図 18 A】



【図 18 B】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 21/336 (2006.01) G 0 9 F 9/30 3 9 0 C
H 0 1 L 29/78 6 1 9 A
H 0 1 L 29/78 6 1 2 C
H 0 1 L 29/78 6 2 7 C
H 0 1 L 29/78 6 1 2 D

- (72)発明者 ヨン - ギョン・チャン
大韓民国、4 3 5 - 0 4 0 キョンギ - ド、ウィウアン - シ、オジョン - ドン、エルジー・チンダ
ル・アパートメント、1 0 3 - 8 0 7
- (72)発明者 ソン - リュル・パク
大韓民国、4 0 6 - 1 2 0 インチョン、ヨンス - グ、チョンハク - ドン 4 6 9 - 3、2 5 / 2
- (72)発明者 ウン - クォン・キム
大韓民国、4 3 5 - 0 4 0 キョンギ - ド、クンポ - シ、サンボン - ドン 1 1 4 5、セジョン・
アパートメント 6 4 0 - 1 2 0 4
- (72)発明者 ジョン - フェ・リ
大韓民国、1 3 5 - 8 3 3 ソウル、カンナム - グ、ノンヒョン 2 - ドン 2 7 7 - 1 1、1 0 3
- ホ

審査官 前川 慎喜

- (56)参考文献 特開平 0 7 - 0 7 2 4 7 3 (J P , A)
特開平 0 9 - 2 9 2 6 3 3 (J P , A)
特開平 1 0 - 0 6 2 8 1 2 (J P , A)
特開平 1 1 - 0 2 4 0 9 4 (J P , A)
特開 2 0 0 2 - 1 6 9 1 8 2 (J P , A)
特開 2 0 0 1 - 0 6 6 4 1 7 (J P , A)
特開 2 0 0 0 - 1 6 2 6 2 5 (J P , A)
特開 2 0 0 1 - 1 9 5 0 0 5 (J P , A)
特開 2 0 0 4 - 0 9 4 2 0 6 (J P , A)
特開 2 0 0 4 - 3 1 0 0 3 9 (J P , A)
特開平 0 9 - 1 1 3 9 2 2 (J P , A)
特開 2 0 0 2 - 0 0 6 7 7 3 (J P , A)
特開 2 0 0 1 - 2 0 1 7 6 1 (J P , A)

- (58)調査した分野(Int.Cl. , D B 名)
G 0 2 F 1 / 1 3 6

专利名称(译)	用于液晶显示装置的阵列基板及其制造方法		
公开(公告)号	JP4344594B2	公开(公告)日	2009-10-14
申请号	JP2003403376	申请日	2003-12-02
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji飞利浦杜迪股份有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	ヨンギョンチャン ソンリュルパク ウンクオンキム ジョンフェリ		
发明人	ヨン-ギョン・チャン ソン-リュル・パク ウン-クオン・キム ジョン-フェ・リ		
IPC分类号	G02F1/1368 G02B5/20 G02F1/1335 G09F9/30 H01L29/786 H01L21/336 G02F1/133 G02F1/1343 G02F1/1362		
CPC分类号	H01L27/1288 G02F1/134336 G02F1/13458 G02F1/136209 G02F2001/136222 H01L27/1214 H01L29/78633		
FI分类号	G02F1/1368 G02B5/20.101 G02F1/1335.505 G09F9/30.338 G09F9/30.349.B G09F9/30.390.C H01L29/78.619.A H01L29/78.612.C H01L29/78.627.C H01L29/78.612.D G09F9/302.C		
F-TERM分类号	2H048/BA02 2H048/BA11 2H048/BB01 2H048/BB02 2H048/BB08 2H048/BB43 2H091/FA02Y 2H091/GA01 2H091/GA02 2H091/GA03 2H091/GA07 2H091/GA13 2H091/LA30 2H092/JA24 2H092/JA26 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JA46 2H092/JB22 2H092/JB31 2H092/JB52 2H092/KB26 2H092/MA04 2H092/MA10 2H092/NA25 2H092/PA01 2H092/PA08 2H092/PA09 2H148/BB03 2H148/BC08 2H148/BD01 2H148/BD11 2H148/BD18 2H148/BE36 2H148/BE40 2H148/BG02 2H148/BH02 2H148/BH21 2H148/BH22 2H148/BH28 2H191/FA02Y 2H191/GA01 2H191/GA04 2H191/GA05 2H191/GA10 2H191/GA19 2H191/LA40 2H192/AA24 2H192/BC31 2H192/CB05 2H192/CB46 2H192/DA02 2H192/DA12 2H192/DA42 2H192/EA07 2H192/EA13 2H192/EA17 2H192/EA32 2H192/EA42 2H192/FA65 2H192/GD25 2H192/HA44 2H291/FA02Y 2H291/GA01 2H291/GA04 2H291/GA05 2H291/GA10 2H291/GA19 2H291/LA40 5C094/AA16 5C094/BA03 5C094/BA43 5C094/CA20 5C094/CA24 5C094/DA09 5C094/DA13 5C094/DB01 5C094/EA04 5C094/ED03 5C094/FA02 5F110/AA21 5F110/AA30 5F110/BB01 5F110/CC07 5F110/EE02 5F110/EE37 5F110/EE43 5F110/FF02 5F110/FF03 5F110/FF27 5F110/GG02 5F110/GG15 5F110/GG35 5F110/GG42 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HK09 5F110/HK16 5F110/HK32 5F110/HM18 5F110/HM19 5F110/NN03 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN33 5F110/NN45 5F110/QQ01		
代理人(译)	英年古河 Kajinami秩序 上田俊一		
优先权	1020020078007 2002-12-09 KR 1020020078910 2002-12-11 KR		
其他公开文献	JP2004191972A		
外部链接	Espacenet		

摘要(译)

(经修改) 要解决的问题：通过防止来自液晶显示装置外部的光泄漏来制造高质量的液晶显示装置。在阵列基板100上形成滤色器140的结构中，在薄膜晶体管，栅极布线102和数据布线116上形成由不透明有机树脂制成的黑矩阵128，并且第一透明电极148和第二透明电极150分别形成在上部和下部上。此外，对应于阵列部分和焊盘部分之间的漏光区域进一步形成黑矩阵128，在黑矩阵128上进一步形成无机绝缘膜，并且密封图案的接触改善特色。点域

【图 2】

