

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4266793号
(P4266793)

(45) 発行日 平成21年5月20日 (2009. 5. 20)

(24) 登録日 平成21年2月27日 (2009. 2. 27)

(51) Int. Cl.

F I

G O 2 F 1/1368 (2006. 01)

G O 2 F 1/1368

G O 2 B 5/20 (2006. 01)

G O 2 B 5/20 1 O 1

G O 2 F 1/1335 (2006. 01)

G O 2 F 1/1335 5 O 5

G O 9 F 9/30 (2006. 01)

G O 9 F 9/30 3 3 8

G O 9 F 9/35 (2006. 01)

G O 9 F 9/35

請求項の数 4 (全 16 頁) 最終頁に続く

(21) 出願番号 特願2003-404939 (P2003-404939)
 (22) 出願日 平成15年12月3日 (2003. 12. 3)
 (65) 公開番号 特開2004-199049 (P2004-199049A)
 (43) 公開日 平成16年7月15日 (2004. 7. 15)
 審査請求日 平成16年6月4日 (2004. 6. 4)
 (31) 優先権主張番号 2002-080881
 (32) 優先日 平成14年12月17日 (2002. 12. 17)
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 501426046
 エルジー ディスプレイ カンパニー リ
 ミテッド
 大韓民国 ソウル, ヨンドゥンポーク, ヨ
 イドードン 2 O
 (74) 代理人 100110423
 弁理士 曾我 道治
 (74) 代理人 100084010
 弁理士 古川 秀利
 (74) 代理人 100094695
 弁理士 鈴木 憲七
 (74) 代理人 100111648
 弁理士 梶並 順

最終頁に続く

(54) 【発明の名称】 液晶表示装置用アレイ基板

(57) 【特許請求の範囲】

【請求項 1】

基板上に一方方向へ延長されたデータ配線と；

前記データ配線と垂直に交差して画素領域を定義するゲート配線と；

前記基板上にソース電極及びドレイン電極と、ソース電極及びドレイン電極の上部に掛けて構成されたアクティブ層と、ソース電極とアクティブ層及びドレイン電極とアクティブ層の間に構成されたオーミックコンタクト層と、アクティブ層の上部に構成されたゲート絶縁膜と、アクティブ層の上部にゲート絶縁膜上に構成されたゲート電極を含み、データ配線とゲート配線の交差点に構成された薄膜トランジスタと；

前記データ配線の上部と、前記ドレイン電極の一侧を露出しながら前記薄膜トランジスタの上部に構成され、前記ゲート電極と接触するブラックマトリックスと；

前記画素領域に対応して構成され、前記露出されたドレイン電極の一部を覆うカラーフィルターと；

前記画素領域に対応するカラーフィルターの上部に位置して、前記露出されたドレイン電極と接触する透明画素電極と；

前記ゲート配線の下部にゲート絶縁膜を介在して形成されたアイランド状のストレージ金属層と

を含み、

前記ストレージ金属層を第 1 電極とし、その上部のゲート配線を第 2 電極とするストレージキャパシター C_{st}がさらに構成され、

10

20

前記アクティブ層、前記ゲート絶縁膜、前記ゲート電極は、同一のパターン形状を有し

、
前記カラーフィルタは、その両側が前記ドレイン電極及び前記ストレージ金属層と重畳して接触し、

前記画素電極は、前記カラーフィルタの形状に従って両側が前記ドレイン電極及び前記ストレージ金属層と接触し、かつ両端が前記ブラックマトリックス及び前記ストレージキャパシタの前記ゲート配線と離隔してなる

ことを特徴とする液晶表示装置用アレイ基板。

【請求項 2】

前記ストレージキャパシター Cst は、アイランド状のストレージ金属層とゲート絶縁膜の間に純粋非晶質シリコン層と不純物非晶質シリコン層をさらに含む

ことを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板。

【請求項 3】

前記データ配線、ソース電極及びドレイン電極、ストレージ金属層は、クロム (Cr)、モリブデン (Mo)、タングステン (W)、チタン (Ti)、銅 (Cu)、アルミニウム (Al) またはアルミニウム合金のうちから選択された一つで同一工程により形成され、前記ゲート絶縁膜は窒化シリコンと酸化シリコンのうちの一つで構成される

ことを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板。

【請求項 4】

前記カラーフィルターは、縦に接する画素領域に同一なカラーフィルターが構成され、当該カラーフィルターは横に赤色、緑色、青色のカラーフィルターが順次構成されたストライプ形状である

ことを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に係り、薄膜トランジスタアレイ部の上部にカラーフィルターを構成する COT (color filter on TFT) 構造の液晶表示装置用アレイ基板に関する。

【背景技術】

【0002】

一般的に、液晶表示装置は液晶分子の光学的異方性と複屈折特性を利用して画像を表現するものであって、電界が印加されると液晶の配列が変わり、変わった液晶の配列方向によって光が透過する特性も変わる。

【0003】

液晶表示装置は、電界生成電極が各々形成されている二枚の基板を電極が形成されている面が向かい合うように配置し、両基板間に液晶物質を注入した後に、両電極間に電圧を印加して生成される電界により液晶分子を動くようにして、これにより変わる光の透過率により画像を表現する装置である。

【0004】

図 1 は、液晶表示装置を概略的に示した図面である。図示したように、カラー液晶表示装置 11 の上部基板 5 は、サブカラーフィルター 8 で構成されたサブカラーフィルター 8 と各サブカラーフィルター 8 の間に設けられたブラックマトリックス 6 を含んでおり、また、各サブカラーフィルター 8 とブラックマトリックスの上部に蒸着された共通電極 18 を含む。カラー液晶表示装置 11 の下部基板 22 は、画素電極 17 とスイッチング素子 T が画素領域 P に構成されて、画素領域 P の周辺にアレイ配線が形成されている。上部基板 5 と下部基板 22 との基板間に液晶 14 が充填されている。

【0005】

前記下部基板 22 はアレイ基板とも称するが、スイッチング素子である薄膜トランジスタ T がマトリックス状に配置されており、このような多数の薄膜トランジスタ T に交差してゲート配線 13 とデータ配線 15 が形成される。ここで、前記画素領域 P は前記ゲート

10

20

30

40

50

配線 1 3 とデータ配線 1 5 が交差して定義される領域で、前記画素領域 P 上には前述したように透明な画素電極 1 7 が形成される。前記画素電極 1 7 は、インジウム - スズ - オキサイド (ITO) のように光の透過率が比較的優れた透明導電性金属を用いる。

【0006】

前記画素電極 1 7 と並列に接続したストレージキャパシター C がゲート配線 1 3 の上部に構成され、このストレージキャパシター C の第 1 電極としてゲート配線 1 3 の一部を用い、また、第 2 電極としてソース電極及びドレイン電極と同一層同一物質で形成されたアイランド状のストレージ金属層 3 0 を用いる。この時、前記アイランド状のストレージ金属層 3 0 は画素電極 1 7 と接触して画素電極 1 7 の信号を受けるように構成される。

【0007】

10

ところで、前述したようなカラーフィルター基板としての上部基板 5 とアレイ基板としての下部基板 2 2 を合着して液晶パネルを製作する場合に、上部基板 5 と下部基板 2 2 の合着誤差による光漏れ不良などが発生する確率が非常に高い。

【0008】

以下、図 2 を参照して説明する。図 2 は、図 1 の II - II 線に沿って切断した断面図である。前述したように、アレイ基板である第 1 基板 2 2 と、前記第 1 基板 2 2 と離隔されたカラーフィルター基板である第 2 基板 5 と、前記第 1 基板 2 2 及び第 2 基板 5 の間に位置する液晶層 1 4 を含む。

【0009】

アレイ基板 2 2 の上部には、ゲート電極 3 2、アクティブ層 3 4、ソース電極 3 6、ドレイン電極 3 8 を含む薄膜トランジスタ T と、前記薄膜トランジスタ T の上部にはこれを保護する保護膜 4 0 が構成される。ゲート電極 3 2 とアクティブ層 3 4 の間には、ゲート電極 3 2 の絶縁のため、ゲート絶縁膜 1 6 が介在されている。画素領域 P には、前記薄膜トランジスタ T のドレイン電極 3 8 と接触する透明画素電極 1 7 が構成され、画素電極 1 7 と並列に連結したストレージキャパシター C がゲート配線 1 3 の上部に構成されている。

20

【0010】

前記上部基板 5 には、前記ゲート配線 1 3、データ配線 1 5、薄膜トランジスタ T に対応してブラックマトリックス 6 が構成され、下部基板 2 2 の画素領域 P に対応してカラーフィルター 8 a、8 b、8 c が構成される。この時、一般的なアレイ基板は、垂直クロストーク (cross talk) を防止するために、データ配線 1 5 と画素電極 1 7 を一定間隔 A 離隔して構成し、ゲート配線 1 3 と画素電極も一定間隔 B 離隔して構成する。

30

【0011】

データ配線 1 5 及びゲート配線 1 3 と画素電極 1 7 間の離隔した空間 A B は光漏れ現象が発生する領域であるために、上部カラーフィルター基板 5 に構成したブラックマトリックス 6 がこの部分を遮る役割をする。また、前記薄膜トランジスタ T の上部に構成されたブラックマトリックス 6 は外部から照射される光が保護膜 4 0 を通ってアクティブ層 3 4 に影響を与えないようにするために光を遮断する役割をする。

【0012】

ところが、前記上部基板 5 と下部基板 2 2 を合着する工程において合着誤差 (misalign) が発生する場合があるので、これを勘案して前記ブラックマトリックス 6 を設計する時に一定の値のマージンをおいて設計するため、そのマージン分だけ開口率が低下する。また、マージンを越えた合着誤差が発生する場合、光漏れ領域 A、B がブラックマトリックス 6 によりすべてを遮られない光漏れ不良が発生する場合がたびたびある。

40

【0013】

このような場合には、前記光漏れが外部に現れるので、画質を低下させる問題がある。従来、前述したような問題を解決するために、前記カラーフィルターとブラックマトリックスを薄膜トランジスタと共に単一基板に構成する例が提案されている。

【0014】

以下、図 3 を参照して説明する。図 3 は、従来の技術による COT 構造の液晶表示装置

50

用アレイ基板の一部を拡大した拡大平面図である。図示したように、基板 5 0 上に一方向へ延長されたゲート配線 5 2 が相互に離隔して平行に形成され、前記ゲート配線 5 2 と垂直に交差して画素領域 P を定義するデータ配線 6 6 が構成される。

【 0 0 1 5 】

前記ゲート配線 5 2 とデータ配線 6 6 の交差点には、ゲート電極 5 4、アクティブ層 5 8、ソース電極 6 2、ドレイン電極 6 4 を含む薄膜トランジスタ T が構成される。

前記画素領域 P には、赤色、緑色、青色を現すカラーフィルター 7 2 a、7 2 b、7 2 c が構成され、前記カラーフィルター 7 2 a、7 2 b、7 2 c の上部には、前記ドレイン電極 6 4 と接触する画素電極 8 0 が構成される。

【 0 0 1 6 】

前述した構成では、前記ゲート配線 5 2 とデータ配線 6 6 と薄膜トランジスタに対応してブラックマトリックスを形成する。ここで、前記カラーフィルター 7 2 a、7 2 b、7 2 c の配列が上下に接している画素領域に同一な色で配列される場合、前記ブラックマトリックス 7 4 はゲート配線 5 2 の上部に形成する必要はない。

【 0 0 1 7 】

以下、図 4 A ないし図 4 G を参照しながら、前述した構成を持つ従来の C O T 構造の液晶表示装置用アレイ基板の製造工程を説明する。図 4 A ないし図 4 G は、図 3 の IV - IV 線に沿って切断して、従来の工程順序に従って図示した工程断面図である。

【 0 0 1 8 】

まず、図 4 A に図示したように、基板 5 0 上にアルミニウム (A l)、アルミニウム合金 (A l N d)、銅 (C u)、タングステン (W)、クロム (C r)、モリブデン (M o) を含む導電性金属グループのうちから選択された一つで蒸着して、第 1 マスク工程でパターニングし、ゲート配線 5 2 とこれに連結されたゲート電極 5 4 を形成する。

【 0 0 1 9 】

前記ゲート配線 5 2 とゲート電極 5 4 が形成された基板 5 0 全面に窒化シリコン (S i N _x) と酸化シリコン (S i O ₂) を含む無機絶縁物質グループのうちから選択された一つを蒸着してゲート絶縁膜 5 6 を形成する。

【 0 0 2 0 】

図 4 B に図示したように、前記ゲート絶縁膜 5 6 が形成された基板 5 0 全面に純粋非晶質シリコン層 (a - S i : H) と不純物が含まれた非晶質シリコン層 (n + a - S i : H) を積層して、第 2 マスク工程でパターニングし、前記ゲート電極 5 4 に対応するゲート絶縁膜 5 6 の上部にアイランド状で積層されたアクティブ層 5 8 とオーミックコンタクト層 6 0 を形成する。

【 0 0 2 1 】

図 4 C に図示したように、前記オーミックコンタクト層 6 0 が形成された基板 5 0 全面に、前述したような導電性金属を蒸着して、第 3 マスク工程でパターニングし、オーミックコンタクト層 6 0 の上部に相互に離隔されたソース電極 6 2 とドレイン電極 6 4 を形成する。さらに、前記ソース電極 6 2 と連結され、前記ゲート配線 5 2 と垂直な方向に延長されて、画素領域 P を定義するデータ配線 6 6 を形成する。前記ゲート配線 5 2 の一部上部にアイランド状のストレージ金属層 6 8 をさらに構成する。

【 0 0 2 2 】

前記ソース電極 6 2 及びドレイン電極 6 4 の離隔領域に露出されたオーミックコンタクト層 6 0 をエッチングして、下部のアクティブ層 5 8 を露出する工程を行う。前記ソース電極 6 2 及びドレイン電極 6 4 が形成された基板 5 0 全面に窒化シリコン (S i N _x) と酸化シリコン (S i O ₂) を含む無機絶縁物質グループのうちから選択された一つを蒸着して第 1 保護膜 7 0 を形成する。

【 0 0 2 3 】

図 4 D に図示したように、前記画素領域 P に対応する第 1 保護膜 7 0 の上部にカラーフィルター 7 2 a、7 2 b を形成する。前記カラーフィルター 7 2 a、7 2 b は、多数の画素領域 P に赤色、緑色、青色を現すカラーフィルターを特定な配列順序によって形成し、

10

20

30

40

50

各色のカラーフィルターごと順次パターンニングされるが、この時、同一なマスクを利用する。従って、前記カラーフィルターは、第４マスク工程で形成される。

【００２４】

図４Ｅに図示したように、前記画素領域Ｐごと特定なカラーフィルター７２ａ，７２ｂが形成された基板５０全面に、感光性ブラック有機層を塗布して、第５マスク工程でパターンニングし、データ配線６６とゲート配線５２と薄膜トランジスタＴの上部にブラックマトリックス７４を形成する。この時、平面的に前記縦に接する画素領域に同一な色のカラーフィルターが一方向で構成される場合、前記カラーフィルターがゲート配線の上部に形成されているため、ゲート配線の上部にはブラックマトリックス７４を形成しなくても良い。

10

【００２５】

図４Ｆに図示したように、前記ドレイン電極６４とアイランド状のストレージ金属層６８の上部のゲート絶縁膜５６とカラーフィルターを第６マスク工程でパターンニングし、ドレインコンタクトホール７６とストレージコンタクトホール７８を形成する。

【００２６】

図４Ｇに図示したように、前記カラーフィルター７２ａ，７２ｂとブラックマトリックス７４が形成された基板５０全面に、インジウム－スズ－オキサイド（ＩＴＯ）とインジウム－ジंक－オキサイド（ＩＺＯ）を含んだ透明導電性金属グループのうちから選択された一つを蒸着して、第７マスク工程でパターンニングし、前記ドレイン電極６４とアイランド状のストレージ金属層６８が同時に接触しながら前記画素領域Ｐに構成される画素電極８０を形成する。

20

【００２７】

前述した構成で、前記ゲート配線５２の上部には、前記画素電極８０と接触するアイランド状のストレージ金属層６８を第１電極として、ここと重なる下部のゲート配線５２を第２電極とするストレージキャパシターＣｓｔが形成される。前述したような工程で従来によるＣＯＴ構造の液晶表示装置用アレイ基板を製作される。

【発明の開示】

【発明が解決しようとする課題】

【００２８】

しかし、前述したような工程は、カラーフィルターを含む薄膜トランジスタを製作する際、多数のマスク工程が行なわれるため、工程時間と費用面で収率を下げる問題がある。

30

【００２９】

本発明は前述したような問題を解決するために提案されたものであって、前記薄膜トランジスタとして、逆スタagger型ではなく、一般的なスタagger型つまりトップゲート型を適用し、トップゲート型薄膜トランジスタをアレイ部に適用することでマスク工程を単純化し、工程時間の短縮による収率の改善できる液晶表示装置用アレイ基板を提供することを目的とする。

【課題を解決するための手段】

【００３０】

前記目的を達成するための本発明による液晶表示装置用アレイ基板は、基板上に一方向へ延長されたデータ配線と；前記データ配線と垂直に交差して画素領域を定義するゲート配線と；前記基板上にソース電極及びドレイン電極と、ソース電極及びドレイン電極の上部に掛けて構成されたアクティブ層と、ソース電極とアクティブ層及びドレイン電極とアクティブ層の間に構成されたオーミックコンタクト層と、アクティブ層の上部に構成されたゲート絶縁膜と、アクティブ層の上部にゲート絶縁膜上に構成されたゲート電極を含み、データ配線とゲート配線の交差点に構成された薄膜トランジスタと；前記データ配線の上部と、前記ドレイン電極の一侧を露出しながら前記薄膜トランジスタの上部に構成され、前記ゲート電極と接触するブラックマトリックスと；前記画素領域に対応して構成され、前記露出されたドレイン電極の一部を覆うカラーフィルターと；前記画素領域に対応するカラーフィルターの上部に位置して、前記露出されたドレイン電極と接触する透明画

40

50

素電極と；前記ゲート配線の下部にゲート絶縁膜を介在して形成されたアイランド状のストレージ金属層とを含み、前記ストレージ金属層を第1電極とし、その上部のゲート配線を第2電極とするストレージキャパシターCstがさらに構成され、前記アクティブ層、前記ゲート絶縁膜、前記ゲート電極は、同一のパターン形状を有し、前記カラーフィルタは、その両側が前記ドレイン電極及び前記ストレージ金属層と重畳して接触し、前記画素電極は、前記カラーフィルタの形状に従って両側が前記ドレイン電極及び前記ストレージ金属層と接触し、かつ両端が前記ブラックマトリックス及び前記ストレージキャパシタの前記ゲート配線と離隔してなることを特徴とする。

【発明を実施するための最良の形態】

【0044】

10

以下、添附した図面を参照しながら、本発明による望ましい実施の形態を説明する。

- 第1の実施の形態 -

本発明の特徴は、カラーフィルターを含む薄膜トランジスタアレイ構造で、トップゲート型薄膜トランジスタを適用して工程を単純化できることである。図5は、本発明によるCOT構造の液晶表示装置用アレイ基板の構成を概略的に示した図面である。図示したように、基板100上に一方向へ延長されたゲート配線126を相互平行に構成して、前記ゲート配線126と垂直に交差して多数の画素領域Pを定義するデータ配線110を構成する。

【0045】

前記ゲート配線126とデータ配線110の交差点にはゲート電極124、アクティブ層120、ソース電極106、ドレイン電極108を含む薄膜トランジスタTを構成する。この時、前記薄膜トランジスタTは、ソース電極106及びドレイン電極108、アクティブ層120、ゲート電極124が順次構成されたトップゲート型の薄膜トランジスタである。前記ゲート配線126及びデータ配線110が交差して定義される画素領域Pには、透明な画素電極132を構成する。

20

【0046】

前述した構成において、前記薄膜トランジスタTとデータ配線110の上部には、ブラックマトリックスTを形成して、前記画素電極132の下部には、各画素領域Pごとに赤色、緑色、青色のカラーフィルター136a、136b、136cを順次構成する。

【0047】

30

前記画素電極132は、ゲート配線126の下部に構成されたストレージキャパシターCstと並列に連結される。ストレージキャパシターCstは、アイランド状のストレージ金属層112を第1電極とし、その上部のゲート配線126を第2電極とする。前記アイランド状のストレージ金属層112は、前記データ配線110と同一層に構成されて、前記画素電極132と接触するように構成する。

【0048】

前述したような構成において、前記ブラックマトリックス128は、薄膜トランジスタTの上部または下部に構成されたり、別途の上部基板に構成することもある。

【0049】

以下、図6Aないし図6Fを参照しながら、本発明の第1の実施の形態による液晶表示装置用アレイ基板の製造方法を説明する。このような製造方法の説明において、薄膜トランジスタの上部にブラックマトリックスが形成される工程を主に説明する。

40

【0050】

図6Aに図示したように、基板100上にデータ領域D、画素領域P、スイッチング素子領域T、ゲート領域Gを定義する。前記多数の領域D、P、T、Gが定義された基板100上に、クロム(Cr)、モリブデン(Mo)、タングステン(W)、チタン(Ti)、銅(Cu)、アルミニウム(Al)、アルミニウム合金(AlNd)を含む導電性金属グループのうちから選択された一つを蒸着して第1金属層102を形成し、前記第1金属層102の上部に不純物が含まれた非晶質シリコン層104を形成する。

【0051】

50

前記第1金属層102と不純物非晶質シリコン層104を、乾式エッチング方式を使用した第1マスク工程でパターニングして、図6Bに図示したように、前記スイッチング素子領域Tに対応して所定間隔離隔して構成されたソース電極106とドレイン電極108、ソース電極106と連結されて前記データ領域Dに対応して基板100の一方向へ延長されたデータ配線110と、前記画素領域Pの一侧を通るゲート領域Gの一部に対応してアイランド状のストレージ金属層112を形成する。

【0052】

前記ソース電極106、ドレイン電極108、データ配線110、アイランド状のストレージ金属層112の上部には、パターニングされた不純物非晶質シリコン層114が形成される。ここで、ソース電極106とドレイン電極108の上部のパターニングされた不純物非晶質シリコン層114をオーミックコンタクトと称する。前記ソース電極106とドレイン電極108が形成された基板100全面に純粋非晶質シリコン層(a-Si:H)とゲート絶縁膜118、前述したような導電性金属グループのうちから選択された一つを蒸着して第2金属層119を形成する。

【0053】

図6Cに図示したように、前記純粋非晶質シリコン層116、ゲート絶縁膜118、第2金属層119を、乾式エッチング方式を使用した第2マスク工程でエッチングし、前記スイッチング素子領域Tに対応しては、前記ソース電極106及びドレイン電極108の離隔された領域に掛けて前記不純物非晶質膜114の上部に構成されたアイランド状の非晶質シリコン膜120と、前記非晶質シリコン膜120の上部にゲート絶縁膜122と、ゲート絶縁膜122の上部にゲート電極124を形成して、前記ゲート領域Gに対応して前記不純物非晶質膜114の上部に非晶質シリコン膜120と、この上部にゲート絶縁膜122と、ゲート絶縁膜122の上部にゲート配線126を形成する。

前記スイッチング素子領域Tに形成された非晶質シリコン膜120を、アクティブ層と称する。この時、前記ドレイン電極108と前記アイランド状のストレージ金属層112は一侧が露出されて構成される。

【0054】

図6Dに図示したように、前記ゲート電極124とゲート配線126が形成された基板100全面に感光性ブラック有機層を塗布した後、第3マスク工程でパターニングし、前記ソース電極106及びドレイン電極108とデータ配線110に対応してブラックマトリックス128を形成する。この時、前記ゲート配線126の上部にもブラックマトリックス128を形成できるが、以後形成されるカラーフィルター(図示せず)の配列順序が一方向に同一なカラーを構成するストライプ形状の場合は、前記ゲート配線122を含む画素領域Pの上部にカラーフィルター(図示せず)をパターニングするので、あえて前記ブラックマトリックス128を形成する必要はない。

【0055】

図6Eに図示したように、前記ブラックマトリックス128が形成された基板100全面に第4マスク工程でカラーフィルター130bを形成する。前記カラーフィルター130bは、赤色、緑色、青色を現す三つの色のカラーフィルターを多数の画素領域Pについて所定の配列順序で配列する。この時、前記カラーフィルターは、同一色のカラーフィルターを一方向に構成するストライプ形状で構成する。

【0056】

図6Fに図示したように、前記カラーフィルター130bが形成された基板100全面にインジウム-スズ-オキサイド(ITO)及びインジウム-ジnk-オキサイド(IZO)を含む透明な導電性金属を蒸着して、前記露出されたドレイン電極108及びアイランド状のストレージ金属層112を同時に接触しながら前記カラーフィルター130bの上部に構成されるように画素電極132を形成する。この時、前記画素電極132と接触するアイランド状のストレージ金属層112を第1電極とし、その上部のゲート配線126を第2電極とするストレージキャパシターCstが形成される。前述したような工程を通じて本発明の第1の実施の形態の構成を持つ液晶表示装置用アレイ基板を製作できる。

【 0 0 5 7 】

次に、第 2 の実施の形態により前記第 1 の実施の形態の変形例を説明する。

- - 第 2 の実施の形態 - -

本発明の第 2 の実施の形態は、前記ブラックマトリックスを薄膜トランジスタアレイ部の下部に構成することを特徴とする。

【 0 0 5 8 】

図 7 は、本発明の第 2 の実施の形態による C O T 構造の液晶表示装置用アレイ基板の一つの画素を概略的に示した断面図である。図示したように、データ領域 D、スイッチング素子領域 T、ゲート領域 G、画素領域 P が定義された基板 2 0 0 上に、前記データ領域、スイッチング素子領域に対応してブラックマトリックス 2 0 2 を形成する。この時、前記ブラックマトリックス 2 0 2 は、クロム (C r) または、クロム (C r) / クロムオキシド (C r O x) (積層構造) を蒸着し、パターニングして形成する。

10

【 0 0 5 9 】

前記ブラックマトリックス 2 0 2 が形成された基板 2 0 0 全面にベンゾシクロブテン (B C B) とアクリル系樹脂を含んだ透明な導電性有機絶縁物質グループのうち選択された一つまたは窒化シリコン (S i N _x) と酸化シリコン (S i O ₂) を含む無機絶縁物質グループのうち選択された一つを塗布または蒸着してバッファ層 2 0 4 を形成する。

【 0 0 6 0 】

前記バッファ層 2 0 4 の上部に薄膜トランジスタとゲート配線及びデータ配線を形成するが、これは前述した第 1 の実施の形態の工程と同一である。

20

従って、前記スイッチング素子領域 T に対応してソース電極 2 0 6、ドレイン電極 2 0 8、オーミックコンタクト層 2 1 4、アクティブ層 2 2 0、ゲート絶縁膜 2 2 4、ゲート電極 2 2 4 を形成して、前記ソース電極 2 0 6 と連結されるデータ配線 2 1 0 を前記データ領域 D に形成する。

【 0 0 6 1 】

前記ゲート領域 G には、前記アクティブ層 2 2 0 と同一層同一物質である非晶質シリコンパターン 2 2 0、ゲート絶縁膜 2 2 2 と、ゲート絶縁膜 2 2 2 の上部にゲート配線 2 2 6 が形成される。前記画素領域 P には、カラーフィルター 2 3 0 を構成して、カラーフィルター 2 3 0 の上部には、前記ドレイン電極 2 0 8 とアイランド状のストレージ金属層 1 1 2 と接触する画素電極 2 3 2 を形成する。この時、前記画素電極 2 3 2 と接触するアイランド状のストレージ金属層 2 1 2 を第 1 電極とし、その上部のゲート配線 2 1 8 を第 2 電極とするストレージキャパシター C s t が形成される。

30

【 0 0 6 2 】

前述したような本発明の第 2 の実施の形態による C O T 構造の液晶表示装置用アレイ基板を構成する。前述した工程は、前記ブラックマトリックスの位置だけを変えただけであって、工程は前記第 1 の実施の形態と同一に第 6 マスク工程で製作される。

【 0 0 6 3 】

以下、第 3 の実施の形態により第 1 の実施の形態の変形例を説明する。

- - 第 3 の実施の形態 - -

本発明の第 3 の実施の形態は、前述した第 1 の実施の形態の構成において、前記ブラックマトリックスを別途の上部基板に構成することを特徴とする。

40

【 0 0 6 4 】

図 8 は、本発明の第 3 の実施の形態による液晶表示装置の構成を概略的に示した断面図である。図示したように、第 1 基板 3 0 0 と第 2 基板 4 0 0 が相互に離隔して構成され、前記第 1 基板 3 0 0 の上部には、薄膜トランジスタアレイとカラーフィルター 3 2 4 を形成し、前記第 2 基板 4 0 0 には、ブラックマトリックス 4 0 2 と共通電極 4 0 6 を形成する。

【 0 0 6 5 】

詳しくは、前記第 1 基板 3 0 0 のスイッチング素子領域 T には、ソース電極 3 0 6 及びドレイン電極 3 0 8 と、これの上部にオーミックコンタクト層 3 1 4、アクティブ層 3 1

50

6、ゲート絶縁膜 318、ゲート電極 320 が積層された薄膜トランジスタが形成され、データ領域 D には、前記ソース電極 306 から延長されたデータ配線 310 が形成され、前記ゲート領域 G には、ゲート配線 322 を形成する。この時、前記ゲート配線 322 の一部下部には、ゲート絶縁膜 318 と非晶質シリコンパターン 314 を間にアイランド状のストレージ金属層 312 がさらに構成され、アイランド状のストレージ金属層 312 を第 1 電極として、その上部のゲート配線 322 を第 2 電極とするストレージキャパシター Cst を形成する。

【0066】

前記第 2 基板 400 には、前記第 1 基板 300 のスイッチング素子領域 T とデータ領域 D に対応してブラックマトリックス 402 を形成する。

10

【0067】

前述したような液晶パネルは、前記ブラックマトリックス 402 を上部基板 400 に形成するだけであり、薄膜トランジスタアレイ部とカラーフィルターをパターンニングする工程は第 1 の実施の形態と同一である。前記第 3 の実施の形態の工程は、前記ブラックマトリックスが上部基板に構成されるために、前記ブラックマトリックスを構成する時、合着マージンを考えるべきだが、従来と比べて工程が単純になる長所がある。

【0068】

また、前述した第 1 の実施の形態ないし第 3 の実施の形態は従来と違って、マスク工程を減らせるだけではなく、前記カラーフィルターのコンタクトホールを形成して、これを通じて下部のドレイン電極と接触する形状ではないため、従来と比べて工程不良が解消される長所がある。

20

【0069】

前述した第 1 の実施の形態及び第 2 実施の形態による本発明の COT 構造の液晶表示装置用アレイ基板は、薄膜トランジスタ、アレイ部、カラーフィルター及びブラックマトリックスを同一な基板に形成をして前記ブラックマトリックスを設計する時、合着マージンをおく必要がないので、開口率が改選する効果がある。

また、前記第 1 の実施の形態ないし第 3 の実施の形態では、トップゲート型薄膜トランジスタを使用して構成上特定の構成などを一括エッチングすることが可能になるため、従来と比べて工程を減らせて工程時間の短縮と共に費用を節減して製品の収率及び価格競争力を向上させる効果がある。

30

【図面の簡単な説明】

【0070】

【図 1】一般的な液晶表示装置の構成を概略的に示した図面である。

【図 2】図 1 の II - II 線に沿って切断して示した断面図である。

【図 3】従来技術による COT 構造の液晶表示装置用アレイ基板の一部画素を示した拡大平面図である。

【図 4 A】図 3 の IV - IV 線に沿って切断して、従来技術による工程順序を示すための断面図である。

【図 4 B】図 4 A に続く製造工程を示す断面図である。

【図 4 C】図 4 B に続く製造工程を示す断面図である。

40

【図 4 D】図 4 C に続く製造工程を示す断面図である。

【図 4 E】図 4 D に続く製造工程を示す断面図である。

【図 4 F】図 4 E に続く製造工程を示す断面図である。

【図 4 G】図 4 F に続く製造工程を示す断面図である。

【図 5】本発明による COT 構造の液晶表示装置用アレイ基板の一部画素を示した拡大平面図である。

【図 6 A】図 5 の VI - VI 線に沿って切断して、本発明の第 1 の実施の形態による工程順序を示すための断面図である。

【図 6 B】図 6 A に続く製造工程を示す断面図である。

【図 6 C】図 6 B に続く製造工程を示す断面図である。

50

【図 6 D】図 6 C に続く製造工程を示す断面図である。

【図 6 E】図 6 D に続く製造工程を示す断面図である。

【図 6 F】図 6 E に続く製造工程を示す断面図である。

【図 7】本発明の第 2 の実施の形態による C O T 構造の液晶表示装置用アレイ基板の画素を示した拡大平面図である。

【図 8】本発明の第 3 の実施の形態による C O T 構造の液晶表示装置用パネルの画素を示した拡大平面図である。

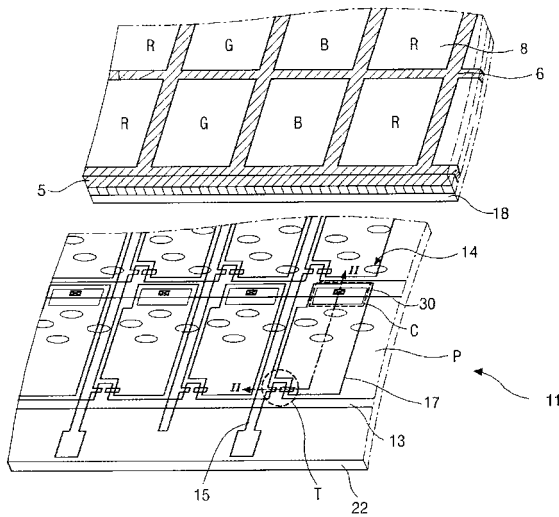
【符号の説明】

【 0 0 7 1 】

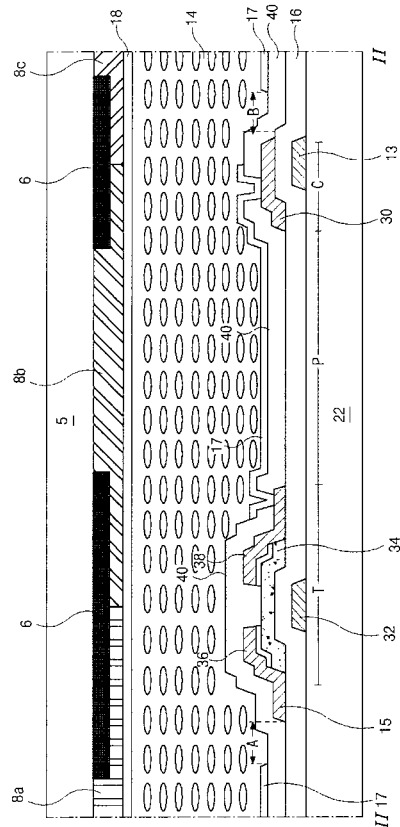
100 : 基板、106 : ソース電極、108 : ドレイン電極、110 : データ配線、120 : アクティブ層、126 : ゲート配線、130A, 130B, 130C : カラーフィルタ。

10

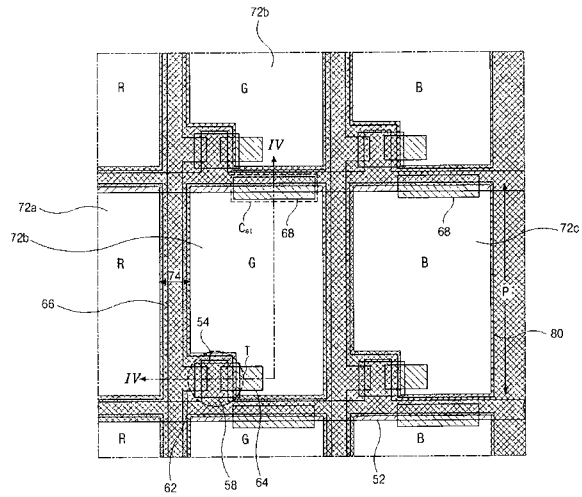
【図 1】



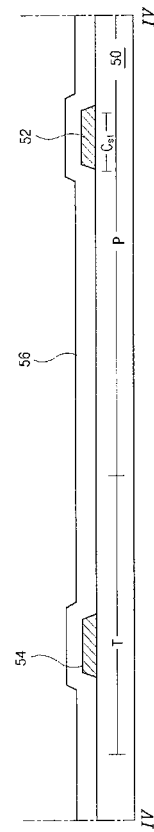
【図 2】



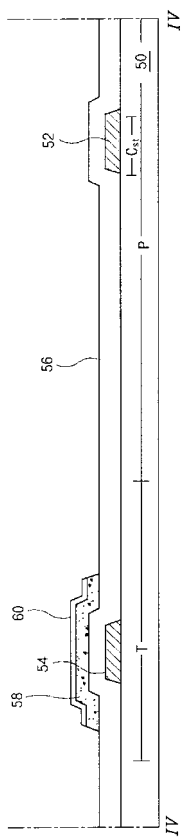
【図 3】



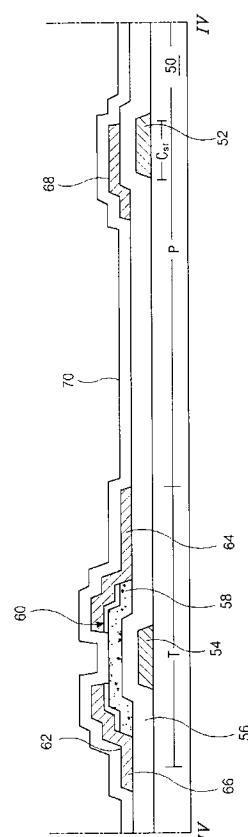
【図 4 A】



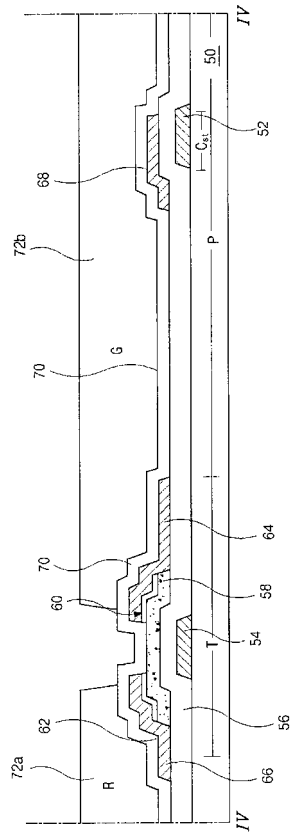
【図 4 B】



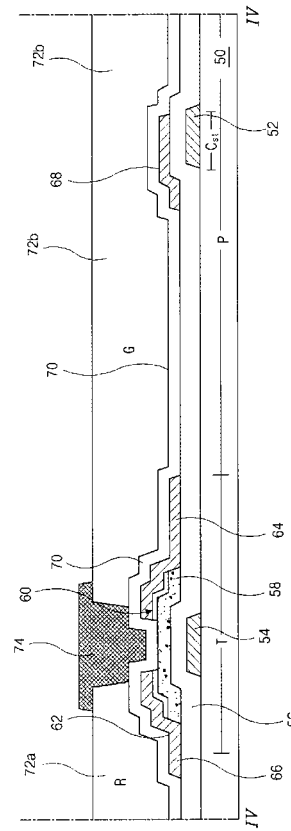
【図 4 C】



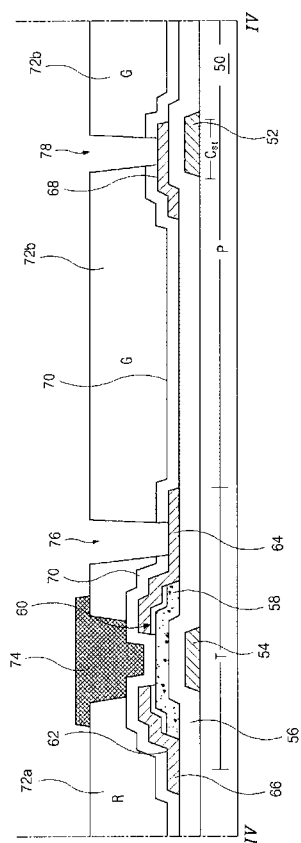
【 図 4 D 】



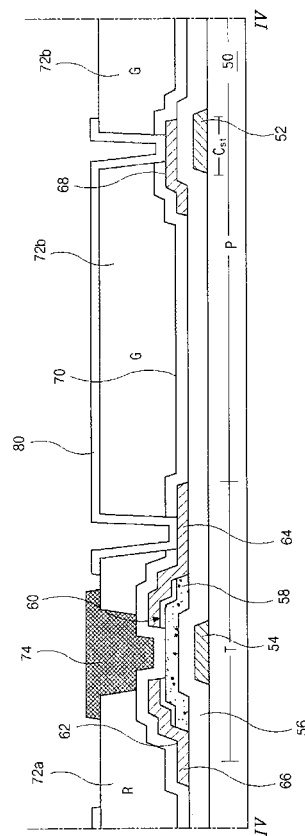
【 図 4 E 】



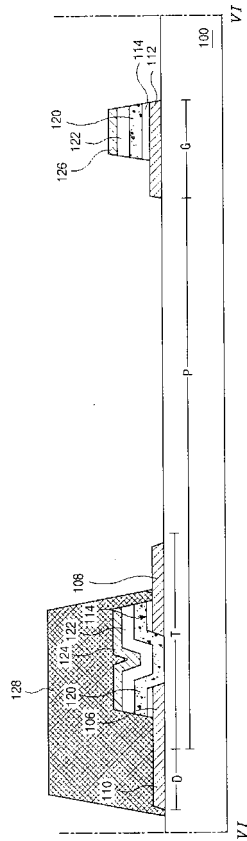
【 図 4 F 】



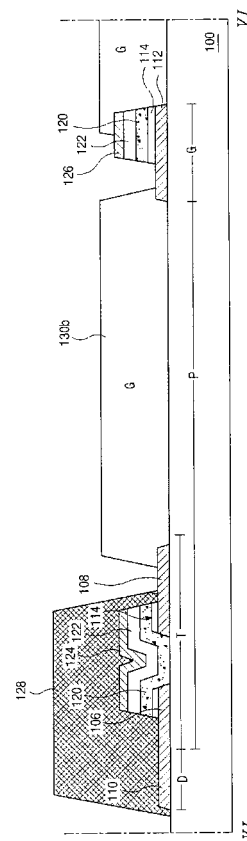
【 図 4 G 】



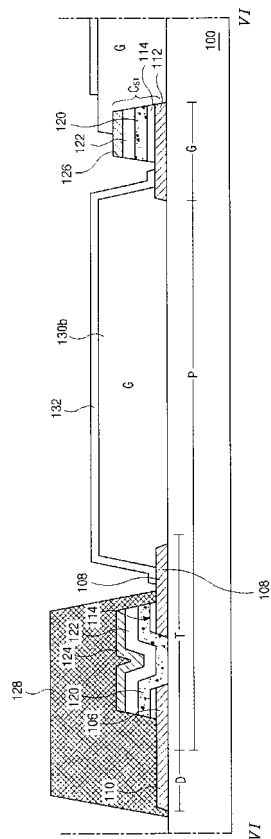
【 図 6 D 】



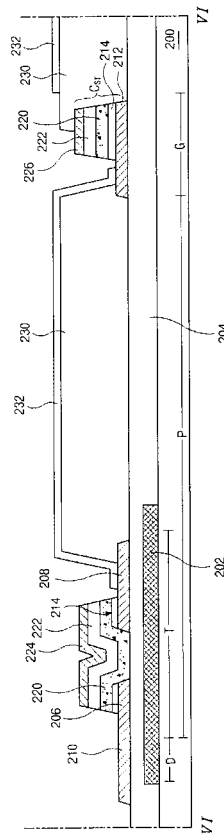
【 図 6 E 】



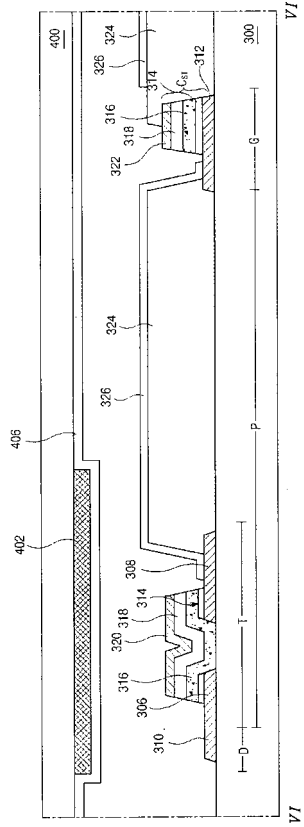
【 図 6 F 】



【圖 7】



【図 8】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 21/336 (2006.01) H 0 1 L 29/78 6 1 2 D
H 0 1 L 29/786 (2006.01)

(72)発明者 ドン・フン・リ
大韓民国、431-080 キョンギ・ド、アニョン・シ、ドンガン・グ、ホゲ・ドン、セマウル
・アパートメント 505-105

(72)発明者 ミン・ジュ・キム
大韓民国、150-044 ソウル、ヨンドンボ・グ、タンサンドン4・ガ、ユウォン・アパート
メント 4・ドン、706・ホ

審査官 山口 裕之

(56)参考文献 特開平10-096949(JP,A)
特開平07-181515(JP,A)
特開2000-231123(JP,A)
特開2002-055363(JP,A)
特開平03-167524(JP,A)
特開昭64-046982(JP,A)
特開昭59-232385(JP,A)
特開平11-337915(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 0 2 F 1 / 1 3 6 8
G 0 2 F 1 / 1 3 3 5

专利名称(译)	用于液晶显示装置的阵列基板		
公开(公告)号	JP4266793B2	公开(公告)日	2009-05-20
申请号	JP2003404939	申请日	2003-12-03
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji飞利浦杜迪股份有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	ドンフンリ ミンジュキム		
发明人	ドン-フン・リ ミン-ジュ・キム		
IPC分类号	G02F1/1368 G02B5/20 G02F1/1335 G09F9/30 G09F9/35 H01L21/336 H01L29/786 G02F1/136 G02F1/1362		
CPC分类号	G02F1/136209 G02F2001/136222		
FI分类号	G02F1/1368 G02B5/20.101 G02F1/1335.505 G09F9/30.338 G09F9/35 H01L29/78.612.D		
F-TERM分类号	2H048/BA02 2H048/BA11 2H048/BA45 2H048/BB01 2H048/BB02 2H048/BB07 2H048/BB08 2H048/BB43 2H048/BB44 2H091/FA02Y 2H091/GA01 2H091/GA02 2H091/GA07 2H091/GA13 2H091/LA12 2H092/GA11 2H092/JA24 2H092/JA25 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JB22 2H092/JB31 2H092/JB52 2H092/KA12 2H092/KA18 2H092/KB26 2H092/NA27 2H092/PA01 2H092/PA08 2H148/BB01 2H148/BB03 2H148/BD02 2H148/BD11 2H148/BD14 2H148/BE37 2H148/BE38 2H148/BE40 2H148/BG02 2H148/BH28 2H191/FA02Y 2H191/GA01 2H191/GA04 2H191/GA10 2H191/GA19 2H191/LA13 2H192/AA24 2H192/BC33 2H192/CB03 2H192/DA02 2H192/DA42 2H192/EA06 2H192/EA13 2H192/EA15 2H192/EA17 2H192/EA22 2H192/EA42 2H192/EA76 2H291/FA02Y 2H291/GA01 2H291/GA04 2H291/GA10 2H291/GA19 2H291/LA13 5C094/AA08 5C094/AA10 5C094/AA43 5C094/AA44 5C094/AA48 5C094/BA03 5C094/BA43 5C094/CA19 5C094/CA24 5C094/DA13 5C094/DB01 5C094/EA04 5C094/EA05 5C094/ED03 5C094/ED15 5C094/FA01 5C094/FA02 5C094/FB19 5C094/GB10 5F110/AA16 5F110/AA30 5F110/BB01 5F110/CC05 5F110/DD12 5F110/DD13 5F110/DD14 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE43 5F110/GG02 5F110/GG15 5F110/GG35 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HK09 5F110/HK16 5F110/HK21 5F110/HK32 5F110/HM18 5F110/NN02 5F110/NN27 5F110/NN33 5F110/NN72 5F110/NN73		
代理人(译)	英年古河 Kajinami秩序		
审查员(译)	山口博之		
优先权	1020020080881 2002-12-17 KR		
其他公开文献	JP2004199049A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种用于液晶显示器件的阵列基板及其制造方法，其中通过将顶栅型薄膜晶体管应用于阵列部件来简化掩模工艺，并通过缩短工艺时间来提高产量。解决方案：滤色器130形成在顶栅型薄膜晶体管阵列部分的上部。其中，当形成包括滤色器

130的顶栅型薄膜晶体管的阵列部分时，同时构图源电极106，漏电极108和导电非晶硅层，以及栅电极124，有源层120和栅极绝缘膜被图案化并同时形成。这种用于COT（薄膜转换器上的滤色器）结构的液晶显示装置的阵列基板具有能够简化制造过程的优点。Ž

