

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4227000号
(P4227000)

(45) 発行日 平成21年2月18日 (2009. 2. 18)

(24) 登録日 平成20年12月5日 (2008. 12. 5)

(51) Int. Cl.	F I
GO2F 1/1368 (2006.01)	GO2F 1/1368
GO2F 1/1335 (2006.01)	GO2F 1/1335 500
GO2F 1/1343 (2006.01)	GO2F 1/1335 505
GO2F 1/1345 (2006.01)	GO2F 1/1343
	GO2F 1/1345

請求項の数 14 (全 24 頁)

(21) 出願番号	特願2003-397453 (P2003-397453)	(73) 特許権者	501426046
(22) 出願日	平成15年11月27日 (2003. 11. 27)		エルジー ディスプレイ カンパニー リ
(65) 公開番号	特開2004-310039 (P2004-310039A)		ミテッド
(43) 公開日	平成16年11月4日 (2004. 11. 4)		大韓民国 ソウル, ヨンドゥンポーク, ヨ
審査請求日	平成16年6月4日 (2004. 6. 4)		イドードン 20
審査番号	不服2007-10165 (P2007-10165/J1)	(74) 代理人	100110423
審査請求日	平成19年4月9日 (2007. 4. 9)		弁理士 曾我 道治
(31) 優先権主張番号	2002-078009	(74) 代理人	100084010
(32) 優先日	平成14年12月9日 (2002. 12. 9)		弁理士 古川 秀利
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100094695
			弁理士 鈴木 憲七
		(74) 代理人	100111648
			弁理士 梶並 順

最終頁に続く

(54) 【発明の名称】 液晶表示装置用アレイ基板の製造方法

(57) 【特許請求の範囲】

【請求項 1】

基板上の一端にゲートパッドを含むゲート配線とゲート配線から延長されたゲート電極を形成する第1段階と；

前記ゲート配線とゲートパッドとゲート電極が形成された基板全面に第1絶縁膜を形成する第2段階と；

前記ゲート電極の上部の第1絶縁膜上に、純粋非晶質シリコンであるアクティブ層と、不純物非晶質シリコンであるオーミックコンタクト層とを形成する第3段階と；

前記ゲート配線に垂直に交差してゲート電極と共に画素領域を定義するデータ配線と、データ配線の一端に位置するデータパッドと、データ配線からオーミックコンタクト層の上部へ延長される薄膜トランジスタのソース電極と、前記ソース電極と分離されオーミックコンタクト層の上部に位置する前記薄膜トランジスタのドレイン電極と、前記ゲート配線と重畳するストレージ金属層とを形成する第4段階と；

前記薄膜トランジスタが形成された基板全面に第2絶縁膜を形成する第5段階と；

前記ドレイン電極の一部を除いた薄膜トランジスタの上部と、前記ゲート配線及びデータ配線の上部とにブラックマトリックスを形成する第6段階と；

前記ブラックマトリックスが形成された基板全面に第3絶縁膜を形成する第7段階と；
第3絶縁膜と、第2絶縁膜と、その下部の第1絶縁膜とをパターンングして、前記ドレイン電極の一側と画素領域と前記ストレージ金属層とを露出させると共に、ゲートパッド及びデータパッドを各々露出するゲートパッドコンタクトホールとデータパッドコンタク

10

20

トホールを形成する第 8 段階と；

第 8 段階を経た後の基板全面に、露出されたドレイン電極及びストレージ金属層と接触し、ゲートパッドコンタクトホールを通じてゲートパッドと接触し、かつデータパッドコンタクトホールを通じてデータパッドと接触する第 1 透明電極層を形成する第 9 段階と；

第 1 透明電極層の上部に、画素領域に対応するカラーフィルターと、ゲートパッドに対応する第 1 カラーフィルターパターンと、データパッドと対応する第 2 カラーフィルターパターンとを形成する第 10 段階と；

前記カラーフィルター、第 1 カラーフィルターパターン及び第 2 カラーフィルターパターンが形成された基板全面に第 1 透明電極層と接触する第 2 透明電極層を形成する第 11 段階と；

第 1 透明電極層及び第 2 透明電極層を同時にパターンニングして、前記ドレイン電極と接触しながら画素領域ごとに独立したパターンに第 1 透明電極層からパターンニングされた第 1 画素電極と、第 1 画素電極と接触しながら画素領域ごとに独立したパターンに第 2 透明電極層からパターンニングされた第 2 画素電極と、ゲートパッドの上部に第 1 透明電極層からパターンニングされた第 1 ゲートパッド端子及び第 2 透明電極層からパターンニングされた第 2 ゲートパッド端子と、データパッドの上部に第 1 透明電極層からパターンニングされた第 1 データパッド端子及び第 2 透明電極層からパターンニングされた第 2 データパッド端子とを形成する第 12 段階と

を含み、

前記ストレージ金属層と前記ゲート配線の重畳部は、前記ストレージ金属層及びゲート配線間に形成された第 1 絶縁膜と共にストレージキャパシターをなす液晶表示装置用アレイ基板の製造方法。

【請求項 2】

前記薄膜トランジスタは、ゲート電極、アクティブ層、オーミックコンタクト層、ソース電極、ドレイン電極を含むように形成される

ことを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 3】

第 1 画素電極及び第 2 画素電極は、二重層で構成されたサンドイッチ形画素電極を構成する

ことを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 4】

前記カラーフィルターは、第 1 画素電極と第 2 画素電極の間に介在するように形成される

ことを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 5】

第 1 カラーフィルターパターンは、第 1 ゲートパッド端子及び第 2 ゲートパッド端子の間に介在するように形成され、第 2 カラーフィルターパターンは、第 1 ゲートパッド端子及び第 2 ゲートパッド端子の間に介在するように形成される

ことを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 6】

第 8 段階において、前記ゲートパッドコンタクトホールは、前記データパッドの各々の上部に多数形成される

ことを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 7】

第 1 カラーフィルターパターンは、前記ゲートパッドコンタクトホール各々に対応して形成される

ことを特徴とする請求項 6 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 8】

多数のスリットが含まれたマスクを利用して第 1 カラーフィルターパターン及び第 2 カラーフィルターパターンを形成する

10

20

30

40

50

ことを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 9】

前記多数のスリットを通過した光は分散され、第 1 カラーフィルターパターン及び第 2 カラーフィルターパターンの高さが低くなる

ことを特徴とする請求項 8 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 10】

第 2 絶縁膜は、前記薄膜トランジスタとブラックマトリックスの間に介在するように形成される

ことを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 11】

第 1 絶縁膜と第 2 絶縁膜と第 3 絶縁膜は、窒化シリコン及び酸化シリコンのうちの一つで形成される

ことを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 12】

第 1 透明電極層及び第 2 透明電極層は、インジウム - スズ - オキサイド (ITO) とインジウム - ジンク - オキサイド (IZO) を含んだ透明導電性金属グループのうちから選択された一つで形成される

ことを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 13】

前記カラーフィルターは、赤色、緑色、青色のカラーフィルターが各々画素領域に対応して構成される

ことを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 14】

第 1 画素電極は、前記基板に直接接触するように形成される

ことを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に係り、薄膜トランジスタアレイ部の上部にカラーフィルターを構成する COT (color filter on TFT) 構造の液晶表示装置とその製造方法に関する。

【背景技術】

【0002】

一般的に、液晶表示装置は、液晶分子の光学的異方性と複屈折特性を利用して画像を表現するものであって、電界が印加されると液晶の配列が変わり、変わった液晶の配列方向によって光が透過する特性も変わる。

【0003】

液晶表示装置は、電界生成電極が各々形成されている二枚の基板を電極が形成されている面が向かい合うように配置し、両基板間に液晶物質を注入した後に、両電極間に電圧を印加して生成される電界により液晶分子を動くようにして、これにより変わる光の透過率により画像を表現する装置である。

【0004】

図 1 は、液晶表示装置を概略的に示した図面である。図示したように、カラー液晶表示装置 11 は、上部基板 5 と、下部基板 22 と、基板間に充填された液晶とで構成されている。上部基板 5 は、サブカラーフィルター 8 と各サブカラーフィルター 8 の間に設けられたブラックマトリックス 6 を含んでおり、カラーフィルター 8 とブラックマトリックス 6 の上部に蒸着された共通電極 18 をさらに含む。下部基板 22 には画素領域 P が定義され、画素領域 P には画素電極 17 とスイッチング素子 T が構成されて、画素領域 P の周辺にアレイ配線が形成されている。

【0005】

前記下部基板 22 はアレイ基板とも称するが、スイッチング素子である薄膜トランジスタ

10

20

30

40

50

タTがマトリックス状に配置されており、このような多数の薄膜トランジスタTに交差してゲート配線13とデータ配線15が形成される。

【0006】

ここで、前記画素領域Pは前記ゲート配線13とデータ配線15が交差して定義される領域で、前記画素領域P上には前述したように透明な画素電極17が形成される。前記画素電極17は、インジウム-スズ-オキサイド(ITO)のように光の透過率が比較的優れた透明導電性金属を用いる。

【0007】

前記画素電極17と並列に接続したストレージキャパシタCがゲート配線13の上部に構成され、このストレージキャパシタCの第1電極としてゲート配線13の一部を用い、また、第2電極としてソース電極及びドレイン電極と同一層同一物質で形成されたアイランド状のストレージ金属層30を用いる。

10

【0008】

この時、前記アイランド状のストレージ金属層30は画素電極17と接触して画素電極17の信号を受けるように構成される。

【0009】

ところで、前述したようなカラーフィルター基板としての上部基板5とアレイ基板としての下部基板22を合着して液晶パネルを製作する場合に、上部基板5と下部基板22の合着誤差による光漏れ不良などが発生する確率が非常に高い。

【0010】

20

以下、図2を参照して説明する。図2は、図1のII-IIに沿って切断した断面図である。前述したように、アレイ基板である第1基板22と、前記第1基板22と離隔されたカラーフィルター基板である第2基板5と、前記第1基板22と第2基板5との間に位置する液晶層14を含む。

【0011】

アレイ基板22の上部には、ゲート電極32、アクティブ層34、ソース電極36、ドレイン電極38を含む薄膜トランジスタTが構成され、前記薄膜トランジスタTの上部にはこれを保護する保護膜40が構成されている。さらに、画素領域Pには前記薄膜トランジスタTのドレイン電極38と接触する透明画素電極17が構成されて、画素電極17と並列に連結したストレージキャパシタCがゲート配線13の上部に構成されている。前記上部基板5には前記ゲート配線13とデータ配線15と薄膜トランジスタTに対応してブラックマトリックス6が構成されて、下部基板22の画素領域Pに対応してカラーフィルター8a, 8b, 8cが構成される。

30

【0012】

この時、一般的なアレイ基板は、垂直クロストーク(cross talk)を防止するために、データ配線15と画素電極17を一定間隔A離隔して構成し、ゲート配線13と画素電極も一定間隔B離隔して構成する。

【0013】

データ配線15及びゲート配線13と画素電極17間の離隔した空間ABは光漏れ現象が発生する領域であるために、上部カラーフィルター基板5に構成したブラックマトリックス6がこの部分を遮る役割をする。

40

【0014】

また、前記薄膜トランジスタTの上部に構成されたブラックマトリックス6は外部から照射される光が保護膜40を通過してアクティブ層34に影響を与えないようにするために光を遮断する役割をする。

【発明の開示】

【発明が解決しようとする課題】

【0015】

ところが、前記上部基板5と下部基板22を合着する工程において合着誤差(misalign)が発生する場合があるので、これを勘案して前記ブラックマトリックス6を設計する時

50

に一定の値のマーヅンをにおいて設計するため、そのマーヅン分だけ開口率が低下する。

【0016】

また、マーヅンを越えた合着誤差が発生する場合、光漏れ領域A、Bがブラックマトリックス6によりすべてを遮られない光漏れ不良が発生する場合がたびたびある。このような場合には、前記光漏れが外部に現れるので、画質を低下させる問題がある。

【0017】

本発明は前述したような問題を解決するために提案されたものであって、本発明を要約すれば、カラーフィルターを下部基板に構成してカラーフィルター間領域つまり、薄膜トランジスタとゲート配線及びデータ配線の上にブラックマトリックスを構成する。

【0018】

前記画素領域には第1画素電極とカラーフィルターと第2画素電極の順に構成するが、前記第1画素電極はドレイン電極と直接接触するように構成して、前記第2画素電極は前記第1画素電極と接触するように構成する。

【0019】

ここで、前記ゲート配線とデータ配線の一端に各々構成されるゲートパッドとデータパッドが前記カラーフィルターをパターンニングする薬液に露出されないように、薄膜トランジスタアレイ部とカラーフィルターを形成する工程を完了した後、最後の工程で前記ゲートパッド及びデータパッドを露出する第1方法を提案する。

【0020】

そして、前記ゲートパッドとデータパッドの上に別途のカラーフィルターパターンニングを形成して、前記カラーフィルターをパターンニングする薬液に前記ゲートパッドとデータパッドが露出されることを防止する第2方法を提案する。

【0021】

前述したような構成は、前記カラーフィルターとブラックマトリックスを下部基板に直接構成するため、ブラックマトリックスを設計する時に考えられた合着マーヅンをおく必要がないので、開口率が改善する長所があつて、前記ゲートパッドが断線される不良を防げるため、信号不良を防ぐ長所もある。

【課題を解決するための手段】

【0029】

本発明による液晶表示装置用アレイ基板の製造方法は、基板上の一端にゲートパッドを含むゲート配線とゲート配線から延長されたゲート電極を形成する第1段階と；前記ゲート配線とゲートパッドとゲート電極が形成された基板全面に第1絶縁膜を形成する第2段階と；前記ゲート電極の上部の第1絶縁膜上に純粋非晶質シリコンであるアクティブ層と、不純物非晶質シリコンであるオーミックコンタクト層を形成する第3段階と；前記ゲート配線に垂直に交差してゲート電極と共に画素領域を定義するデータ配線と、データ配線の一端に位置するデータパッドと、データ配線からオーミックコンタクト層の上部へ延長される薄膜トランジスタのソース電極と、前記ソース電極と分離されオーミックコンタクト層の上部に位置する前記薄膜トランジスタのドレイン電極と、前記ゲート配線と重畳するストレージ金属層とを形成する第4段階と；前記薄膜トランジスタが形成された基板全面に第2絶縁膜を形成する第5段階と；前記ドレイン電極の一部を除いた薄膜トランジスタの上部と、前記ゲート配線及びデータ配線の上にブラックマトリックスを形成する第6段階と；前記ブラックマトリックスが形成された基板全面に第3絶縁膜を形成する第7段階と；第3絶縁膜と、第2絶縁膜と、その下部の第1絶縁膜とをパターンニングして、前記ドレイン電極の側と画素領域と前記ストレージ金属層とを露出させると共に、ゲートパッド及びデータパッドを各々露出するゲートパッドコンタクトホールとデータパッドコンタクトホールを形成する第8段階と；第8段階を経た後の基板全面に、露出されたドレイン電極及びストレージ金属層と接触し、ゲートパッドコンタクトホールを通じてゲートパッドと接触し、かつデータパッドコンタクトホールを通じてデータパッドと接触する第1透明電極層を形成する第9段階と；第1透明電極層の上部に、画素領域に対応するカラーフィルターと、ゲートパッドに対応する第1カラーフィルターパターンと、データパ

10

20

30

40

50

ドと対応する第2カラーフィルターパターンとを形成する第10段階と；前記カラーフィルター、第1カラーフィルターパターン及び第2カラーフィルターパターンが形成された基板全面に第1透明電極層と接触する第2透明電極層を形成する第11段階と；第1透明電極層及び第2透明電極層を同時にパターンニングして、前記ドレイン電極と接触しながら画素領域ごとに独立したパターンに第1透明電極層からパターンニングされた第1画素電極と、第1画素電極と接触しながら画素領域ごとに独立したパターンに第2透明電極層からパターンニングされた第2画素電極と、ゲートパッドの上部に第1透明電極層からパターンニングされた第1ゲートパッド端子及び第2透明電極層からパターンニングされた第2ゲートパッド端子と、データパッドの上部に第1透明電極層からパターンニングされた第1データパッド端子及び第2透明電極層からパターンニングされた第2データパッド端子とを形成する第12段階とを含み、前記ストレージ金属層と前記ゲート配線の重畳部は、前記ストレージ金属層及びゲート配線間に形成された第1絶縁膜と共にストレージキャパシターをなすことを特徴とする。

10

【発明の効果】

【0032】

本発明によるCOT構造の液晶表示装置用アレイ基板は、ブラックマトリクスを設計する時、合着誤差による工程マージンをおく必要がないので、開口率が改善する効果がある。また、前記ゲートパッドまたは、データパッドが前記カラーフィルターをパターンニングする薬液によって腐食される不良を防げる効果もある。

【発明を実施するための最良の形態】

20

【0033】

以下、添付した図面を参照しながら、本発明による望ましい実施の形態を説明する。

- 参考例 -

図3は、本発明による液晶表示装置用アレイ基板の構成を概略的に示した図面である。図示したように、基板100上に一方向へ延長され、一端にゲートパッド106を含むゲート配線102を相互平行に構成して、前記ゲート配線102と垂直に交差して多数の画素領域Pを定義し、一端にゲートパッド120を含むデータ配線118を形成する。前記ゲート配線102とデータ配線118の交差点にはゲート電極104、アクティブ層110、ソース電極114、ドレイン電極116を含む薄膜トランジスタTを構成する。

【0034】

30

前記ゲート配線102及びデータ配線118が交差して定義される領域Pには、ドレイン電極116と接触し、二重層で構成された透明画素電極138、140と、二重層の透明画素電極138、140の間に介在されたカラーフィルター134a、134b、134cを構成する。

【0035】

前記二重層の透明画素電極138、140は、前記ゲート配線102の上部に構成されたストレージキャパシターCstと並列に連結される。前記ストレージキャパシターCstは、前記ゲート配線102の一部上部に位置して前記透明画素電極138、140と接触するアイランド状のストレージ金属層122を第1電極として、その下部のゲート配線102を第2電極とする。COT構造は、図示したように、前記薄膜トランジスタTアレイ部の上部にブラックマトリクス128と赤色、緑色、青色のカラーフィルター134a、134b、134cを構成する。

40

【0036】

ブラックマトリクス128は、光漏れ領域を遮る役割をして、ゲート配線102及びデータ配線118と薄膜トランジスタTに対応して構成する。前記ブラックマトリクス128は、不透明な有機物質を塗布して形成され、光を遮る役割と共に薄膜トランジスタTを保護する保護膜の役割もする。

【0037】

前述した構成において、前記ゲートパッド106とデータパッド120は、ゲートコンタクトホール142及びデータコンタクトホール144を通じて露出された形状で工程が

50

完了する。すなわち、前述した構成において、二重層の透明画素電極138、140とカラーフィルター134a、134b、134cを形成する工程を完了した後、最後の工程で前記ゲートパッド106とデータパッド120を露出する工程を進めて、前記カラーフィルター134a、134b、134cをパターニングする薬液によってアルミニウム系列で製作された前記ゲートパッド106とデータパッド120がダメージを受けないようにする。

【0038】

以下、図4Aないし図4Hと、図5Aないし図5Hと、図6Aないし図6Hを参照しながら、本発明の参考例による液晶表示装置用アレイ基板の製造方法を説明する。図4Aないし図4Hと、図5Aないし図5Hと、図6Aないし図6Hは、図3のIV-IV、V-V、VI-VI線に沿って切断して、本発明の参考例による工程順序で図示した工程断面図である。ここで、図3の切断線IV-IVは薄膜トランジスタと画素の切断線で、V-Vはゲートパッド部の切断線で、VI-VIはデータパッド部の切断線である。

10

【0039】

図4Aと図5Aと図6Aに図示したように、基板100上に導電性金属を蒸着してパターニングし、一端にゲートパッド106を含むゲート配線102と、ゲート配線102から延長されたゲート電極104を形成する。

【0040】

ここで、前記ゲート配線102を形成する物質は信号遅延を防ぐために抵抗の低いアルミニウム系列の金属を使用する。この時、前記アルミニウム系列の金属は化学的に耐食性が弱いため、特に、以後工程で形成されるカラーフィルターをパターニングする薬液にダメージを与えられたり、ゲートパッド106と接触する透明端子を別途に構成する場合、前記薬液によって、前記透明端子とゲートパッド106の間にガルバニック現象が起って、前記ゲートパッド106が腐食する不良が起きる。

20

【0041】

前記ゲート配線102とゲート電極104とゲートパッド106が形成された基板100全面に窒化シリコン(SiN_x)と酸化シリコン(SiO_2)を含む無機絶縁物質グループのうちから選択された一つを蒸着して、第1絶縁層であるゲート絶縁膜108を形成する。前記ゲート絶縁膜108は純粋非晶質シリコン($a\text{-Si:H}$)と不純物が含まれた非晶質シリコン($n+a\text{-Si:H}$)を蒸着してパターニングし、ゲート電極104の上部のゲート絶縁膜108上にアクティブ層110とオーミックコンタクト層112を形成する。

30

【0042】

次に、図4Bと図5Bと図6Bに図示したように、前記アクティブ層110とオーミックコンタクト層112が形成された基板100全面にクロム(Cr)、モリブデン(Mo)、タングステン(W)、銅(Cu)を含む導電性金属グループのうちから選択された一つを蒸着してパターニングし、前記オーミックコンタクト層112と各々接触するソース電極114とドレイン電極116と、前記ソース電極112と連結され一端にデータパッド120を含むデータ配線118と、前記ゲート配線102の上部にアイランド状のストレージ金属層122を形成する。

40

【0043】

このような金属層のパターニング後、ソース電極114とドレイン電極116の間に現れたオーミックコンタクト層112をパターニングして、下部のアクティブ層110にチャンネル領域を形成する。この時、前記ソース電極114とドレイン電極116はマスクとしての機能をする。前記ソース電極114及びドレイン電極116とデータパッド120を含むデータ配線118が形成された基板100全面に窒化シリコン(SiN_x)と酸化シリコン(SiO_2)を含む無機絶縁物質グループのうちから選択された一つを蒸着して、第2絶縁膜124を形成する。

【0044】

ここで、第2絶縁膜124の機能は、以後に形成される有機膜(図示せず)と前記アク

50

タイプ層 110 の間に発生できる接触不良を防ぐ機能をする。第 2 絶縁膜 124 は、以後工程で形成される有機膜（ブラックマトリックス）とアクティブ層 110 の間に接触不良が発生しないならばあえて形成する必要はない。前述したような工程を通じて、薄膜トランジスタアレイ部を形成する工程が完了する。

【0045】

次に、図 4 C と図 5 C と図 6 C に図示したように、前記第 2 絶縁膜 124 の上部に誘電率の低い不透明な有機物質を塗布してブラック有機層 126 を形成してパターンングし、前記ソース電極 114 及びドレイン電極 116 の一部上部と、前記アイランド状のストレージ金属層 122 の一部上部と、表示領域を通るデータ配線 118 とゲート配線 102 の上部にブラックマトリックス 128 を形成する。前記ブラックマトリックス 128 は、薄膜トランジスタ T を保護する役割もする。

10

【0046】

次に、図 4 D と図 5 D と図 6 D に図示したように、前記ブラックマトリックス 128 が形成された基板 100 全面に絶縁物質を蒸着して、第 3 絶縁膜 130 を形成する。前記第 3 絶縁膜 130 は、窒化シリコン (SiN_x) と酸化シリコン (SiO_2) を含む無機絶縁物質グループのうちから選択された一つを蒸着して形成する。

【0047】

図 4 E と図 5 E と図 6 E に図示したように、前記第 3 絶縁膜 130 と第 2 絶縁膜と第 1 絶縁膜（ゲート絶縁膜）108 をエッチングして、前記ドレイン電極 116 の一部を露出し、画素領域 P を露出して、前記アイランド状のストレージ金属層 122 の一部を露出する。この時、前記ゲートパッド 106 とデータパッド 120 は露出しない。

20

【0048】

図 4 F と図 5 F と図 6 F に図示したように、前記パターンングされた第 3 絶縁膜 130 が形成された基板 100 全面に、前述したようなインジウム - スズ - オキサイド (ITO) とインジウム - ジンク - オキサイド (IZO) を含む透明な導電性金属を蒸着して、第 1 透明電極層 132 を形成する。続いて、前記第 1 透明電極層 132 が形成された基板 100 全面にカラー樹脂を塗布して、多数の画素領域 P に赤色、緑色、青色のカラーフィルター 134 a、134 b、134 c を各々構成する。

【0049】

図 4 G と図 5 G と図 6 G に図示したように、前記多数のカラーフィルターパターンング 134 a、134 b、図 3 の 134 c が形成された基板 100 全面に、前述した透明電極を蒸着し、第 2 透明電極層 136 を形成して、前記第 2 透明電極層 136 と、その下部の第 1 透明電極層 132 を同時にパターンングし、前記画素領域 P に対応して二重層の画素電極 138、140 を形成する。

30

【0050】

前記第 1 画素電極 138 は、露出されたドレイン電極 116 の一端とアイランド状のストレージ金属層 122 と直接接触するようになり、前記第 2 画素電極 140 は前記カラーフィルターを間において前記第 1 画素電極 138 と接触する。従って、第 2 画素電極 140 は、前記第 1 画素電極 138 を通じてドレイン電極 116 から信号を入力する。

【0051】

また、前記ゲート配線 102 の上部には、前記画素電極 138、140 と接触するアイランド状のストレージ金属層 122 を第 1 電極として、その下部のゲート配線 102 を第 1 電極とするストレージキャパシタ Cst が形成される。前述した構成において、前記カラーフィルター 134 a、134 b、図 3 の 134 c と画素電極 138、140 を形成する工程が完了する。

40

【0052】

次の工程は、前記ゲートパッドとデータパッドを露出する工程であって、図 4 H と図 5 H と図 6 H に図示したように、前記第 3 絶縁膜 130 と第 2 絶縁膜 124 と第 1 絶縁膜 108 をエッチングして、前記ゲートパッド 106 を露出するゲートパッドコンタクトホール 142 を形成し、前記第 3 絶縁膜 130 と第 2 絶縁膜 124 をエッチングして、前記デ

50

ータパッド120を露出するデータパッドコンタクトホール144を形成する。

【0053】

前述したような工程により、本発明の参考例によるCOT構造の液晶表示装置用基板が製作されて、前記ゲートパッド及びデータパッドを露出する工程は工程の最後に行なわれるため、前記カラーフィルターをパターニングする薬液が前記ゲートパッド106及びデータパッド120にダメージを受けないようになる。

【0054】

以下、本発明の第1の実施の形態は、本発明の参考例の変形例であって、前記ゲートパッドを、前記カラーフィルターをパターニングする薬液から保護する他の方法を提案する。

10

【0055】

- - 第1の実施の形態 - -

本発明の第1の実施の形態は、前述した薄膜トランジスタアレイ部の工程で、前記ゲートパッド及びデータパッドの上部に別途のカラーフィルターパターニングを形成して、前記カラーフィルターをパターニングする薬液が前記ゲートパッド及びデータパッドへ浸透するのを防ぐためである。

【0056】

図7は、本発明のCOT構造の液晶表示装置用アレイ基板の構成を概略的に示した平面図である。図示したように、基板200上に一方向へ延長され、一端にゲートパッド206を含むゲート配線202を相互平行に構成して、前記ゲート配線202と垂直に交差し

20

て多数の画素領域Pを定義し、一端にデータパッド220を含むデータ配線218を構成する。前記ゲート配線202とデータ配線218の交差時点には、ゲート電極204、アクティブ層210、ソース電極214及びドレイン電極216を含む薄膜トランジスタを構成する。

【0057】

前記ゲート配線202とデータ配線218が交差し定義される領域Pには、ドレイン電極216と接触しながら透明電極248、250とカラーフィルター238a、238b、238cを構成する。前記透明画素電極248、250は、二重層であって、このうちの第1画素電極248は、ドレイン電極216と接触しながらカラーフィルター238a、238b、238cの下部に構成し、第2画素電極250は、カラーフィルター238a、238b、238cの上部に構成する。前記第2画素電極250は、前記第1画素電極248を通じてドレイン電極216と間接的に接触する形状である。

30

【0058】

第1透明画素電極248及び第2透明画素電極250は、ゲート配線202の上部に構成されたストレージキャパシタCstと並列に連結される。ストレージキャパシタCstは、前記ゲート配線202の一部上部に構成されて、前記第1透明画素電極248及び第2透明画素電極250と接触するアイランド状のストレージ金属層222を第1電極として、その下部のゲート配線202を第2電極とする。前記ゲートパッド206とデータパッド220の上部に二重層のゲートパッド端子252、254と、二重層のデータパッド端子256、258が各々構成される。各二重層の端子の間には、カラーフィルターパターニング240、242が介在される。

40

【0059】

このような構成は、前記カラーフィルター238をパターニングする薬液がゲートパッド206またはデータパッド220へ浸透するのを防げるため、前記薬液により、前記透明電極と各パッドの間にガルバニック現象が起こるのも防げて、ゲートパッド206及びデータパッド220が腐食するのを防げる。

【0060】

以下、図8Aないし図8Gと、図9Aないし図9Gと、図10Aないし図10Gを参照しながら、本発明の第1の実施の形態によるCOT構造の薄膜トランジスタアレイ部とカラーフィルター部の製造工程を説明する。図8Aないし図8Gと、図9Aないし図9Gと

50

、図10Aないし図10Gは、図7のVIII-VIII、IX-IX、X-X線に沿って切断して、本発明の第1の実施の形態による工程順序で図示した工程断面図である。

【0061】

図8Aと図9Aと図10Aに図示したように、基板200上に導電性金属を蒸着してパターンニングし、一端にゲートパッド206を含むゲート配線202と、ゲート配線202から延長されたゲート電極204を形成する。ここで、前記ゲート配線202を形成する物質は信号遅延を防ぐために抵抗の低いアルミニウム系列の金属を使用する。この時、前記アルミニウム系列の金属は化学的に耐食性が弱いため、特に、以後工程で形成されるカラーフィルターをパターンニングする薬液にダメージを与えられ易い欠点がある。

【0062】

前記ゲート配線204とゲート電極202とゲートパッド206が形成された基板200全面に窒化シリコン(SiN_x)と酸化シリコン(SiO_2)を含む無機絶縁物質グループのうちから選択された一つを蒸着して、第1絶縁層であるゲート絶縁膜208を形成する。前記ゲート絶縁膜208は純粹非晶質シリコン($a-Si:H$)と不純物が含まれた非晶質シリコン($n+a-Si:H$)を蒸着してパターンニングし、ゲート電極204の上部のゲート絶縁膜208上にアクティブ層210とオーミックコンタクト層212を形成する。

【0063】

次に、図8Bと図9Bと図10Bに図示したように、前記アクティブ層210とオーミックコンタクト層212が形成された基板200全面にクロム(Cr)、モリブデン(Mo)、タングステン(W)、銅(Cu)、チタン(Ti)、タンタル(Ta)を含む導電性金属グループのうちから選択された一つを蒸着してパターンニングし、前記オーミックコンタクト層212と各々接触するソース電極214とドレイン電極216と、前記ソース電極212と連結され一端にデータパッド220を含むデータ配線218と、前記ゲート配線202の上部にアイランド状のストレージ金属層222を形成する。

【0064】

続いて、ソース電極214及びドレイン電極216の間に現れたオーミックコンタクト層212をエッチングして、前記アクティブ層210を現すようにチャンネル領域を形成する。このようなオーミックコンタクト層212のエッチング時、前記ソース電極214及びドレイン電極216はマスクとしての役割をする。

【0065】

続いて、前記ソース電極214及びドレイン電極216とデータパッド220を含むデータ配線218が形成された基板200全面に窒化シリコン(SiN_x)と酸化シリコン(SiO_2)を含む無機絶縁物質グループのうちから選択された一つを蒸着して、第2絶縁膜224を形成する。

【0066】

ここで、第2絶縁膜224の機能は、以後に形成される有機膜(図示せず)と前記アクティブ層210の間に発生できる接触不良を防ぐための機能をする。第2絶縁膜224は、以後工程で形成される有機膜(ブラックマトリックス)とアクティブ層110の間に接触不良が発生しないならばあえて形成する必要はない。前述したような工程を通じて、薄膜トランジスタアレイ部を形成する工程が完了する。

【0067】

次に、図8Cと図9Cと図10Cに図示したように、前記第2絶縁膜224の上部に誘電率の低い不透明な有機物質を塗布し、ブラック有機層226を形成してパターンニングし、前記ドレイン電極216の一部を除いた薄膜トランジスタTの上部と、前記アイランド状のストレージ金属層222の一部上部と、データ配線218とゲート配線202の上部にブラックマトリックス228を形成する。

【0068】

次に、図8Dと図9Dと図10Dに図示したように、前記ブラックマトリックス228が形成された基板200全面に絶縁物質を蒸着して、第3絶縁膜230を形成する。前記

10

20

30

40

50

第3絶縁膜230は、窒化シリコン(SiN_x)と酸化シリコン(SiO_2)を含む無機絶縁物質グループのうちから選択された一つを蒸着して形成する。

【0069】

図8Eと図9Eと図10Eに図示したように、前記第3絶縁膜230と第2絶縁膜224とゲート絶縁膜208をエッチングして、前記ドレイン電極216の一侧と画素領域Pと、アイランド状のストレージ金属層122の一侧を露出する。

【0070】

同時に、図9Eと図10Eに図示したように、前記ゲートパッド206とデータパッド220を露出するゲートパッドコンタクトホール232とデータパッドコンタクトホール234を形成する。

10

【0071】

次に、図8Fと図9Fと図10Fに図示したように、前記パターンニングした第3絶縁膜230が形成された基板200全面に前述したような、インジウム-スズ-オキサイド(ITO)とインジウム-ジंक-オキサイド(IZO)を含む透明な導電性金属を蒸着して、第1透明電極層236を形成する。

【0072】

続いて、前記第1透明電極層236が形成された基板200全面にカラー樹脂を塗布して、多数の画素領域Pに赤色、緑色、青色のカラーフィルター238a、238b、図7の238cを各々形成する。

【0073】

同時に、前記赤色、緑色、青色のカラーフィルターのうち、最初にパターンニングされるカラー樹脂(例えば、赤色のカラー樹脂)を利用して、前記ゲートパッドコンタクトホール(図8Eの232)と前記データパッドコンタクトホール(図9Eの234)に対応して別途のカラーフィルターパターンニング240、242を形成する。

20

【0074】

図8Gと図9Gと図10Gに図示したように、前記多数のカラーフィルター238a、238b、238cが形成された基板200全面に、前述した透明電極を蒸着して、第2透明電極層246を形成し、前記第2透明電極層246と、その下部の第1透明電極層236を同時にパターンニングし、前記画素領域Pに対応してカラーフィルターを介在した第1透明画素電極及び第2透明画素電極で構成された二重層の画素電極248、250を形成する。

30

【0075】

同時に、前記ゲートパッド206に対応して別途のカラーフィルターパターンニング240を間に介在した第1ゲートパッド端子252及び第2ゲートパッド端子254と、前記データパッドに対応して別途のカラーフィルターパターンニング242を間に介在した第1データパッド端子256及び第2データパッド端子258を形成する。

【0076】

前述したような工程により、本発明による第1の実施の形態が製作されて、前述した工程で、前記ゲートパッドとデータパッドのコンタクトホールに対応して形成された別途のカラーフィルターパターンニングは、前述したように、前記カラーフィルターをパターンニングする薬液が前記ゲートパッドまたはデータパッドへ浸透するのを防ぐのみならず、外部回路(駆動回路が付着されたTCP)を付着する工程中、緩衝作用果たすので下部のゲートパッドとデータパッドを保護する。

40

【0077】

前述した構成により、前記ゲートパッド及びデータパッドに別途で構成されるカラーフィルターパターンニングの高さをすこし低くしたいのならば、この部分に対応するマスクを完全遮断部に置かないで光を全部じゃなく一部だけを透過し、その一部が露光されるようにする。

【0078】

このようにすると、図11Aと図11Bに図示したように、高さが低いカラーフィルタ

50

ーパターンニングは、前記ゲートパッドとデータパッドの上部に形成する。すなわち、図 1 1 A と図 1 1 B に図示したように、マスク 3 0 0 は、カラーフィルターパターンニング 2 4 0、2 4 2 に対応する位置に多数のスリット 3 2 0 を含む。従って、カラーフィルター 2 3 8 とカラーフィルターパターンニング 2 4 0、2 4 2 を形成するマスク工程において、マスク 3 0 0 を通過する光は分散されてカラー樹脂を弱く露光させる。弱く露光された部分は、現像工程で一部だけが現像され、最終的には、図 1 1 A と図 1 1 B に図示したように、高さが低いカラーフィルターパターンニング 2 4 0、2 4 2 が形成する。

【0079】

図 1 2 A と図 1 2 B は、本発明の第 1 の実施の形態によるパッド部の変形例を図示した平面図と断面図である。図 1 2 A と図 1 2 B では、ゲートパッド部を例えとして説明する。

10

【0080】

図示したように、ゲートパッド 2 0 6 に多数のコンタクトホールを形成して、前記コンタクトホールごとカラーフィルターパターンニング 2 4 0 を形成する。すなわち、ゲートパッド 2 0 6 の上部に多数のコンタクトホールを形成し、この多数のコンタクトホールに対応して多数のカラーフィルターパターンニング 2 4 0 を形成する。

【0081】

前記多数のカラーフィルターパターンニング 2 4 0 の下部には、前記ゲートパッド 2 0 6 と直接接触する第 1 ゲートパッド端子 2 5 2 が形成されて、前記カラーフィルターパターンニング 2 4 0 の上部には、前記第 1 ゲートパッド端子 2 5 2 と接触する第 2 ゲートパッド端子 2 5 4 が形成される。すなわち、前記第 1 ゲートパッド端子 2 5 2 と第 2 ゲートパッド端子 2 5 4 は、前記多数のカラーフィルターパターンニング 2 4 0 を包むような形状である。

20

【0082】

前述したような形状は、カラーフィルターとゲートパッド端子の接触面積を広げられるので、パッド部に付着される付着手段の接触特徴が改善する。ここで、前記コンタクトホールの構成と、これによるカラーフィルターパターンニングの構成は、多様に変形できる。

【図面の簡単な説明】

【0083】

【図 1】一般的な液晶表示装置の構成を概略的に示した図面である。

30

【図 2】図 1 の I I - I I 線に沿って切断して示した断面図である。

【図 3】本発明の参考例による C O T 構造の液晶表示装置用アレイ基板の一部を概略的に示した図面である。

【図 4 A】図 3 の IV - IV 線に沿って切断して、本発明の参考例による工程順序により示した図面である。

【図 4 B】図 4 A に続く製造工程を示す断面図である。

【図 4 C】図 4 B に続く製造工程を示す断面図である。

【図 4 D】図 4 C に続く製造工程を示す断面図である。

【図 4 E】図 4 D に続く製造工程を示す断面図である。

【図 4 F】図 4 E に続く製造工程を示す断面図である。

40

【図 4 G】図 4 F に続く製造工程を示す断面図である。

【図 4 H】図 4 G に続く製造工程を示す断面図である。

【図 5 A】図 3 の V - V 線に沿って切断して、本発明の参考例による工程順序により示した図面である。

【図 5 B】図 5 A に続く製造工程を示す断面図である。

【図 5 C】図 5 B に続く製造工程を示す断面図である。

【図 5 D】図 5 C に続く製造工程を示す断面図である。

【図 5 E】図 5 D に続く製造工程を示す断面図である。

【図 5 F】図 5 E に続く製造工程を示す断面図である。

【図 5 G】図 5 F に続く製造工程を示す断面図である。

50

【図 5 H】図 5 G に続く製造工程を示す断面図である。

【図 6 A】図 3 の VI - VI 線に沿って切断して、本発明の参考例による工程順序により示した図面である。

【図 6 B】図 6 A に続く製造工程を示す断面図である。

【図 6 C】図 6 B に続く製造工程を示す断面図である。

【図 6 D】図 6 C に続く製造工程を示す断面図である。

【図 6 E】図 6 D に続く製造工程を示す断面図である。

【図 6 F】図 6 E に続く製造工程を示す断面図である。

【図 6 G】図 6 F に続く製造工程を示す断面図である。

【図 6 H】図 6 G に続く製造工程を示す断面図である。

10

【図 7】本発明の第 1 の実施の形態による C O T 構造の液晶表示装置用アレイ基板の一部を概略的に示した図面である。

【図 8 A】図 7 の VIII - VIII 線に沿って切断して、本発明の第 1 の実施の形態による工程順序により示した図面である。

【図 8 B】図 8 A に続く製造工程を示す断面図である。

【図 8 C】図 8 B に続く製造工程を示す断面図である。

【図 8 D】図 8 A に続く製造工程を示す断面図である。

【図 8 E】図 8 D に続く製造工程を示す断面図である。

【図 8 F】図 8 E に続く製造工程を示す断面図である。

【図 8 G】図 8 F に続く製造工程を示す断面図である。

20

【図 9 A】図 7 の IX - IX 線に沿って切断して、本発明の第 1 の実施の形態による工程順序により示した図面である。

【図 9 B】図 9 A に続く製造工程を示す断面図である。

【図 9 C】図 9 B に続く製造工程を示す断面図である。

【図 9 D】図 9 C に続く製造工程を示す断面図である。

【図 9 E】図 9 D に続く製造工程を示す断面図である。

【図 9 F】図 9 E に続く製造工程を示す断面図である。

【図 9 G】図 9 F に続く製造工程を示す断面図である。

【図 10 A】図 7 の X - X 線に沿って切断して、本発明の第 1 の実施の形態による工程順序により示した図面である。

30

【図 10 B】図 10 A に続く製造工程を示す断面図である。

【図 10 C】図 10 B に続く製造工程を示す断面図である。

【図 10 D】図 10 C に続く製造工程を示す断面図である。

【図 10 E】図 10 D に続く製造工程を示す断面図である。

【図 10 F】図 10 E に続く製造工程を示す断面図である。

【図 10 G】図 10 F に続く製造工程を示す断面図である。

【図 11 A】本発明の第 1 の実施の形態によるゲートパッド部の変形例を示した断面図である。

【図 11 B】本発明の第 1 の実施の形態によるデータパッド部の変形例を示した断面図である。

40

【図 12 A】本発明の第 1 の実施の形態によるゲートパッド部の変形例を示した平面図である。

【図 12 B】本発明の第 1 の実施の形態によるゲートパッド部の変形例を示した断面図である。

【符号の説明】

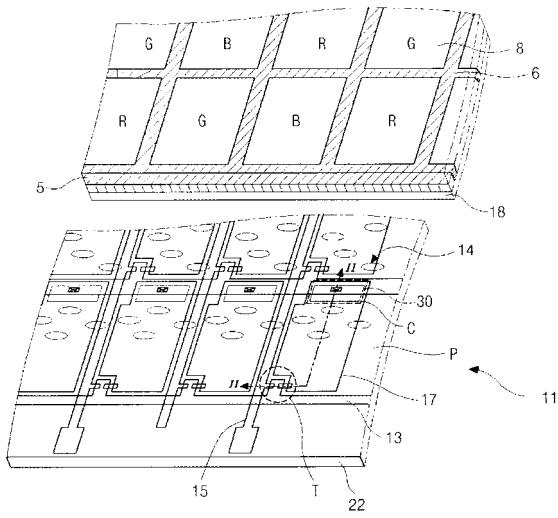
【0084】

100：基板、102：ゲート配線、104：ゲート電極、106：ゲートパッド、114：ソース電極、116：ドレイン電極、118：データ配線、120：データパッド、122：アイランド状のストレージ金属層、128：ブラックマトリックス、134A、134B、134C：カラーフィルター、138、140：画素電極、142：ゲート

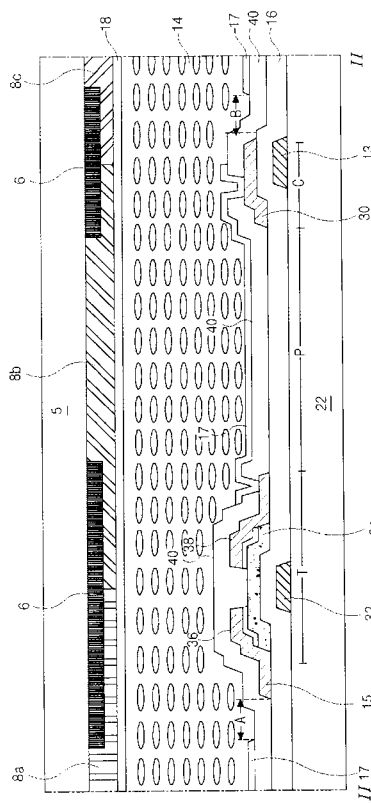
50

パッドコンタクトホール、144：データパッドコンタクトホール。

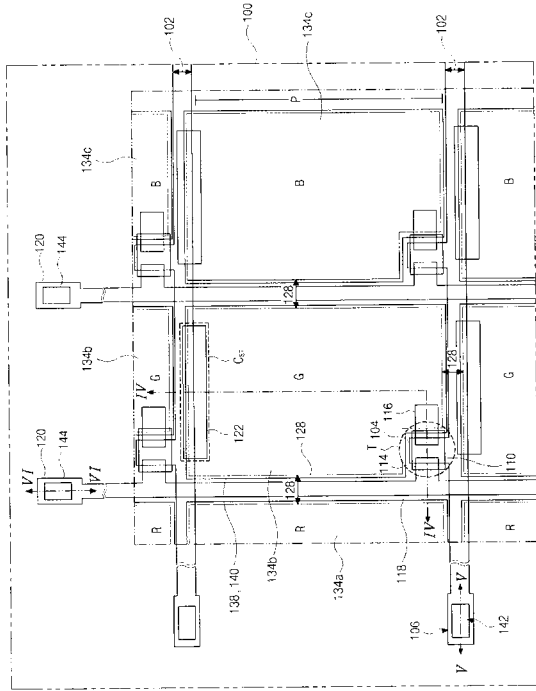
【図1】



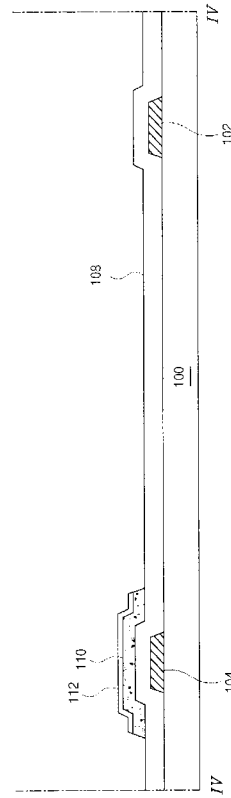
【図2】



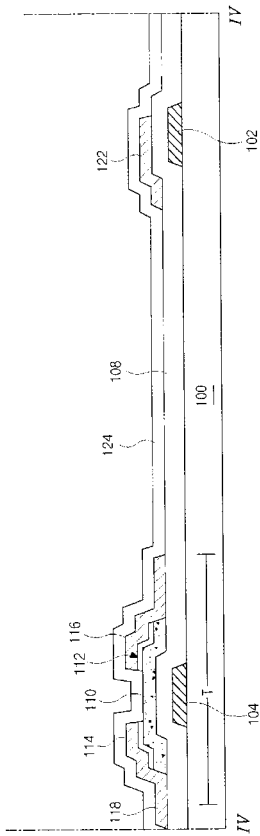
【図 3】



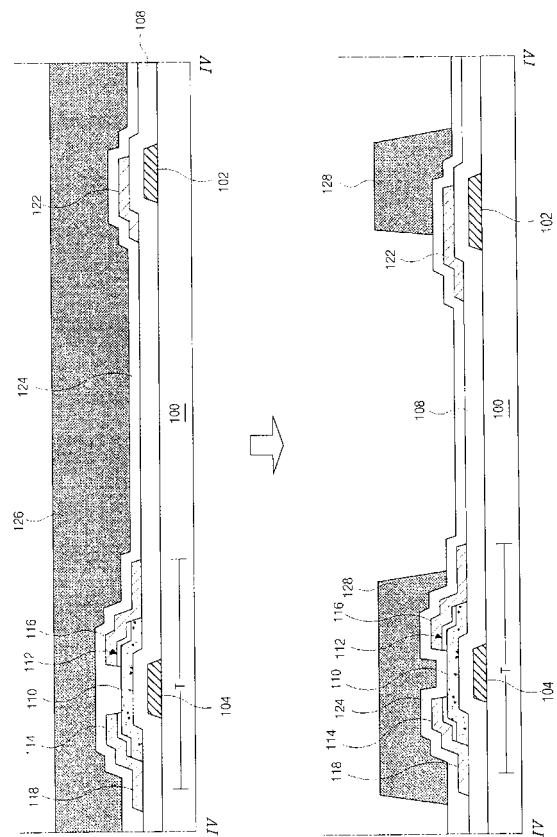
【図 4 A】



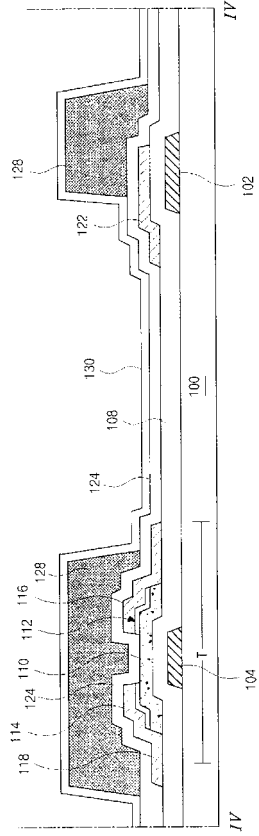
【図 4 B】



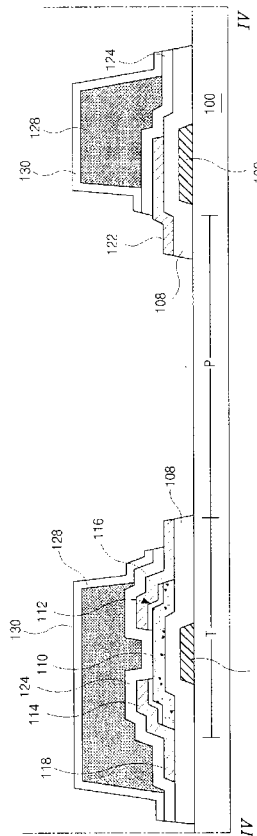
【図 4 C】



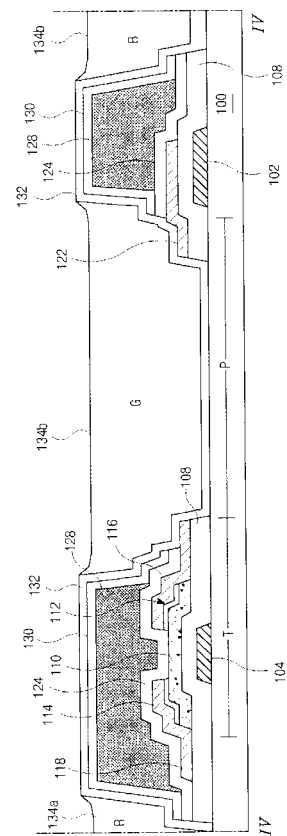
【図 4 D】



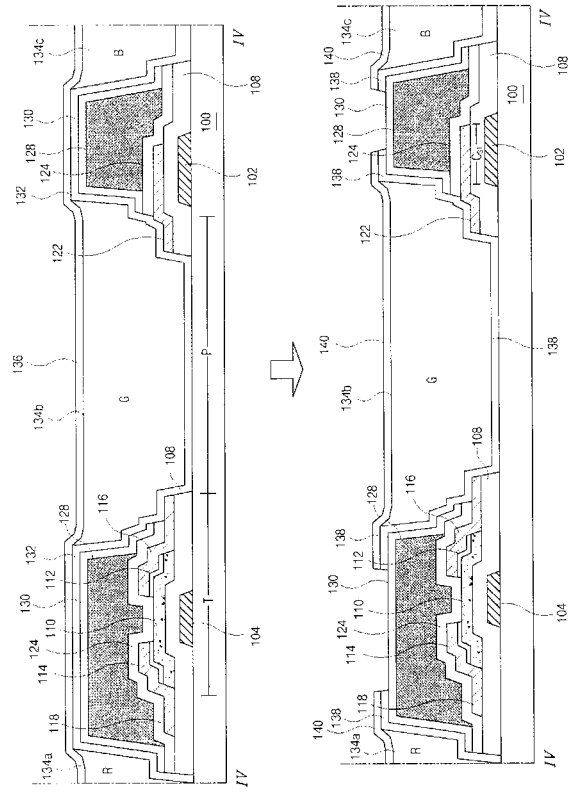
【図 4 E】



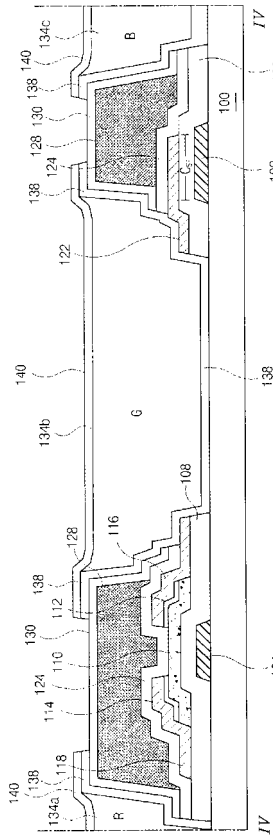
【図 4 F】



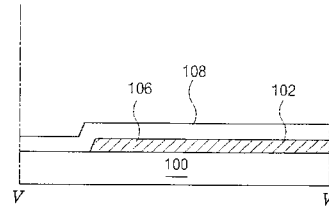
【図 4 G】



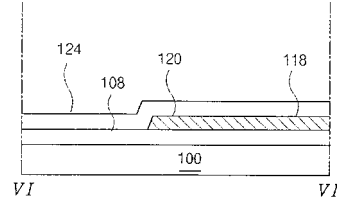
【 4 H 】



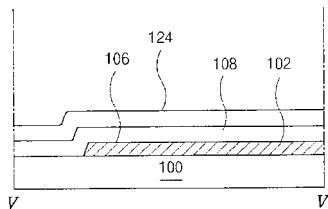
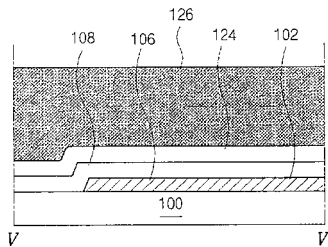
【 5 A 】



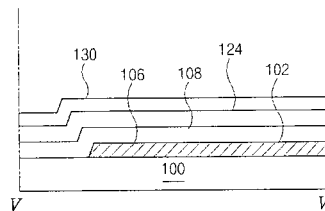
【 5 B 】



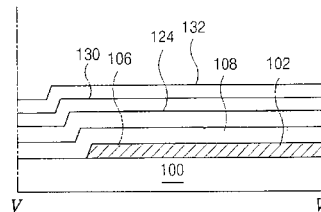
【 5 C 】



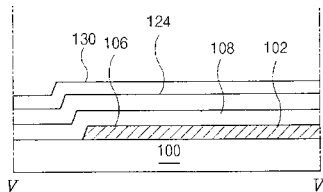
【 5 E 】



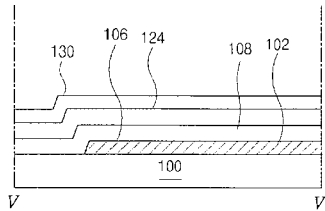
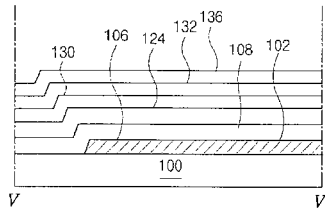
【 5 F 】



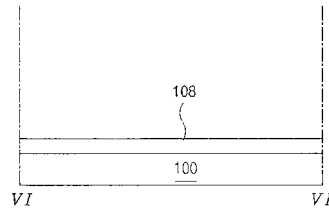
【 5 D 】



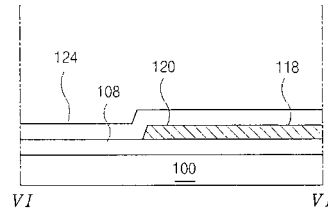
【 5 G 】



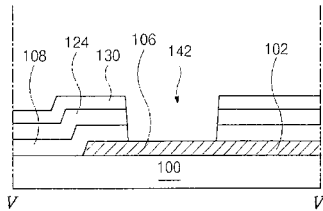
【 6 A 】



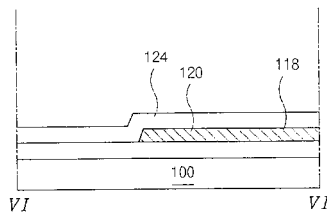
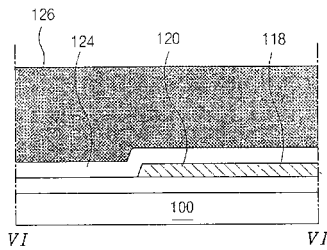
【 6 B 】



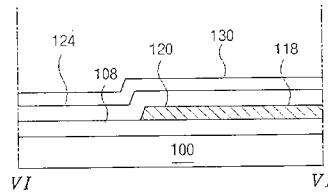
【 5 H 】



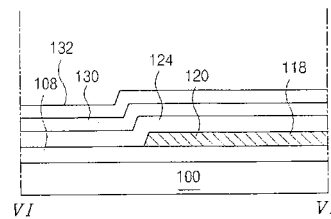
【 6 C 】



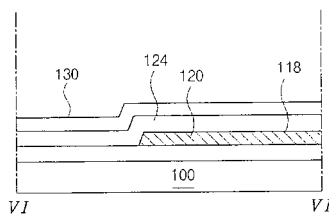
【 6 E 】




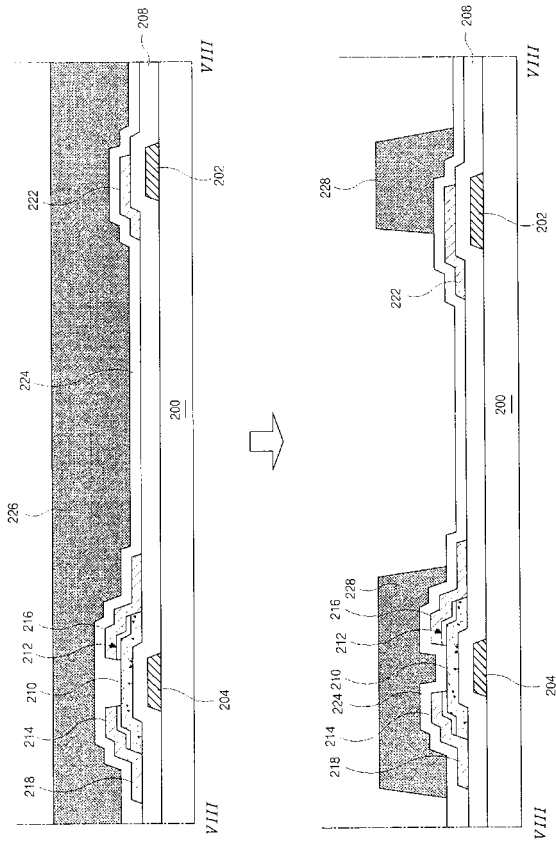
【 6 F 】




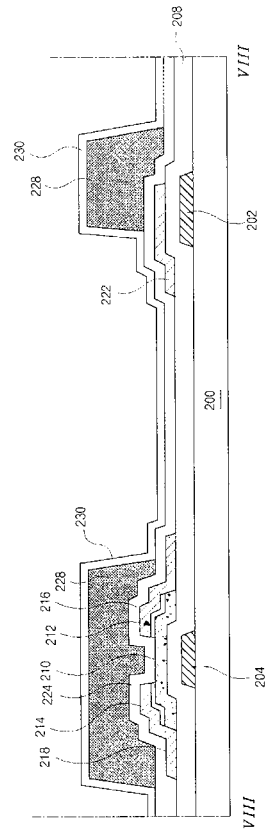
【 6 D 】




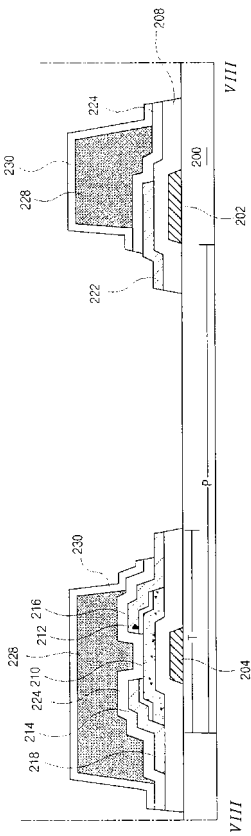
【 8 C】




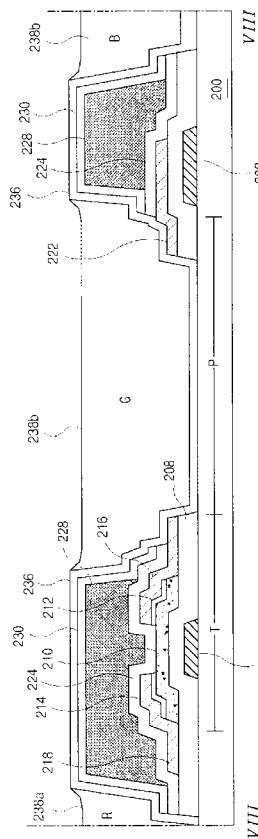
【 8 D】



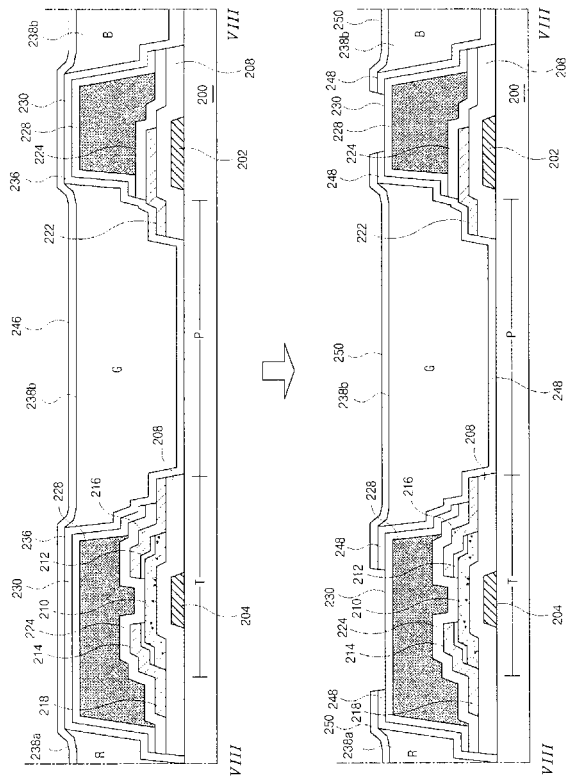
【 8 E】



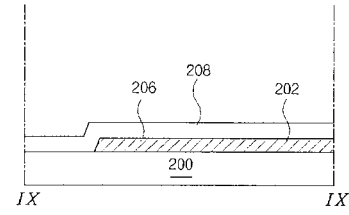
【 8 F】



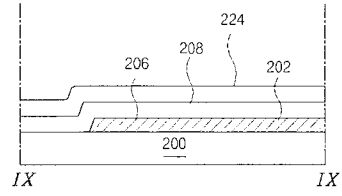
【 8 G 】



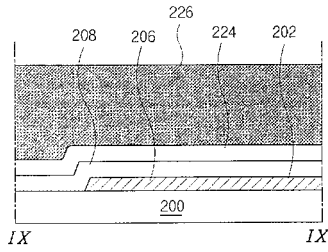
【 9 A 】



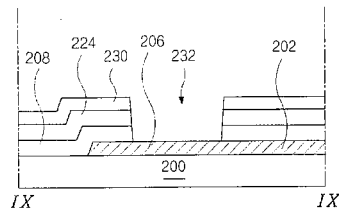
【 9 B 】



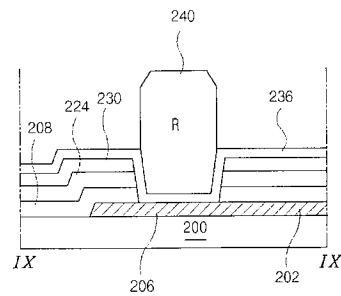
【 9 C 】



【 9 E 】



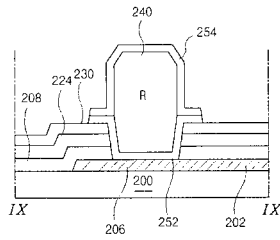
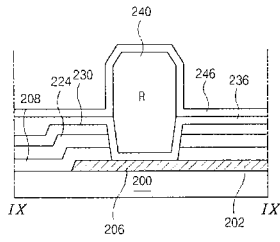
【 9 F 】



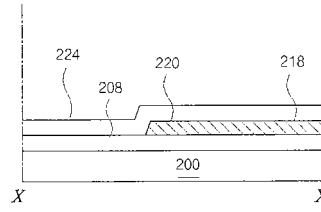
【 9 D 】



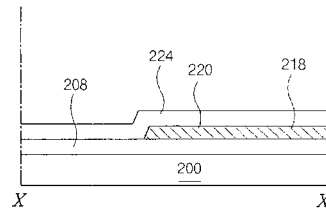
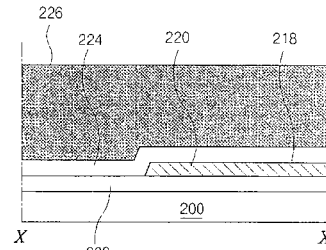
【図9G】



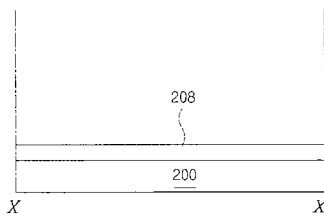
【図10B】



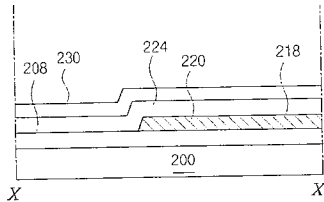
【図10C】



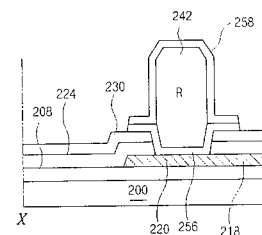
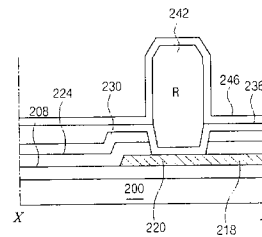
【図10A】



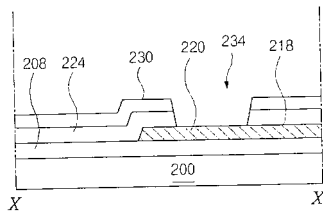
【図10D】



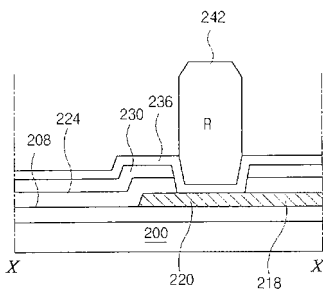
【図10G】




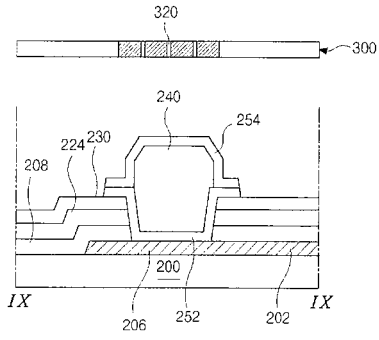
【図10E】




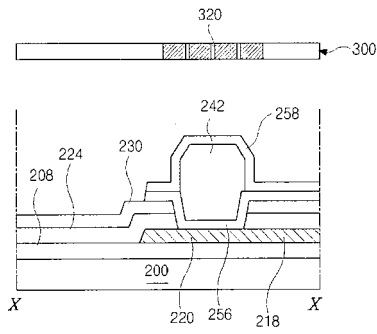
【図10F】




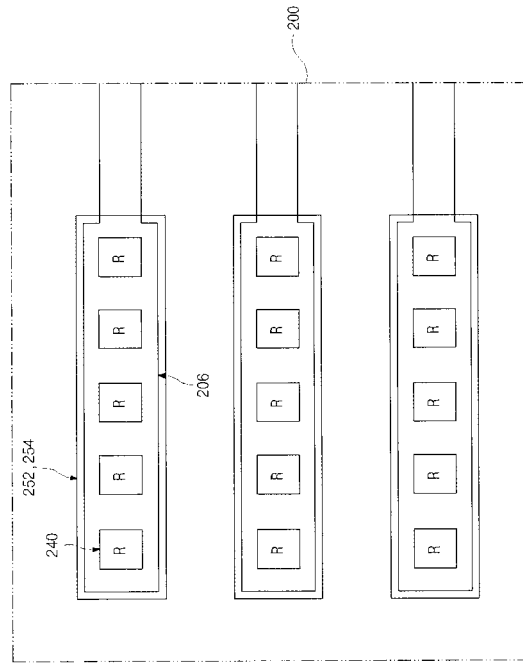
【 1 1 A】




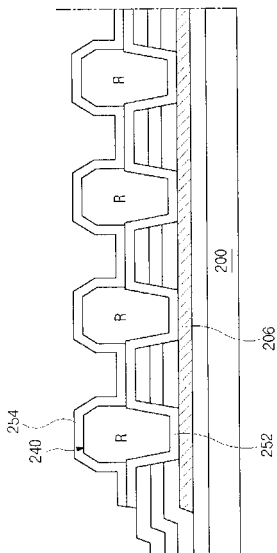
【 1 1 B】



【 1 2 A】



【 1 2 B】



フロントページの続き

- (72)発明者 ウン・クォン・キム
大韓民国、435-040 キョンギ-ド、クンポ-シ、サンボン-ドン 1145、セジョン・
アパートメント 640-1204
- (72)発明者 ヨン・ギョン・チャン
大韓民国、437-070 キョンギ-ド、ウィウアン-シ、オジョン-ドン、エルジー・チンダ
ル・アパートメント、103-ドン、807-ホ
- (72)発明者 ソン・リュル・パク
大韓民国、406-120 インチョン、ヨンス-グ、チョンハク-ドン 469-3、25/2

合議体

審判長 小牧 修
審判官 西村 直史
審判官 服部 秀男

- (56)参考文献 特開2002-169182(JP,A)
特開平07-020487(JP,A)
特開平03-015027(JP,A)
特開平03-163524(JP,A)
特開2000-162625(JP,A)
特開平07-072473(JP,A)
特開平09-292633(JP,A)
特開2001-195005(JP,A)
特開2004-310036(JP,A)
特開平11-015022(JP,A)
特開2002-333845(JP,A)
特開2004-310027(JP,A)
特開平02-153325(JP,A)
特開2004-004572(JP,A)
特開2003-091012(JP,A)
特開2004-191972(JP,A)
特開2004-094206(JP,A)
特開平10-186408(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1343
G02F 1/1345

专利名称(译)	制造用于液晶显示装置的阵列基板的方法		
公开(公告)号	JP4227000B2	公开(公告)日	2009-02-18
申请号	JP2003397453	申请日	2003-11-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji飞利浦杜迪股份有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	ウンクオンキム ヨンギョンチャン ソンリュルパク		
发明人	ウン-クオン・キム ヨン-ギョン・チャン ソン-リュル・パク		
IPC分类号	G02F1/1368 G02F1/1335 G02F1/1343 G02F1/1345 G02F1/136 G02F1/1362 H01L29/786		
CPC分类号	G02F1/13458 G02F1/134336 G02F1/136209 G02F2001/136222		
FI分类号	G02F1/1368 G02F1/1335.500 G02F1/1335.505 G02F1/1343 G02F1/1345 H01L29/78.612.C H01L29/78.619.A H01L29/78.619.B		
F-TERM分类号	2H091/FA04Y 2H091/FA35Y 2H091/FC01 2H091/FC10 2H091/FD04 2H091/FD05 2H091/GA02 2H091/GA13 2H091/LA12 2H091/LA15 2H091/LA30 2H092/GA17 2H092/GA24 2H092/GA28 2H092/GA33 2H092/GA34 2H092/GA41 2H092/GA43 2H092/HA04 2H092/HA28 2H092/JA24 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JA45 2H092/JB52 2H092/JB56 2H092/JB64 2H092/KA05 2H092/KA12 2H092/KB24 2H092/KB25 2H092/KB26 2H092/MA04 2H092/MA12 2H092/MA17 2H092/MA37 2H092/NA25 2H092/NA29 2H092/PA08 2H092/PA09 2H191/FA06Y 2H191/FA14Y 2H191/FC01 2H191/FC10 2H191/FD04 2H191/FD05 2H191/GA04 2H191/GA19 2H191/LA13 2H191/LA19 2H191/LA40 2H192/AA24 2H192/BA42 2H192/CB05 2H192/CB35 2H192/CC32 2H192/CC72 2H192/DA02 2H192/DA42 2H192/EA02 2H192/EA42 2H192/EA74 2H192/FA64 2H192/HA44 2H291/FA06Y 2H291/FA14Y 2H291/FC01 2H291/FC10 2H291/FD04 2H291/FD05 2H291/GA04 2H291/GA19 2H291/LA13 2H291/LA19 2H291/LA40 5F110/AA21 5F110/AA30 5F110/BB01 5F110/CC07 5F110/EE03 5F110/EE37 5F110/EE43 5F110/FF02 5F110/FF03 5F110/FF27 5F110/GG02 5F110/GG15 5F110/GG35 5F110/GG42 5F110/HK02 5F110/HK04 5F110/HK09 5F110/HK16 5F110/HK32 5F110/HM18 5F110/HM19 5F110/NN03 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN33 5F110/NN45 5F110/QQ11		
代理人(译)	英年古河 Kajinami秩序		
审查员(译)	小牧修		
助理审查员(译)	服部秀雄		
优先权	1020020078009 2002-12-09 KR		
其他公开文献	JP2004310039A		
外部链接	Espacenet		
摘要(译)			

