

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第4219886号
(P4219886)

(45) 発行日 平成21年2月4日(2009.2.4)

(24) 登録日 平成20年11月21日(2008.11.21)

(51) Int.Cl.

F I

GO2F 1/1368 (2006.01)

GO2F 1/1333 (2006.01)

GO2F 1/1335 (2006.01)

GO2F 1/1368

GO2F 1/1333 505

GO2F 1/1335 505

請求項の数 25 (全 21 頁)

(21) 出願番号	特願2004-380486 (P2004-380486)	(73) 特許権者	501426046
(22) 出願日	平成16年12月28日 (2004.12.28)		エルジー ディスプレイ カンパニー リ
(65) 公開番号	特開2005-196189 (P2005-196189A)		ミテッド
(43) 公開日	平成17年7月21日 (2005.7.21)		大韓民国 ソウル, ヨンドゥンポーク, ヨ
審査請求日	平成17年3月3日 (2005.3.3)		イドードン 20
(31) 優先権主張番号	2003-099918	(74) 代理人	100064447
(32) 優先日	平成15年12月30日 (2003.12.30)		弁理士 岡部 正夫
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100085176
			弁理士 加藤 伸晃
		(74) 代理人	100106703
			弁理士 産形 和央
		(74) 代理人	100094112
			弁理士 岡部 譲
		(74) 代理人	100096943
			弁理士 白井 伸一

最終頁に続く

(54) 【発明の名称】 液晶表示装置用アレイ基板及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

基板上に、相互に交差して、画素領域を定義するゲート配線及びデータ配線と；
前記ゲート配線及びデータ配線が交差する部分に位置して、ゲート電極と、半導体パターンと、ソース電極と、ドレイン電極とを含む薄膜トランジスタと；
前記ゲート配線及びデータ配線と、前記薄膜トランジスタとに対応するブラックマトリックスと；
前記ブラックマトリックス上に位置して、前記第 1 及び第 2 の領域とを含む第 1 の絶縁膜と、ここで、前記第 1 の絶縁膜は無機材料からなり、前記第 1 の領域は画素領域に対応し第 1 の厚さを有し、前記第 2 の領域は前記第 2 の領域の前記第 1 の絶縁層を部分的にエッチングすることにより前記第 1 の厚さより薄い第 2 の厚さを有し；
前記第 1 の絶縁膜上に位置して、前記第 1 の領域に対応するカラーフィルターパターンと；
前記カラーフィルターパターン上に位置して、前記薄膜トランジスタに連結される画素電極とを含む液晶表示装置用基板。

【請求項 2】

前記第 1 の厚さと第 2 の厚さの差は、前記第 1 の絶縁膜の平均表面の粗さ以上であることを特徴とする請求項 1 に記載の液晶表示装置用基板。

【請求項 3】

前記平均表面の粗さは、前記第 1 の絶縁膜の表面の粗さの R M S 値であることを特徴と

する請求項 2 に記載の液晶表示装置用基板。

【請求項 4】

前記ゲート配線と重なるストレージ電極をさらに含み、前記第 1 の絶縁膜は、第 1 のコンタクトホールを有して、前記ストレージ電極は、前記第 1 のコンタクトホールを通じて前記画素電極と接触することを特徴とする請求項 1 に記載の液晶表示装置用基板。

【請求項 5】

前記ドレイン電極と前記ストレージ電極とを連結する連結電極をさらに含むことを特徴とする請求項 4 に記載の液晶表示装置用基板。

【請求項 6】

前記第 1 の絶縁膜は、第 2 のコンタクトホールを有して、前記画素電極は、前記第 2 のコンタクトホールを通じて前記ドレイン電極と直接接触することを特徴とする請求項 4 に記載の液晶表示装置用基板。

10

【請求項 7】

前記第 1 の絶縁膜と前記ストレージ電極間に位置する第 2 の絶縁膜をさらに含み、前記第 2 の絶縁膜は、前記第 1 のコンタクトホールを含むことを特徴とする請求項 4 に記載の液晶表示装置用基板。

【請求項 8】

前記ブラックマトリックスは、前記第 1 の絶縁膜と前記薄膜トランジスタ間に位置することを特徴とする請求項 1 に記載の液晶表示装置用基板。

【請求項 9】

20

前記ゲート配線の一端に位置するゲートパッドと、前記データ配線の一端に位置するデータパッドとをさらに含むことを特徴とする請求項 1 に記載の液晶表示装置用基板。

【請求項 10】

前記ゲートパッドは、前記ゲート配線に連結されるゲートパッド電極と、前記ゲートパッド電極と接触するゲートパッド電極端子を含むことを特徴とする請求項 9 に記載の液晶表示装置用基板。

【請求項 11】

前記データパッドは、前記データ配線に連結されるデータパッド電極と、前記データパッド電極と接触するデータパッド電極端子とを含むことを特徴とする請求項 9 に記載の液晶表示装置用基板。

30

【請求項 12】

基板上に、相互に交差して、画素領域を定義するゲート配線及びデータ配線を形成する段階と；

前記ゲート配線及びデータ配線が交差する部分に、ゲート電極と、半導体パターンと、ソース電極と、ドレイン電極とを含む薄膜トランジスタを形成する段階と；

前記ゲート配線及びデータ配線と、前記薄膜トランジスタとに対応するブラックマトリックスを形成する段階と；

前記ブラックマトリックス上に、第 1 及び第 2 の領域とを有する第 1 の絶縁膜を形成する段階と；

前記第 1 の絶縁膜上に、前記第 1 の領域に対応するカラーフィルターパターンを形成する段階と；

40

前記カラーフィルターパターンをマスクとして使用して、前記第 2 の領域を一部除去する段階と；

前記カラーフィルターパターン上に、前記薄膜トランジスタに連結される画素電極を形成する段階とを含む液晶表示装置用基板の製造方法。

【請求項 13】

前記第 2 の領域を一部除去する段階は、前記第 1 の絶縁膜の平均表面の粗さ以上の厚さほど、第 2 の領域を除去する段階であることを特徴とする請求項 12 に記載の液晶表示装置用基板の製造方法。

【請求項 14】

50

前記平均表面の粗さは、前記第 1 の絶縁膜の表面の粗さの R M S 値であることを特徴とする請求項 1 3 に記載の液晶表示装置用基板の製造方法。

【請求項 1 5】

前記ドレイン電極の形成時、前記ゲート配線と重なり、前記画素電極と接触するストレージ電極を形成する段階をさらに含むことを特徴とする請求項 1 2 に記載の液晶表示装置用基板の製造方法。

【請求項 1 6】

前記ドレイン電極の形成時、前記ドレイン電極と前記ストレージ電極とを連結する連結電極を形成する段階をさらに含むことを特徴とする請求項 1 5 に記載の液晶表示装置用基板の製造方法。

10

【請求項 1 7】

前記第 1 の絶縁膜と前記ストレージ電極間に、第 2 の絶縁膜を形成する段階をさらに含むことを特徴とする請求項 1 6 に記載の液晶表示装置用基板の製造方法。

【請求項 1 8】

前記第 1 の絶縁膜上に、フォトリジストを塗布する段階と；

透過領域と、遮断領域と、前記ストレージ電極とに対応する半透過領域を含むマスクを使用して、前記フォトリジストを露光する段階と；

前記フォトリジストを現像して、前記半透過領域と前記遮断領域とに対応するフォトリジストパターンを形成する段階と；

前記フォトリジストパターンをアッシングして、前記半透過領域に対応するフォトリジストパターンを除去する段階と；

20

前記アッシングされたフォトリジストパターンを使用して、前記第 1 の絶縁膜を除去し、前記第 2 の絶縁膜を一部除去する段階と；

前記一部除去された第 2 の絶縁膜を除去して、前記ストレージ電極を露出するコンタクトホールを形成する段階とをさらに含むことを特徴とする請求項 1 7 に記載の液晶表示装置用基板の製造方法。

【請求項 1 9】

前記第 1 の絶縁膜と前記ストレージ電極間に、第 2 の絶縁膜を形成する段階をさらに含むことを特徴とする請求項 1 5 に記載の液晶表示装置用基板の製造方法。

【請求項 2 0】

30

前記第 1 の絶縁膜上に、フォトリジストを塗布する段階と；

透過領域と、遮断領域と、前記ストレージ電極と、前記ドレイン電極とに対応する半透過領域を含むマスクを使用して、前記フォトリジストを露光する段階と；

前記フォトリジストを現像して、前記半透過領域と前記遮断領域とに対応するフォトリジストパターンを形成する段階と；

前記フォトリジストパターンをアッシングして、前記半透過領域に対応するフォトリジストパターンを除去する段階と；

前記アッシングされたフォトリジストパターンを使用して、前記第 1 の絶縁膜を除去し、前記第 2 の絶縁膜を一部除去する段階と；

前記一部除去された第 2 の絶縁膜を除去して、前記ストレージ電極と前記ドレイン電極とを各々露出する第 1 及び第 2 のコンタクトホールとを形成する段階とをさらに含むことを特徴とする請求項 1 9 に記載の液晶表示装置用基板の製造方法。

40

【請求項 2 1】

前記ゲート配線の一端にゲートパッドを形成する段階と；

前記データ配線の一端にデータパッドを形成する段階とをさらに含むことを特徴とする請求項 1 2 に記載の液晶表示装置用基板の製造方法。

【請求項 2 2】

前記ゲートパッドを形成する段階は、

前記ゲート配線に連結されるゲートパッド電極を形成する段階と；

前記ゲートパッド電極上に、第 2 の絶縁膜を形成する段階と；

50

前記第 2 の絶縁膜と第 1 の絶縁膜間に、第 3 の絶縁膜を形成する段階と；

前記第 1 及び第 2 及び第 3 の絶縁膜をパターニングして、コンタクトホールを形成する段階と；

前記コンタクトホールを通じて前記ゲートパッド電極と接触するゲートパッド電極端子を形成する段階とを含むことを特徴とする請求項 2 1 に記載の液晶表示装置用基板の製造方法。

【請求項 2 3】

前記第 1 及び第 2 及び第 3 の絶縁膜をパターニングする段階は、

第 1 の絶縁膜上に、フォトレジストを塗布する段階と；

前記ゲートパッド電極に対応する透過領域と、遮断領域と、半透過領域とを含むマスクを使用して、前記フォトレジストを露光する段階と； 10

前記フォトレジストを現像して、前記半透過領域と前記遮断領域とに対応するフォトレジストパターンを形成する段階と；

前記フォトレジストパターンを使用して、第 1 の絶縁膜を除去する段階と；

前記フォトレジストパターンをアッシングして、前記半透過領域に対応するフォトレジストパターンを除去する段階と；

前記アッシングされたフォトレジストパターンを使用して、第 3 の絶縁膜を除去し、前記第 2 の絶縁膜を一部除去する段階と；

前記一部除去された第 2 の絶縁膜を除去して、前記コンタクトホールを形成する段階とを含むことを特徴とする請求項 2 2 に記載の液晶表示装置用基板の製造方法。 20

【請求項 2 4】

前記データパッドを形成する段階は、

前記データ配線に連結されるデータパッド電極を形成する段階と；

前記データパッド電極と第 1 の絶縁膜間に、第 2 の絶縁膜を形成する段階と；

前記第 1 及び第 2 の絶縁膜をパターニングして、コンタクトホールを形成する段階と；

前記コンタクトホールを通じて前記データパッド電極と接触するデータパッド電極端子を形成する段階とを含むことを特徴とする請求項 2 1 に記載の液晶表示装置用基板の製造方法。

【請求項 2 5】

前記第 1 及び第 2 の絶縁膜をパターニングする段階は、 30
第 1 の絶縁膜上に、フォトレジストを塗布する段階と；

透過領域と、遮断領域と、前記データパッド電極とに対応する半透過領域とを含むマスクを使用して、前記フォトレジストを露光する段階と；

前記フォトレジストを現像して、前記半透過領域と前記遮断領域とに対応するフォトレジストパターンを形成する段階と；

前記フォトレジストパターンをアッシングして、前記半透過領域に対応するフォトレジストパターンを除去する段階と；

前記アッシングされたフォトレジストパターンを使用して、第 1 の絶縁膜を除去し、前記第 2 の絶縁膜を一部除去する段階と；

前記一部除去された第 2 の絶縁膜を除去して、前記コンタクトホールを形成する段階とを含むことを特徴とする請求項 2 4 に記載の液晶表示装置用基板の製造方法。 40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に係り、より詳しくは、液晶表示装置用基板及びその製造方法に関する。

【背景技術】

【0002】

一般的に、液晶表示装置は、液晶分子の光学的異方性と複屈折特性を利用して映像を表示するものであって、電界が印加されると液晶の配列が変わって、変わった液晶の配列方 50

向によって光が透過する特性も変わる。

【 0 0 0 3 】

液晶表示装置は、電界生成電極が各々形成されている二枚の基板を電極が形成されている面が向かい合うように配置して、両基板間に液晶物質を注入した後に、両電極間に電圧を印加して生成される電界により液晶分子を動くようにして、変化する光の透過率により映像を表示する。

【 0 0 0 4 】

図 1 は、一般的な液晶表示装置を示した図面である。

図 1 に示したように、液晶表示装置 1 1 は、上部基板 5、下部基板 2 2、上部基板 5 と下部基板 2 2 の間に充填された液晶 1 4 とで構成される。上部基板 5 は、カラーフィルターパターン 8 と、各カラーフィルターパターン 8 間に構成されたブラックマトリックス 6 と、カラーフィルターパターン 8 とブラックマトリックス 6 の上部に蒸着された共通電極 1 8 を含む。下部基板 2 2 には、画素領域 P が定義され、画素領域 P には画素電極 1 7 とスイッチング素子 T が構成されて、画素領域 P の周りにアレイ配線が形成されている。

【 0 0 0 5 】

下部基板 2 2 はアレイ基板とも称するが、スイッチング素子である薄膜トランジスタ T がマトリックス状で配置されて、薄膜トランジスタ T F T は、ゲート配線 1 3 とデータ配線 1 5 が交差する部分に形成される。

【 0 0 0 6 】

画素領域 P は、ゲート配線 1 3 とデータ配線 1 5 が交差して定義される領域であって、画素領域 P には、画素電極 1 7 が形成される。

【 0 0 0 7 】

前記画素電極 1 7 は、インジウム - スズ - オキサイド I T O のように光の透過率が比較的優れた透明導電性金属を使用する。

【 0 0 0 8 】

前記画素電極 1 7 に連結されたストレージキャパシター C s t は、ゲート配線 1 3 の上部に構成され、このストレージキャパシター C s t の第 1 の電極としてゲート配線 1 3 の一部を使用して、また、第 2 の電極としてソース電極及びドレイン電極と同一層同一物質で形成されたアイランド状のストレージ電極 3 0 が使用される。

アイランド状のストレージ電極 3 0 は、画素電極 1 7 と接触されて画素電極 1 7 の信号を受ける。

【 0 0 0 9 】

カラーフィルター基板 5 とアレイ基板 2 2 を合着して液晶パネルを製作する場合には、カラーフィルター基板 5 とアレイ基板 2 2 の合着誤差による光漏れ不良のような問題が発生される。

【 0 0 1 0 】

図 2 は、図 1 の I I - I I 線に沿って切断して示した断面図である。

図 2 に示したように、アレイ基板である第 1 の基板 2 2、カラーフィルター基板である第 2 の基板 5 が離隔され位置して、第 1 の基板 2 2 及び第 2 の基板 5 の間に位置する液晶層 1 4 を含む。

【 0 0 1 1 】

アレイ基板 2 2 の上部には、ゲート電極 3 2、アクティブ層 3 4、ソース電極 3 6、ドレイン電極 3 8 を含む薄膜トランジスタ T が位置して、薄膜トランジスタ T の上部には、これを保護する保護膜 4 0 が位置する。

【 0 0 1 2 】

画素領域 P には、薄膜トランジスタ T のドレイン電極 3 8 と接触する画素電極 1 7 が位置して、画素電極 1 7 に連結されたストレージ電極 3 0 がゲート配線 1 3 の上部に位置する。

【 0 0 1 3 】

カラーフィルター基板 5 には、ゲート配線 1 3、データ配線 1 5、薄膜トランジスタ T

10

20

30

40

50

に対応してブラックマトリックス 6 が構成されて、画素領域 P に対応してカラーフィルターパターン 8 a、8 b、8 c が構成される。

【0014】

アレイ基板は、垂直クロストークを防止するために、データ配線 15 と画素電極 17 は、一定間隔 A 離隔されて、ゲート配線 13 と画素電極も一定間隔 B 離隔される。

【0015】

データ配線 15 及びゲート配線 13 と画素電極 17 間の離隔した空間 A、B は、光漏れ現象が発生する領域であるために、このような領域は、カラーフィルター基板 5 に位置するブラックマトリックス 6 によって遮断される。

また、薄膜トランジスタ T の上部に構成されたブラックマトリックス 6 は、外部から照射された光が保護膜 40 を通ってアクティブ層 34 に影響を与えないようにするために、このような光を遮断する。

【0016】

ところが、カラーフィルター基板 5 とアレイ基板 22 を合着する工程において合着誤差が発生する場合がある。これを勘案してブラックマトリックス 6 は、値のマーヅンをにおいて設計されて、これによって、開口率が低下する。

また、マーヅンを越えた合着誤差が発生する場合、光漏れ領域 A、B がブラックマトリックス 6 によってすべてが遮られない光漏れ不良が発生する場合がある。このような場合には、光漏れが外部に現れるので、液晶表示装置の画質を低下させる問題がある。

【発明の開示】

【発明が解決しようとする課題】

【0017】

本発明は、前述したような問題を解決するために提案されて、カラーフィルターパターンをアレイ基板に形成して、カラーフィルター間の領域、すなわち、薄膜トランジスタとゲート配線及びデータ配線の上部にブラックマトリックスを形成する。

【0018】

カラーフィルターパターンの上部には、画素電極が形成されるが、画素電極の形成の前に、下部に位置する絶縁膜に、弱エッチング工程を実施する。これによって、絶縁膜と画素電極間に、接着力が増加され、画素電極の接着の特性は、向上される。

【0019】

また、前述したような構成は、前記カラーフィルターパターンとブラックマトリックスを、アレイ基板に直接構成するので、ブラックマトリックスの設計時、考慮された合着マーヅンを考慮しなくてもいいので、開口率が改善される長所がある。

【課題を解決するための手段】

【0020】

前述したような目的を達成するための本発明による液晶表示装置用基板は、基板上に、相互に交差して、画素領域を定義するゲート配線及びデータ配線と；前記ゲート配線及びデータ配線が交差する部分に位置して、ゲート電極と、半導体パターンと、ソース電極と、ドレイン電極とを含む薄膜トランジスタと；前記ゲート配線及びデータ配線と、前記薄膜トランジスタとに対応するブラックマトリックスと；前記ブラックマトリックス上に位置して、前記第 1 及び第 2 の領域とを含み、前記第 1 の領域は、画素領域に対応し、第 1 の厚さを有して、前記第 2 の領域は、前記第 1 の厚さより薄い第 2 の厚さを有する第 1 の絶縁膜と；前記第 1 の絶縁膜上に位置して、前記第 1 の領域に対応するカラーフィルターパターンと；前記カラーフィルターパターン上に位置して、前記薄膜トランジスタに連結される画素電極とを含むことを特徴とする。

【0021】

前記第 1 の厚さと第 2 の厚さの差は、前記第 1 の絶縁膜の平均表面の粗さ以上である。

前記平均表面の粗さは、前記第 1 の絶縁膜の表面の粗さの R M S (Root Mean Square) 値である。

【0022】

前記ゲート配線と重なるストレージ電極をさらに含み、前記第 1 の絶縁膜は、第 1 のコンタクトホールを有して、前記ストレージ電極は、前記第 1 のコンタクトホールを通じて前記画素電極と接触する。

【 0 0 2 3 】

前記ドレイン電極と前記ストレージ電極とを連結する連結電極をさらに含む。

【 0 0 2 4 】

前記第 1 の絶縁膜は、第 2 のコンタクトホールを有して、前記画素電極は、前記第 2 のコンタクトホールを通じて前記ドレイン電極と直接接触する。また、前記第 1 の絶縁膜と前記ストレージ電極間に位置する第 2 の絶縁膜をさらに含み、前記第 2 の絶縁膜は、前記第 1 のコンタクトホールを含む。

10

【 0 0 2 5 】

前記ブラックマトリックスは、前記第 1 の絶縁膜と前記薄膜トランジスタ間に位置する。

【 0 0 2 6 】

前記ゲート配線の一端に位置するゲートパッドと、前記データ配線の一端に位置するデータパッドとをさらに含む。

前記ゲートパッドは、前記ゲート配線に連結されるゲートパッド電極と、前記ゲートパッド電極と接触するゲートパッド電極端子を含む。

前記データパッドは、前記データ配線に連結されるデータパッド電極と、前記データパッド電極と接触するデータパッド電極端子とを含む。

20

【 0 0 2 7 】

一方、本発明による液晶表示装置用基板の製造方法は、基板上に、相互に交差して、画素領域を定義するゲート配線及びデータ配線を形成する段階と；前記ゲート配線及びデータ配線が交差する部分に、ゲート電極と、半導体パターンと、ソース電極と、ドレイン電極とを含む薄膜トランジスタを形成する段階と；前記ゲート配線及びデータ配線と、前記薄膜トランジスタとに対応するブラックマトリックスを形成する段階と；前記ブラックマトリックス上に、第 1 及び第 2 の領域とを有する第 1 の絶縁膜を形成する段階と；前記第 1 の絶縁膜上に、前記第 1 の領域に対応するカラーフィルターパターンを形成する段階と；前記カラーフィルターパターンをマスクとして使用して、前記第 2 の領域を一部除去する段階と；前記カラーフィルターパターン上に、前記薄膜トランジスタに連結される画素電極を形成する段階とを含むことを特徴とする。

30

前記第 2 の領域を一部除去する段階は、前記第 1 の絶縁膜の平均表面の粗さ以上の厚さほど、第 2 の領域を除去する段階である。

前記平均表面の粗さは、前記第 1 の絶縁膜の表面の粗さの R M S 値である。

【 0 0 2 8 】

前記ドレイン電極の形成時、前記ゲート配線と重なり、前記画素電極と接触するストレージ電極を形成する段階をさらに含む。また、前記ドレイン電極の形成時、前記ドレイン電極と前記ストレージ電極とを連結する連結電極を形成する段階をさらに含む。

【 0 0 2 9 】

前記第 1 の絶縁膜と前記ストレージ電極間に、第 2 の絶縁膜を形成する段階をさらに含む。

40

【 0 0 3 0 】

前記第 1 の絶縁膜上に、フォトレジストを塗布する段階と；透過領域と、遮断領域と、前記ストレージ電極とに対応する半透過領域を含むマスクを使用して、前記フォトレジストを露光する段階と；前記フォトレジストを現像して、前記半透過領域と前記遮断領域とに対応するフォトレジストパターンを形成する段階と；前記フォトレジストパターンをアッシングして、前記半透過領域に対応するフォトレジストパターンを除去する段階と；前記アッシングされたフォトレジストパターンを使用して、前記第 1 の絶縁膜を除去し、前記第 2 の絶縁膜を一部除去する段階と；前記一部除去された第 2 の絶縁膜を除去して、前記ストレージ電極を露出するコンタクトホールを形成する段階とをさらに含む。

50

【 0 0 3 1 】

前記第 1 の絶縁膜と前記ストレージ電極間に、第 2 の絶縁膜を形成する段階をさらに含む。

【 0 0 3 2 】

前記第 1 の絶縁膜上に、フォトリジストを塗布する段階と；透過領域と、遮断領域と、前記ストレージ電極と、前記ドレイン電極とに対応する半透過領域を含むマスクを使用して、前記フォトリジストを露光する段階と；前記フォトリジストを現像して、前記半透過領域と前記遮断領域とに対応するフォトリジストパターンを形成する段階と；前記フォトリジストパターンをアッシングして、前記半透過領域に対応するフォトリジストパターンを除去する段階と；前記アッシングされたフォトリジストパターンを使用して、前記第 1 の絶縁膜を除去し、前記第 2 の絶縁膜を一部除去する段階と；前記一部除去された第 2 の絶縁膜を除去して、前記ストレージ電極と前記ドレイン電極とを各々露出する第 1 及び第 2 のコンタクトホールとを形成する段階とをさらに含む。

10

【 0 0 3 3 】

前記ゲート配線の一端にゲートパッドを形成する段階と；前記データ配線の一端にデータパッドを形成する段階とをさらに含む。

【 0 0 3 4 】

前記ゲートパッドを形成する段階は、前記ゲート配線に連結されるゲートパッド電極を形成する段階と；前記ゲートパッド電極上に、第 2 の絶縁膜を形成する段階と；前記第 2 の絶縁膜と第 1 の絶縁膜間に、第 3 の絶縁膜を形成する段階と；前記第 1 及び第 2 及び第 3 の絶縁膜をパターニングして、コンタクトホールを形成する段階と；前記コンタクトホールを通じて前記ゲートパッド電極と接触するゲートパッド電極端子を形成する段階とを含む。

20

【 0 0 3 5 】

前記第 1 及び第 2 及び第 3 の絶縁膜をパターニングする段階は、第 1 の絶縁膜上に、フォトリジストを塗布する段階と；前記ゲートパッド電極に対応する透過領域と、遮断領域と、半透過領域とを含むマスクを使用して、前記フォトリジストを露光する段階と；前記フォトリジストを現像して、前記半透過領域と前記遮断領域とに対応するフォトリジストパターンを形成する段階と；前記フォトリジストパターンを使用して、第 1 の絶縁膜を除去する段階と；前記フォトリジストパターンをアッシングして、前記半透過領域に対応するフォトリジストパターンを除去する段階と；前記アッシングされたフォトリジストパターンを使用して、第 3 の絶縁膜を除去し、前記第 2 の絶縁膜を一部除去する段階と；前記一部除去された第 2 の絶縁膜を除去して、前記コンタクトホールを形成する段階とを含む。

30

【 0 0 3 6 】

前記データパッドを形成する段階は、前記データ配線に連結されるデータパッド電極を形成する段階と；前記データパッド電極と第 1 の絶縁膜間に、第 2 の絶縁膜を形成する段階と；前記第 1 及び第 2 の絶縁膜をパターニングして、コンタクトホールを形成する段階と；前記コンタクトホールを通じて前記データパッド電極と接触するデータパッド電極端子を形成する段階とを含む。

40

【 0 0 3 7 】

前記第 1 及び第 2 の絶縁膜をパターニングする段階は、第 1 の絶縁膜上に、フォトリジストを塗布する段階と；透過領域と、遮断領域と、前記データパッド電極とに対応する半透過領域とを含むマスクを使用して、前記フォトリジストを露光する段階と；前記フォトリジストを現像して、前記半透過領域と前記遮断領域とに対応するフォトリジストパターンを形成する段階と；前記フォトリジストパターンをアッシングして、前記半透過領域に対応するフォトリジストパターンを除去する段階と；前記アッシングされたフォトリジストパターンを使用して、第 1 の絶縁膜を除去し、前記第 2 の絶縁膜を一部除去する段階と；前記一部除去された第 2 の絶縁膜を除去して、前記コンタクトホールを形成する段階とを含む。

50

【 0 0 3 8 】

以下、添付された図面を参照して、本発明の実施例を説明する。

【発明の効果】

【 0 0 3 9 】

本発明は、ブラックマトリックスとカラーフィルターパターンとを薄膜トランジスタが位置するアレイ基板に形成することによって、設計時に、合着誤差に対する工程マージンを置く必要がなく、開口率が改善される。

また、カラーフィルターの形成後、画素電極を形成する前に、弱エッチング工程を実施することによって、画素電極と下部の絶縁膜間の接着力が向上されて、カラーフィルターパターンの形成後、残留するカラーレジンが除去される。

10

さらに、パターンされた金属層の上部に、絶縁膜の一部を残留させることによって、ストレージ電極、ゲートパッド電極及びデータパッド電極が、フォトリソを除去する薬液やカラーフィルターパターンをパターンする薬液によって、腐食される不良を防ぐことができる。

【実施例】

【 0 0 4 0 】

図 3 A は、本発明の実施例 1 による液晶表示装置用アレイ基板を示した平面図である。

図 3 A に示したように、基板 1 0 0 上に、一方向へと延長され一端にゲートパッド電極 1 0 6 を含むゲート配線 1 0 2 が、相互に平行に位置して、前記ゲート配線 1 0 2 と垂直に交差して多数の画素領域 P を定義し、一端にデータパッド電極 1 2 0 を含むデータ配線 1 1 8 が位置する。

20

【 0 0 4 1 】

前記ゲート配線 1 0 2 とデータ配線 1 1 8 が交差する部分には、ゲート電極 1 0 4、アクティブ層 1 1 0、ソース電極 1 1 4 及びドレイン電極 1 1 6 とを含む薄膜トランジスタ T が位置する。前記ゲート配線 1 0 2 及びデータ配線 1 1 8 が交差して定義される画素領域 P には、前記ゲート配線 1 0 2 の上部に位置するストレージ電極 1 2 2 と接触する画素電極 1 3 8 と、画素電極 1 3 8 の下部に位置する赤色 R、緑色 G、青色 B のカラーフィルターパターン 1 3 4 a、1 3 4 b、1 3 4 c を構成する。前記ドレイン電極 1 1 6 は、画素領域 P を横切る連結電極 1 1 7 によって前記ストレージ電極 1 2 2 に連結される。

【 0 0 4 2 】

30

前記画素電極 1 3 8 は、前記ゲート配線 1 0 2 の上部に位置するストレージ電極 1 2 2 とストレージコンタクトホール 1 3 2 a を通じて連結されることによって、画素電極 1 3 8 は、ストレージ電極 1 2 2 に連結されたドレイン電極 1 1 6 を通じて薄膜トランジスタ T にも連結された構造である。

ストレージキャパシター Cst は、ストレージ電極 1 2 2 を第 1 の電極として、ストレージ電極 1 2 2 と重なるゲート配線 1 0 2 を第 2 の電極とする。

ブラックマトリックス 1 2 8 は、ゲート配線 1 0 2 及びデータ配線 1 1 8 と薄膜トランジスタ T に対応するように位置して、光漏れを防ぐ。

【 0 0 4 3 】

図 3 には示していないが、ブラックマトリックス 1 2 8 と画素領域 P に形成されるカラーフィルターパターン 1 3 4 a、1 3 4 b、1 3 4 c 間には、絶縁膜(図 4 F の 1 3 0)が形成される。カラーフィルターパターン 1 3 4 a、1 3 4 b、1 3 4 c の形成後、絶縁膜は、弱エッチングされて、これによって、画素電極 1 3 8 の接着力は強化され、カラーフィルターパターン 1 3 4 a、1 3 4 b、1 3 4 c の形成後、残留する可能性があるカラーレジンは除去される。

40

【 0 0 4 4 】

ゲートパッド電極 1 0 6 及びデータパッド電極 1 2 0 各々は、ゲートパッドコンタクトホール 1 4 2 及びデータパッドコンタクトホール 1 4 4 を通じてゲートパッド電極端子 1 4 6 とデータパッド電極端子 1 4 8 と接触される。

【 0 0 4 5 】

50

前述したように、薄膜トランジスタTが位置する基板上に、赤色R、緑色G、青色Bのカラーフィルタパターン134a、134b、134cが位置するアレイ基板は、COTアレイ基板で定義される。

【0046】

図3Aに示された本発明の実施例1によるアレイ基板は、図3Bに示された本発明の実施例2によるアレイ基板に変形することができる。

【0047】

図3Bは、本発明の実施例2による液晶表示装置用アレイ基板を示した平面図である。実施例1のアレイ基板と実施例2のアレイ基板は、画素電極138とドレイン電極116間の連結構造に差があって、全体的な構成は、類似である。すなわち、実施例1で、画素電極138とドレイン電極116は、連結電極117とストレージ電極122を通じて連結されるが、実施例2で、画素電極138とドレイン電極116は、ドレインコンタクトホール133を通じて直接接触される。

これによって、ストレージ電極122は、アイランド状であって、画素電極138とストレージコンタクトホール132を通じて連結される。

【0048】

図4Aないし図4G、図5Aないし図5G、図6Aないし図6Gは、各々図3AのI-V-I V、V-V、VI-VI線に沿って切断した工程断面図であって、本発明の実施例1による液晶表示装置用アレイ基板を製造する方法を示した図である。一方、本発明の実施例2による液晶表示装置用アレイ基板を製造する方法は、画素電極138とドレイン電極106間の連結構造で差があって、本発明の実施例1による液晶表示装置用アレイ基板を製造する方法は、全体的に類似である。

【0049】

図4A、図5A、図6Aに示したように、基板100上に、第1の金属を蒸着してパターンし、一端にゲートパッド電極(図3Aの106)を含むゲート配線102と、ゲート配線102から延長されたゲート電極104を形成する。第1の金属は、信号遅延を防ぐため、抵抗の低いアルミニウム系列の金属が使用される。

【0050】

前記ゲート配線102が形成された基板100全面に、シリコン窒化物 SiN_x と二酸化シリコン SiO_2 を含む無機絶縁物質グループのうちから選択された1つを蒸着して、第1の絶縁膜であるゲート絶縁膜108を形成する。

【0051】

前記第1の絶縁膜108上に、純粋非晶質シリコン(a-Si:H)と不純物を含む非晶質シリコン(n+a-Si:H)を蒸着してパターンし、ゲート電極104の上部のゲート絶縁膜108上に、アクティブ層111とオーミックコンタクト層112とで構成される半導体パターン110を形成する。

【0052】

図4B、図5B、図6Bに示したように、半導体パターン110が形成された基板100全面に、第2の金属を蒸着してパターンし、オーミックコンタクト層112と各々接触するソース電極114及びドレイン電極116、前記ソース電極114に連結され、一端にデータパッド電極120を含むデータ配線118を形成する。第2の金属は、クロムCr、モリブデンMo、タンゲステンW、チタンTi、銅Cuを含む導電性金属グループのうちから選択された1つが使用される。さらに、ゲート配線の上部に、ストレージ電極122と、前記ストレージ電極122と前記ドレイン電極116を連結する連結電極(図3Aの117)が形成される。一方、実施例2による製造方法では、実施例1の連結電極を形成しない。ソース電極114及びドレイン電極116を形成した後に、ソース電極114とドレイン電極116の間に露出されたオーミックコンタクト層112をパターンして下部のアクティブ層111にチャンネル領域を形成し、前記ソース電極114とドレイン電極116は、エッチング防止膜の役割をする。

【0053】

前記データ配線 118 が形成された基板 100 全面に、シリコン窒化物 SiN_x と二酸化シリコン SiO_2 を含む無機絶縁物質グループのうちから選択された 1 つを蒸着して、第 2 の絶縁膜 124 を形成する。第 2 の絶縁膜 124 は、以後に形成されるブラックマトリックスと半導体パターン 110 間に、接触不良を防ぐ。この時、第 2 の絶縁膜 124 は、ブラックマトリックスと半導体パターン 110 間に、接触不良が発生しない場合には、形成しなくても良い。

前述したような工程によって薄膜トランジスタ T を形成する。

【0054】

図 4 C、図 5 C、図 6 C に示したように、第 2 の絶縁膜 124 の上部に誘電率の低い不透明な有機物質 126 を塗布してパターンし、薄膜トランジスタ T の上部と、前記ストレージ電極 122 の上部と、前記データ配線 118 とゲート配線 102 の上部に、ブラックマトリックス 128 を形成する。前記ブラックマトリックス 128 は、薄膜トランジスタ T を保護する役割を行う。

【0055】

図 4 D、図 5 D、図 6 D に示したように、前記ブラックマトリックス 128 が形成された基板 100 全面に、絶縁物質を蒸着して、第 3 の絶縁膜 130 を形成する。第 3 の絶縁膜 130 は、シリコン窒化物 SiN_x と二酸化シリコン SiO_2 を含む無機絶縁物質グループのうちから選択された 1 つで構成される。

【0056】

図 4 E、図 5 E、図 6 E に示したように、前記第 3 の絶縁膜 130 と第 2 の絶縁膜 124 をエッチングして、ストレージ電極 122 の一部を露出するストレージコンタクトホール 132 a と、データパッド電極 120 を露出するデータパッドコンタクトホール 144 を形成する。さらに、第 3 の絶縁膜 130 と第 2 の絶縁膜 124 と第 1 の絶縁膜 108 をエッチングして、ゲートパッド 106 を露出するゲートパッドコンタクトホール 142 を形成する。一方、実施例 2 の製造方法では、ドレインコンタクトホール(図 3 B の 133) を形成する。

【0057】

図 4 F、図 5 F、図 6 F に示したように、第 3 の絶縁膜 130 が形成された基板 100 に、カラー樹脂を塗布してパターンし、画素領域 P に対応して、緑色 G のカラーフィルターパターン 134 b を形成する。一方、赤色 R、青色のカラーフィルターパターン 134 a、134 c は、緑色 G のカラーフィルターパターン 134 b と類似な方法によって、対応する画素領域 P に形成される。

【0058】

カラーフィルターパターンの形成後に、カラーフィルターパターン 134 b 間に露出された第 3 の絶縁膜 130 に対して、弱エッチングが行われて、第 3 の絶縁膜 130 は、d ほどの厚さが部分的に除去される。d の厚さは、第 3 の絶縁膜 130 の平均表面の粗さ以上に該当されて、平均表面の粗さとして、AFM (Atomic Force Microscopy) を利用した RMS 値が使用される。弱エッチング方法として、乾式エッチング方法や湿式エッチング方法が使用される。弱エッチング工程時、カラーフィルターパターン 134 b は、エッチング防止膜の役割をする。

【0059】

第 3 の絶縁膜 130 に対する弱エッチング工程を通じて、第 3 の絶縁膜 130 は、カラーフィルターパターン 134 b によって覆われる第 1 の領域と、カラーフィルターパターン 134 b 間に位置する弱エッチングされた第 2 の領域とに区分することができる。第 1 の領域は、弱エッチングされないもので、D の厚さを有して、第 2 の領域は、弱エッチングされるので、D - d の厚さを有する。

【0060】

第 3 の絶縁膜 130 に対する弱エッチング工程は、後続工程によって形成される画素電極(図 4 G の 138)の接着力を向上させるためである。

また、弱エッチング工程は、カラーフィルターパターン 134 b の形成後、コンタクト

10

20

30

40

50

ホール 132、142、144に残留する可能性があるカラーレジンを除去して、以後形成される画素電極及びパッド電極端子等と、下部の金属層間の接触力を向上させる。

【0061】

図4G、図5G、図6Gに示したように、カラーフィルターパターン134が形成された基板100全面に、インジウム - スズ - オキサイドITOとインジウム - ジンク - オキサイドIZOを含む透明導電性金属を蒸着してパターンし、画素領域Pに対応する画素電極138を形成する。

さらに、ゲートパッドコンタクトホール142を通じてゲートパッド電極106と接触するゲートパッド電極端子146を形成して、データパッドコンタクトホール144を通じてデータパッド電極120と接触するデータパッド電極端子148を形成する。

10

【0062】

画素電極138は、ストレージコンタクトホール132を通じてストレージ電極122と直接接触する。

前述したような工程によって、本発明の実施例による液晶表示装置用アレイ基板を製作する。

【0063】

図7Aないし図7G、図8Aないし図8G、図9Aないし図9Gは、本発明の実施例によって、第3の絶縁膜130に対する弱エッチング工程を詳しく示した工程断面図であって、図4Aないし図4D、図5Aないし図5D、図6Aないし図6D以後の工程を示した図である。

20

【0064】

図7A、図8A、図9Aに示したように、第3の絶縁膜130全面に、フォトレジスト150を形成する。

フォトレジスト150の上部に、透過部M1と遮断部M2と半透過部M3とで構成されたマスクMを位置させる。

【0065】

前記マスクMの透過部M1は、光を完全に透過させる領域であって、以後形成されるゲートパッドコンタクトホール(図8Gの142)に対応する。前記半透過部M3は、透過部M1に比べて、光の半分程度だけを透過させる領域であって、以後形成されるデータパッドコンタクトホール(図9Gの144)及びストレージコンタクトホール(図7Gの132)に対応する。

30

前記半透過部M3は、スリット(slit)や半透明な物質で構成されていて、光を一部だけ透過して、露光が部分的に起きる。

前記遮断部M2は、光を完全に遮断する領域であって、透過部M1と半透過部M3を除いた領域である。

【0066】

一方、実施例2の製造方法では、半透過部M3は、ドレインコンタクトホール(図3Bの133)に対応する。

前述したような構成のマスクMの上部へ光を照射して、下部のフォトレジスト150を露光して現像する。

40

【0067】

図7B、図8B、図9Bに示したように、データパッドコンタクトホール及びストレージコンタクトホールに対応する部分は、一部だけ除去され、ゲートパッドコンタクトホールに対応する部分は、完全に除去されたフォトレジストパターン150aが形成される。

【0068】

図7C、図8C、図9Cに示したように、ゲートパッド電極106の上部に位置するフォトレジスト150aによって、完全に露出された第3の絶縁膜130がエッチングされる。

【0069】

図7D、図8D、図9Dに示したように、データパッドコンタクトホール及びストレ

50

ジコンタクトホールが形成される部分を露出するため、フォトリソパターン(図7A、図8A、図9Aの150a)に対して、アッシング工程を行う。これによって、フォトリソパターンは、全体的に、一部除去されて、特に、マスクの半透過部(図7A、図9AのM3)に対応して、一部だけ露光された部分が完全に除去され、アッシングされたフォトリソパターン150aが形成される。すなわち、アッシング工程は、一種の乾式工程であって、以後形成されるデータパッドコンタクトホール及びストレージコンタクトホールに対応する部分が完全に除去される。

【0070】

図7E、図8E、図9Eに示したように、ストレージ電極122の上部の露出された第3の絶縁膜130及び第2の絶縁膜124を除去する工程を実施する。露出された第3の絶縁膜130は、完全に除去される一方、第2の絶縁膜124は、一部だけ除去される。

10

【0071】

一方、ゲートパッド電極106の上部の露出された第2の絶縁膜124は、完全に除去されて、下部の第1の絶縁膜108は、一部だけ除去される。

前述したように、ストレージ電極122及びデータパッド電極120の上部の第2の絶縁膜124と、ゲートパッド電極106の上部の第1の絶縁膜120を、一部だけ除去する理由は、以後行われるアッシングされたフォトリソパターン150bの除去及びカラーフィルターパターンの形成時、下部の金属層に起きる腐食のような化学的反応を防ぐためである。

【0072】

20

図7F、図8F、図9Fに示したように、アッシングされたフォトリソパターン(図7E、図8E、図9Eの150b)は、ストリップ工程によって、完全に除去される。ストリップ工程後に、基板100上に、緑色Gのカラー樹脂を塗布してパターンし、緑色Gのカラーフィルターパターン134bを画素領域Pに形成する。

【0073】

図7G、図8G、図9Gに示したように、基板100全面に対して弱エッチング工程を行うが、カラーフィルターパターン134bは、エッチング防止膜の役割をする。弱エッチング工程時、カラーフィルターパターン134b間に露出された第3の絶縁膜130の第1の領域は、弱エッチングされないの、Dの厚さを有して、カラーフィルターパターン134b間に露出された第3の絶縁膜130の第2の領域は、弱エッチングされるので、D-dの厚さを有する。また、ストレージ電極122とデータパッド電極120の上部に、一部除去された第2の絶縁膜124は、完全に除去され、ストレージ電極122とデータパッド電極120を各々露出するストレージコンタクトホール132とデータパッドコンタクトホール144が形成される。

30

【0074】

一方、実施例2の製造方法では、ストレージ電極122とデータパッド電極120の上部に、一部除去された第2の絶縁膜124を完全に除去する方法と類似であるように、ドレイン電極116の上部に、一部除去された第2の絶縁膜124は、完全に除去され、ドレインコンタクトホール(図3Bの133)が形成される。

【0075】

40

本発明の実施例で、弱エッチング工程は、後続工程によって形成される画素電極及びパッド電極等の接着力を向上させる。

一方、このような弱エッチング工程時、カラーフィルターパターンは、エッチング防止膜の役割をするので、別途のマスク工程の追加なしに、下部の第3の絶縁膜は、エッチングされて、コンタクトホールも形成できる。

また、弱エッチング工程は、カラーフィルターパターンの形成後、コンタクトホールに残留する可能性があるカラーレジンを完全に除去して、以後に形成される画素電極やパッド電極端子等と、下部の金属層間の接着力は、向上される。

【図面の簡単な説明】

【0076】

50

【図 1】一般的な液晶表示装置を示した図である。

【図 2】図 1 の I I - I I 線に沿って切断して示した断面図である。

【図 3 A】本発明の実施例 1 による液晶表示装置用アレイ基板を示した平面図である。

【図 3 B】本発明の実施例 2 による液晶表示装置用アレイ基板を示した平面図である。

【図 4 A】図 3 A の I V - I V 線に沿って切断して示した工程断面図であって、本発明の実施例 1 による液晶表示装置用アレイ基板を製造する方法を示した図である。

【図 4 B】図 4 A に続く工程を示す断面図である。

【図 4 C】図 4 B に続く工程を示す断面図である。

【図 4 D】図 4 C に続く工程を示す断面図である。

【図 4 E】図 4 D に続く工程を示す断面図である。

【図 4 F】図 4 E に続く工程を示す断面図である。

【図 4 G】図 4 F に続く工程を示す断面図である。

【図 5 A】図 3 A の V - V 線に沿って切断して示した工程断面図であって、本発明の実施例 1 による液晶表示装置用アレイ基板を製造する方法を示した図である。

【図 5 B】図 5 A に続く工程を示す断面図である。

【図 5 C】図 5 B に続く工程を示す断面図である。

【図 5 D】図 5 C に続く工程を示す断面図である。

【図 5 E】図 5 D に続く工程を示す断面図である。

【図 5 F】図 5 E に続く工程を示す断面図である。

【図 5 G】図 5 F に続く工程を示す断面図である。

【図 6 A】図 3 A の V I - V I 線に沿って切断して示した工程断面図であって、本発明の実施例 1 による液晶表示装置用アレイ基板を製造する方法を示した図である。

【図 6 B】図 6 A に続く工程を示す断面図である。

【図 6 C】図 6 B に続く工程を示す断面図である。

【図 6 D】図 6 C に続く工程を示す断面図である。

【図 6 E】図 6 D に続く工程を示す断面図である。

【図 6 F】図 6 E に続く工程を示す断面図である。

【図 6 G】図 6 F に続く工程を示す断面図である。

【図 7 A】本発明の実施例による第 3 の絶縁膜に対する弱エッチング工程を詳しく示した工程断面図であって、図 4 A ないし図 4 D 以後の工程を示した図である。

【図 7 B】図 7 A に続く工程を示す断面図である。

【図 7 C】図 7 B に続く工程を示す断面図である。

【図 7 D】図 7 C に続く工程を示す断面図である。

【図 7 E】図 7 D に続く工程を示す断面図である。

【図 7 F】図 7 E に続く工程を示す断面図である。

【図 7 G】図 7 F に続く工程を示す断面図である。

【図 8 A】本発明の実施例による第 3 の絶縁膜に対する弱エッチング工程を詳しく示した工程断面図であって、図 5 A ないし図 5 D 以後の工程を示した図である。

【図 8 B】図 8 A に続く工程を示す断面図である。

【図 8 C】図 8 B に続く工程を示す断面図である。

【図 8 D】図 8 C に続く工程を示す断面図である。

【図 8 E】図 8 D に続く工程を示す断面図である。

【図 8 F】図 8 E に続く工程を示す断面図である。

【図 8 G】図 8 F に続く工程を示す断面図である。

【図 9 A】本発明の実施例による第 3 の絶縁膜に対する弱エッチング工程を詳しく示した工程断面図であって、図 6 A ないし図 6 D 以後の工程を示した図である。

【図 9 B】図 9 A に続く工程を示す断面図である。

【図 9 C】図 9 B に続く工程を示す断面図である。

【図 9 D】図 9 C に続く工程を示す断面図である。

【図 9 E】図 9 D に続く工程を示す断面図である。

10

20

30

40

50

【図 9 F】図 9 E に続く工程を示す断面図である。

【図 9 G】図 9 F に続く工程を示す断面図である。

【符号の説明】

【 0 0 7 7 】

1 0 0 : 基板

1 0 2 : ゲート配線

1 0 4 : ゲート電極

1 0 6 : ゲートパッド

1 1 4 : ソース電極

1 1 6 : ドレイン電極

1 1 8 : データ配線

1 2 0 : データパッド

1 2 2 : ストレージ金属層

1 2 8 : ブラックマトリクス

1 3 4 a、1 3 4 b、1 3 4 c : カラーフィルター

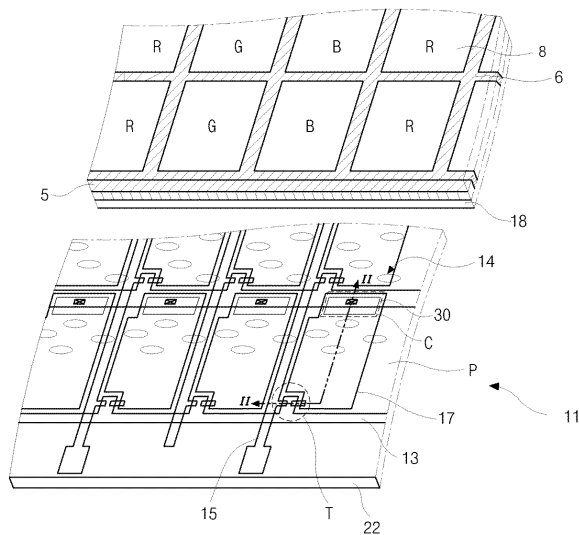
1 3 8 : 画素電極

1 4 2 : ゲートコンタクトホール

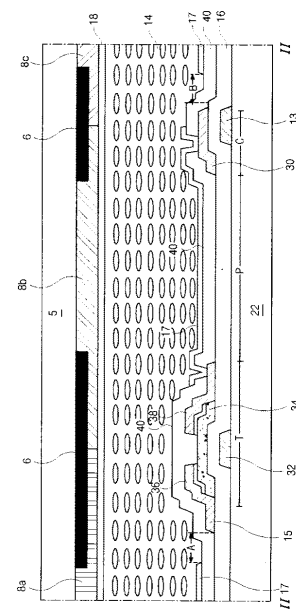
1 4 4 : データコンタクトホール

10

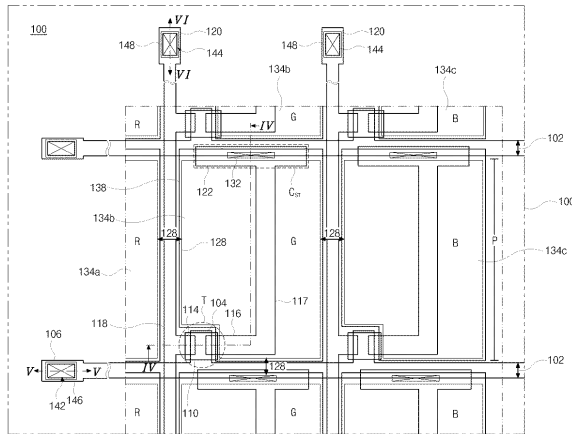
【図 1】



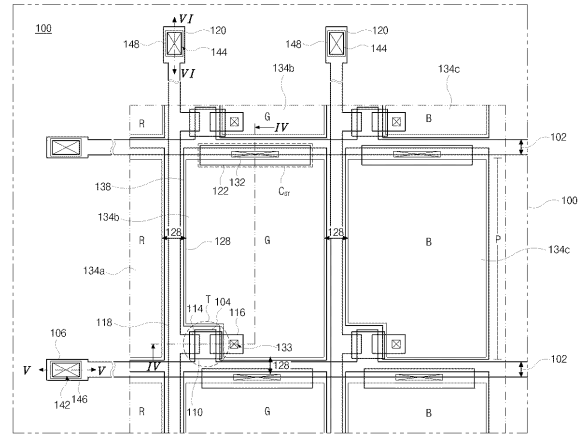
【図 2】



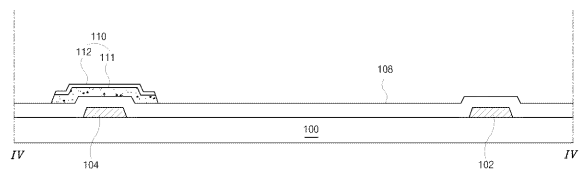
【図 3 A】



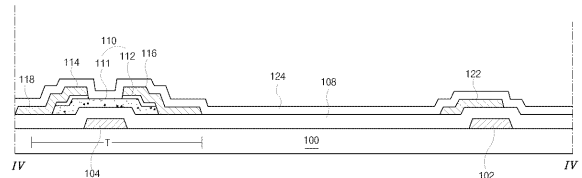
【図 3 B】



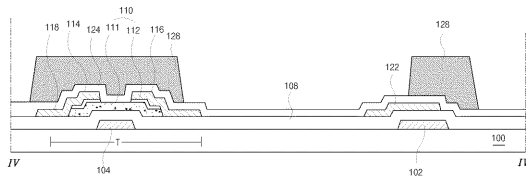
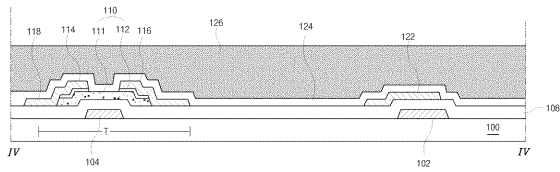
【図 4 A】



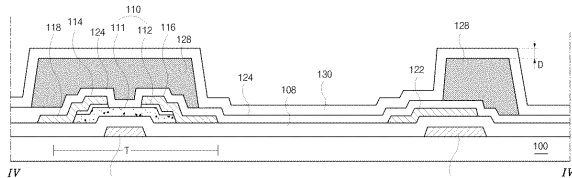
【図 4 B】



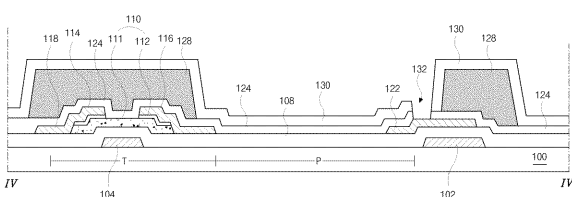
【図 4 C】



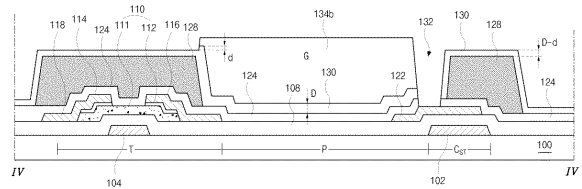
【図 4 D】



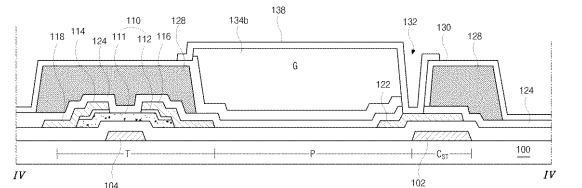
【図 4 E】



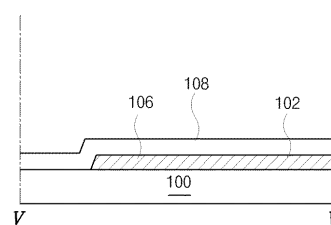
【図 4 F】



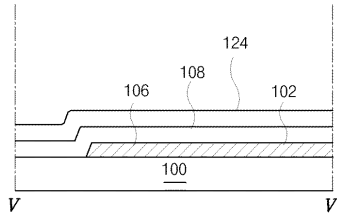
【図 4 G】



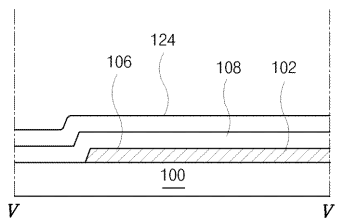
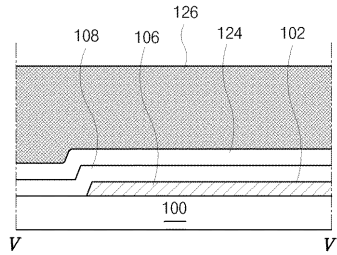
【図 5 A】



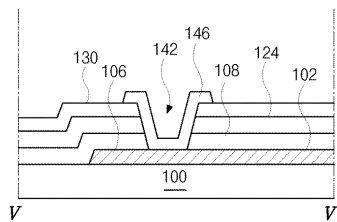
【図 5 B】



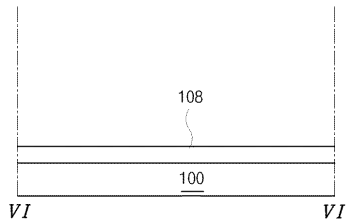
【図 5 C】



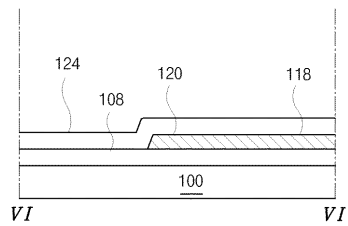
【図 5 G】



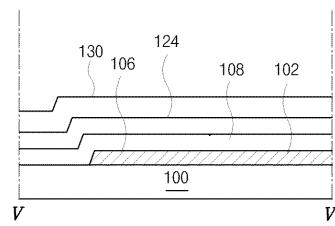
【図 6 A】



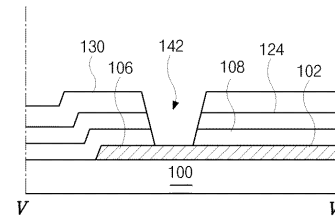
【図 6 B】



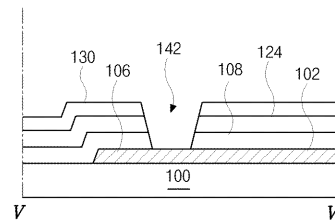
【図 5 D】



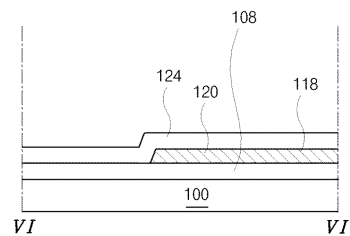
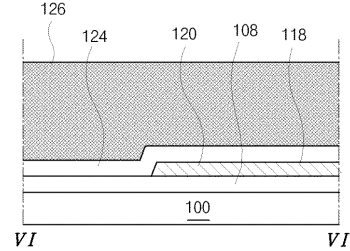
【図 5 E】



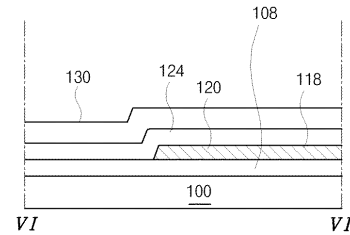
【図 5 F】



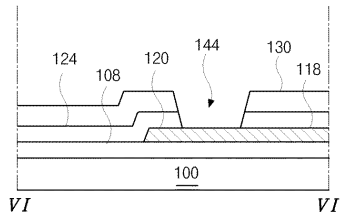
【図 6 C】



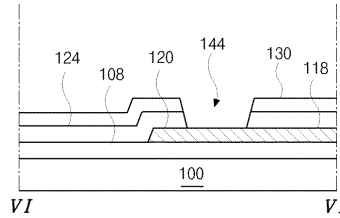
【図 6 D】



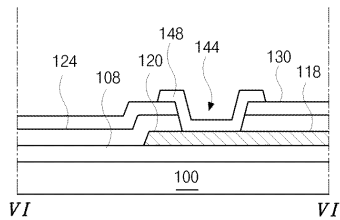
【図 6 E】



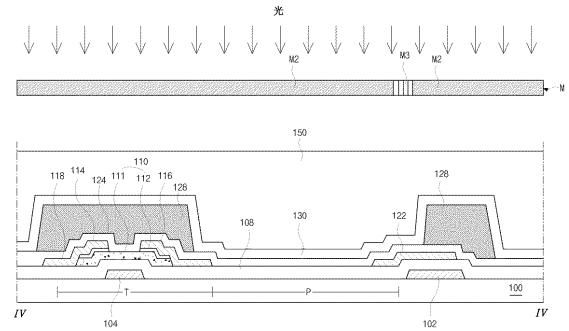
【図 6 F】



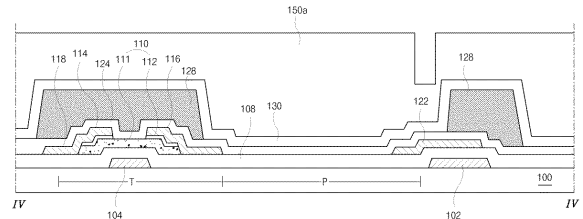
【図 6 G】



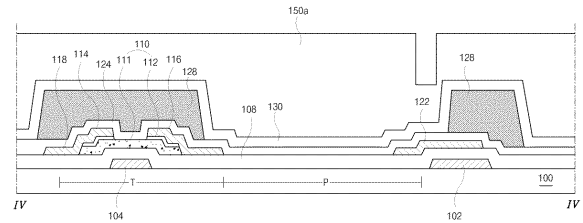
【図 7 A】



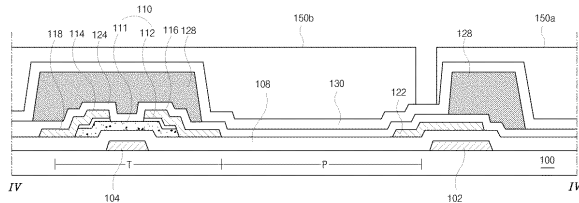
【図 7 B】



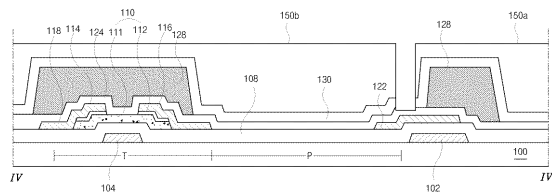
【図 7 C】



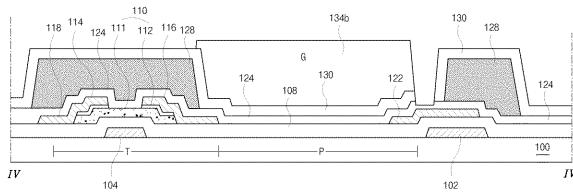
【図 7 D】



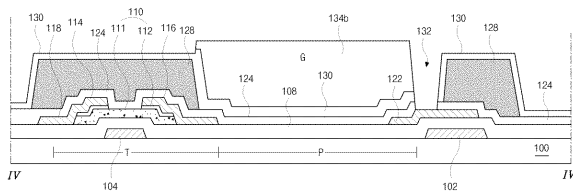
【図 7 E】



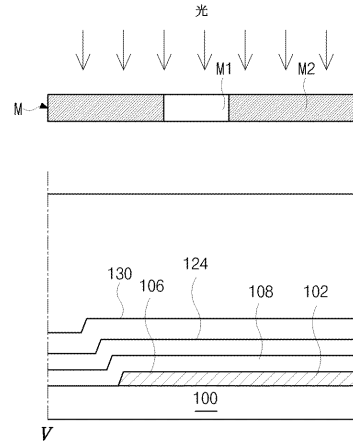
【図 7 F】



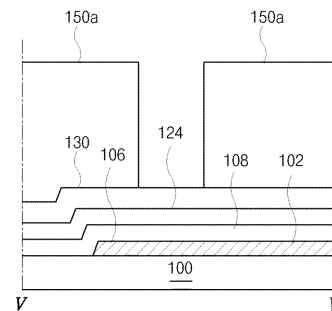
【図 7 G】



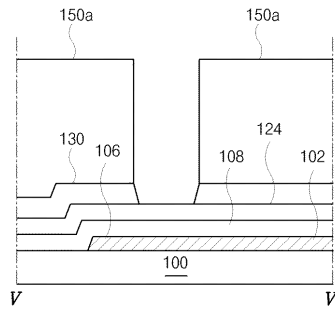
【図 8 A】



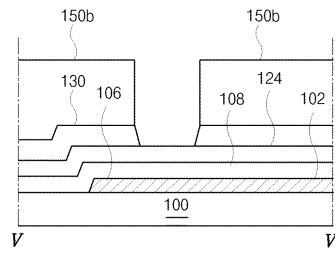
【図 8 B】



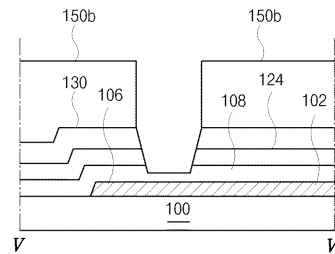
【図 8 C】



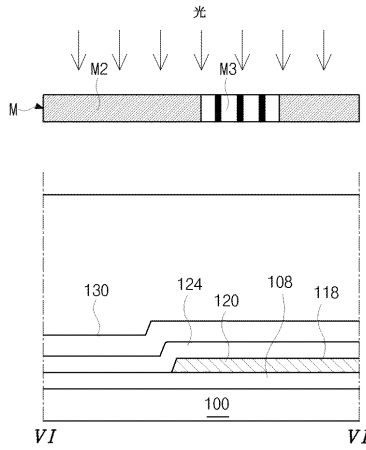
【図 8 D】



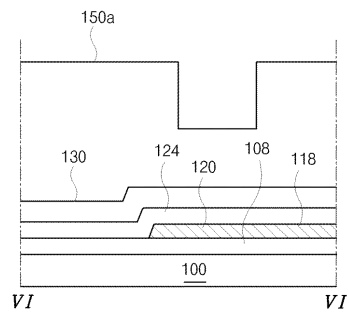
【図 8 E】



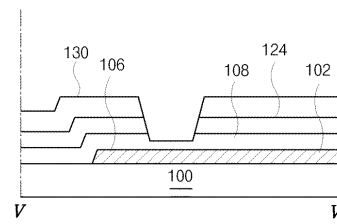
【図 9 A】



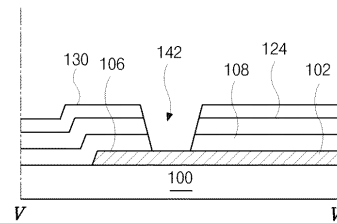
【図 9 B】



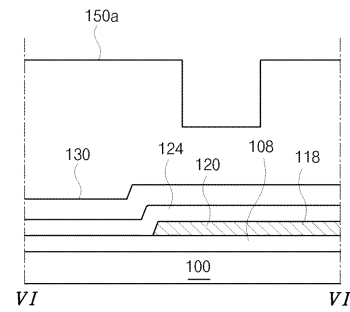
【図 8 F】



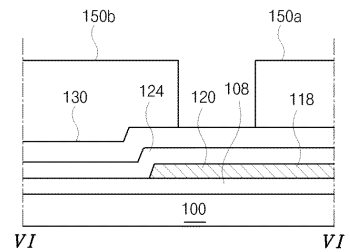
【図 8 G】



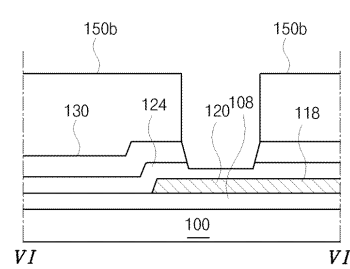
【図 9 C】



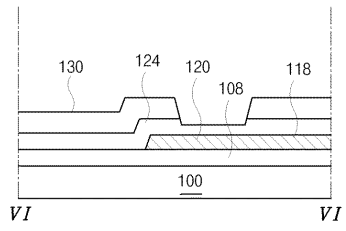
【図 9 D】



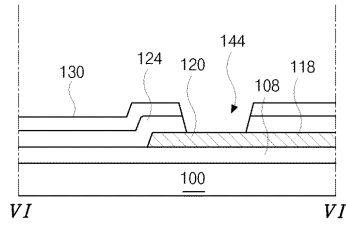
【図 9 E】



【図 9 F】



【図 9 G】



フロントページの続き

(74)代理人 100101498

弁理士 越智 隆夫

(74)代理人 100096688

弁理士 本宮 照久

(74)代理人 100104352

弁理士 朝日 伸光

(74)代理人 100128657

弁理士 三山 勝巳

(72)発明者 キム ウンクォン

大韓民国 4 3 5 - 0 4 0 キョンギド クンボシ サンボンドン セジョン アパート 6 3 8
- 1 3 0 3

(72)発明者 キム セジュン

大韓民国 1 4 0 - 8 1 1 ソウル ヨンサング ドンビンゴドン 3 2 - 2 3

審査官 奥田 雄介

(56)参考文献 特開 2 0 0 0 - 1 5 5 3 3 6 (J P , A)

特開 2 0 0 1 - 0 4 2 5 4 7 (J P , A)

特開平 0 9 - 2 9 2 6 3 3 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F 1 / 1 3 6 8

G 0 2 F 1 / 1 3 3 3

G 0 2 F 1 / 1 3 3 5

专利名称(译)	用于液晶显示装置的阵列基板及其制造方法		
公开(公告)号	JP4219886B2	公开(公告)日	2009-02-04
申请号	JP2004380486	申请日	2004-12-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji.菲利普斯杜天公司，有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	キムウンクオン キムセジュン		
发明人	キム ウンクオン キム セジュン		
IPC分类号	G02F1/1368 G02F1/1333 G02F1/1335 G02F1/133 G02F1/136 G02F1/1362 G03F7/20 H01L21/00 H01L29/786		
CPC分类号	G02F1/136227 G02F1/136209 G02F2001/136231		
FI分类号	G02F1/1368 G02F1/1333.505 G02F1/1335.505		
F-TERM分类号	2H090/HA03 2H090/HA04 2H090/HA06 2H090/HC11 2H090/HC12 2H090/HC17 2H090/HD05 2H090/HD08 2H090/LA01 2H090/LA04 2H090/LA15 2H091/FA04Y 2H091/FA35Y 2H091/FD04 2H091/GA07 2H091/GA13 2H091/LA16 2H091/LA30 2H092/GA43 2H092/JA26 2H092/JA46 2H092/JB52 2H092/JB57 2H092/JB64 2H092/JB68 2H092/KB26 2H092/MA14 2H092/MA16 2H092/MA18 2H092/NA07 2H092/NA17 2H092/NA18 2H092/NA29 2H092/PA08 2H092/PA09 2H190/HA03 2H190/HA04 2H190/HA06 2H190/HC11 2H190/HC12 2H190/HC17 2H190/HD05 2H190/HD08 2H190/LA01 2H190/LA04 2H190/LA15 2H191/FA06Y 2H191/FA14Y 2H191/FD04 2H191/GA10 2H191/GA19 2H191/LA21 2H191/LA40 2H192/AA24 2H192/BC31 2H192/CB05 2H192/DA02 2H192/DA42 2H192/EA13 2H192/EA42 2H192/EA66 2H192/EA74 2H192/FA65 2H192/GA42 2H192/HA44 2H192/HA62 2H192/HA80 2H291/FA06Y 2H291/FA14Y 2H291/FD04 2H291/GA10 2H291/GA19 2H291/LA21 2H291/LA40		
代理人(译)	臼井伸一 朝日 伸光		
优先权	1020030099918 2003-12-30 KR		
其他公开文献	JP2005196189A		
外部链接	Espacenet		

摘要(译)

液晶显示装置及其制造方法技术领域本发明涉及液晶显示装置，更具体地涉及用于液晶显示装置的基板及其制造方法。 本发明具有在基板上，以彼此交叉，所述栅极线和数据线，并限定像素区;位于的部分，其中所述栅线和所述数据线相交，栅电极，半导体一个图案，源电极，薄膜晶体管包括漏极电极;以及所述栅极和数据线，黑矩阵和对应于所述薄膜晶体管;位于该黑矩阵，该第一区域和第二区域其中，第一区域对应于像素区域并且具有第一厚度，第二区域具有第一厚度，第一厚度具有比第一厚度薄的第二厚度的绝缘膜和;位于所述第一绝缘膜，对应于第一区域中的滤色器图案;位于所述滤色器图案，连接至所述薄膜晶体管的像素电极提供了用于包括一个液晶显示装置的基板。 点域3A

【 図 1 】

