

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4141892号
(P4141892)

(45) 発行日 平成20年8月27日(2008.8.27)

(24) 登録日 平成20年6月20日(2008.6.20)

(51) Int.Cl. F I
GO2F 1/1368 (2006.01) GO2F 1/1368
HO1L 29/786 (2006.01) HO1L 29/78 612C

請求項の数 10 (全 11 頁)

(21) 出願番号	特願2003-126623 (P2003-126623)	(73) 特許権者	503002765
(22) 出願日	平成15年5月1日(2003.5.1)		統費光電股▲ふん▼有限公司
(65) 公開番号	特開2004-109974 (P2004-109974A)		台湾新竹科学工業園區苗栗縣竹南鎮科中路
(43) 公開日	平成16年4月8日(2004.4.8)		12號
審査請求日	平成15年5月1日(2003.5.1)	(74) 代理人	100064584
審査番号	不服2006-15797 (P2006-15797/J1)		弁理士 江原 省吾
審査請求日	平成18年7月21日(2006.7.21)	(74) 代理人	100093997
(31) 優先権主張番号	91120950		弁理士 田中 秀佳
(32) 優先日	平成14年9月13日(2002.9.13)	(74) 代理人	100101616
(33) 優先権主張国	台湾(TW)		弁理士 白石 吉之
		(74) 代理人	100107423
			弁理士 城村 邦彦
		(74) 代理人	100120949
			弁理士 熊野 剛

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ液晶ディスプレイのピクセル構造

(57) 【特許請求の範囲】

【請求項1】

透明基板と、前記透明基板上のパターン化したポリシリコン層の一部がドーブされて形成された低温ポリシリコン薄膜トランジスタのソース/ドレーン域と、信号線の下に位置する前記ポリシリコン層の他部がドーブされて形成されたドーブポリシリコン層と、前記ソース/ドレーン域および前記ドーブポリシリコン層を覆って前記透明基板上に形成された第1誘電層と、前記第1誘電層上に形成された、前記薄膜トランジスタのゲート、該ゲートに電氣的に繋がっている走査線および光をシールドするシールドメタル層と、前記ゲート、前記走査線および前記シールドメタル層を覆って前記透明基板上に形成した第2誘電層と、前記第2誘電層上に形成され、前記ソース域と電氣的に繋がっている前記信号線と、前記信号線が形成された前記透明基板上に形成された第3誘電層と、前記第3誘電層上に形成され、前記シールドメタル層およびドレーン域と電氣的に繋がっているピクセル電極と、蓄積容量素子と、からなる薄膜トランジスタ液晶ディスプレイのピクセル構造において、

前記ピクセルは、前記薄膜トランジスタおよび前記ピクセル電極を含み、前記シールドメタル層は、前記ピクセルの端において前記信号線と重なっておらず、前記信号線の両側で、前記ドーブポリシリコン層上方に配置されており、前記ドーブポリシリコン層は共通電圧に繋がっており、前記蓄積容量素子は、前記第1誘電層を間に挟む前記ドーブポリシリコン層と前記シールドメタル層の重なり部分で構成されていることを特徴とするピクセル構造。

【請求項 2】

前記ソース/ドレーン域がN型ドーパントをドーブしているポリシリコン層を含んでいることを特徴とする請求項 1 に記載のピクセル構造。

【請求項 3】

前記ソース/ドレーン域がP型ドーパントをドーブしているポリシリコン層を含んでいることを特徴とする請求項 1 に記載のピクセル構造。

【請求項 4】

前記ドーブポリシリコン層がN型ドーブポリシリコン層を含んでいることを特徴とする請求項 1 に記載のピクセル構造。

【請求項 5】

前記ドーブポリシリコン層がP型ドーブポリシリコン層を含んでいることを特徴とする請求項 1 に記載のピクセル構造。

【請求項 6】

前記シールドメタル層がモリブデン・タングステン合金、クローム、モリブデンからなるグループより選んだ材料でつくられていることを特徴とする請求項 1 に記載のピクセル構造。

【請求項 7】

前記ドーブポリシリコン層が前記信号線の下に位置合わせした開口部を有することを特徴とする請求項 1 に記載のピクセル構造。

【請求項 8】

請求項 1 に記載のピクセル構造を複数有する薄膜トランジスタアレイ基板。

【請求項 9】

請求項 8 に記載の薄膜トランジスタアレイ基板、カラーフィルター基板、および薄膜トランジスタアレイ基板とカラーフィルター基板の間に配置した液晶層からなる薄膜トランジスタ液晶ディスプレイ。

【請求項 10】

前記液晶層の静電容量CLCと前記蓄積容量素子の蓄積容量Cstとの割合（CLC：Cst）が、1:1～1:4の範囲にされることを特徴とする請求項 9 に記載の薄膜トランジスタ液晶ディスプレイ。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

本発明は一般に薄膜トランジスタ（TFT）液晶ディスプレイ（LCD）に係り、更に詳しくは高開口率を備えた低温シリコン薄膜トランジスタ液晶ディスプレイ（LTPS TFT-LCD）のピクセル構造に関する。

【0002】

【従来の技術とその課題】

LTPS TFT-LCDは、電子移動性が $200\text{cm}^2/\text{V}\cdot\text{sec}$ を超え、より小さな領域が高開口率の要求に合っていることが、従来のアモルファス（a-Si）TFT-LCDと異なっている点である。従って、輝度の減少やディスプレイ全体での電力消費の問題がLTPS TFT-LCDで解決される。加えて、電子の移動性が大きくなることにより、ドライバー回路の一部と薄膜トランジスタを同じガラス基板上に集積でき、LCDパネルの信頼性が著しく改善される。よって、LTPS TFT-LCDの生産コストは従来のa-Si TFT-LCDと比べて遙かに小さい。加えて、LTPS TFT-LCDでは更に、薄さ、軽量、高分解度の有利さがあり、省電力でモバイルの製品に適している。

【0003】

図1（先行技術）に関して、従来のTFT-LCDのピクセル構造では蓄積容量をピクセル電極と走査線で構成している。TFT-LCDのピクセル構造は、ピクセル100、ピクセル100駆動用の走査線106、ピクセル100駆動用の信号線108を含んでいる。ピクセル100には薄膜トランジスタ102とピクセル電極104がある。薄膜トランジスタ102にはゲート102aとソース/ド

10

20

30

40

50

レーン域102bがある。薄膜トランジスタ102では、ゲート102aと走査線106が電氣的に接続している。ソース/ドレーン域102bはプラグ112aを經由して信号線に一方で繋がり、プラグ112bと114を經由してピクセル電極104と他方で繋がっている。

【0004】

加えて、ピクセル電極104は、隣接する信号線108と隣接する走査線106、106aの間の領域に配置され、ピクセル電極104の一部が隣接の走査線106aと重なって、蓄積容量を形成している。蓄積容量110のキャパシタンスは、ピクセル電極104と走査線106aとの重なり、およびピクセル電極104と走査線106aの間に形成される誘電層（図示していない）の厚みにより決まる。

【0005】

図2（先行技術）では、従来のTFT-LCDピクセル構造でのコモン線とピクセル電極で構成する蓄積容量の概略図を示している。ピクセル構造には、ピクセル200、ピクセル200を駆動する走査線206、ピクセル200を駆動する信号線を含んでいる。ピクセル200は薄膜トランジスタ202とピクセル電極204で構成しており、薄膜トランジスタ202にはゲート202aとソース/ドレーン域202bを含んでいる。薄膜トランジスタ202ではゲート202aは走査線206と電氣的に繋がっており、ソース/ドレーン域202bの一方はプラグ212aを經由して信号線208と電氣的に繋がっており、他方はプラグ212bと214を經由してピクセル電極204と繋がっている。

【0006】

加えて、コモン線216は隣接する走査線206間の領域に形成され、ピクセル電極204は隣接する信号線208と隣接する走査線206の間の領域に形成されている。ピクセル電極204とコモン線216間のオーバーラップが蓄積容量210を構成している。蓄積容量210のキャパシタンスは、ピクセル電極204とコモン線216の重なり領域と、ピクセル電極204とコモン線216間で形成した誘電層（図示していない）の厚みにより決まる。

【0007】

ピクセル電極と走査線が構成する蓄積容量構成では、走査線の非常に広い線幅が十分なキャパシタンスを得るために用意される。これが開口率を減らす原因になる。同じ問題がピクセル電極とコモン線で形成する蓄積容量にも存在する。

【0008】

加えて、隣接するピクセル間の周縁領域が液晶分子の再配列を起こし、結果的にピクセル周縁での洩れを招く。従って、洩れ領域を封鎖するために、反対の基板、即ちカラーフィルター上にブラックマトリックス（BM）を形成せねばならない。カラーフィルター基板上に形成したブラックマトリックスも開口率を減少する。

【0009】

本発明は高開口率の低温ポリシリコン薄膜トランジスタ液晶ディスプレイのピクセル構造を提供する。

【0010】

【課題を解決するための手段】

本発明で提供される低温ポリシリコン薄膜トランジスタ液晶ディスプレイは、ピクセル、走査線、信号線、蓄積容量を有している。ピクセルは低温ポリシリコン薄膜トランジスタとピクセル電極からできている。走査線と信号線は低温ポリシリコン薄膜トランジスタを駆動するために用いられる。蓄積容量は信号線の下に形成されており、ドーパされたポリシリコン層、誘電層、ドーパポリシリコン層上に形成されピクセル電極と電氣的に繋がっているシールドメタル層の各層の積層でできている。シールドメタル層は信号線の両側縁に重なることなく隣接している。

【0011】

蓄積容量の上記ドーパポリシリコン層と低温ポリシリコン薄膜トランジスタのポリシリコン層は同じ方法で規定される。シールドメタル層は光をシールドする機能を有するだけでなく、ドーパポリシリコン層と一緒に蓄積容量を形成する機能がある。

【0012】

10

20

30

40

50

本発明において、低温ポリシリコン層はゲートとソース/ドレイン域を有している。ゲートは電氣的に走査線と繋がっている。ソース域は電氣的に信号線と繋がっており、ドレイン域はピクセル電極と繋がっている。加えて、ソース/ドレイン域はN型またはP型ドーパントを含んでいる。

【0013】

本発明において、シールドメタル層はモリブデン・タングステン合金、クローム、モリブデン、あるいはシールドと誘電の両効果がある他の材料を含んでいる。シールドメタル層は信号線と重なり合わず、それ故に、シールドメタル層と信号線間に寄生容量を引き起こさない。

【0014】

本発明において、蓄積容量は信号線の下に配置されている。ドーパポリシリコン層は信号線の下に配置した開口部がある。開口部の形成によりドーパポリシリコン層と信号線の重なり領域を減らすことができ、結果的にドーパポリシリコン層と信号線間の寄生容量が減少する。

【0015】

蓄積容量のドーパポリシリコン層はN型またはP型ドーパントを含んでいる。

【0016】

【発明の実施の形態】

図3~図8は、本発明の実施例に係る低温ポリシリコン薄膜トランジスタのレイ基板の製造工程を示している。図3のように、パターン化したポリシリコン層を透明な基板301の上に形成する。ポリシリコン層にイオンをドーパし、ソース/ドレイン域302bとドーパポリシリコン層318を形成する。ドーパイオンはN型またはP型ドーパントを含んでいる。ソース/ドレイン域302bとドーパポリシリコン層318を形成した後、誘電層322(第1誘電層)を透明基板301上に形成し、ソース/ドレイン域302bとドーパポリシリコン層318を覆う。上記の誘電層322は窒化シリコンや酸化シリコンのような誘電材料で形成する。

【0017】

図4のように、ゲート302a、走査線306、シールドメタル層320を形成する。ゲート302aを走査線306に合体し、シールドメタル層320をドーパポリシリコン層318の一部の上に形成する。シールドメタル層320、誘電層322、ドーパポリシリコン層318の重なる部分が蓄積容量素子310を構成する。シールドメタル層320を形成する材料は、モリブデン・タングステン合金、クローム、モリブデンまたはシールドと誘電の両特性を有する他の材料を含んでいる。

【0018】

図5のように、誘電層324(第2誘電層)を透明基板301の上方に形成し、ゲート302a、走査線306、シールドメタル層320を覆う。誘電層324を形成する材料は窒化シリコンや酸化シリコンのような誘電材料を含んでいる。そして、プラグ312aと312bをソース/ドレイン域の接点(S/D接点)としてソース/ドレイン域302b上に形成する。

【0019】

図6のように、信号線308と線309を誘電層324上に形成する。信号線308はプラグ312aを経由してソース/ドレイン域302bのソース域と繋がり、線309がプラグ312bを通じてソース/ドレイン域302bのドレイン域と繋がっている。

【0020】

図7のように、誘電層326(第3誘電層)を透明基板301全体上に形成する。例えば、誘電層326は平面状の上面を持ち、誘電層326を形成するための材料は、窒化シリコンや酸化シリコンのような誘電材料を含んでいる。そして、誘電層324と326を通してシールドメタル層320上にプラグを形成する。

【0021】

図8のように、誘電層326上にピクセル電極304を形成する。ピクセル電極304は、プラグ314、線309、プラグ312bを経由してソース/ドレイン域302bのドレイン域と電氣的に繋がっている。ピクセル電極は更に、プラグ316aと316bを経由してシールドメタル層320と電

10

20

30

40

50

氣的に繋がっている。ピクセル電極304を形成するための材料は、酸化インジウム錫（ITO）のような透明な誘電材料を含んでいる。

【0022】

本発明による低温ポリシリコン薄膜トランジスタ液晶ディスプレイピクセル構造は、ピクセル300、ピクセル300を駆動する走査線306、ピクセルを駆動する信号線308を含んでいることが、図8で明確に示されている。

【0023】

まずピクセル300、走査線306、信号線308の配置について説明する。ピクセル300は薄膜トランジスタ302とピクセル電極304を含む。薄膜トランジスタ302はゲート302aとソース/ドレイン域302bを含む。薄膜トランジスタ302において、ゲート302aは走査線306と電氣的に繋がっており、ソース/ドレイン域302bのソース域はプラグ312aを經由して信号線308と電氣的に繋がり、ソース/ドレイン域302bのドレイン域はプラグ312b、線309、プラグ314を經由してピクセル電極304と電氣的に繋がっている。

【0024】

更に蓄積容量素子310について以下に説明する。ドーブポリシリコン層318が信号線308の下で透明基板301上に形成されており、他方、シールドメタル層320はドーブポリシリコン層318の上方に形成されている。ドーブポリシリコン層318とシールドメタル層320の重なり部分が蓄積容量素子310を構成する。シールドメタル層320を形成する材料は、モリブデン・タングステン合金、クローム、モリブデン、またはシールドと誘電の両機能を有する他の材料を含んでいる。加えて、シールドメタル層320はプラグ316aと316bを經由してピクセル電極304と電氣的に繋がっており、ドーブポリシリコン層318はコモン電圧Vcomと繋がっている。

【0025】

加えて、シールドメタル層320は信号線308の両側でドーブポリシリコン層318上方に配置されている。シールドメタル層320がピクセルの端に配置しているため、シールドメタル層320はピクセルの縁における周縁領域が引き起こす洩れを抑え、ドーブポリシリコン層318と一緒に蓄積容量素子310も形成している。さらに、蓄積容量素子310の領域がシールドメタル層320のカバー域と同じであるため、余分の領域を必要とせず、開口率が大幅に増加する。

【0026】

図9には低温ポリシリコン薄膜トランジスタ液晶ディスプレイ（LTPS TFT-LCD）の断面を图示している。LTPS TFT-LCDは、カラーフィルターアレイ基板400、液晶層500、TFTアレイ基板600を含む。シールドメタル層320が信号線308と重なっておらず、シールドメタル層320と信号線間の寄生容量が非常に抑えられることが、図9から明らかに分かる。

【0027】

図10と図11を参照すると、図10は開口部のあるドーブポリシリコン層を示し、図11は図10に関するLTPS TFT-LCDの断面を示している。ドーブポリシリコン層318と信号線308間の寄生容量を更に抑えるために、ドーブポリシリコン層318のパターンを決めるフォトマスクを修正し、開口部319を信号線308の下に位置合わせした状態でドーブポリシリコン層318に形成している。このように開口部319を形成することにより、ドーブポリシリコン層318と信号線308が重なる可能性を更に減少し、その結果、両者間の寄生容量が更に減少する。

【0028】

【発明の効果】

上記により、本発明が提供する薄膜トランジスタ液晶ディスプレイのピクセル構成は、少なくとも次のような利点がある。

【0029】

1. 薄膜トランジスタ液晶ディスプレイのピクセル構造において、蓄積容量領域がシールドメタル層の覆う範囲と等しいので、開口率を大きく上げることができる。

【0030】

2. 薄膜トランジスタ液晶ディスプレイのピクセル構造において、シールドメタル層とドーパポリシリコン層が構成する蓄積容量は、CLC : Cstが1:1~1:4の範囲に容易に至るキャパシタンスCstをもつ。

【0031】

3. 薄膜トランジスタ液晶ディスプレイのピクセル構造において、カラーフィルター基板上に光を遮蔽するためのブラックマトリックスを必要としない。

【0032】

4. 本発明が提供する薄膜トランジスタ液晶ディスプレイのピクセル構造を製造するにあたって、顕著な製造コストの上昇なしで僅かな修正をフォトマスク上にするだけである。

【0033】

ここで公開された本発明の仕様と実際を考慮することにより、本発明の別の実施例が当業者に生まれる。意図していることは、仕様や例は例示としてのみ考えられるべきものであり、本発明の適用範囲と精神を特許請求範囲で示している。

【0034】

本発明のこれらの特徴は他の特徴と共に、図を参考にすることにより更に明らかになる。

【図面の簡単な説明】

【図1】従来の薄膜トランジスタ液晶ディスプレイのピクセル構造において、ピクセル電極と走査線からなる蓄積容量を示す平面図。

【図2】従来の薄膜トランジスタ液晶ディスプレイのピクセル構造において、ピクセル電極とコモン線からなる蓄積容量を示す平面図。

【図3】低温ポリシリコン薄膜トランジスタのアレイ基板の製造工程図である。

【図4】低温ポリシリコン薄膜トランジスタのアレイ基板の製造工程図である。

【図5】低温ポリシリコン薄膜トランジスタのアレイ基板の製造工程図である。

【図6】低温ポリシリコン薄膜トランジスタのアレイ基板の製造工程図である。

【図7】低温ポリシリコン薄膜トランジスタのアレイ基板の製造工程図である。

【図8】低温ポリシリコン薄膜トランジスタのアレイ基板の製造工程図である。

【図9】低温ポリシリコン薄膜トランジスタ液晶ディスプレイの断面図である。

【図10】開口部のあるドーパポリシリコン層の概略図である。

【図11】図10に関する低温ポリシリコン薄膜トランジスタ液晶ディスプレイを示す断面図である。

【符合の説明】

100 ピクセル

102 薄膜トランジスタ

102a ゲート

102b ソース/ドレイン域

104 ピクセル電極

106 走査線

106a 走査線

108 信号線

110 蓄積容量

112a プラグ

112b プラグ

200 ピクセル

202 薄膜トランジスタ

202a ゲート

202b ソース/ドレイン域

204 ピクセル電極

206 走査線

208 信号線

10

20

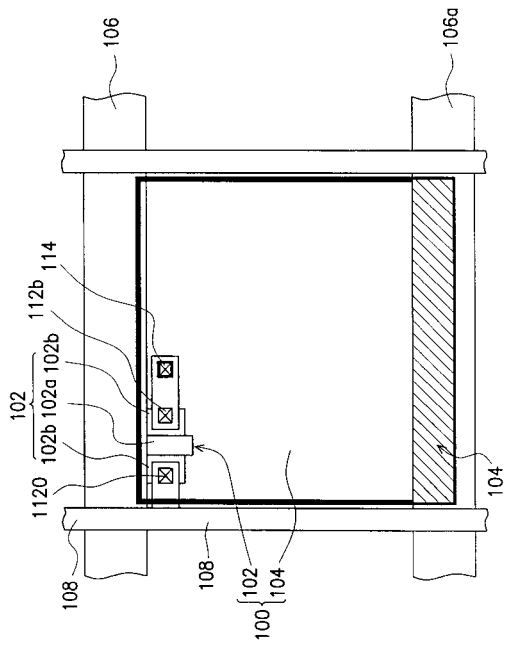
30

40

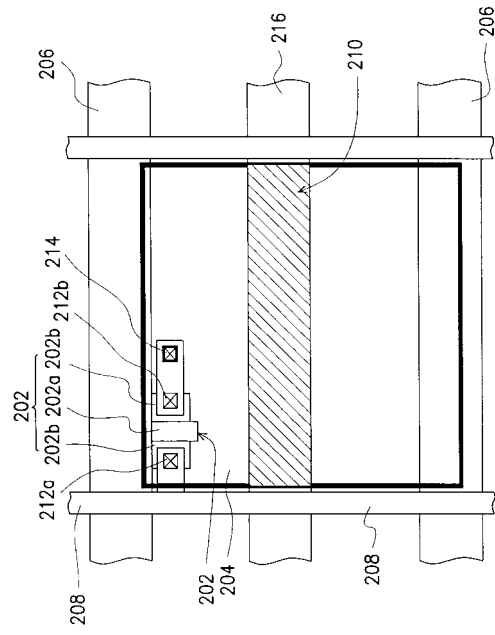
50

210	蓄積容量	
212a	プラグ	
212b	プラグ	
216	コモン線	
300	ピクセル	
301	透明基板	
302	薄膜トランジスタ	
302a	ゲート	
302b	ソース/ドレイン域	
304	ピクセル電極	10
306	走査線	
308	信号線	
309	線	
310	<u>蓄積容量素子</u>	
312a	プラグ	
312b	プラグ	
314	プラグ	
316a	プラグ	
318	ドーブポリシリコン層	
319	開口部	20
320	シールドメタル層	
322	誘電層	
324	誘電層	
326	誘電層	
400	カラーフィルターアレイ基板	
500	液晶層	
	・ アレイ基板	

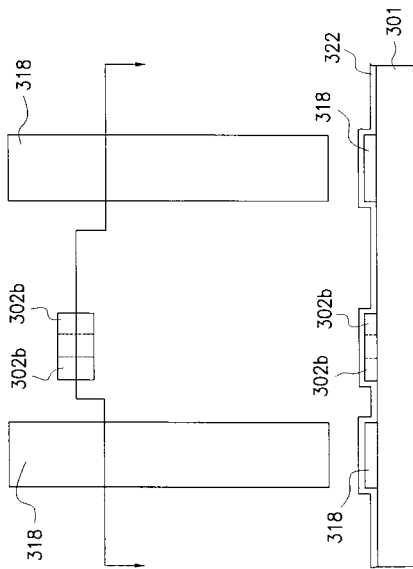
【 図 1 】



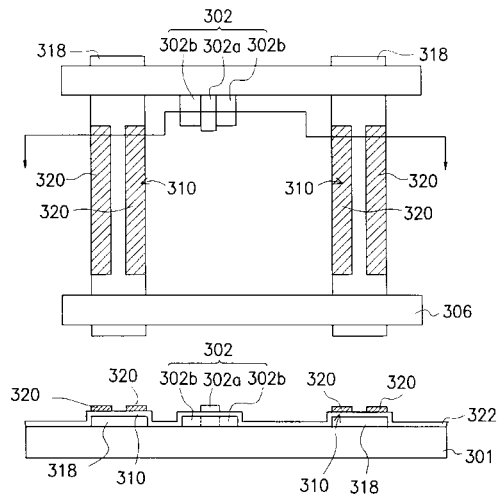
【 図 2 】



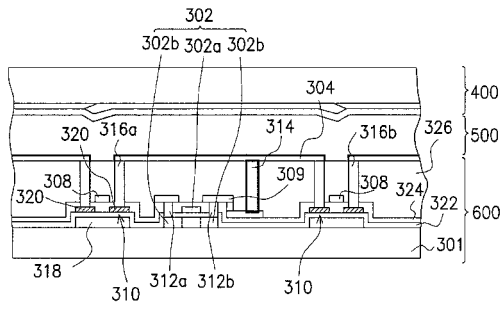
【 図 3 】



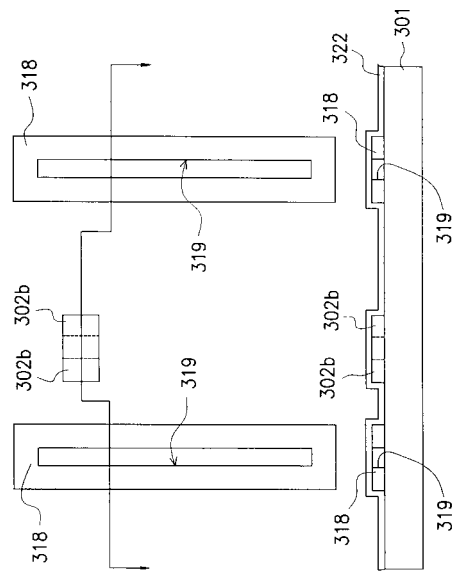
【 図 4 】



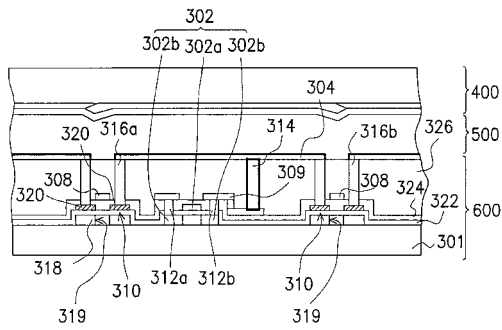
【図 9】



【図 10】



【図 11】



フロントページの続き

- (72)発明者 鄭 新安
台湾高雄縣林園鄉忠孝西路119巷13號
- (72)発明者 邱 昌明
台湾桃園縣中壢市龍興路487號

合議体

- 審判長 小牧 修
審判官 三橋 健二
審判官 吉野 公夫

- (56)参考文献 特開2001-125139(JP,A)
特開2002-158360(JP,A)
特開平10-039336(JP,A)
特開2001-281684(JP,A)
特開平10-161159(JP,A)
特開平06-138484(JP,A)
特開平04-056828(JP,A)

- (58)調査した分野(Int.Cl., DB名)
G02F 1/1368

专利名称(译)	像素结构的薄膜晶体管液晶显示器		
公开(公告)号	JP4141892B2	公开(公告)日	2008-08-27
申请号	JP2003126623	申请日	2003-05-01
[标]申请(专利权)人(译)	统宝光电股份有限公司		
申请(专利权)人(译)	统宝光电股▲ふん▼有限公司		
当前申请(专利权)人(译)	统宝光电股▲ふん▼有限公司		
[标]发明人	郑新安 邱昌明		
发明人	郑新安 邱昌明		
IPC分类号	G02F1/1368 H01L29/786 G02F1/1362		
CPC分类号	G02F1/136213 G02F1/136209 G02F2202/104		
FI分类号	G02F1/1368 H01L29/78.612.C		
F-TERM分类号	2H092/JA24 2H092/JA46 2H092/JB57 2H092/JB58 2H092/JB62 2H092/JB66 2H092/JB67 2H092/KA04 2H092/KA07 2H092/KA10 2H092/KB12 2H092/NA07 2H092/PA08 2H192/AA24 2H192/BC31 2H192/CB02 2H192/DA14 2H192/DA15 2H192/DA42 2H192/DA72 2H192/EA04 2H192/EA43 2H192/GA03 5F110/AA30 5F110/BB01 5F110/CC02 5F110/EE04 5F110/FF02 5F110/FF03 5F110/GG02 5F110/GG13 5F110/HJ12 5F110/NN03 5F110/NN23 5F110/NN24 5F110/NN72 5F110/NN73 5F110/QQ08		
代理人(译)	田中 秀佳 熊野刚		
审查员(译)	小牧修		
优先权	091120950 2002-09-13 TW		
其他公开文献	JP2004109974A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供具有高孔径比的低温多晶硅薄膜晶体管液晶显示器的像素结构。解决方案：在薄膜晶体管液晶显示器的像素结构中，通过同时限定低温多晶硅薄膜晶体管的掺杂多晶硅层，介电层，屏蔽金属层和源/漏区来形成存储电容器。屏蔽金属层形成在掺杂的多晶硅层上并电连接到像素电极。由于屏蔽金属层占据的面积是存储电容器的面积，因此开口率显著提高。之

