

(19) 日本国特許庁(JP)

## (12) 特 許 公 報(B2)

(11) 特許番号

特許第4049589号  
(P4049589)

(45) 発行日 平成20年2月20日(2008.2.20)

(24) 登録日 平成19年12月7日(2007.12.7)

(51) Int.Cl.

F 1

<b>G02F</b>	<b>1/1343</b>	<b>(2006.01)</b>	G02F	1/1343
<b>G02F</b>	<b>1/1335</b>	<b>(2006.01)</b>	G02F	1/1335 505
<b>G02F</b>	<b>1/1368</b>	<b>(2006.01)</b>	G02F	1/1368
<b>G09F</b>	<b>9/00</b>	<b>(2006.01)</b>	G09F	9/00 342Z
<b>G09F</b>	<b>9/30</b>	<b>(2006.01)</b>	G09F	9/00 352

請求項の数 8 (全 18 頁) 最終頁に続く

(21) 出願番号

特願2002-10893 (P2002-10893)

(22) 出願日

平成14年1月18日 (2002.1.18)

(65) 公開番号

特開2003-215614 (P2003-215614A)

(43) 公開日

平成15年7月30日 (2003.7.30)

審査請求日

平成17年1月11日 (2005.1.11)

(73) 特許権者 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(74) 代理人 100101214

弁理士 森岡 正樹

(72) 発明者 長岡 謙一

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

審査官 藤田 都志行

最終頁に続く

(54) 【発明の名称】 液晶表示装置用基板及びそれを備えた液晶表示装置及びその製造方法

## (57) 【特許請求の範囲】

## 【請求項 1】

対向して配置される対向基板とともに液晶を挟持する基板と、  
前記基板上に絶縁膜を介して互いに交差して形成された複数のバスラインと、  
前記基板上にマトリクス状に配置された画素領域と、  
前記画素領域毎に形成された薄膜トランジスタと、  
前記画素領域毎に形成された蓄積容量電極と、  
前記薄膜トランジスタのソース電極及び前記蓄積容量電極と同一の形成材料で形成され  
、前記ソース電極と前記蓄積容量電極とを電気的に接続する接続配線と、  
前記画素領域に形成されたカラーフィルタ層と、  
前記カラーフィルタ層上の前記画素領域毎に形成された画素電極と、  
前記バスラインを修復するために形成されたリペア配線と、  
前記バスラインと前記リペア配線とが絶縁膜を介して交差する交差部とを有し、  
前記交差部は、上層に前記カラーフィルタ層が少なくとも2層積層されて形成されてい  
ること

を特徴とする液晶表示装置用基板。

## 【請求項 2】

請求項1記載の液晶表示装置用基板において、  
前記接続配線は、前記画素領域内に形成されていること  
を特徴とする液晶表示装置用基板。

10

20

**【請求項 3】**

請求項 1 又は 2 に記載の液晶表示装置用基板において、

前記画素電極は、前記バスラインに平行又は垂直に延びる幹部と、前記幹部から分岐して前記バスラインに斜めに延びる複数の枝部とを備えたストライプ状電極と、前記ストライプ状電極間のスペースとを有し、

前記接続配線は、基板面に垂直方向に見て、前記ストライプ状電極に重なって形成されていること

を特徴とする液晶表示装置用基板。

**【請求項 4】**

請求項 3 記載の液晶表示装置用基板において、

10

前記接続配線は、基板面に垂直方向に見て、前記幹部に重なって形成されていることを特徴とする液晶表示装置用基板。

**【請求項 5】**

請求項 1 乃至 4 のいずれか 1 項に記載の液晶表示装置用基板において、

前記基板の周囲に形成されたショートリングと、前記ショートリングと前記複数のバスラインとを接続する静電破壊防止用薄膜トランジスタとをさらに有し、

前記静電破壊防止用薄膜トランジスタのゲート電極とドレイン電極とは、ゲート絶縁膜に開口したコンタクトホールを介して電気的に接続されていること

を特徴とする液晶表示装置用基板。

**【請求項 6】**

20

一対の基板と、前記一対の基板間に封止された液晶とを有する液晶表示装置であって、

前記基板の一方に、請求項 1 乃至 5 のいずれか 1 項に記載の液晶表示装置用基板が用いられていること

を特徴とする液晶表示装置。

**【請求項 7】**

薄膜トランジスタのソース電極及び蓄積容量電極の形成と同時に、前記ソース電極と前記蓄積容量電極とを電気的に接続する接続配線を形成する工程と、

交差部で絶縁膜を介してバスラインに交差するリペア配線を形成する工程と、

前記ソース電極及び蓄積容量電極上にカラーフィルタ層を形成する前に、アレイ検査を行う工程と、

30

前記アレイ検査後に画素領域に前記カラーフィルタ層を形成し、前記交差部の上層にカラーフィルタ層を少なくとも 2 層積層する工程と

を有することを特徴とする液晶表示装置用基板の製造方法。

**【請求項 8】**

請求項 7 記載の液晶表示装置用基板の製造方法を用いて液晶表示装置用基板を形成する工程と、

前記液晶表示装置用基板と対向基板との間に液晶を封止する工程と

を有することを特徴とする液晶表示装置の製造方法。

**【発明の詳細な説明】****【0001】**

40

**【発明の属する技術分野】**

本発明は、情報機器等の表示装置として用いられる液晶表示装置用基板及びそれを備えた液晶表示装置及びその製造方法に関する。

**【0002】****【従来の技術】**

画素の高精細化、開口率の向上を実現する液晶表示装置として、薄膜トランジスタ (TFT ; Thin Film Transistor) 基板上にカラーフィルタ (CFT ; Color Filter) 樹脂層が形成された CFT TFT (Color Filter on Thin Film Transistor array) 構造の液晶表示装置が注目されている。

50

## 【0003】

図17は、CFTFT構造を有する従来の液晶表示装置の構成を示している。図17に示すように、TFT基板102上には、図中左右方向に延びるゲートバスライン110が互いに平行に複数形成されている(図17では1本のみ示している)。また、不図示の絶縁膜を介してゲートバスライン110に交差して、図中上下方向に延びるドレインバスライン112が互いに平行に複数形成されている。両バスライン110、112の交差位置近傍にはTFT114が形成されている。TFT114のドレイン電極116は、ドレインバスライン112に電気的に接続されている。また、TFT114のソース電極118は、ドレイン電極116に対向して形成されている。

## 【0004】

また、TFT基板102上には、ゲートバスライン110に平行に、複数の蓄積容量バスライン120が形成されている(図17では1本のみ示している)。蓄積容量バスライン120上には、不図示の絶縁膜を介して蓄積容量電極122が形成されている。蓄積容量バスライン120と蓄積容量電極122とにより蓄積容量が形成されている。

## 【0005】

また、TFT基板102の各画素領域には、赤(R)、緑(G)、青(B)のうちいずれか1色のCF樹脂層が形成されている。CF樹脂層上には、平坦化樹脂膜(オーバーコート層)及び画素電極132が形成されている。画素電極132はコンタクトホール130を介してソース電極118に電気的に接続され、コンタクトホール131を介して蓄積容量電極122に電気的に接続されている。すなわち、ソース電極118は、画素電極132を介して蓄積容量電極122に電気的に接続されている。

## 【0006】

CFTFT構造を有する従来の液晶表示装置のTFT基板の製造方法について、図17を参照しつつ図18及び図19を用いて説明する。図18は、従来のCFTFT構造のTFT基板の製造工程を示すフローチャートである。まず、ガラス基板上の全面に金属層を成膜してパターニングし、ゲートバスライン(ゲート電極)110及び蓄積容量バスライン120を形成する(ステップS21)。次に、全面に絶縁膜(ゲート絶縁膜)を形成する(ステップS22)。次に、ゲート絶縁膜上の全面に金属層を成膜してパターニングし、ドレイン電極116、ソース電極118、ドレインバスライン112及び蓄積容量電極122を形成する(ステップS23)。

## 【0007】

図19は、ステップS23の工程が終了した時点でのTFT基板102の構成を示している。図19に示すように、ステップS23の工程が終了した時点では、画素電極132が形成されていないため、ソース電極118と蓄積容量電極122とは電気的に接続されていない。

## 【0008】

図18に戻り、ドレイン電極116、ソース電極118、ドレインバスライン112及び蓄積容量電極122上の全面に保護膜を形成する(ステップS24)。次に、保護膜上の画素領域毎にCF樹脂層R、G、Bのうちいずれか1層を形成する(ステップS25)。次に、CF樹脂層上に、オーバーコート層を形成する(ステップS26)。次に、ソース電極118上及び蓄積容量電極122上のオーバーコート層、CF樹脂層及び保護膜を開口してコンタクトホール130、131をそれぞれ形成する(ステップS27)。次に、各画素領域にITO(Indium Tin Oxide)からなる画素電極132を形成する(ステップS28)。このとき、画素電極132はコンタクトホール130を介してソース電極118に電気的に接続され、コンタクトホール131を介して蓄積容量電極122に電気的に接続される。次に、アレイ検査(ステップS29)を行う。

## 【0009】

アレイ検査では、例えば、ドレインバスライン112に所定の電圧を印加し、TFT114をオン状態にして各画素の蓄積容量に所定の電荷を充電した後、画素毎に蓄積された電荷量を測定して当該電荷量が閾値を越えているか否かで欠陥を検出している。アレイ検査

10

20

30

40

50

により欠陥が検出されたらステップ S 3 0 に進み、当該欠陥に対して所定のレーザリペアを行い、ステップ S 2 9 に戻る。アレイ検査により欠陥が検出されなければステップ S 3 1 に進み、外観検査を行う。

#### 【 0 0 1 0 】

アレイ検査は、画素毎の蓄積容量に電荷を充電できるようになった後に行われる。従来の TFT 基板 1 0 2 の構成では、ソース電極 1 1 8 と蓄積容量電極 1 2 2 とが、CF 樹脂層上に形成された画素電極 1 3 2 を介して電気的に接続されている。このため、CF on TFT 構造の TFT 基板 1 0 2 では、CF 樹脂層 R、G、B や画素電極 1 3 2 が形成された後にアレイ検査が行われる。

#### 【 0 0 1 1 】

CF 樹脂層 R、G、B は、少なくとも 2 層重ねて形成することにより遮光機能を有する。このため、隣接する画素領域間や、TFT 1 1 4 上及び表示領域の周囲の額縁領域等には、CF 樹脂層 R、G、B が少なくとも 2 層積層されて形成されている。

#### 【 0 0 1 2 】

図 2 0 は、従来の CF on TFT 構造の TFT 基板 1 0 2 の額縁領域の構成を示している。図 2 0 に示すように、TFT 基板 1 0 2 の表示領域 1 5 0 の周囲には額縁領域 1 5 2 が設けられている。額縁領域 1 5 2 には、後述する一部の領域を除いて、CF 樹脂層 R、G、B が少なくとも 2 層積層されて形成されている。

#### 【 0 0 1 3 】

図 2 1 は、図 2 0 に示す円 内の領域を拡大して示している。図 2 1 に示すように、額縁領域 1 5 2 には、ドレインバスライン 1 1 2 の断線等を修復するためのリペア配線 1 5 4、1 5 5、1 5 8 が表示領域 1 5 0 を迂回して形成されている。リペア配線 1 5 4 は、複数の接続部 1 5 6 で絶縁膜を介して複数のドレインバスライン 1 1 2 にそれぞれ交差している。リペア配線 1 5 5 は、複数の接続部 1 5 7 で絶縁膜を介して複数のドレインバスライン 1 1 2 にそれぞれ交差している。リペア配線 1 5 8 の一端部は、接続部 1 6 0 で絶縁膜を介してリペア配線 1 5 4 の一端部上に形成されている。

#### 【 0 0 1 4 】

断線の生じたドレインバスライン 1 1 2 を修復する際には、当該ドレインバスライン 1 1 2 の接続部 1 5 6 にレーザ光を照射して、当該ドレインバスライン 1 1 2 とリペア配線 1 5 4 とを電気的に接続させる。また、接続部 1 6 0 にレーザ光を照射して、リペア配線 1 5 4 とリペア配線 1 5 8 とを電気的に接続させる。リペア配線 1 5 4、1 5 8 を用いて階調電圧を迂回させることによりドレインバスライン 1 1 2 が修復される。

#### 【 0 0 1 5 】

図 2 1 に示すように、レーザが照射される接続部 1 5 6、1 5 7、1 6 0 近傍の領域は、CF 樹脂層 R、G、B が 2 層積層されずに 1 層のみ形成されている。したがって、これらの領域が遮光されないため接続部 1 5 6、1 5 7、1 6 0 を外観上確認でき、接続部 1 5 6、1 5 7、1 6 0 へのレーザの照射が容易になっている。

#### 【 0 0 1 6 】

##### 【発明が解決しようとする課題】

しかしながら、上記のような構成にすると、額縁領域 1 5 2 の接続部 1 5 6、1 5 7、1 6 0 近傍が遮光されないため、接続部 1 5 6、1 5 7、1 6 0 近傍から光漏れが発生する。接続部 1 5 6、1 5 7、1 6 0 は、表示領域 1 5 0 の近傍に配置されているため、そこからの光漏れにより表示品質が低下してしまうという問題が生じている。

#### 【 0 0 1 7 】

また、TFT 1 1 4、ゲートバスライン 1 1 0 及びドレインバスライン 1 1 2 上には、遮光のために CF 樹脂層 R、G、B が少なくとも 2 層積層されて形成されている。このため、アレイ検査により電気的に欠陥が検出されても、顕微鏡を用いた観察検査により欠陥の正確な位置を検出するのが困難であるという問題が生じている。

#### 【 0 0 1 8 】

ところで、図示は省略しているが、TFT 基板 1 0 2 には表示領域 1 5 0 の外側に、製品

化後にも残存する静電破壊防止用のインナーショートリングが形成されている。インナーショートリングのさらに外側には、後工程で切断されて破棄される静電破壊防止用のアウターショートリングが形成されている。両ショートリングは各バスライン 110、112、116 と静電破壊防止用 TFT を介して接続されている。これにより、各バスライン 110、112、116 に静電気が帯電したときに生じる TFT の閾値シフト及び層間短絡等を防止している。

#### 【0019】

静電破壊防止用 TFT は、各バスライン 110、112、116 に高電位の静電気が帯電したときにオン状態になるように、そのゲート電極とドレイン電極とが同一のバスライン 110、112、116 又はショートリングに電気的に接続される。従来、静電破壊防止用 TFT のゲート電極とドレイン電極とは、ゲート電極に電気的に接続されたゲート金属層上の保護膜及び絶縁膜を開口したコンタクトホールと、ドレイン電極に電気的に接続されたドレイン金属層上の保護膜を開口して形成されたコンタクトホールと、両コンタクトホール間に形成された ITO 層とを介して電気的に接続されている。

10

#### 【0020】

しかし、ITO 層の下層には、CF 樹脂層 R、G、B の 1 乃至 3 層が形成されているため、両コンタクトホールを形成する際には CF 樹脂層 R ~ B を開口する必要がある。したがって、両コンタクトホールが形成された領域は遮光されず、額縁領域 152 からの光漏れの原因になってしまう。このため、光漏れにより表示品質が低下してしまうという問題が生じている。

20

#### 【0021】

本発明の目的は、欠陥の位置を容易に検出でき、良好な表示品質の得られる液晶表示装置用基板及びそれを備えた液晶表示装置及びその製造方法を提供することにある。

#### 【0022】

##### 【課題を解決するための手段】

上記目的は、対向して配置される対向基板とともに液晶を挟持する基板と、前記基板上に絶縁膜を介して互いに交差して形成された複数のバスラインと、前記基板上にマトリクス状に配置された画素領域と、前記画素領域毎に形成された薄膜トランジスタと、前記画素領域毎に形成された蓄積容量電極と、前記薄膜トランジスタのソース電極及び前記蓄積容量電極と同一の形成材料で形成され、前記ソース電極と前記蓄積容量電極とを電気的に接続する接続配線とを有することを特徴とする液晶表示装置用基板によって達成される。

30

#### 【0023】

上記本発明の液晶表示装置用基板において、前記接続配線は、前記画素領域内に形成されていることを特徴とする。

#### 【0024】

上記本発明の液晶表示装置用基板において、前記画素領域に形成されたカラーフィルタ層と、前記カラーフィルタ層上の前記画素領域毎に形成された画素電極とをさらに有していることを特徴とする。

#### 【0025】

上記本発明の液晶表示装置用基板において、前記画素電極は、前記バスラインに平行又は垂直に延びる幹部と、前記幹部から分岐して前記バスラインに斜めに延びる複数の枝部とを備えたストライプ状電極と、前記ストライプ状電極間のスペースとを有し、前記接続配線は、基板面に垂直方向に見て、前記ストライプ状電極に重なって形成されていることを特徴とする。

40

#### 【0026】

上記本発明の液晶表示装置用基板において、前記接続配線は、基板面に垂直方向に見て、前記幹部に重なって形成されていることを特徴とする。

#### 【0027】

上記本発明の液晶表示装置用基板において、前記バスラインを修復するために形成されたリペア配線と、前記バスラインと前記リペア配線とが絶縁膜を介して交差する交差部とを

50

さらに有し、前記交差部は、上層に前記カラーフィルタ層が少なくとも2層積層されて形成されていることを特徴とする。

【0028】

上記本発明の液晶表示装置用基板において、前記基板の周囲に形成されたショートリングと、前記ショートリングと前記複数のバスラインとを接続する静電破壊防止用薄膜トランジスタとをさらに有し、前記静電破壊防止用薄膜トランジスタのゲート電極とドレイン電極とは、ゲート絶縁膜に開口したコンタクトホールを介して電気的に接続されていることを特徴とする。

【0029】

また、上記目的は、一対の基板と、前記一対の基板間に封止された液晶とを有する液晶表示装置であって、前記基板の一方に、上記本発明の液晶表示装置用基板が用いられていることを特徴とする液晶表示装置によって達成される。 10

【0030】

さらに、上記目的は、薄膜トランジスタのソース電極及び蓄積容量電極の形成と同時に、前記ソース電極と前記蓄積容量電極とを電気的に接続する接続配線を形成する工程と、前記ソース電極及び蓄積容量電極上にカラーフィルタ層を形成する前に、アレイ検査を行う工程とを有することを特徴とする液晶表示装置の製造方法によって達成される。

【0031】

またさらに、上記目的は、バスライン層上にカラーフィルタ層が形成された薄膜トランジスタ基板に対してアレイ検査を行い前記バスラインの欠陥を検査する液晶表示装置の欠陥検査方法において、前記アレイ検査により欠陥が検出された後に、赤外線の強度を検知して視覚化する赤外顕微鏡を用いて前記欠陥の観察検査を行うことを特徴とする液晶表示装置の欠陥検出方法によって達成される。 20

【0032】

【発明の実施の形態】

本発明の一実施の形態による液晶表示装置用基板及びそれを備えた液晶表示装置及びその製造方法について図1乃至図16を用いて説明する。図1は、本実施の形態による液晶表示装置用基板の構成を示している。図1に示すように、TFT基板2上には、図中左右方向に延びるゲートバスライン10が互いに平行に複数形成されている(図1では1本のみ示している)。また、不図示の絶縁膜を介してゲートバスライン10に交差して、図中上下方向に延びるドレインバスライン12が互いに平行に複数形成されている。図1では図示を省略しているが、後程説明する図5に示すように、ゲートバスライン10の図中左方には、ゲートバスライン10を駆動するゲートバスライン駆動回路に接続されるゲートバスライン端子52が形成されている。ドレインバスライン12の図中上方には、ドレインバスライン12を駆動するドレインバスライン駆動回路に接続されるドレインバスライン端子80が形成されている。また、ゲートバスライン10の図中右方には、アレイ検査の際に使用されるゲートバスライン検査用端子82が形成され、ドレインバスライン12の図中下方には、同様にアレイ検査の際に使用されるドレインバスライン検査用端子86が形成されている。 30

【0033】

画素領域内であって両バスライン10、12の交差位置近傍にはTFT14が形成されている。TFT14のドレイン電極16は、ドレインバスライン12に電気的に接続されている。また、TFT14のソース電極18は、所定の間隙を介してドレイン電極16に対向して形成されている。 40

【0034】

また、TFT基板2の各画素領域には、ゲートバスライン10に平行に、蓄積容量バスライン20が形成されている。蓄積容量バスライン20上には、不図示の絶縁膜を介して蓄積容量電極22が形成されている。蓄積容量バスライン20と蓄積容量電極22とで蓄積容量が形成されている。

【0035】

10

20

30

40

50

また、TFT基板2の各画素領域には、CF樹脂層R、G、Bの少なくとも1層が形成されている。CF樹脂層R、G、B上には、画素電極32が形成されている。画素電極32は、ドレインバスライン12に平行及び垂直に延びる2本の幹部91と、幹部91から分岐してドレインバスライン12に対して斜めに延びる複数の枝部92とからなるストライプ状電極と、ストライプ状電極とスペース93とにより葉脈形状になっている。この形状により、液晶分子の配向を規制するポリマースタビライズ(PS)方式を実現するためのモノマー材のポリマー化時に、液晶分子を配向させることができる。なお、PS方式を用いない場合には、当該画素電極32を直接の配向規制手段として用いることが可能である。画素電極32は、コンタクトホール31を介して蓄積容量電極22に電気的に接続されている。各画素領域には、ソース電極18と蓄積容量電極22とを電気的に接続する接続配線40が形成されている。接続配線40は、基板面に垂直方向に見て、画素電極32の幹部91に重なるように配置されている。10

#### 【0036】

図2は、本実施の形態による液晶表示装置用基板の構成を示す断面図である。図2(a)は図1のA-A線で切断したTFT14近傍の断面を示し、図2(b)は図1のB-B線で切断した蓄積容量近傍の断面を示している。また図2(c)は、図1のC-C線で切断したゲートバスライン検査用端子82近傍の断面を示している。

#### 【0037】

図2(a)に示すように、ガラス基板50上には、ゲート電極10が形成されている。ゲート電極10上の基板全面には、絶縁膜54が形成されている。絶縁膜54上には、動作半導体層64が形成されている。動作半導体層64上には、チャネル保護膜60が形成されている。動作半導体層64及びチャネル保護膜60上には、それぞれ下層にn+a-Si層57が形成されたドレイン電極16及びソース電極18が形成されている。ドレイン電極16の一端部とソース電極18の一端部とは、チャネル保護膜60上で所定の間隙を介して対向している。ドレイン電極16及びソース電極18上の基板全面には、保護膜66が形成されている。保護膜66上には、例えばCF樹脂層R、Gが順に積層されて形成されている。CF樹脂層G上には、オーバーコート層68が形成されている。オーバーコート層68上の画素領域には、画素電極32が形成されている。20

#### 【0038】

また、図2(b)に示すように、ガラス基板50上には、ゲート電極10と同一の形成材料で蓄積容量バスライン20が形成されている。蓄積容量バスライン20上の基板全面には、絶縁膜54が形成されている。絶縁膜54上には、それぞれ下層にa-Si層56及びn+a-Si層57が形成された蓄積容量電極22(図中破線より右方)及び接続配線40(図中破線より左方)が形成されている。蓄積容量電極22及び接続配線40は、ドレイン電極16及びソース電極18と同一の形成材料で形成されている。蓄積容量電極22上の基板全面には、保護膜66が形成されている。保護膜66上には、例えばCF樹脂層Rが形成されている。CF樹脂層R上にはオーバーコート層68が形成されている。オーバーコート層68上には画素電極32が形成されている。画素電極32は、蓄積容量電極22上のオーバーコート層68、CF樹脂層R及び保護膜66を開口して形成されたコンタクトホール31を介して、蓄積容量電極22に電気的に接続されている。30

#### 【0039】

図2(c)に示すように、ガラス基板50上には、ゲート電極10と同一の形成材料でゲートバスライン検査用端子82が形成されている。ゲートバスライン検査用端子82上には、基板全面に形成された絶縁膜54を開口したコンタクトホール62が形成されている。絶縁膜54上には、保護膜66、CF樹脂層R、G、及びオーバーコート層68がこの順に積層されて形成されている。40

#### 【0040】

図3は、本実施の形態による液晶表示装置用基板の表示領域周囲の構成を示している。図3に示すように、TFT基板2の表示領域200周囲には額縁領域202が設けられてい50

る。額縁領域 202 は、少なくとも 2 層積層されて形成された C F 樹脂層 R、G、B により遮光されている。

#### 【 0 0 4 1 】

図 4 は、図 3 に示す円 内の領域を拡大して示している。図 4 に示すように、額縁領域 202 には、ドレインバスライン 12 の断線等を修復するためのリペア配線 206、207、208 が表示領域 200 を迂回して形成されている。リペア配線 206 は、複数の接続部 212 で絶縁膜を介して複数のドレインバスライン 12 にそれぞれ交差している。リペア配線 207 は、複数の接続部 213 で絶縁膜を介して複数のドレインバスライン 12 にそれぞれ交差している。リペア配線 208 の一端部は、接続部 210 で絶縁膜を介してリペア配線 206 の一端部上に形成されている。接続部 210、212、213 は、上層に少なくとも 2 層積層して形成された C F 樹脂層 R、G、B により遮光されている。10

#### 【 0 0 4 2 】

このように本実施の形態では、図 21 に示す従来の接続部 156、157、160 と異なり、接続部 210、212、213 近傍が C F 樹脂層 R、G、B の少なくともいずれか 2 層の積層構造で遮光されている。このため、接続部 210、212、213 近傍からの光漏れは発生しない。したがって、光漏れによる表示品質の低下を防止することができる。

#### 【 0 0 4 3 】

また、図 5 は本実施の形態による液晶表示装置用基板の各端子の概略の配置を示している。図 5 に示すように、複数のゲートバスライン 10 の図中左端部には、それぞれゲートバスライン端子 52 が形成されている。複数のゲートバスライン 10 の図中右端部には、ゲートバスライン検査用端子 82 が形成されている。また、複数のドレインバスライン 12 の図中上端部には、それぞれドレインバスライン端子 80 が形成されている。複数のドレインバスライン 12 の図中下端部には、ドレインバスライン検査用端子 86 が形成されている。20

#### 【 0 0 4 4 】

複数の蓄積容量バスライン 20 は、図中右端部で 1 本の共通蓄積容量配線 88 に接続されている。共通蓄積容量配線 88 の両端部には、蓄積容量バスライン検査用端子 84 が形成されている。

#### 【 0 0 4 5 】

各バスライン検査用端子 82、84、86 は、アレイ検査の際に用いられるため、端子間の間隔や配置等を比較的自由に決定できる。このため、端子間の間隔、配置等をパネルサイズの異なる TFT 基板 2 同士で同一にできる。こうすることにより、パネルサイズの異なる TFT 基板 2 のそれぞれに対して同一のプローブを用いてアレイ検査を行うことができる。30

#### 【 0 0 4 6 】

次に、本実施の形態による液晶表示装置用基板の製造方法について図 6 乃至図 16 を用いて説明する。図 6 は、本実施の形態による液晶表示装置用基板の製造工程を示すフローチャートである。図 7 乃至図 11 及び図 13 乃至図 16 は、本実施の形態による液晶表示装置用基板の製造方法を示す工程断面図である。図 7 乃至図 11 及び図 13 乃至図 16 において、(a) は図 1 の A - A 線で切断した TFT 14 近傍の断面を示し、(b) は図 1 の B - B 線で切断した蓄積容量近傍の断面を示している。また (c) は、図 1 の C - C 線で切断したゲートバスライン検査用端子 82 近傍の断面を示している。図 12 は、図 11 に示す工程の時点での液晶表示装置用基板の構成を示す図である。40

#### 【 0 0 4 7 】

まず、例えば窒化モリブデン (MoN)、アルミニウム (Al) 及びモリブデン (Mo) をこの順にガラス基板 50 上の全面に成膜して、膜厚 150 nm の金属層を形成する。次に、図 7 (a)、(b)、(c) に示すように、金属層をパターニングしてゲートバスライン (ゲート電極) 10 (図 7 (a) 参照)、蓄積容量バスライン 20 (図 7 (b) 参照) 及びゲートバスライン検査用端子 82 (図 7 (c) 参照) を形成する (図 6 のステップ S1)。図示は省略しているが、このときゲートバスライン端子 52 及び蓄積容量バスラ50

イン検査用端子 8 4 も同時に形成される。

**【0048】**

次に、図 8 (a)、(b)、(c) に示すように、例えば膜厚 350 nm のシリコン窒化膜 (SiN 膜) からなる絶縁膜 (ゲート絶縁膜) 54、例えば膜厚 30 nm のアモルファスシリコン (a-Si) 層 56、及び例えば膜厚 150 nm の SiN 膜 58 を基板全面に連続成膜する (図 6 のステップ S2)。

**【0049】**

次に、ゲートバスライン 10 をマスクとして背面露光により SiN 膜 58 をパターニングし、図 9 (a) に示すように、ゲートバスライン (ゲート電極) 10 上方にチャネル保護膜 60 を自己整合的に形成する。次に、図 10 (c) に示すように、ゲートバスライン検査用端子 82 及び蓄積容量バスライン検査用端子 84 (図 10 では図示せず) 上の a-Si 層 56 及び絶縁膜 54 を開口し、コンタクトホール 62 を形成する (図 6 のステップ S3)。図示は省略しているが、このときゲートバスライン端子 52 及び蓄積容量バスライン検査用端子 84 上のコンタクトホール 62 が同時に形成される。なお、本実施の形態ではフォトリソグラフィ工程を用いてコンタクトホール 62 を形成している。フォトリソグラフィ工程に代えて、バスライン端子部だけが露出するように、エッチングに耐性を有する金属薄板をエッチングマスクとして基板面に近接配置して、各端子上の a-Si 層 56 及び絶縁膜 54 をエッチング除去するようにしてもらちろんよい。

**【0050】**

次に、図 11 (a)、(b)、(c) 及び図 12 に示すように、基板全面に n<sup>+</sup>a-Si 層 57 及び金属層を成膜してパターニングし、動作半導体層 64、ドレイン電極 16、ソース電極 18 (以上図 11 (a) 参照)、蓄積容量電極 22 (図 11 (b) 参照) 及び接続配線 40 (図 11 (b) 及び図 12 参照) を形成する (図 6 のステップ S4)。このとき、ドレインバスライン端子 80 及びドレインバスライン検査用端子 86 (図 11 (a)、(b)、(c) 及び図 12 では図示せず) が同時に形成される。また、図 12 に示すように、ソース電極 18 と蓄積容量電極 22 とは、接続配線 40 を介して電気的に接続される。

**【0051】**

次に、TFT 基板 2 のアレイ検査を行う (図 6 のステップ S5)。アレイ検査では、例えば、ドレインバスライン 12 に所定の電圧を印加し、TFT 14 をオン状態にして各画素の蓄積容量に所定の電荷を充電した後、画素毎に蓄積された電荷量を測定して当該電荷量が閾値を越えているか否かで欠陥を検出する。アレイ検査により欠陥が検出されたら、顕微鏡を用いた観察検査により当該欠陥の正確な位置を検出し、当該欠陥に対して所定のレーザリペアを行う (図 6 のステップ S6)。本実施の形態の製造方法によれば、CF樹脂層 R、G、B が基板上に形成されていないので、顕微鏡により容易に欠陥位置を検出することができる。そして、あるゲートバスライン 10 とあるドレインバスライン 12 との間に層間短絡が生じていれば、当該ドレインバスライン 12 の層間短絡が生じている領域の前後にレーザ光を照射して当該ドレインバスライン 12 を切断する。これにより、ドレインバスライン 12 とゲートバスライン 10 とを電気的に分離し、リペア配線 206、207、208 を用いてドレインバスライン 12 を修復する。また、ドレインバスライン 12 に断線が生じていれば、リペア配線 206、207、208 を用いて当該ドレインバスライン 12 を修復する。アレイ検査により欠陥が検出されなければ次工程に進む。

**【0052】**

次に、図 13 (a)、(b)、(c) に示すように、例えば膜厚 100 nm の SiN 膜を基板全面に成膜し、保護膜 66 を形成する (図 6 のステップ S7)。次に、図 14 (a)、(b) に示すように、画素毎に CF 樹脂層 R、G、B のいずれか 1 層を形成する (図 6 のステップ S8)。このとき、TFT 14 上 (図 14 (a) 参照) には、遮光のために例えば CF 樹脂層 R、G の 2 層が積層されて形成される。また、既にアレイ検査が終了しているため、ゲートバスライン検査用端子 82 (図 14 (c) 参照)、ドレインバスライン検査用端子 86 及び蓄積容量バスライン検査用端子 84 (ともに図 14 では図示せず) 上

10

20

30

40

50

には、遮光のために例えば C F 樹脂層 R、G の 2 層が積層されて形成される。

#### 【 0 0 5 3 】

次に、図 15 ( a )、( b )、( c )に示すように、C F 樹脂層 R、B、G 上の全面に膜厚 3 ~ 4 μm のオーバーコート層 6 8 を形成する（図 6 のステップ S 9 ）。次に、図 16 ( b )に示すように、蓄積容量電極 2 2 上のオーバーコート層 6 8 、C F 樹脂層 R 及び保護膜 6 6 を開口し、コンタクトホール 3 1 を形成する（図 6 のステップ S 1 0 ）。図示は省略しているが、このときゲートバスライン端子 5 2 及びドレインバスライン端子 8 0 上のコンタクトホールが同時に形成される。次に、例えば I T O を全面に成膜してパターンングし、画素電極 3 2 を形成する（図 6 のステップ S 1 1 ）。次に、パターン検査等の外観検査を行う（図 6 のステップ S 1 2 ）。画素電極 3 2 のパターン不良等は、この外観検査によって発見される。以上の工程を経て、図 2 ( a )、( b )、( c )に示す液晶表示装置用基板が完成する。  
10

#### 【 0 0 5 4 】

この後、対向基板と貼り合わせ、液晶材料にモノマーを混合した液晶組成物を注入する。次に、両基板間に所定の電圧を印加して液晶分子を傾斜させた状態で紫外線を照射し、モノマーを重合してポリマー化させる。こうすることにより、ポリマースタビライズ方式による配向規制を用いた液晶表示装置が完成する。

#### 【 0 0 5 5 】

本実施の形態では、ソース電極 1 8 及びドレイン電極 1 6 等を形成した後、保護膜 6 6 の形成前にアレイ検査を行うため、アレイ検査の際にプローブピンを接触させる各バスライン検査用端子 8 2 、 8 4 、 8 6 は金属層が露出した状態になっている。このため、プローブピンが接触することにより、各バスライン検査用端子 8 2 、 8 4 、 8 6 表面に傷が生じ、傷に起因する突起（ヒロック）が発生するおそれがある。しかし、アレイ検査後の工程で、各バスライン検査用端子 8 2 、 8 4 、 8 6 の上層には、C F 樹脂層 R、G、B 及びオーバーコート層 6 8 等の比較的膜厚の厚い層が形成される。したがって、各バスライン検査用端子 8 2 、 8 4 、 8 6 対向基板の共通電極との間の短絡は生じない。  
20

#### 【 0 0 5 6 】

本実施の形態によれば、アレイ検査を行った後に C F 樹脂層 R、G、B を形成するため、接続部 2 1 0 、 2 1 2 、 2 1 3 上を遮光できる。したがって、接続部 2 1 0 、 2 1 2 、 2 1 3 近傍からの光漏れが生じないため、表示品質を向上させることができる。  
30

#### 【 0 0 5 7 】

また、本実施の形態によれば、アレイ検査の際にはゲートバスライン 1 0 、ドレインバスライン 1 2 及び蓄積容量バスライン 2 0 上に C F 樹脂層 R、G、B が形成されていないため、観察検査により欠陥の位置を検出するのが容易である。

#### 【 0 0 5 8 】

さらに、本実施の形態による接続配線 4 0 は、画素領域内に形成されているものの、基板面に垂直方向に見てドレインバスライン 1 2 に平行な幹部 9 1 に重なるように形成されている。このため、実質的な開口率を低下させることなく明るい表示の得られる液晶表示装置を実現できる。

#### 【 0 0 5 9 】

次に、本実施の形態による液晶表示装置用基板及びその製造方法の変形例について説明する。図示は省略しているが、T F T 基板 2 には額縁領域 2 0 2 内に位置する領域に製品化後にも残存する静電破壊防止用のインナーショートリングが形成されている。またさらに額縁領域 2 0 2 外方には、後工程で切断されて破棄される静電破壊防止用のアウターショートリングが形成されている。両ショートリングは各バスライン 1 0 、 1 2 、 1 6 と不図示の静電破壊防止用 T F T を介して接続されている。これにより、各バスライン 1 0 、 1 2 、 1 6 に静電気が帯電したときに生じる T F T の閾値シフト及び層間短絡等を防止している。  
40

#### 【 0 0 6 0 】

静電破壊防止用 T F T は、各バスライン 1 0 、 1 2 、 1 6 に高電位の静電気が帯電したと  
50

きにオン状態になるように、そのゲート電極とドレイン電極とが同一のバスライン 10、12、16 又はショートリングに電気的に接続される。

本実施の形態では、図 10 に示す a - S i 層 56 及び絶縁膜 54 のパターニングの際の露光方法として、ステッパーを用いた高精度のフォトリソグラフィ方法を用いている。これにより高いパターニング精度が得られるので、静電破壊防止用 TFT のゲート電極とドレイン電極とを同一のバスライン 10、12、16 又はショートリングに電気的に接続するためのコンタクトホールを絶縁膜 54 に形成できる。このため、ITO 層を介さずにゲート金属層とドレイン金属層とを接続できる。

#### 【0061】

したがって、本実施の形態によれば、ドレインバスライン 12 等を形成した段階で静電破壊防止用 TFT が完成するため、静電破壊防止に優れた TFT 基板 2 が得られる。また、絶縁膜 54 に開口したコンタクトホール上に CF 樹脂層 R、G、B の少なくとも 2 層を積層して当該領域上を遮光できる。このため、インナーショートリングが額縁領域 202 内に残存していても、静電破壊防止用 TFT 近傍のコンタクトホールからの光漏れが生じないため、優れた表示品質を実現することができる。10

#### 【0062】

次に、本実施の形態による液晶表示装置用基板の欠陥検出方法の変形例について説明する。本実施の形態では、CF 樹脂層 R、G、B が形成された TFT 基板 2 に対するアレイ検査により欠陥が検出された後の観察検査の際に、通常の顕微鏡ではなく赤外線の強度を検知して視覚化する赤外顕微鏡を用いる。20

赤外線は CF 樹脂層 R、G、B 及びオーバーコート層 68 等の樹脂層を透過するため、観察検査の際に赤外顕微鏡を用いることにより CF 樹脂層 R、G、B の 2 層が積層された領域の欠陥を検出できる。

#### 【0063】

#### 【発明の効果】

以上の通り、本発明によれば、欠陥の位置を容易に検出でき、良好な表示品質の得られる液晶表示装置用基板及びそれを備えた液晶表示装置及びその製造方法を実現できる。

#### 【図面の簡単な説明】

【図 1】本発明の一実施の形態による液晶表示装置用基板の構成を示す図である。

【図 2】本発明の一実施の形態による液晶表示装置用基板の構成を示す断面図である。30

【図 3】本発明の一実施の形態による液晶表示装置用基板の構成を示す図である。

【図 4】本発明の一実施の形態による液晶表示装置用基板の構成を示す図である。

【図 5】本発明の一実施の形態による液晶表示装置用基板の構成を示す図である。

【図 6】本発明の一実施の形態による液晶表示装置用基板の製造工程を示すフローチャートである。

【図 7】本発明の一実施の形態による液晶表示装置用基板の製造工程を示す工程断面図である。

【図 8】本発明の一実施の形態による液晶表示装置用基板の製造工程を示す工程断面図である。

【図 9】本発明の一実施の形態による液晶表示装置用基板の製造工程を示す工程断面図である。40

【図 10】本発明の一実施の形態による液晶表示装置用基板の製造工程を示す工程断面図である。

【図 11】本発明の一実施の形態による液晶表示装置用基板の製造工程を示す工程断面図である。

【図 12】本発明の一実施の形態による液晶表示装置用基板の製造工程を示す図である。

【図 13】本発明の一実施の形態による液晶表示装置用基板の製造工程を示す工程断面図である。

【図 14】本発明の一実施の形態による液晶表示装置用基板の製造工程を示す工程断面図である。50

【図15】本発明の一実施の形態による液晶表示装置用基板の製造工程を示す工程断面図である。

【図16】本発明の一実施の形態による液晶表示装置用基板の製造工程を示す工程断面図である。

【図17】従来の液晶表示装置用基板の構成を示す図である。

【図18】従来の液晶表示装置用基板の製造工程を示すフローチャートである。

【図19】従来の液晶表示装置用基板の製造工程を示す図である。

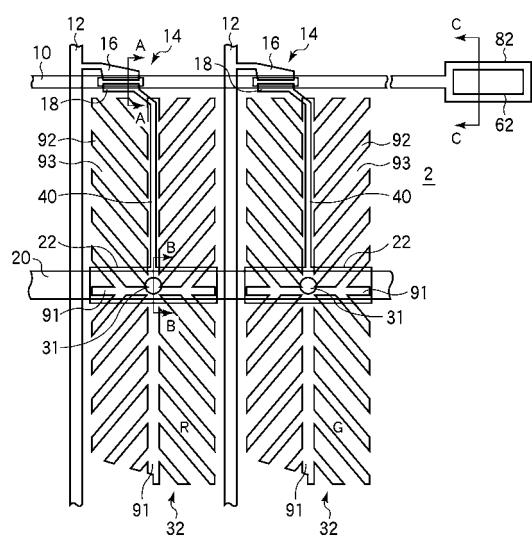
【図20】従来の液晶表示装置用基板の構成を示す図である。

【図21】従来の液晶表示装置用基板の構成を示す図である。

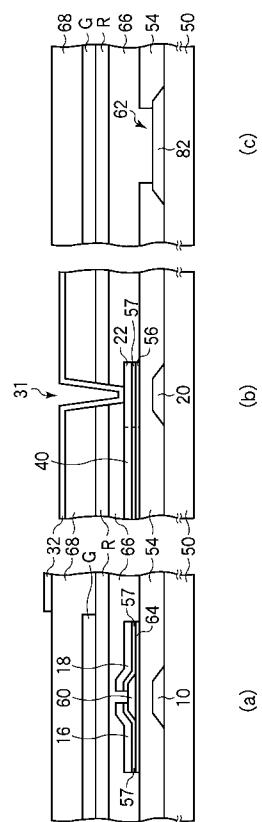
【符号の説明】

2	TFT基板	10
10	ゲートバスライン	
12	ドレインバスライン	
14	TFT	
16	ドレイン電極	
18	ソース電極	
20	蓄積容量バスライン	
22	蓄積容量電極	
31	コンタクトホール	
32	画素電極	20
40	接続配線	
50	ガラス基板	
52	ゲートバスライン端子	
54	絶縁膜	
56	a-Si層	
57	n+a-Si層	
58	SiN膜	
60	チャネル保護膜	
62、62'	コンタクトホール	
64	動作半導体層	30
66	保護膜	
68	オーバーコート層	
70	保護導電膜	
80	ドレインバスライン端子	
82	ゲートバスライン検査用端子	
84	蓄積容量バスライン検査用端子	
86	ドレインバスライン検査用端子	
88	共通蓄積容量配線	
91	幹部	
92	枝部	40
93	スペース	
200	表示領域	
202	額縁領域	
206、207、208	リペア配線	
210、212、213	接続部	

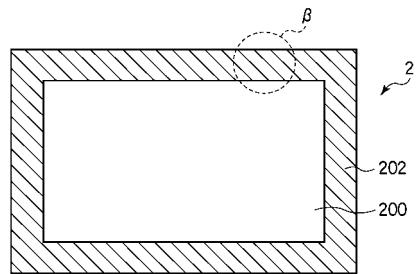
【図1】



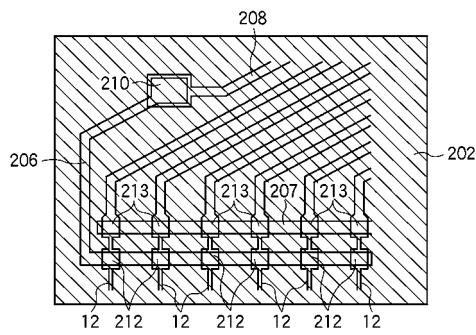
【図2】



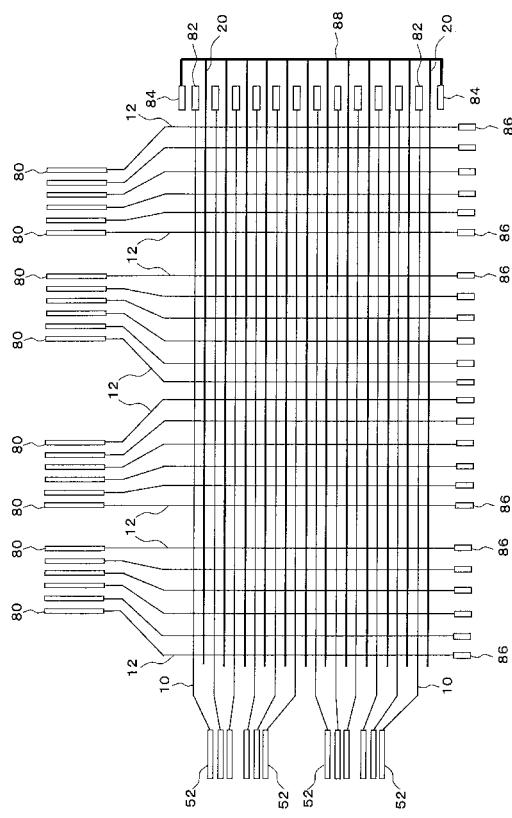
【図3】



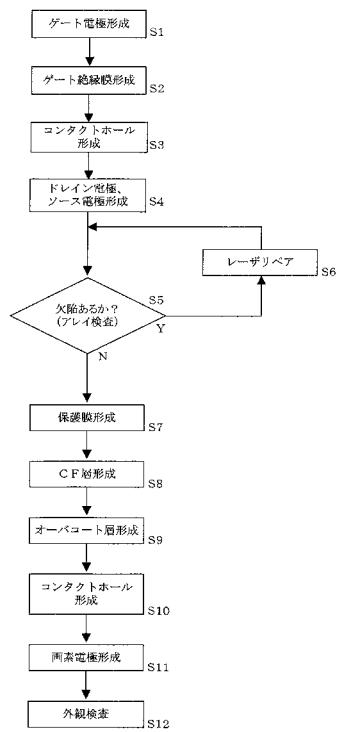
【図4】



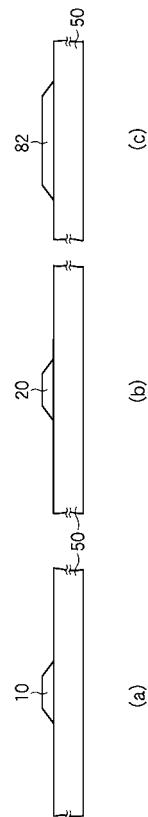
【図5】



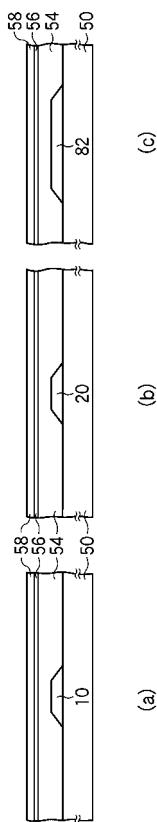
【図6】



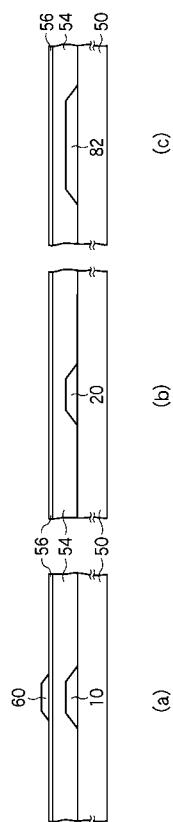
【図7】



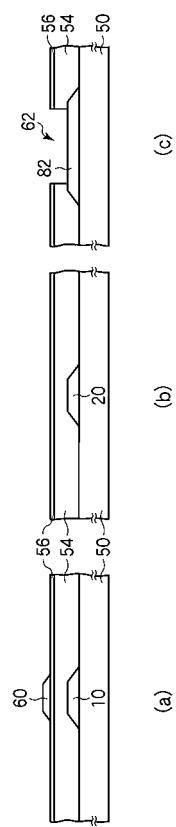
【図8】



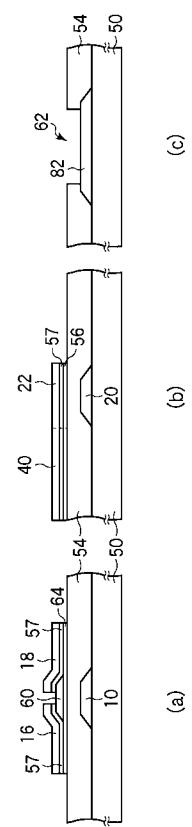
【図9】



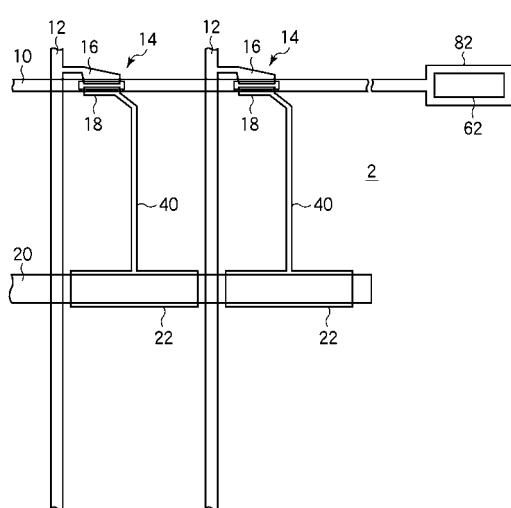
【図10】



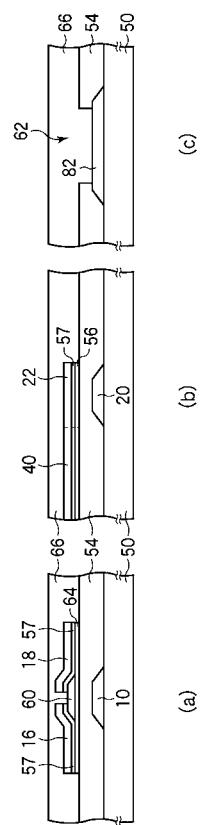
【図11】



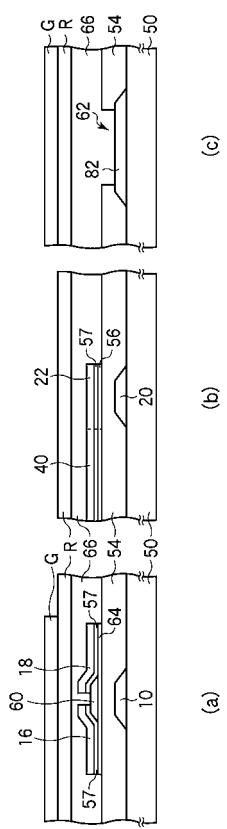
【図12】



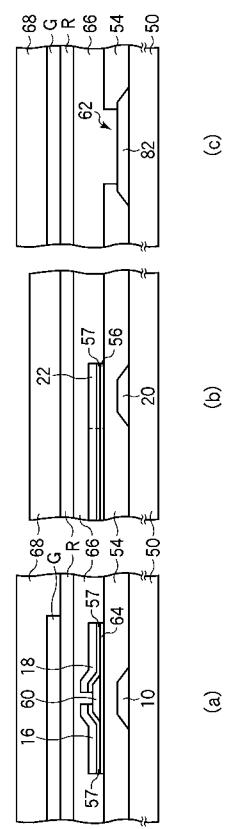
【図13】



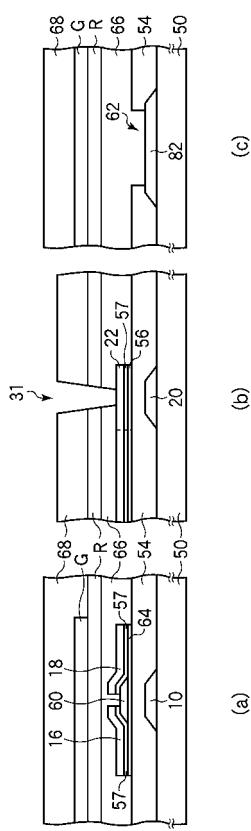
【図14】



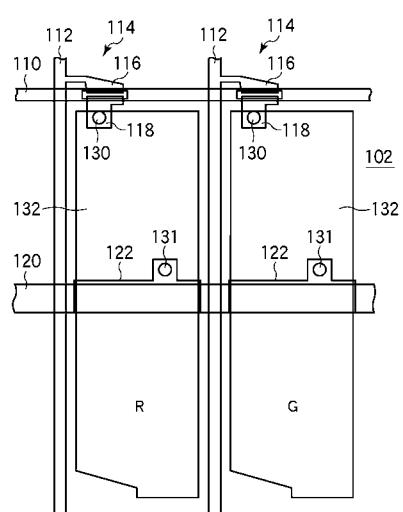
【図15】



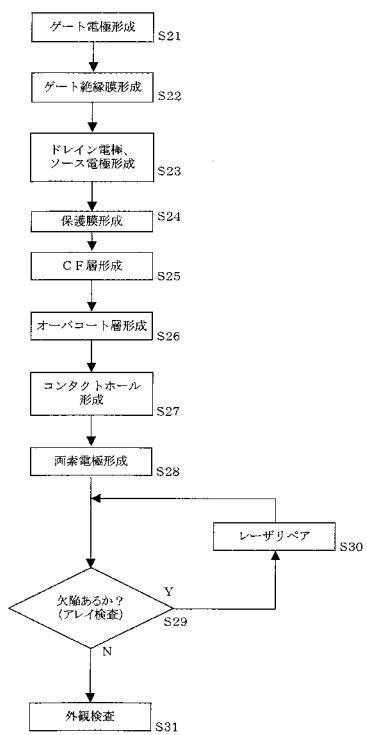
【図16】



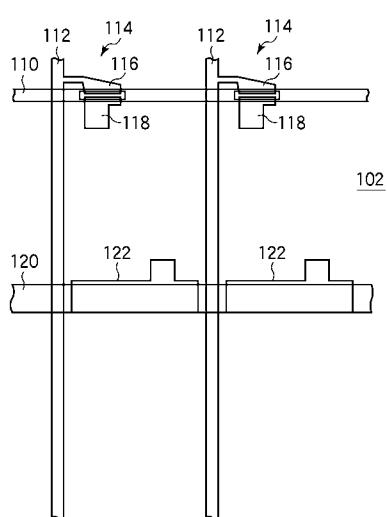
【図17】



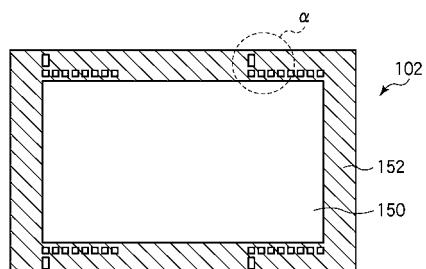
【図18】



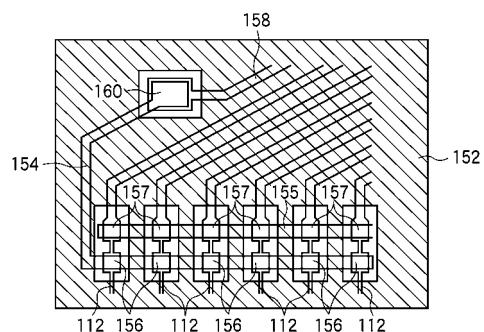
【図19】



【図20】



【図21】



---

フロントページの続き

(51)Int.Cl. F I  
G 0 9 F 9/35 (2006.01) G 0 9 F 9/30 3 3 8  
G 0 9 F 9/35

(56)参考文献 特開平09-230378(JP,A)  
特開2000-075319(JP,A)  
特開2001-296558(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1343  
G02F 1/1335  
G02F 1/1368  
G09F 9/00  
G09F 9/30  
G09F 9/35

专利名称(译)	用于液晶显示装置的基板，具有该基板的液晶显示装置及其制造方法		
公开(公告)号	<a href="#">JP4049589B2</a>	公开(公告)日	2008-02-20
申请号	JP2002010893	申请日	2002-01-18
[标]申请(专利权)人(译)	富士通显示技术股份有限公司		
申请(专利权)人(译)	富士通显示器科技公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	長岡謙一		
发明人	長岡 謙一		
IPC分类号	G02F1/1343 G02F1/1335 G02F1/1368 G09F9/00 G09F9/30 G09F9/35 G02F1/13		
CPC分类号	G02F1/1309 G02F1/133514 G02F2001/133388 G02F2001/136254 G02F2001/136263 G02F2001/136272 G02F2201/122		
FI分类号	G02F1/1343 G02F1/1335.505 G02F1/1368 G09F9/00.342.Z G09F9/00.352 G09F9/30.338 G09F9/35 G09F9/00.342		
F-TERM分类号	2H091/FA02Y 2H091/GA01 2H091/GA02 2H091/GA13 2H091/GA16 2H091/LA09 2H091/LA12 2H091/LA30 2H092/GA11 2H092/GA12 2H092/GA13 2H092/GA17 2H092/GA21 2H092/GA24 2H092/GA28 2H092/GA29 2H092/GA64 2H092/JA26 2H092/JA41 2H092/JB05 2H092/JB21 2H092/JB23 2H092/JB24 2H092/JB32 2H092/JB33 2H092/JB66 2H092/JB67 2H092/JB68 2H092/JB69 2H092/JB73 2H092/JB77 2H092/JB79 2H092/KB26 2H092/NA14 2H092/NA15 2H092/NA16 2H092/NA27 2H092/NA29 2H092/NA30 2H191/FA02Y 2H191/GA01 2H191/GA04 2H191/GA19 2H191/GA22 2H191/LA09 2H191/LA13 2H191/LA40 2H192/AA24 2H192/BA25 2H192/BC42 2H192/CB05 2H192/CB71 2H192/CC04 2H192/CC72 2H192/DA43 2H192/DA44 2H192/EA07 2H192/EA32 2H192/EA42 2H192/EA67 2H192/FA39 2H192/FA46 2H192/FA64 2H192/GA15 2H192/HA36 2H192/HB04 2H192/HB05 2H192/HB14 2H192/HB22 2H192/HB50 2H192/HB64 2H291/FA02Y 2H291/GA01 2H291/GA04 2H291/GA19 2H291/GA22 2H291/LA09 2H291/LA13 2H291/LA40 5C094/AA41 5C094/AA42 5C094/AA43 5C094/BA03 5C094/BA43 5C094/CA19 5C094/EA03 5C094/EA04 5C094/EA07 5C094/EC03 5C094/ED03 5C094/GB10 5G435/AA17 5G435/AA19 5G435/BB12 5G435/CC09 5G435/KK05 5G435/KK09 5G435/KK10		
代理人(译)	盛冈正树		
其他公开文献	JP2003215614A		
外部链接	<a href="#">Espacenet</a>		

**摘要(译)**

甲本发明涉及一种液晶显示装置及其制造用的基板及其方法，它用于作为显示装置，例如信息设备的液晶显示装置中，能够容易地检测该缺陷的位置，从而导致优异的显示品质用于液晶显示装置的基板，包括该基板的液晶显示装置及其制造方法。和玻璃基板中，栅极总线10和漏极总线12上形成隔着绝缘膜相互交叉的玻璃基板上，并且配置成矩阵状的基板，一个像素区域上的像素区域和TFT 14形成在每个，形成在每个像素区域中的存储电容电极22，由相同的材料作为源电极18和TFT 14，源极电极18和辅助电容电极的辅助电容电极22的形成22电连接的连接布线40，形成在像素区域中的CF树脂层，以及形成在CF树脂层上的每个像素区域的像素电极32。

