

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3923501号  
(P3923501)

(45) 発行日 平成19年6月6日(2007.6.6)

(24) 登録日 平成19年3月2日(2007.3.2)

(51) Int. Cl. F I  
**GO2F 1/1368 (2006.01)** GO2F 1/1368  
**GO2F 1/1343 (2006.01)** GO2F 1/1343

請求項の数 81 (全 39 頁)

<p>(21) 出願番号 特願2005-165246 (P2005-165246)                  (22) 出願日 平成17年6月6日(2005.6.6)                  (65) 公開番号 特開2005-346087 (P2005-346087A)                  (43) 公開日 平成17年12月15日(2005.12.15)                  審査請求日 平成17年6月16日(2005.6.16)                  (31) 優先権主張番号 2004-041142                  (32) 優先日 平成16年6月5日(2004.6.5)                  (33) 優先権主張国 韓国 (KR)</p>	<p>(73) 特許権者 501426046                  エルジー・フィリップス エルシーデー                  カンパニー, リミテッド                  大韓民国 ソウル, ヨンドゥンポーク, ヨ                  イドードン 20                  (74) 代理人 100064447                  弁理士 岡部 正夫                  (74) 代理人 100085176                  弁理士 加藤 伸晃                  (74) 代理人 100106703                  弁理士 産形 和央                  (74) 代理人 100094112                  弁理士 岡部 譲                  (74) 代理人 100096943                  弁理士 臼井 伸一</p>
--	---

最終頁に続く

(54) 【発明の名称】 液晶表示装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

第1及び第2基板と、  
 前記第1基板上に、透明な第1導電層と不透明な第2導電層とを積層した二重構造のゲートラインと、  
 前記ゲートライン上の第1絶縁膜と、  
 前記ゲートラインと交差して、透過領域と反射領域を持つ画素領域を画定するデータラインと、  
 前記ゲートライン及びデータラインと接続された薄膜トランジスタと、  
 前記画素領域に形成された前記第1導電層と、前記第1導電層の枠部に沿って積層された第2導電層とを持つ画素電極と、  
 前記ゲートラインと前記第1絶縁膜を挟んで重畳されてストレージキャパシタを形成するストレージ上部電極と、  
 前記薄膜トランジスタを覆う第2絶縁膜から前記第1絶縁膜まで貫通して、前記薄膜トランジスタのドレーン電極及び前記ストレージ上部電極の側面を露出させる透過孔と、  
 前記反射領域に形成され、前記透過孔のエッジ部及び側壁を経由して露出された前記ドレーン電極及び前記ストレージ上部電極を前記画素電極の第2導電層と接続させる反射電極と、  
 前記第1及び第2基板間の液晶層と、を備えることを特徴とする液晶表示装置。

【請求項2】

前記ゲートラインの第1導電層から延長されるゲートパッドと、  
前記ゲートパッドと同様の第1導電層で形成されるデータパッドと、をさらに備えることを特徴とする請求項1に記載の液晶表示装置。

【請求項3】

前記パッドの位置するパッド領域において、前記第1及び第2絶縁膜は除去されることを特徴とする請求項2に記載の液晶表示装置。

【請求項4】

前記データパッドから前記データラインの端部と重畳するように延長されたデータリンクと、

前記第2絶縁膜から前記データラインを経由して前記第1絶縁膜まで貫通して、前記データリンクを露出させる第1コンタクトホールと、

前記第1コンタクトホールを介して、前記データラインとは側面接続され、前記データリンクとは面接続されるコンタクト電極と、をさらに備えることを特徴とする請求項2に記載の液晶表示装置。

【請求項5】

前記データリンクの第1部分は、前記第1及び第2導電層が積層された二重構造で形成され、前記データリンクの第2部分は、前記データパッドのように第1導電層のみで形成されることを特徴とする請求項4に記載の液晶表示装置。

【請求項6】

前記データリンクの第1部分は、前記第2絶縁膜と重畳されたことを特徴とする請求項5に記載の液晶表示装置。

【請求項7】

前記データリンクの第2部分は、前記第2絶縁膜と重畳されていないことを特徴とする請求項5に記載の液晶表示装置。

【請求項8】

前記コンタクト電極は、前記反射電極と同一の金属で形成されたことを特徴とする請求項4に記載の液晶表示装置。

【請求項9】

前記第2絶縁膜は有機物質で形成されたことを特徴とする請求項1に記載の液晶表示装置。

【請求項10】

前記薄膜トランジスタ及び第2絶縁膜間に第3絶縁膜をさらに備えることを特徴とする請求項1に記載の液晶表示装置。

【請求項11】

前記第3絶縁膜は無機物質で形成されたことを特徴とする請求項10に記載の液晶表示装置。

【請求項12】

前記透過孔は前記第3絶縁膜を貫通することを特徴とする請求項10に記載の液晶表示装置。

【請求項13】

前記データライン及びゲートラインの何れか一つと接続された静電気防止素子をさらに備えることを特徴とする請求項1に記載の液晶表示装置。

【請求項14】

前記静電気防止素子は、

前記データライン及びゲートラインの何れか一つと接続された第2薄膜トランジスタと、

前記第2薄膜トランジスタのゲート電極及びソース電極間にダイオード型で接続された第3薄膜トランジスタと、

前記第2薄膜トランジスタのゲート電極及びドレーン電極間にダイオード型で接続された第4薄膜トランジスタと、

10

20

30

40

50

前記第 3 薄膜トランジスタのソース電極及びゲート電極を第 2 コンタクトホールを介して接続させる第 2 コンタクト電極と、

前記第 3 または第 4 薄膜トランジスタのドレーン電極及び前記第 2 薄膜トランジスタのゲート電極を第 3 コンタクトホールを介して接続させる第 3 コンタクト電極と、

前記第 4 薄膜トランジスタのソース電極及びゲート電極を第 4 コンタクトホールを介して接続させる第 4 コンタクト電極と、を備えることを特徴とする請求項 1 3 に記載の液晶表示装置。

【請求項 1 5】

前記第 2 乃至第 4 コンタクト電極は、前記反射電極と同一の金属層で形成されたことを特徴とする請求項 1 4 に記載の液晶表示装置。

10

【請求項 1 6】

前記第 2 乃至第 3 コンタクトホールは、前記第 2 絶縁膜から前記ソース又はドレーン電極を經由して前記第 1 絶縁膜まで貫通して、前記ゲート電極を露出させることを特徴とする請求項 1 4 に記載の液晶表示装置。

【請求項 1 7】

前記第 1 乃至第 4 コンタクト電極は、シール材により封止される領域に形成されたことを特徴とする請求項 1 4 に記載の液晶表示装置。

【請求項 1 8】

前記反射電極はエンボス表面を持つことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 1 9】

前記第 2 絶縁膜はエンボス表面を持つことを特徴とする請求項 1 8 に記載の液晶表示装置。

20

【請求項 2 0】

前記ゲートラインと前記薄膜トランジスタのゲート電極、前記画素電極の第 2 導電層上に積層された第 3 導電層をさらに備えることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 2 1】

第 1 及び第 2 基板と、

透明な第 1 導電層と不透明な第 2 導電層とを積層した二重構造のゲートラインと、

前記ゲートライン上の第 1 絶縁膜と、

前記ゲートラインと交差して、透過領域と反射領域を持つ画素領域を定義するデータラインと、

30

前記ゲートライン及びデータラインと接続された薄膜トランジスタと、

前記画素領域に形成された前記第 1 導電層と、前記第 1 導電層の枠部に沿って積層された第 2 導電層とを持つ画素電極と、

透明な第 1 導電層と不透明な第 2 導電層とを積層した二重構造のストレージライン及び前記ストレージラインと一体化したストレージ下部電極と、

前記薄膜トランジスタのドレーン電極と一体化し、前記ストレージ下部電極と前記第 1 絶縁膜を挟んで重畳されてストレージキャパシタを形成するストレージ上部電極と、

前記薄膜トランジスタを覆う第 2 絶縁膜から前記ゲート絶縁膜まで貫通して、前記ストレージ上部電極の側面を露出させる透過孔と、

40

前記反射領域に形成され、前記透過孔のエッジ部及び側壁を經由して露出された前記ストレージ上部電極を前記画素電極の第 2 導電層と接続させる反射電極と、

前記第 1 及び第 2 基板間の液晶層と、を備えることを特徴とする液晶表示装置。

【請求項 2 2】

前記ストレージラインは前記データラインと交差することを特徴とする請求項 2 1 に記載の液晶表示装置。

【請求項 2 3】

前記ゲートラインの第 1 導電層から延長されたゲートパッドと、

前記ゲートパッドと同様の第 1 導電層で形成されたデータパッドと、をさらに備えるこ

50

とを特徴とする請求項 2 1 に記載の液晶表示装置。

【請求項 2 4】

前記パッドの位置するパッド領域において、前記第 1 及び第 2 絶縁膜は除去されることを特徴とする請求項 2 3 に記載の液晶表示装置。

【請求項 2 5】

前記データパッドから前記データラインの端部と重畳するように延長されたデータリンクと、

前記第 2 絶縁膜から前記データラインを經由して前記第 1 絶縁膜まで貫通して、前記データリンクを露出させる第 1 コンタクトホールと、

前記第 1 コンタクトホールを介して、前記データラインとは側面接続され、前記データリンクとは面接続されるコンタクト電極と、をさらに備えることを特徴とする請求項 2 3 に記載の液晶表示装置。

【請求項 2 6】

前記データリンクの第 1 部分は、前記第 1 及び第 2 導電層が積層された二重構造で形成され、前記データリンクの第 2 部分は、前記データパッドのように第 1 導電層のみで形成されることを特徴とする請求項 2 5 に記載の液晶表示装置。

【請求項 2 7】

前記データリンクの第 1 部分は、前記第 2 絶縁膜と重畳されたことを特徴とする請求項 2 6 に記載の液晶表示装置。

【請求項 2 8】

前記データリンクの第 2 部分は、前記第 2 絶縁膜と重畳されていないことを特徴とする請求項 2 6 に記載の液晶表示装置。

【請求項 2 9】

前記コンタクト電極は前記反射電極と同一の金属で形成された特徴とする請求項 2 3 に記載の液晶表示装置。

【請求項 3 0】

前記薄膜トランジスタ及び第 2 絶縁膜間に第 3 絶縁膜をさらに備えることを特徴とする請求項 2 1 に記載の液晶表示装置。

【請求項 3 1】

前記第 2 絶縁膜は有機物質で形成され、前記第 3 絶縁膜は無機物質で形成されることを特徴とする請求項 3 0 に記載の液晶表示装置。

【請求項 3 2】

前記透過孔は前記第 3 絶縁膜を貫通することを特徴とする請求項 3 1 に記載の液晶表示装置。

【請求項 3 3】

前記反射電極はエンボス表面を持つことを特徴とする請求項 2 1 に記載の液晶表示装置。

【請求項 3 4】

前記第 2 絶縁膜はエンボス表面を持つことを特徴とする請求項 3 3 に記載の液晶表示装置。

【請求項 3 5】

前記ゲートラインと前記薄膜トランジスタのゲート電極、前記画素電極の第 2 導電層上に積層された第 3 導電層をさらに備えることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3 6】

第 1 及び第 2 基板を用意する段階と、  
第 1 マスクを用いて、前記第 1 基板上に、透明な第 1 導電層と不透明な第 2 導電層との二重構造を持つゲートライン及びゲート電極、画素電極を含むゲートパターンを形成する段階と、

前記ゲートパターンを覆う第 1 絶縁膜を形成する段階と、

10

20

30

40

50

第2マスクを用いて、前記第1絶縁膜上に半導体パターンと、前記半導体パターン上にデータライン、ソース電極、ドレイン電極、ストレージ上部電極を含むソース/ドレインパターンとを形成する段階と、

前記ソース/ドレインパターンを覆う第2絶縁膜を形成する段階と、

第3マスクを用いて、前記画素電極と重畳された透過領域において、前記第2絶縁膜から前記第1絶縁膜まで貫通する透過孔を形成する段階と、

第4マスクを用いて、前記透過孔を介して露出された前記ドレイン電極及びストレージ上部電極を前記画素電極の第2導電層と接続させる反射電極を形成し、前記反射電極を介して露出された前記画素電極の第2導電層を除去する段階と、

前記第1及び第2基板間に液晶層を形成する段階と、を含むことを特徴とする液晶表示装置の製造方法。 10

【請求項37】

前記第2絶縁膜を形成する段階は、前記ソース/ドレインパターン上に第3絶縁膜を形成する段階をさらに含むことを特徴とする請求項36に記載の液晶表示装置の製造方法。

【請求項38】

前記ゲートパターンの第2導電層上に第3導電層を形成する段階と、

前記画素電極の第3導電層を、前記反射電極の形成際に、前記第2導電層と共に除去する段階と、をさらに含むことを特徴とする請求項36に記載の液晶表示装置の製造方法。

【請求項39】

前記画素電極の第3導電層は、エッチストップの役割を遂行することを特徴とする請求項38に記載の液晶表示装置の製造方法。 20

【請求項40】

前記画素電極の第3導電層は、前記透過孔の形成際に、前記第2導電層がエッチングされるのを防止することを特徴とする請求項38に記載の液晶表示装置の製造方法。

【請求項41】

前記透過孔を形成する段階は、

前記第3マスクを用いて、前記第2絶縁膜を貫通する前記透過孔を形成する段階と、前記第2絶縁膜をマスクとして用いて、前記第1絶縁膜をエッチングする段階と、を含むことを特徴とする請求項36に記載の液晶表示装置の製造方法。

【請求項42】

前記第1マスクを用いて、前記ゲートラインと接続された前記二重構造のゲートパッドと、前記データラインと接続されるデータパッドとを形成する段階と、

前記第3マスクを用いて、前記ゲートパッド及びデータパッドが形成されたパッド領域の第1及び第2絶縁膜を除去する段階と、

前記第4マスクを用いて、前記パッドの第1部分で第2導電層を除去する段階と、をさらに含むことを特徴とする請求項36に記載の液晶表示装置の製造方法。

【請求項43】

前記パッドの第1部分は、前記第1及び第2絶縁膜と重畳されていないことを特徴とする請求項42に記載の液晶表示装置の製造方法。

【請求項44】

前記第1マスクを用いて、前記データパッドから延長され、前記データラインの端部と重畳されるデータリンクを形成する段階と、

前記第3マスクを用いて、前記第2絶縁膜から前記データラインを經由して前記第1絶縁膜まで貫通して、前記データリンクを露出させる第1コンタクトホールを形成する段階と、

前記第4マスクを用いて、第1コンタクトホールを介して、前記データライン及びデータリンクを接続させる第1コンタクト電極を形成する段階と、をさらに含むことを特徴とする請求項42に記載の液晶表示装置の製造方法。

【請求項45】

前記データライン及びゲートラインの何れか一つと接続された第2薄膜トランジスタと 50

、前記第2薄膜トランジスタのゲート電極及びソース電極間にダイオード型で接続された第3薄膜トランジスタと、前記第2薄膜トランジスタのゲート電極及びドレーン電極間にダイオード型で接続された第4薄膜トランジスタとを備える静電気防止素子を形成する段階をさらに含むことを特徴とする請求項36に記載の液晶表示装置の製造方法。

【請求項46】

前記静電気防止素子を形成する段階は、

前記第1マスクを用いて、前記第2乃至第4薄膜トランジスタのそれぞれのゲート電極を形成する段階と、

前記第2マスクを用いて、前記第1絶縁膜上に前記第2乃至第4薄膜トランジスタのそれぞれの半導体パターン、ソース電極、ドレーン電極を形成する段階と、

前記第3マスクを用いて、第2乃至第4コンタクトホールを形成する段階と、

前記第4マスクを用いて、第2乃至第4コンタクト電極を形成する段階と、を含むことを特徴とする請求項45に記載の液晶表示装置の製造方法。

【請求項47】

前記第2コンタクトホールは、前記第3薄膜トランジスタのソース電極とゲート電極との重畳部に形成されたことを特徴とする請求項46に記載の液晶表示装置の製造方法。

【請求項48】

前記第3コンタクトホールは、前記第3または第4薄膜トランジスタのドレーン電極と前記第2薄膜トランジスタのゲート電極との重畳部に形成されたことを特徴とする請求項46に記載の液晶表示装置の製造方法。

【請求項49】

前記第4コンタクトホールは、前記第4薄膜トランジスタのソース電極とゲート電極との重畳部に形成されたことを特徴とする請求項46に記載の液晶表示装置の製造方法。

【請求項50】

前記第2コンタクト電極は、前記第2コンタクトホールを介して露出された前記第3薄膜トランジスタのソース電極及びゲート電極を接続させることを特徴とする請求項46に記載の液晶表示装置の製造方法。

【請求項51】

前記第3コンタクト電極は、前記第3コンタクトホールを介して露出された前記第3及び第4薄膜トランジスタのドレーン電極と前記第2薄膜トランジスタのゲート電極とを接続させることを特徴とする請求項46に記載の液晶表示装置の製造方法。

【請求項52】

前記第4コンタクト電極は、前記第4コンタクトホールを介して露出された前記第4薄膜トランジスタのソース電極及びゲート電極を接続させることを特徴とする請求項46に記載の液晶表示装置の製造方法。

【請求項53】

前記第1乃至第4コンタクト電極は、シール材により封止される領域に形成されることを特徴とする請求項46に記載の液晶表示装置の製造方法。

【請求項54】

前記反射電極はエンボス表面を持つことを特徴とする請求項36に記載の液晶表示装置の製造方法。

【請求項55】

前記第2絶縁膜はエンボス表面を持つことを特徴とする請求項54に記載の液晶表示装置の製造方法。

【請求項56】

前記第2絶縁膜は有機物質で形成されたことを特徴とする請求項36に記載の液晶表示装置の製造方法。

【請求項57】

前記データラインは前記半導体パターンと重畳されたことを特徴とする請求項36に記載の液晶表示装置の製造方法。

10

20

30

40

50

## 【請求項 58】

前記第 1 乃至第 4 コンタクト電極は、前記反射電極と同一の金属層で形成されたことを特徴とする請求項 46 に記載の液晶表示装置。

## 【請求項 59】

第 1 及び第 2 基板を用意する段階と、

第 1 マスクを用いて、前記第 1 基板上に、透明な第 1 導電層と不透明な第 2 導電層との二重構造を持つゲートライン及びゲート電極、画素電極、ストレージラインと一体化したストレージ下部電極を含むゲートパターンを形成する段階と、

ゲートパターンを覆う第 1 絶縁膜を形成する段階と、

第 2 マスクを用いて、前記第 1 絶縁膜上に半導体パターンと、前記半導体パターン上にデータライン、ソース電極、ドレーン電極と一体化したストレージ上部電極を含むソース/ドレーンパターンとを形成する段階と、

前記ソース/ドレーンパターンを覆う第 2 絶縁膜を形成する段階と、

第 3 マスクを用いて、前記第 2 絶縁膜から前記第 1 絶縁膜まで貫通する透過孔を形成する段階と、

第 4 マスクを用いて、前記透過孔を介して露出された前記ストレージ上部電極を前記画素電極の第 2 導電層と接続させる反射電極を形成し、前記反射電極を介して露出された前記画素電極の第 2 導電層を除去する段階と、

前記第 1 及び第 2 基板間に液晶層を形成する段階と、を含むことを特徴とする液晶表示装置の製造方法。

## 【請求項 60】

前記第 2 絶縁膜を形成する段階は、前記ソース/ドレーンパターン上に第 3 絶縁膜を形成する段階をさらに含むことを特徴とする請求項 59 に記載の液晶表示装置の製造方法。

## 【請求項 61】

前記ゲートパターンの第 2 導電層上に第 3 導電層を形成する段階と、

前記画素電極の第 3 導電層を、前記反射電極の形成際に、前記第 2 導電層と共に除去する段階と、をさらに含むことを特徴とする請求項 59 に記載の液晶表示装置の製造方法。

## 【請求項 62】

前記画素電極の第 3 導電層はエッチストップの役割を遂行することを特徴とする請求項 61 に記載の液晶表示装置の製造方法。

## 【請求項 63】

前記画素電極の第 3 導電層は、前記透過孔の形成際に、前記第 2 導電層がエッチングされるのを防止することを特徴とする請求項 61 に記載の液晶表示装置の製造方法。

## 【請求項 64】

前記透過孔を形成する段階は、

前記第 3 マスクを用いて、前記第 2 絶縁膜を貫通する前記透過孔を形成する段階と、

前記第 2 絶縁膜をマスクとして用いて、前記第 1 絶縁膜の一部をエッチングする段階と、を含むことを特徴とする請求項 59 に記載の液晶表示装置の製造方法。

## 【請求項 65】

前記第 1 マスクを用いて、前記ゲートラインと接続された前記二重構造のゲートパッドと、前記データラインと接続されるデータパッドとを形成する段階と、

前記第 3 マスクを用いて、前記ゲートパッド及びデータパッドが形成されたパッド領域の第 1 及び第 2 絶縁膜を除去する段階と、

前記第 4 マスクを用いて、前記パッドの第 1 部分で第 2 導電層を除去する段階と、をさらに含むことを特徴とする請求項 59 に記載の液晶表示装置の製造方法。

## 【請求項 66】

前記パッドの第 1 部分は、前記第 1 及び第 2 絶縁膜と重畳されていないことを特徴とする請求項 65 に記載の液晶表示装置の製造方法。

## 【請求項 67】

前記第 1 マスクを用いて、前記データパッドから延長され、前記データラインの端部と

10

20

30

40

50

重畳されるデータリンクを形成する段階と、

前記第 3 マスクを用いて、前記第 2 絶縁膜から前記データラインを経由して前記第 1 絶縁膜まで貫通して、前記データリンクを露出させる第 1 コンタクトホールを形成する段階と、

前記第 4 マスクを用いて、第 1 コンタクトホールを介して、前記データライン及びデータリンクを接続させる第 1 コンタクト電極を形成する段階と、をさらに含むことを特徴とする請求項 6 5 に記載の液晶表示装置の製造方法。

【請求項 6 8】

前記データライン及びゲートラインの何れか一つと接続された第 2 薄膜トランジスタと、前記第 2 薄膜トランジスタのゲート電極及びソース電極間にダイオード型で接続された第 3 薄膜トランジスタと、前記第 2 薄膜トランジスタのゲート電極及びドレイン電極間にダイオード型で接続された第 4 薄膜トランジスタとを備える静電気防止素子を形成する段階をさらに含むことを特徴とする請求項 5 9 に記載の液晶表示装置の製造方法。

10

【請求項 6 9】

前記静電気防止素子を形成する段階は、

前記第 1 マスクを用いて、前記第 2 乃至第 4 薄膜トランジスタのそれぞれのゲート電極を形成する段階と、

前記第 2 マスクを用いて、前記第 1 絶縁膜上に前記第 2 乃至第 4 薄膜トランジスタのそれぞれの半導体パターン、ソース電極、ドレイン電極を形成する段階と、

前記第 3 マスクを用いて、第 2 乃至第 4 コンタクトホールを形成する段階と、

20

前記第 4 マスクを用いて、第 2 乃至第 4 コンタクト電極を形成する段階と、を含むことを特徴とする請求項 6 8 に記載の液晶表示装置の製造方法。

【請求項 7 0】

前記第 2 コンタクトホールは、前記第 3 薄膜トランジスタのソース電極及びゲート電極の重畳部に形成されることを特徴とする請求項 6 9 に記載の液晶表示装置の製造方法。

【請求項 7 1】

前記第 3 コンタクトホールは、前記第 3 または第 4 薄膜トランジスタのドレイン電極と前記第 2 薄膜トランジスタのゲート電極との重畳部に形成されることを特徴とする請求項 6 9 に記載の液晶表示装置の製造方法。

【請求項 7 2】

前記第 4 コンタクトホールは、前記第 4 薄膜トランジスタのソース電極及びゲート電極の重畳部に形成されることを特徴とする請求項 6 9 に記載の液晶表示装置の製造方法。

30

【請求項 7 3】

前記第 2 コンタクト電極は、前記第 2 コンタクトホールを介して露出された前記第 3 薄膜トランジスタのソース電極及びゲート電極を接続させることを特徴とする請求項 6 9 に記載の液晶表示装置の製造方法。

【請求項 7 4】

前記第 3 コンタクト電極は、前記第 3 コンタクトホールを介して露出された前記第 3 及び第 4 薄膜トランジスタのドレイン電極と前記第 2 薄膜トランジスタのゲート電極とを接続させることを特徴とする請求項 6 9 に記載の液晶表示装置の製造方法。

40

【請求項 7 5】

前記第 4 コンタクト電極は、前記第 4 コンタクトホールを介して露出された前記第 4 薄膜トランジスタのソース電極及びゲート電極を接続させることを特徴とする請求項 6 9 に記載の液晶表示装置の製造方法。

【請求項 7 6】

前記第 1 乃至第 4 コンタクト電極は、シール材により封止される領域に形成されることを特徴とする請求項 6 9 に記載の液晶表示装置の製造方法。

【請求項 7 7】

前記反射電極はエンボス表面を持つことを特徴とする請求項 5 9 に記載の液晶表示装置の製造方法。

50

## 【請求項 78】

前記第 2 絶縁膜はエンボス表面を持つことを特徴とする請求項 77 に記載の液晶表示装置の製造方法。

## 【請求項 79】

前記第 2 絶縁膜は有機物質で形成されたことを特徴とする請求項 59 に記載の液晶表示装置の製造方法。

## 【請求項 80】

前記データラインは前記半導体パターンと重畳されたことを特徴とする請求項 59 に記載の液晶表示装置の製造方法。

## 【請求項 81】

前記第 1 乃至第 4 コンタクト電極は、前記反射電極と同一の金属層で形成されたことを特徴とする請求項 69 に記載の液晶表示装置の製造方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は液晶表示装置に関し、特に、工程の単純化を可能とする半透過型の液晶表示装置及びその製造方法に関する。

## 【背景技術】

## 【0002】

液晶表示装置は、大別すれば、バックライトユニット(Back light unit)から入射される光を用いて画像を表示する透過型と、自然光のような外光を反射させて画像を表示する反射型とに分けられる。透過型はバックライトユニットの電力消費が大きく、反射型は外光に依存するため、暗い環境では画像を表示できないという問題点がある。

## 【0003】

前記問題点を解決するために、バックライトユニットを用いる透過モードと、外光を用いる反射モードとの両方の選択が可能な半透過型の液晶表示装置が台頭している。半透過型の液晶表示装置は、外光が、充分であれば反射モードに、充分でなければバックライトユニットを用いる透過モードに動作することで、透過型より消費電力の低減を図りながら、反射型と異なり外光の制約を受けない。

## 【0004】

一般に、半透過型の液晶パネルは、図 1 に示すように、液晶層(図示せず)を挟んで接合されるカラーフィルター基板と薄膜トランジスタ基板、及び薄膜トランジスタ基板の背後に設けられたバックライトユニット 60 を備える。このような半透過型の液晶パネルの各画素は、反射電極 28 が形成される反射領域と、反射電極 28 が形成されていない透過領域とに区分される。

## 【0005】

カラーフィルター基板は、上部基板 52 上に形成されるブラックマトリクス(図示せず)及びカラーフィルター 54、これらの上に積層される共通電極 56 及び配向膜(図示せず)からなる。

## 【0006】

薄膜トランジスタ基板は、下部基板 2 上に形成されて各画素領域を定義するゲートライン 4 とデータライン(図示せず)、ゲートライン 4 とデータラインに接続された薄膜トランジスタ、画素領域に形成されて薄膜トランジスタと接続された画素電極 32、及び各画素の反射領域に形成されて画素電極と重畳された反射電極 28 を備える。

## 【0007】

薄膜トランジスタは、ゲートライン 4 と接続されたゲート電極 6、データラインと接続されたソース電極 16、ソース電極 16 と向き合うドレーン電極 18、ゲート電極 6 とゲート絶縁膜 8 を挟んで重畳されてソース及びドレーン電極 16、18 間のチャンネルを形成する活性層 10、活性層 10 とソース及びドレーン電極 16、18 とのオーミック接触

10

20

30

40

50

のためのオーミック接触層 12 を備える。このような薄膜トランジスタは、ゲートライン 4 のスキャン信号に応答して、データライン上のビデオ信号が画素電極 32 に充電されて保持される。

【0008】

反射電極 28 は、カラーフィルター基板を通して入射された外光をカラーフィルター基板の方に反射させる。このとき、反射電極 28 の下部に形成された有機膜 24 の表面がエンボス (Embossing) 状を持つようになり、その上の反射電極 28 もエンボス状を持つようになることで、散乱効果による反射効率が增大する。

【0009】

画素電極 32 は、薄膜トランジスタを介して供給される画素信号によって共通電極 56 と電位差を発生させる。この電位差により誘電異方性を持つ液晶が回転して、反射領域と透過領域の各々の液晶層を経由する光の透過率を調節することで、前記ビデオ信号によって輝度が変化する。

【0010】

この場合、反射領域と透過領域における液晶層を経由する光経路の長さが同一になるように、透過領域で相対的に厚膜の有機膜 24 に透過孔 36 を形成する。結果として、反射領域に入射された周辺光即ち反射光 (RL) が、液晶層内で液晶層 反射電極 28 液晶層を経由する経路と、透過領域に入射されたバックライトユニット 60 の透過光 (TL) が、液晶層を経由する経路との長さが同一になることで、反射モードと透過モードの透過効率が同一になる。

【0011】

そして、薄膜トランジスタ基板は、画素電極 32 に供給されるビデオ信号を安定的に保持させるために、画素電極 32 と接続されたストレージキャパシタをさらに備える。ストレージキャパシタは、画素電極 32 と接続されたストレージ上部電極 20 がゲートライン 4 とゲート絶縁膜 8 を挟んで重畳されることにより形成される。ストレージ上部電極 20 の下には、工程上、オーミック接触層 12 及び活性層 10 がさらに重畳される。

【0012】

また、薄膜トランジスタ基板は、薄膜トランジスタと有機膜 24 との間の第 1 保護膜 22、有機膜 24 と反射電極 28 との間の第 2 保護膜 26、及び反射電極 28 と画素電極 32 との間の第 3 保護膜 30 をさらに備える。これにより、画素電極 32 は、第 1 乃至第 3 保護膜 22、26、30 と、有機膜 24 及び反射電極 28 とを貫通する第 1 及び第 2 コンタクトホール 34、38 の各々を介して、ドレーン電極 18 及びストレージ上部電極 20 と接続される。

【0013】

このような半透過型の液晶パネルにおける薄膜トランジスタ基板は、半導体工程と共に多数のマスク工程を必要とするため、製造工程が複雑になって液晶パネル製造のコスト上昇の主要原因となっている。

【0014】

以下、半透過型の薄膜トランジスタ基板の製造方法を、図 2A 乃至図 2F を参照して説明する。

【0015】

図 2A を参照すれば、第 1 マスク工程を用いて、下部基板 2 上にゲートライン 4 及びゲート電極 6 を含むゲートパターンが形成される。

【0016】

下部基板 2 上にスパッタ法などの蒸着方法によってゲート金属層を形成する。続いて、第 1 マスクを用いたフォトリソグラフィ工程とエッチング工程により、ゲート金属層がパターンニングされ、ゲートライン 4 及びゲート電極 6 を含むゲートパターンが形成される。ゲート金属層としては Al、Mo、Cr 等の金属の単一層または二重層の構造が用いられる。

【0017】

10

20

30

40

50

図2Bを参照すれば、ゲートパターン<sup>7</sup>の形成された下部基板2上にゲート絶縁膜8が形成され、その上に、第2マスク工程により、活性層10及びオーミック接触層12を含む半導体パターンと、データライン、ソース電極16、ドレーン電極18及びストレージ上部電極20を含むソース/ドレーンパターンとが積層される。

【0018】

ゲートパターン<sup>7</sup>の形成された下部基板2上に、PECVDやスパッタ法などの蒸着方法により、ゲート絶縁膜8、非晶質シリコン層、不純物がドーブされた非晶質シリコン層、及びソース/ドレーン金属層が順次形成される。ゲート絶縁膜8としては、酸化シリコン(SiO<sub>x</sub>)や窒化シリコン(SiN<sub>x</sub>)などのような無機絶縁物質が用いられ、ソース/ドレーン金属層としては、Al、Mo、Cr等の金属の単一層または二重層の構造が用いられる。

10

【0019】

そして、ソース/ドレーン金属層上に、第2マスクを用いたフォトリソグラフィ工程によりフォトレジストパターンを形成する。このとき、第2マスクとしては薄膜トランジスタのチャンネル部に回折露光部を持つ回折露光マスクを用いることにより、チャンネル部のフォトレジストパターンが他のソース/ドレーンパターン部より低い高さを持つことにする。

【0020】

続いて、フォトレジストパターンを用いたウエットエッチング工程により、ソース/ドレーン金属層がパターニングされることで、データライン、ソース電極16、ソース電極16と一体化したドレーン電極18、及びストレージ電極20を含むソース/ドレーンパターンが形成される。

20

【0021】

次に、同様のフォトレジストパターンを用いたドライエッチング工程により、不純物がドーブされた非晶質シリコン層と非晶質シリコン層とが同時にパターニングされることで、オーミック接触層12と活性層10が形成される。

【0022】

そして、アッシング(Ashing)工程により、チャンネル部で相対的に高さの低いフォトレジストパターンが除去された後、ドライエッチング工程により、チャンネル部のソース/ドレーンパターン及びオーミック接触層12がエッチングされる。これにより、チャンネル部の活性層10が露出されて、ソース電極16とドレーン電極18が分離される。

30

【0023】

続いて、ストリップ工程により、ソース/ドレーンパターン上に残存するフォトレジストパターンが除去される。

【0024】

図2Cを参照すれば、ソース/ドレーンパターン<sup>9</sup>の形成されたゲート絶縁膜8上に第1保護膜22が形成され、その上に、第3マスク工程により、初期の第1及び第2開口部35、37と透過孔36を有し、エンボス状の表面を持つ有機膜24が形成される。

【0025】

ソース/ドレーンパターン<sup>9</sup>の形成されたゲート絶縁膜8上に第1保護膜22及び有機膜24が順次形成される。第1保護膜22としてはゲート絶縁膜8のような無機絶縁物質が用いられ、有機膜24としてはアクリルなどのような感光性有機物質が用いられる。

40

【0026】

次に、第3マスクを用いたフォトリソグラフィ工程により、有機膜24をパターニングすることで、第3マスクの透過部に対応して有機膜24を貫通する第1及び第2開口部35、37と透過孔36が形成される。このとき、第3マスクは、透過部を除いた残り部分は遮断部と回折露光部が繰返される構造を有し、これに対応して残存する有機膜24は段差を持つ遮断領域(突出部)と回折露光領域(溝部)が繰返される構造でパターニングされる。続いて、突出部と溝部が繰返される有機膜24を焼成することにより、有機膜24の表

50

面はエンボス状を持つ。

【0027】

図2Dを参照すれば、エンボス状を持つ有機膜24上に第2保護膜26が形成され、その上に第4マスク工程により反射電極28が形成される。

【0028】

エンボス表面を持つ有機膜24上に、第2保護膜26及び反射金属層がエンボス状を保持して積層される。第2保護膜26としては第1保護膜22のような無機絶縁物質が用いられ、反射金属層としてはAlNdなどのように高反射率の金属が用いられる。

【0029】

続いて、第4マスクを用いたフォトリソグラフィ工程及びエッチング工程により、反射金属層がパターニングされることで、各画素毎に独立して、有機膜24の第1及び第2開口部35、37と透過孔36からオープンされた反射電極28が形成される。

10

【0030】

図2Eを参照すれば、第5マスク工程により反射電極28を覆う第3保護膜30が形成され、第1乃至第3保護膜22、26、30を貫通する第1及び第2コンタクトホール34、38が形成される。

【0031】

反射電極28を覆う第3保護膜30が形成され、第5マスクを用いたフォトリソグラフィ工程及びエッチング工程により、有機膜24の第1及び第2開口部35、37で第1乃至第3保護膜22、26、30を貫通する第1及び第2コンタクトホール34、38が形成される。第1及び第2コンタクトホール34、38は、各々ドレーン電極18とストレージ上部電極20を露出させる。第3保護膜30としては第2保護膜26のように無機絶縁物質が用いられる。

20

【0032】

図2Fを参照すれば、第5マスク工程を用いて、第3保護膜30上に画素電極32が形成される。

【0033】

第3保護膜30上にスパッタ法などの蒸着方法により透明導電層が形成され、第6マスクを用いたフォトリソグラフィ工程とエッチング工程により、透明導電層がパターニングされることで、各画素領域に画素電極32が形成される。画素電極32は、第1及び第2コンタクトホール34、38を介してドレーン電極18及びストレージ上部電極20と接続される。透明導電層としてはITO(Indium Tin Oxide)などが用いられる。

30

【0034】

このように、関連の半透過型の薄膜トランジスタ基板は、6マスク工程により形成されるので、製造工程が複雑であるという問題点がある。また、関連の半透過型の薄膜トランジスタ基板では、画素電極32と、ドレーン電極18及びストレージ上部電極20の各々との接続のために、第1及び第2コンタクトホール34、38のマージンを十分確保しなければならないので、透過領域の開口率が減少するという問題点もある。

【発明の開示】

40

【発明が解決しようとする課題】

【0035】

従って、本発明の目的は、工程の単純化、且つ、透過領域の開口率の増大を可能とする半透過型の液晶表示装置及びその製造方法を提供することにある。

【課題を解決するための手段】

【0036】

上記目的を達成するために、本発明に係る液晶表示装置は、第1及び第2基板と、第1基板上に、透明な第1導電層と不透明な第2導電層とを積層した二重構造のゲートラインと、ゲートライン上の第1絶縁膜と、ゲートラインと交差して、透過領域と反射領域を持つ画素領域を定義するデータラインと、ゲートライン及びデータラインに接続された薄膜

50

トランジスタと、画素領域に形成された第1導電層と、第1導電層の枠部に沿って積層された第2導電層とを持つ画素電極と、ゲートラインと第1絶縁膜を挟んで重畳されてストレージキャパシタを形成するストレージ上部電極と、薄膜トランジスタを覆う第2絶縁膜から第1絶縁膜まで貫通して、薄膜トランジスタのドレーン電極及びストレージ上部電極の側面を露出させる透過孔と、反射領域に形成され、透過孔のエッジ部を經由して、ドレーン電極及びストレージ上部電極を画素電極の第2導電層と接続させる反射電極と、第1及び第2基板間の液晶層とを備える。

【0037】

また、本発明に係る液晶表示装置は、第1及び第2基板と、透明な第1導電層と不透明な第2導電層とを積層した二重構造のゲートラインと、ゲートライン上の第1絶縁膜と、ゲートラインと交差して、透過領域と反射領域を持つ画素領域を定義するデータラインと、ゲートライン及びデータラインに接続された薄膜トランジスタと、画素領域に形成された第1導電層と、第1導電層の枠部に沿って積層された第2導電層とを持つ画素電極と、二重構造のストレージライン及びストレージラインと一体化したストレージ下部電極と、薄膜トランジスタのドレーン電極と一体化し、ストレージ下部電極と第1絶縁膜を挟んで重畳されてストレージキャパシタを形成するストレージ上部電極と、薄膜トランジスタを覆う第2絶縁膜からゲート絶縁膜まで貫通して、ストレージ上部電極の側面を露出させる透過孔と、反射領域に形成され、透過孔のエッジ部を經由して、ストレージ上部電極を画素電極の第2導電層と接続させる反射電極と、第1及び第2基板間の液晶層とを備える。

【0038】

また、本発明に係る液晶表示装置の製造方法は、第1及び第2基板を用意する段階と、第1マスクを用いて、第1基板上に、透明な第1導電層と不透明な第2導電層との二重構造を持つゲートライン及びゲート電極、画素電極を含むゲートパターンを形成する段階と、ゲートパターンを覆う第1絶縁膜を形成する段階と、第2マスクを用いて、第1絶縁膜上に半導体パターンと、半導体パターン上にデータライン、ソース電極、ドレーン電極、ストレージ上部電極を含むソース/ドレーンパターンとを形成する段階と、ソース/ドレーンパターンを覆う第2絶縁膜を形成する段階と、第3マスクを用いて、画素電極と重畳された透過領域において、第2絶縁膜から第1絶縁膜まで貫通する透過孔を形成する段階と、第4マスクを用いて、透過孔を介して露出されたドレーン電極及びストレージ電極を画素電極の第2導電層と接続させる反射電極を形成し、反射電極を介して露出された画素電極の第2導電層を除去する段階と、第1及び第2基板間に液晶層を形成する段階とを含む。

【0039】

また、本発明に係る液晶表示装置の製造方法は、第1及び第2基板を用意する段階と、第1マスクを用いて、第1基板上に、透明な第1導電層と不透明な第2導電層との二重構造を持つゲートライン及びゲート電極、画素電極、ストレージラインと一体化したストレージ電極を含むゲートパターンを形成する段階と、ゲートパターンを覆う第1絶縁膜を形成する段階と、第2マスクを用いて、第1絶縁膜上に半導体パターンと、その半導体パターン上にデータライン、ソース電極、ドレーン電極と一体化したストレージ上部電極を含むソース/ドレーンパターンとを形成する段階と、ソース/ドレーンパターンを覆う第2絶縁膜を形成する段階と、第3マスクを用いて、第2絶縁膜から第1絶縁膜まで貫通する透過孔を形成する段階と、第4マスクを用いて、透過孔を介して露出されたストレージ電極を画素電極の第2導電層と接続させる反射電極を形成し、反射電極を介して露出された画素電極の第2導電層を除去する段階と、第1及び第2基板間に液晶層を形成する段階とを含む。

【発明の効果】

【0040】

本発明に係る半透過型の液晶表示装置の薄膜トランジスタ基板及びその製造方法は、画素電極をゲートラインのような二重構造で形成し、有機膜のパターニング際に、画素電極を露出させる透過孔を形成する。そして、透過孔のエッジ部を經由する反射電極を介して

、ドレーン電極及びストレージ上部電極、またはドレーン電極と一体化したストレージ上部電極を画素電極と接続させ、その反射電極の形成際に、画素電極の不透明な第2導電層を除去する。これにより、2マスク工程を減らして4マスク工程に工程の単純化が可能であり、且つ、ドレーン電極及びストレージ上部電極を画素電極と接続させるための別途のコンタクトホールが不要になるので、透過領域の開口率も増大する。

【0041】

また、本発明に係る半透過型の液晶表示装置の薄膜トランジスタ基板及びその製造方法は、反射電極と同一の金属のコンタクト電極により互いに異なる層に形成されたデータライン及びデータラインを接続させ、静電気防止素子の薄膜トランジスタを相互接続させる。これにより、4マスク工程に工程の単純化が可能である。

10

【0042】

合わせて、本発明に係る半透過型の液晶表示装置の薄膜トランジスタ基板及びその製造方法は、反射電極(A1Nd)が画素電極の第2導電層(Mo)を経由して第1導電層(ITO)と接続されるので、反射電極と画素電極とのコンタクト抵抗を低減することができる。

【0043】

また、本発明に係る半透過型の液晶表示装置の薄膜トランジスタ基板及びその製造方法は、ゲートパターンが第3導電層をさらに備え、透過孔の形成際にエッチストップパの役割を遂行することにより、第2導電層のドライエッチングによる第1導電層の黒化を防止できる。

20

【0044】

前記目的の以外の本発明の他の目的及び利点は、後述する本発明の望ましい実施例により明らかになる。

【発明を実施するための最良の形態】

【0045】

以下、添付図面に基づき、本発明の望ましい実施例を詳細に説明する。

【実施例】

【0046】

図3は本発明の実施例に係る半透過型の薄膜トランジスタ基板を示す平面図、図4は図3に示す半透過型の薄膜トランジスタ基板のII-II'、III-III'、IV-IV'線に沿う断面図である。

30

【0047】

図3及び図4に示すように、半透過型の薄膜トランジスタ基板は、下部基板142上に、ゲート絶縁膜144を挟んで交差して画素領域を定義するゲートライン102とデータライン104、ゲートライン102とデータライン104に接続される薄膜トランジスタ106、各画素の反射領域に形成された反射電極152、及び各画素領域に形成され、反射電極152により薄膜トランジスタ106と接続される画素電極118を備える。そして、半透過型の薄膜トランジスタ基板は、反射電極152により画素電極118に接続されたストレージ上部電極122と前段ゲートライン102との重畳により形成されたストレージキャパシタ120、ゲートライン102と接続されたゲートパッド128、及びデータライン104と接続されたデータパッド138を備える。このような半透過型の薄膜トランジスタ基板において、各画素領域は、反射電極152が形成された反射領域と、反射電極152が形成されていない透過領域とに区分される。

40

【0048】

薄膜トランジスタ106は、ゲートライン102と接続されたゲート電極108、データライン104と接続されたソース電極110、ソース電極110と向き合って画素電極118と接続されたドレーン電極112、ゲート絶縁膜144を挟んでゲート電極108と重畳されて、ソース電極110とドレーン電極112との間にチャンネルを形成する活性層114、ソース電極110及びドレーン電極112とのオーミック接触のために、チャンネル部を除いた活性層114上に形成されたオーミック接触層116を備える。この

50

ような薄膜トランジスタ106は、ゲートライン102のスキャン信号に応答して、データライン104上のビデオ信号が画素電極118に充電されて維持される。

【0049】

ここで、ゲートライン102及びゲート電極108は、透明導電層からなる第1導電層101と、その上に金属層からなる第2導電層103とが積層された二重構造を持つ。

【0050】

そして、活性層114及びオーミック接触層116を含む半導体パターン115は、データライン104とも重畳されるように形成される。

【0051】

反射電極152は各画素の反射領域に形成されて外光を反射させる。このような反射電極152は、その下の有機膜148の形状によってエンボス状を持つため、散乱効果による反射効率が増大される。

10

【0052】

画素電極118は、各画素領域に形成され、透過孔154のエッジ部を経由する反射電極152によりドレーン電極112と接続される。画素電極118は、ゲートライン102のように第1及び第2導電層101、103が積層された二重構造を有し、第2導電層103は透過領域でオープンされて、透明導電層である第1導電層101が透過領域に露出される。このとき、画素電極118の第2導電層103は、反射電極152のパターニング際にオープンされる。これにより、画素電極118の第1導電層101は、第2導電層103を介して反射電極152と接続される。このような画素電極118は、薄膜トランジスタを介して供給された画素信号によりカラーフィルター基板(図示せず)の共通電極と電位差を発生させる。この電位差により、誘電異方性を持つ液晶が回転して、反射領域と透過領域の各々の液晶層を経由する光の透過率を調節するので、前記ビデオ信号によって輝度に変化する。

20

【0053】

透過孔154は、透過領域において、画素電極118上のゲート絶縁膜144、薄膜トランジスタ106上の保護膜146、及び有機膜148を貫通して形成される。これにより、反射領域と透過領域で液晶層を経由する光経路の長さが同一になるので、反射モードと透過モードの透過効率が同一になる。

【0054】

ストレージキャパシタ120は、画素電極118と接続されたストレージ上部電極122が、ゲート絶縁膜144を挟んで前段ゲートライン102と重畳されることにより形成される。ストレージ上部電極122は、透過孔154のエッジ部を経由する反射電極152を介して画素電極118と接続され、ストレージ上部電極122の下には半導体パターン115がさらに重畳される。

30

【0055】

ゲートライン102は、ゲートパッド128を介してゲートドライバ(図示せず)と接続される。ゲートパッド128は、ゲートライン102の第1導電層101が延長されて形成される。

【0056】

データライン104は、データパッド138を介してデータドライバ(図示せず)と接続される。データパッド138は、ゲートパッド128のように第1導電層101で形成される。このようなデータパッド138は、別途のコンタクト電極(図示せず)を介してデータライン104と接続される。

40

【0057】

ゲートパッド128及びデータパッド138が形成されたパッド領域では、ゲート絶縁膜144、保護膜146及び有機膜148が除去される。

【0058】

このように、本発明の実施例に係る半透過型の薄膜トランジスタ基板では、透過孔154のエッジ部を経由する反射電極152を介して、画素電極118がドレーン電極112

50

及びストレージ上部電極 1 2 2 と接続される。これにより、画素電極 1 1 8 とドレーン電極 1 1 2 及びストレージ上部電極 1 2 2 との接続のための別途のコンタクトホールが不要になるので、透過領域の開口率が増大される。

【 0 0 5 9 】

そして、反射電極 1 5 2 は、第 2 導電層 1 0 3 を介して画素電極 1 1 8 の第 1 導電層 1 0 1 と接続される。これにより、反射電極 1 5 2 として A l N d、画素電極 1 1 8 の第 1 導電層 1 0 1 として I T O、第 2 導電層 1 0 3 として M o を用いる場合、A l N d と I T O は M o のみを介して接続されるので、A l<sub>2</sub>O<sub>3</sub> 生成による A l N d と I T O とのコンタクト抵抗の増加を防止できる。

【 0 0 6 0 】

こうした構成を持つ本発明の実施例に係る薄膜トランジスタ基板は、次のような 5 マスク工程により形成される。

【 0 0 6 1 】

図 5 A 及び図 5 B は、本発明の実施例に係る半透過型の薄膜トランジスタ基板の製造方法のうち、第 1 マスク工程を説明するための平面図及び断面図である。

【 0 0 6 2 】

第 1 マスク工程により、下部基板 1 4 2 上に、ゲートライン 1 0 2、ゲートライン 1 0 2 と接続されたゲート電極 1 0 8 及びゲートパッド 1 2 8、データパッド 1 3 8、画素電極 1 1 8 を含むゲートパターンが形成される。このようなゲートパターンは、第 1 及び第 2 導電層 1 0 1、1 0 3 が積層された二重構造で形成される。

【 0 0 6 3 】

具体的に、下部基板 1 4 2 上に、スパッタ法などの蒸着方法により第 1 及び第 2 導電層 1 0 1、1 0 3 が積層される。積層された第 1 及び第 2 導電層 1 0 1、1 0 3 は、第 1 マスクを用いたフォトリソグラフィ工程及びエッチング工程によりパターンニングされることで、ゲートライン 1 0 2、ゲート電極 1 0 8 とゲートパッド 1 2 8、データパッド 1 3 8、及び画素電極 1 1 8 を含むゲートパターンが形成される。この場合、ゲートパッド 1 2 8 及びデータパッド 1 3 8 上には第 2 導電層 1 0 3 が残存する。第 1 導電層 1 0 1 としては I T O、T O、I Z O 等のような透明導電物質が用いられ、第 2 導電層 1 0 3 としては M o、C u、A l (N d)、C r、T i 等のような金属物質が用いられる。

【 0 0 6 4 】

図 6 A 及び図 6 B は、本発明の実施例に係る薄膜トランジスタ基板の製造方法のうち、第 2 マスク工程を説明するための平面図及び断面図、図 7 A 乃至図 7 E は、第 2 マスク工程を具体的に説明するための断面図である。

【 0 0 6 5 】

ゲートパターンの形成された下部基板 1 4 2 上にゲート絶縁膜 1 4 4 が形成され、その上に、第 2 マスク工程により、データライン 1 0 4、ソース電極 1 1 0、ドレーン電極 1 1 2 及びストレージ上部電極 1 2 2 を含むソース/ドレーンパターンと、ソース/ドレーンパターンの背面に沿って重畳される活性層 1 1 4 とオーミック接触層 1 1 6 を含む半導体パターン 1 1 5 とが形成される。このような半導体パターン 1 1 5 とソース/ドレーンパターンは、回折露光マスクを用いた 1 マスク工程により形成される。

【 0 0 6 6 】

具体的に、図 7 A のように、ゲートパターンが形成された下部基板 1 4 2 上に、ゲート絶縁膜 1 4 4、非晶質シリコン層 1 0 5、不純物 (n+ または p+) がドーブされた非晶質シリコン層 1 0 7 及びソース/ドレーン金属層 1 0 9 が順次形成される。例えば、ゲート絶縁膜 1 4 4、非晶質シリコン層 1 0 5 及び不純物がドーブした非晶質シリコン層 1 0 7 は P E C V D 法により形成され、ソース/ドレーン金属層 1 0 9 はスパッタ法により形成される。ゲート絶縁膜 1 4 4 としては酸化シリコン (S i O x) や窒化シリコン (S i N x) などのような無機絶縁物質が用いられ、ソース/ドレーン金属層 1 0 9 としては C r、M o、M o W、A l / C r、C u、A l (N d)、A l / M o、A l (N d) / A l、A l (N d) / C r、M o / A l (N d) / M o、C u / M o、T i / A l (N d) / T i などが用いられ、二重層

10

20

30

40

50

例えばA1/Crの場合、まずCrを形成後にA1を形成するものを言う。

【0067】

そして、ソース/ドレーン金属層109上にフォトレジスト219を塗布した後、回折露光マスク210を用いたフォトリソグラフィ工程により、フォトレジスト219を露光及び現像することで、図7Bに示すように、段差を持つフォトレジストパターン220が形成される。

【0068】

回折露光マスク210は、透明な石英基板212、その上にCr等のような金属層で形成された遮断層214及び回折露光用スリット216を備える。遮断層214は、半導体パターン及びソース/ドレーンパターンが形成される領域に位置して紫外線を遮断させることで、現像後に第1フォトレジストパターン220Aを残す。回折露光用スリット216は、薄膜トランジスタのチャンネルが形成される領域に位置して紫外線を回折させることで、現像後に第1フォトレジストパターン220Aより薄膜の第2フォトレジストパターン220Bを残す。

10

【0069】

続いて、段差を持つフォトレジストパターン220を用いたエッチング工程により、ソース/ドレーン金属層109がパターニングされることで、図7Cに示すように、ソース/ドレーンパターンと、その下の半導体パターン115とが形成される。この場合、ソース/ドレーンパターンのうちのソース電極110とドレーン電極112は一体化した構造を持つ。

20

【0070】

次に、酸素(O<sub>2</sub>)プラズマを用いたアッシング工程により、フォトレジストパターン220をアッシングすることで、図7Dに示すように、第1フォトレジストパターン220Aは薄くなり、第2フォトレジストパターン220Bは除去される。そして、アッシングされた第1フォトレジストパターン220Aを用いたエッチング工程により、第2フォトレジストパターン220Bの除去により露出されたソース/ドレーンパターンと、その下のオーミック接触層116とが除去されることで、ソース電極110とドレーン電極112は分離されて活性層114が露出される。これにより、ソース電極110とドレーン電極112の間には活性層114からなるチャンネルが形成される。このとき、アッシングされた第1フォトレジストパターン220Aに沿ってソース/ドレーンパターンの両側部が再度エッチングされることで、ソース/ドレーンパターンと半導体パターン115は階段形で一定の段差を持つ。

30

【0071】

そして、ストリップ工程により、ソース/ドレーンパターン上に残存した第1フォトレジストパターン220Aが、図7Eのように除去される。

【0072】

図8A及び図8Bは、本発明の実施例に係る薄膜トランジスタ基板の製造方法のうち、第3マスク工程を説明するための平面図及び断面図、図9A乃至図9Cは、第3マスク工程を段階的に説明するための断面図である。

【0073】

第3マスク工程により、ソース/ドレーンパターンが形成されたゲート絶縁膜144上に、透過領域で透過孔154を持つ保護膜146及び有機膜148が形成される。

40

【0074】

図9Aを参照すれば、ソース/ドレーンパターンが形成されたゲート絶縁膜144上に、PECVDなどの蒸着方法により保護膜146が形成される。保護膜146としてはゲート絶縁膜144のような無機絶縁物質が用いられる。

【0075】

図9Bを参照すれば、反射領域ではエンボス表面を持ち、透過領域では透過孔154を持つ有機膜148が、保護膜146上に形成される。

【0076】

50

具体的に、有機膜 148 は、アクリルなどのような感光性有機物質をスピンコート法などにより保護膜 146 上に形成される。次に、第 3 マスクを用いたフォトリソグラフィ工程により、有機膜 148 をパターンニングすることで、第 3 マスクの透過部に対応して、透過領域で有機膜 148 を貫通する透過孔 154 が形成され、ゲートパッド 128 及びデータパッド 138 が形成されたパッド領域の有機膜 148 が除去される。

【0077】

また、第 3 マスクにおいて、透過部を除いた残り部分が遮断部と回折露光部(又は反透過部)が繰返される構造を持ち、これに応じて、有機膜 148 は、反射領域において、段差を持つ遮断領域(突出部)及び回折露光領域(溝部)が繰返される構造でパターンニングされる。続いて、突出部及び溝部が繰返される有機膜 148 を焼成することで、反射領域において有機膜 148 の表面はエンボス状を持つ。

10

【0078】

図 9C を参照すれば、有機膜 148 をマスクとして用いて、その下の保護膜 146 及びゲート絶縁膜 144 をパターンニングすることで、透過孔 154 がゲート絶縁膜 144 まで貫通して、パッド領域の保護膜 146 及びゲート絶縁膜 144 が除去される。このとき、透過孔 154 を介して露出されたドレーン電極 112 及びストレージ上部電極 122 とその下の半導体パターン 115 ともエッチングされる。ここで、エッチング速度の差により、ドレーン電極 112 及びストレージ上部電極 122 とその下の半導体パターン 115 よりもゲート絶縁膜 144 のエッジ部がほぼ突出された構造を持つ。このような透過孔 154 は、画素電極 118 の第 2 導電層 103 を露出させ、そのエッジ部はドレーン電極 112 及びストレージ上部電極 122 の側面を露出させる。パッド領域では、保護膜 146 及びゲート絶縁膜 144 が除去されるので、ゲートパッド 128 及びデータパッド 138 上の第 2 導電層 103 が露出された構造を持つ。

20

【0079】

図 10A 及び図 10B は、本発明の実施例に係る薄膜トランジスタ基板の製造方法のうち、第 4 マスク工程を説明するための平面図及び断面図である。

【0080】

第 4 マスク工程により、各画素の反射領域の有機膜 148 上に反射電極 152 が形成され、透過孔 154 を介して画素電極 118 の第 1 導電層 101 が露出され、パッド領域ではゲートパッド 128 及びデータパッド 138 が露出される。

30

【0081】

具体的に、エンボス表面を持つ有機膜 148 上に反射金属層がエンボス状を保持して形成される。反射金属層としては AlNd などのように高反射率の金属が用いられる。次に、第 5 マスクを用いたフォトリソグラフィ工程及びエッチング工程により、反射金属層がパターンニングされることで、各画素の反射領域毎に反射電極 152 が形成される。このとき、透過孔 154 を介して露出された画素電極 118 の第 2 導電層 103 がその上に積層された反射金属層と共にエッチングされることで、透過領域では画素電極 118 の第 1 導電層 101 が露出された構造を持つ。これにより、反射電極 152 は、透過孔 154 のエッジ部を介して露出されたドレーン電極 112 及びストレージ上部電極 122 と側面接続される。そして、反射電極 152 は、画素電極 118 の第 1 導電層 101 の端部に沿って残存する第 2 導電層 103 と面接続される。これにより、画素電極 118 とドレーン電極 112 及びストレージ上部電極 122 との接続のための別途のコンタクトホールが不要になるので、透過領域の開口率が増大される。また、反射電極 152 は、画素電極 118 の第 2 導電層 103 (Mo) を介して第 1 導電層 101 (ITO) と接続されるので、反射電極 152 (AlNd) と第 1 導電層 101 (ITO) とのコンタクト抵抗の増加を防止できる。

40

【0082】

このように、本発明の実施例に係る半透過型の薄膜トランジスタ基板の製造方法は、4 マスク工程により形成されるので、工程の単純化が可能である。

【0083】

図 11 は、本発明の実施例に係る半透過型の薄膜トランジスタ基板を示す断面図である

50

## 【 0 0 8 4 】

図 1 1 に示す半透過型の薄膜トランジスタ基板は、ゲートライン 1 0 2、ゲート電極 1 0 8 及び画素電極 1 1 8 に第 3 導電層 1 1 3 がさらに積層される以外は、図 4 に示す半透過型の薄膜トランジスタ基板の構成と同様である。よって、重複する構成要素についてはその説明を省略する。

## 【 0 0 8 5 】

図 1 1 において、ゲートライン 1 0 2、ゲート電極 1 0 8、画素電極 1 1 8 を含むゲートパターンには、第 3 マスク工程による透過孔 1 5 4 の形成際に、エッチストップパの役割を遂行する A 1 などのような金属からなる第 3 導電層 1 1 3 がさらに形成される。

10

## 【 0 0 8 6 】

具体的に、図 1 2 A のように、ゲートパターンが、第 1 及び第 2 導電層 1 0 1、1 0 3 が積層された二重構造を持つ場合、ドライエッチングにより保護膜 1 4 6 及びゲート絶縁膜 1 4 4 を貫通する透過孔 1 5 4 の形成際に、ドライエッチングが容易な画素電極 1 1 8 の第 2 導電層 1 0 3 までエッチングされる。これにより、第 2 導電層 1 0 3 のドライエッチングにより発生するパーティクルなどのため、透明な第 1 導電層 1 0 1 が黒化するという問題点が発生し得る。

## 【 0 0 8 7 】

これを防止するために、図 1 2 B のように、ドライエッチングが容易でない第 3 導電層 1 1 3 を追加して、保護膜 1 4 6 及びゲート絶縁膜 1 4 4 を貫通する透過孔 1 5 4 の形成際にエッチストップパの役割を遂行することで、画素電極 1 1 8 の第 2 導電層 1 0 3 がエッチングされるのを防止する。これにより、画素電極 1 1 8 の第 2 導電層 1 0 3 のドライエッチングによる第 1 導電層 1 0 1 の黒化を防止できる。そして、透過孔 1 5 4 を介して露出された画素電極 1 1 8 の第 3 導電層 1 1 3 とその下の第 2 導電層 1 0 3 は、上述したように、第 4 マスク工程により、反射電極 1 5 2 を形成するためのウエットエッチングにより除去される。

20

## 【 0 0 8 8 】

図 1 3 は、本発明の実施例に係る半透過型の薄膜トランジスタ基板の周辺部を概略的に示す図である。

## 【 0 0 8 9 】

図 1 3 に示す半透過型の薄膜トランジスタ基板 1 0 0 は、ゲートパッド 1 2 8 と同層に形成されたデータパッド 1 3 8 を、データライン 1 0 4 と接続させるためのコンタクト電極 1 6 0 を備える。換言すれば、コンタクト電極 1 6 0 は、データパッド 1 3 8 から延長されたデータリンク 1 3 6 とデータライン 1 0 4 を接続させる。ここで、コンタクト電極 1 6 0 は、アクティブ領域 1 8 2 に形成される反射電極 1 5 2 と同一の金属層 (A 1 N d、A 1 N d / M o) で形成する。このようなコンタクト電極 1 6 0 は、外部に露出される場合、酸化作用による腐食の問題点があるため、シール材 1 8 0 により封止される領域、即ち、シール材 1 8 0 とアクティブ領域 1 8 2 との間に位置して腐食を防止できる。

30

## 【 0 0 9 0 】

また、薄膜トランジスタ基板 1 0 0 は、アクティブ領域 1 8 2 に流入する静電気の遮断のための静電気防止素子 1 9 0 を備える。静電気防止素子 1 9 0 は、データライン 1 0 4 またはゲートライン 1 0 2 と接続され、相互接続関係を持つ多数個の薄膜トランジスタ 3 0 0、3 1 0、3 2 0 からなる。静電気防止素子 1 9 0 は、静電気などによる高電圧領域では、低いインピーダンスを持って過電流が放電されることで、静電気の流入を遮断し、正常な駆動環境では、高いインピーダンスを持ってデータライン 1 0 4 またはゲートライン 1 0 2 を介して供給される駆動信号には影響を与えない。このような静電気防止素子 1 9 0 は、薄膜トランジスタ 3 0 0、3 1 0、3 2 0 を相互接続させるために多数のコンタクト電極を必要とする。このような多数のコンタクト電極も、反射電極 1 5 2 と同一の金属層 (A 1 N d、A 1 N d / M o) で形成する。これにより、静電気防止素子 1 9 0 も、シール材 1 8 0 により封止される領域、即ちシール材 1 8 0 とアクティブ領域 1 8 2 との間に

40

50

形成される。

【0091】

図14は、図13に示すデータライン104と接続されたコンタクト電極160及び静電気防止素子190を具体的に示す平面図、図15は、図14に示す薄膜トランジスタ基板のV-V'、VI-VI'線に沿う断面図である。

【0092】

図14及び図15に示すデータリンク136は、データパッド138から延長されてシール材180で封止される領域に位置するデータライン104の端部と重畳される。データリンク136のうち、有機膜148との非重畳部分はデータパッド138のように第1導電層101のみからなり、有機膜148との重畳部分は第1及び第2導電層101、103が積層された二重構造を持つ。

10

【0093】

第1コンタクト電極160は、データリンク136とデータライン104との重畳部に形成された第1コンタクトホール162に渡って形成され、データライン104とデータリンク136を接続させる。第1コンタクトホール162は、有機膜148、保護膜146、データライン104、半導体パターン115及びゲート絶縁膜144を貫通して、データリンク136を露出させる。これにより、第1コンタクト電極160は、第1コンタクトホール162を介して露出されたデータライン104とは側面接続され、データリンク136の第2導電層103とは面接続される。

【0094】

データライン104と接続された静電気防止素子は、第2乃至第4薄膜トランジスタ300、310、320を備える。

20

【0095】

第2薄膜トランジスタ300は、データライン104と接続された第2ソース電極304、第2ソース電極304と対向する第2ドレイン電極306、第2ソース及びドレイン電極304、306と半導体パターン115及びゲート絶縁膜144とを挟んで重畳された第2ゲート電極302を備える。ここで、第2ゲート電極302は、第1及び第2導電層101、103の二重構造を持つ。

【0096】

第3薄膜トランジスタ310は、第2薄膜トランジスタの第2ソース電極304と第2ゲート電極302との間にダイオード型で接続される。このために、第3薄膜トランジスタ310は、第2ソース電極304と接続された第3ソース電極314、第3ソース電極314と対向する第3ドレイン電極316、第3ソース及びドレイン電極314、316と半導体パターン115及びゲート絶縁膜144とを挟んで重畳された第3ゲート電極312を備える。ここで、第3ゲート電極312は、第1及び第2導電層101、103の二重構造を持つ。そして、第3ゲート電極312は、第2コンタクトホール340に渡って形成された第2コンタクト電極332を介して、第3ソース電極314と接続される。第2コンタクトホール340は、有機膜148、保護膜146、第3ソース電極314、半導体パターン115及びゲート絶縁膜144を貫通して、第3ゲート電極312の第2導電層103を露出させる。

30

40

【0097】

第4薄膜トランジスタ320は、第2薄膜トランジスタの第2ドレイン電極306と第2ゲート電極302との間にダイオード型で接続される。このために、第4薄膜トランジスタ320は、第2ドレイン電極306と接続される第4ソース電極324、第4ソース電極324と対向する第4ドレイン電極326、第4ソース及びドレイン電極324、326と半導体パターン115及びゲート絶縁膜144とを挟んで重畳された第4ゲート電極322を備える。ここで、第4ゲート電極322は第1及び第2導電層101、103の二重構造を持つ。第4ドレイン電極326は、第3ドレイン電極316と接続され、第3コンタクトホール344に渡って形成された第3コンタクト電極334を介して、第2ゲート電極302と接続される。また、第4ゲート電極322は、第4コンタクトホール

50

348に渡って形成された第4コンタクト電極336を介して、第4ソース電極324と接続される。第3コンタクトホール344は、有機膜148、保護膜146、第4ドレイン電極326、半導体パターン115及びゲート絶縁膜144を貫通して形成され、第4コンタクトホール348は、有機膜148、保護膜146、第4ソース電極324、半導体パターン115及びゲート絶縁膜144を貫通して形成される。

【0098】

ここで、第1乃至第4コンタクト電極160、332、334、336は、上述したように、反射電極152と同一の金属層で形成される。

【0099】

このような構造を持つ半透過型の薄膜トランジスタ基板は、上述したように、5マスク

10

工程により形成する。これを図16A乃至図19Bを参照して説明する。

【0100】

図16A及び図16Bを参照すれば、第1マスク工程により、下部基板142上にデータパッド138と共にデータリンク136及び第2乃至第4ゲート電極302、312、322を含むゲートパターンが形成される。このようなゲートパターンは、第1及び第2導電層101、103が積層された二重構造を持つ。このような第1マスク工程は、図5A及び図5Bでの説明と同様である。

【0101】

図17A及び図17Bを参照すれば、第2マスク工程により、ゲート絶縁膜144、活性層114及びオーミック接触層116を含む半導体パターン115と、データライン104、第2乃至第4ソース電極304、314、324、第2乃至第4ドレイン電極306、316、326を含むソース/ドレインパターンとが形成される。このような第2マスク工程は、図6A乃至図7Eでの説明と同様である。

20

【0102】

図18A及び図18Bを参照すれば、第3マスク工程により、保護膜146及び有機膜148が形成され、有機膜148からゲート絶縁膜144まで貫通する第1乃至第4コンタクトホール162、340、344、348が形成される。このような第3マスク工程は、図8A乃至図9Cでの説明と同様である。このとき、有機膜148は、パッド領域では除去され、画素領域のように反射電極152が形成されていない部分ではエンボス表面を持っていない。

30

【0103】

図19A及び図19Bを参照すれば、第4マスク工程により、反射電極層の形成後にパターンニングすることで、反射電極152と同一の金属の第1乃至第4コンタクト電極160、332、334、336が形成される。このような第4マスク工程は、図10A及び図10Bでの説明と同様である。このとき、有機膜148が除去されたパッド領域において、データパッド138及びデータリンク136の一部分の第2導電層103は、その上に塗布された反射電極層と共にエッチングされる。これにより、パッド領域で露出されたデータパッド138及びデータリンク136の一部分は第1導電層101のみからなる。

【0104】

図20は、本発明の他の実施例に係る半透過型の薄膜トランジスタ基板を示す平面図、図21は、図3に示す半透過型の薄膜トランジスタ基板のVII-VII'、VIII-VIII'、II-II'、III-III'、IV-IV'線に沿う断面図である。

40

【0105】

図20及び図21に示す半透過型の薄膜トランジスタ基板は、ゲートライン102と並んでストレージライン425が追加され、ストレージキャパシタ420が、ストレージライン425と一体化したストレージ下部電極423と、ドレイン電極112と一体化したストレージ上部電極422との重畳により形成された以外は、図3及び図4に示す半透過型の薄膜トランジスタ基板とその構成が同様である。よって、重複する構成要素についてはその説明を省略する。このような半透過型の薄膜トランジスタ基板の周辺部及びその製造方法は、図12乃至図19Bでの説明と同様である。

50

## 【 0 1 0 6 】

図 2 0 及び図 2 1 に示す薄膜トランジスタ 1 0 6 は、ゲートライン 1 0 2 と重畳されるように形成され、ストレージキャパシタ 4 2 0 は、ゲートライン 1 0 2 と透過孔 1 5 4 との間に形成され、画素電極 1 1 8 は、ストレージキャパシタ 4 2 0 と前段ゲートライン 1 0 2 との間に形成される。

## 【 0 1 0 7 】

ストレージキャパシタ 4 2 0 は、ストレージ下部電極 4 2 3 とストレージ上部電極 4 2 2 とが、ゲート絶縁膜 1 4 4 及び半導体パターン 1 1 5 を挟んで重畳されて形成される。

## 【 0 1 0 8 】

ストレージ下部電極 4 2 3 は、データライン 1 0 4 と交差するストレージライン 4 2 5 を介して共通連結する。このとき、ストレージライン 4 2 5 は、データライン 1 0 4 との寄生キャパシタを低減するために相対的に小さい線幅を持ち、ストレージ下部電極 4 2 3 は、ストレージ上部電極 4 2 2 と重畳面積を増加させるために、即ち、ストレージキャパシタ 4 2 0 を増加させるために相対的に広い線幅を持つ。このようなストレージ下部電極 4 2 3 及びストレージライン 4 2 5 は、上述したゲートライン 1 0 2 のように、透明導電層からなる第 1 導電層 1 0 1 と、その上に金属層からなる第 2 導電層 1 0 3 とが積層された二重構造を持つ。

10

## 【 0 1 0 9 】

ストレージ上部電極 4 2 2 は、ドレーン電極 1 1 2 と一体化してストレージ下部電極 4 2 3 と重畳されるように形成される。そして、ストレージ上部電極 4 2 2 は、その側面が透過孔 1 5 4 を介して露出されて反射電極 1 5 2 と接続され、反射電極 1 5 2 を介して画素電極 1 1 8 の第 2 導電層 1 0 3 と接続される。よって、ドレーン電極 1 1 2 は、ストレージ上部電極 4 2 2 及び反射電極 1 5 2 を経由して画素電極 1 1 8 と接続される。ここで、反射電極 1 5 2 の形成された反射領域はストレージキャパシタ 4 2 0 を含む。

20

## 【 0 1 1 0 】

このような構造を持つ半透過型の薄膜トランジスタ基板は、図 2 2 A 乃至図 2 5 B に示すように、4 マスク工程により形成される。以下、上述した図 5 A 乃至図 1 0 B の 4 マスク工程と重複する部分についてはその説明を省略し、本発明の他の実施例に係る半透過型の薄膜トランジスタ基板の製造方法を簡略に説明する。

## 【 0 1 1 1 】

図 2 2 A 及び図 2 2 B は、本発明の他の実施例に係る半透過型の薄膜トランジスタ基板の製造方法のうち、第 1 マスク工程を説明するための平面図及び断面図である。

30

## 【 0 1 1 2 】

第 1 マスク工程により、下部基板 1 4 2 上にゲートライン 1 0 2、ゲートライン 1 0 2 と接続されたゲートパッド 1 2 8、データパッド 1 3 8 及び画素電極 1 1 8 と共にストレージライン 4 2 5 と一体化したストレージ下部電極 4 2 3 を含むゲートパターンが形成される。このようなゲートパターンは、第 1 及び第 2 導電層 1 0 1、1 0 3 が積層された二重構造で形成される。このような第 1 マスク工程は、図 5 A 及び図 5 B での説明と同様である。

## 【 0 1 1 3 】

図 2 3 A 及び図 2 3 B は、本発明の他の実施例に係る半透過型の薄膜トランジスタ基板の製造方法のうち、第 2 マスク工程を説明するための平面図及び断面図である。

40

## 【 0 1 1 4 】

ゲートパターンの形成された下部基板 1 4 2 上にゲート絶縁膜 1 4 4 が形成され、その上に、第 2 マスク工程により、データライン 1 0 4、ソース電極 1 1 0 及びドレーン電極 1 1 2 と一体化したストレージ上部電極 4 2 2 を含むソース/ドレーンパターンと、ソース/ドレーンパターンの背面に沿って重畳された活性層 1 1 4 及びオーミック接触層 1 1 6 を含む半導体パターン 1 1 5 とが形成される。このような半導体パターン 1 1 5 とソース/ドレーンパターンは、回折露光マスクを用いた 1 マスク工程により形成される。

## 【 0 1 1 5 】

50

図2 4 A及び図2 4 Bは、本発明の他の実施例に係る薄膜トランジスタ基板の製造方法のうち、第3マスク工程を説明するための平面図及び断面図である。

【0116】

第3マスク工程により、透過領域において、ゲート絶縁膜144まで延長されて、画素電極118の第2導電層103の表面及びストレージ上部電極422の側面を露出させる透過孔154を持つ保護膜146及び有機膜148が形成され、パッド領域では、ゲート絶縁膜144まで除去されて、ゲートパッド128及びデータパッド138上の第2導電層103が露出される構造を持つ。

【0117】

図2 5 A及び図2 5 Bは、本発明の他の実施例に係る薄膜トランジスタ基板の製造方法のうち、第4マスク工程を説明するための平面図及び断面図である。

10

【0118】

第4マスク工程により、各画素の反射領域の有機膜148上に反射電極152が形成され、反射電極152を介して露出されたゲートパターンの第2導電層103がエッチングされることで、透過孔154を介して画素電極118の第1導電層101が露出され、パッド領域ではゲートパッド128及びデータパッド138が露出される。

【0119】

以上で説明した内容により、当業者であれば、本発明の技術思想から逸脱しない範囲内で多様に変更・修正が可能であることが分かる。従って、本発明の技術範囲は、明細書の詳細な説明に記載された内容に限定されるものではなく、特許請求の範囲により定められなければならない。

20

【図面の簡単な説明】

【0120】

【図1】関連の半透過型の液晶パネルの一部分を示す断面図である。

【図2 A】図1に示す半透過型の薄膜トランジスタ基板の製造方法を具体的に説明するための断面図である。

【図2 B】図1に示す半透過型の薄膜トランジスタ基板の製造方法を具体的に説明するための断面図である。

【図2 C】図1に示す半透過型の薄膜トランジスタ基板の製造方法を具体的に説明するための断面図である。

30

【図2 D】図1に示す半透過型の薄膜トランジスタ基板の製造方法を具体的に説明するための断面図である。

【図2 E】図1に示す半透過型の薄膜トランジスタ基板の製造方法を具体的に説明するための断面図である。

【図2 F】図1に示す半透過型の薄膜トランジスタ基板の製造方法を具体的に説明するための断面図である。

【図3】本発明の実施例に係る半透過型の薄膜トランジスタ基板を部分的に示す平面図である。

【図4】図3に示す半透過型の薄膜トランジスタ基板のII-III'、III-III'、IV-IV'線に沿う断面図である。

40

【図5 A】本発明の実施例に係る半透過型の薄膜トランジスタ基板の第1マスク工程を説明するための平面図である。

【図5 B】本発明の実施例に係る半透過型の薄膜トランジスタ基板の第1マスク工程を説明するための断面図である。

【図6 A】本発明の実施例に係る半透過型の薄膜トランジスタ基板の第2マスク工程を説明するための平面図である。

【図6 B】本発明の実施例に係る半透過型の薄膜トランジスタ基板の第2マスク工程を説明するための断面図である。

【図7 A】本発明の第2マスク工程を具体的に説明するための断面図である。

【図7 B】本発明の第2マスク工程を具体的に説明するための断面図である。

50

【図 7 C】本発明の第 2 マスク工程を具体的に説明するための断面図である。

【図 7 D】本発明の第 2 マスク工程を具体的に説明するための断面図である。

【図 7 E】本発明の第 2 マスク工程を具体的に説明するための断面図である。

【図 8 A】本発明の実施例に係る半透過型の薄膜トランジスタ基板の第 3 マスク工程を説明するための平面図である。

【図 8 B】本発明の実施例に係る半透過型の薄膜トランジスタ基板の第 3 マスク工程を説明するための断面図である。

【図 9 A】本発明の第 3 マスク工程を具体的に説明するための断面図である。

【図 9 B】本発明の第 3 マスク工程を具体的に説明するための断面図である。

【図 9 C】本発明の第 3 マスク工程を具体的に説明するための断面図である。

10

【図 10 A】本発明の実施例に係る半透過型の薄膜トランジスタ基板の第 4 マスク工程を説明するための平面図である。

【図 10 B】本発明の実施例に係る半透過型の薄膜トランジスタ基板の第 4 マスク工程を説明するための断面図である。

【図 11】本発明の他の実施例に係る半透過型の薄膜トランジスタ基板を示す断面図である。

【図 12 A】図 4 に示す薄膜トランジスタ基板と、図 11 に示す薄膜トランジスタ基板との第 3 マスク工程を比較して説明するための断面図である。

【図 12 B】図 4 に示す薄膜トランジスタ基板と、図 11 に示す薄膜トランジスタ基板との第 3 マスク工程を比較して説明するための断面図である。

20

【図 13】本発明の実施例に係る半透過型の薄膜トランジスタ基板を周辺部中心として概略的に示す平面図である。

【図 14】図 13 に示すデータライン及びデータリンクのコンタクト領域と静電気防止素子領域を具体的に示す平面図である。

【図 15】図 14 に示す半透過型の薄膜トランジスタ基板の V-V'、VI-VI'線に沿う断面図である。

【図 16 A】図 15 に示す半透過型の薄膜トランジスタ基板の第 1 マスク工程を説明するための平面図である。

【図 16 B】図 15 に示す半透過型の薄膜トランジスタ基板の第 1 マスク工程を説明するための断面図である。

30

【図 17 A】図 15 に示す半透過型の薄膜トランジスタ基板の第 2 マスク工程を説明するための平面図である。

【図 17 B】図 15 に示す半透過型の薄膜トランジスタ基板の第 2 マスク工程を説明するための断面図である。

【図 18 A】図 15 に示す半透過型の薄膜トランジスタ基板の第 3 マスク工程を説明するための平面図である。

【図 18 B】図 15 に示す半透過型の薄膜トランジスタ基板の第 3 マスク工程を説明するための断面図である。

【図 19 A】図 15 に示す半透過型の薄膜トランジスタ基板の第 4 マスク工程を説明するための平面図である。

40

【図 19 B】図 15 に示す半透過型の薄膜トランジスタ基板の第 4 マスク工程を説明するための断面図である。

【図 20】本発明の他の実施例に係る半透過型の薄膜トランジスタ基板を示す平面図である。

【図 21】図 20 に示す半透過型の薄膜トランジスタ基板の VII-VII'、VIII-VIII'、III-III'、IV-IV'線に沿う断面図である。

【図 22 A】本発明の他の実施例に係る半透過型の薄膜トランジスタ基板の第 1 マスク工程を説明するための平面図である。

【図 22 B】本発明の他の実施例に係る半透過型の薄膜トランジスタ基板の第 1 マスク工程を説明するための断面図である。

50

【図 2 3 A】本発明の他の実施例に係る半透過型の薄膜トランジスタ基板の第 2 マスク工程を説明するための平面図である。

【図 2 3 B】本発明の他の実施例に係る半透過型の薄膜トランジスタ基板の第 2 マスク工程を説明するための断面図である。

【図 2 4 A】本発明の他の実施例に係る半透過型の薄膜トランジスタ基板の第 3 マスク工程を説明するための平面図である。

【図 2 4 B】本発明の他の実施例に係る半透過型の薄膜トランジスタ基板の第 3 マスク工程を説明するための断面図である。

【図 2 5 A】本発明の他の実施例に係る半透過型の薄膜トランジスタ基板の第 4 マスク工程を説明するための平面図である。

10

【図 2 5 B】本発明の他の実施例に係る半透過型の薄膜トランジスタ基板の第 4 マスク工程を説明するための断面図である。

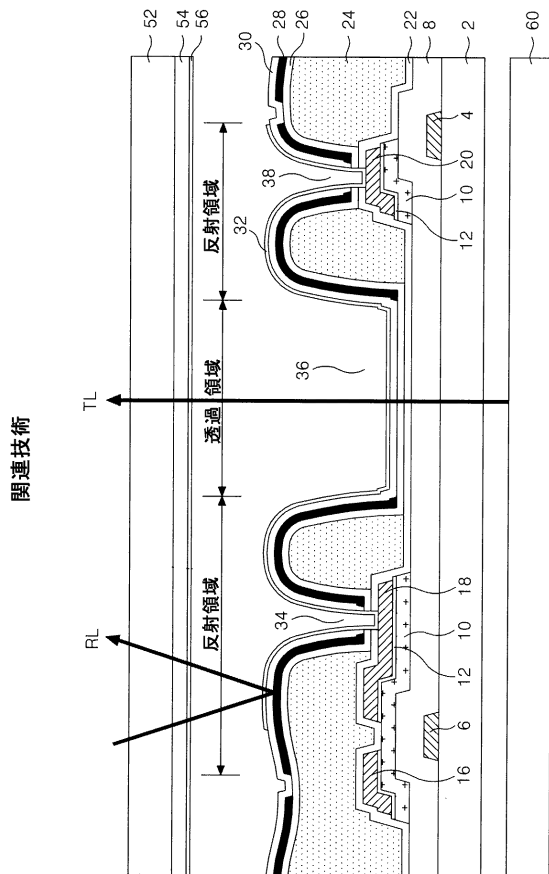
【符号の説明】

【 0 1 2 1 】

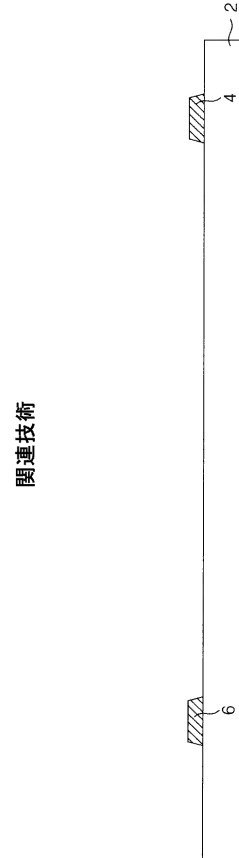
- 2、1 4 2 下部基板
- 4、1 0 2 ゲートライン
- 6、1 0 8、3 0 2、3 1 2、3 2 2 ゲート電極
- 8、1 4 4 ゲート絶縁膜
- 1 0、1 1 4 活性層
- 12、1 1 6 オーミック接触層 20
- 1 6、1 1 0、3 0 4、3 1 4、3 2 4 ソース電極
- 1 8、1 1 2、3 0 6、3 1 6、3 2 6 ドレイン電極
- 2 0、1 2 2、4 2 2 ストレージ上部電極
- 2 2、2 6、3 0、1 4 6 保護膜
- 2 4、1 4 8 有機膜
- 2 8、1 5 2 反射電極
- 3 2、1 1 8 画素電極
- 3 4、3 8、1 6 2、3 4 0、3 4 4、3 4 8 コンタクトホール
- 3 5、3 7 開口部
- 3 6、1 5 4 透過孔 30
- 5 2 上部基板
- 5 4 カラーフィルター
- 5 6 共通電極
- 1 0 0 薄膜トランジスタ基板
- 1 0 1 第 1 導電層
- 1 0 3 第 2 導電層
- 1 0 5 非晶質シリコン層
- 1 0 6、3 0 0、3 1 0、3 2 0 薄膜トランジスタ
- 1 0 7 不純物がドーピングされた非晶質シリコン層
- 1 0 9 ソース/ドレイン金属層 40
- 1 1 3 第 3 導電層
- 1 1 5 半導体パターン
- 1 2 0、4 2 0 ストレージキャパシタ
- 1 2 8 ゲートパッド
- 1 3 6 データリンク
- 1 3 8 データパッド
- 1 6 0、3 3 2、3 3 4、3 3 6 コンタクト電極
- 1 8 0 シール材
- 1 8 2 アクティブ領域
- 1 9 0 静電気防止素子 50

- 2 1 0 回折露光マスク
- 2 1 2 石英基板
- 2 1 4 遮断層
- 2 1 6 スリット
- 2 1 9 フォトレジスト
- 2 2 0 フォトレジストパターン
- 2 2 0 A 第1フォトレジストパターン
- 2 2 0 B 第2フォトレジストパターン
- 4 2 3 ストレージ下部電極
- 4 2 5 ストレージライン

【 図 1 】



【 図 2 A 】



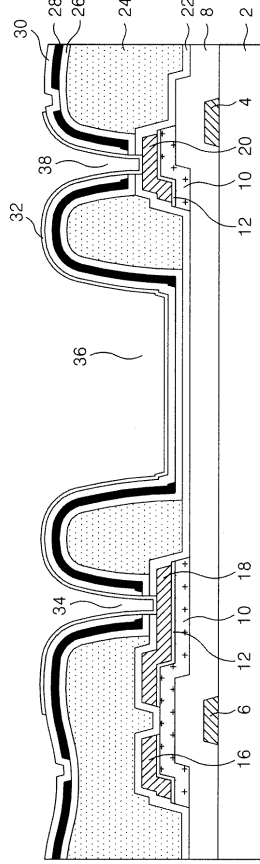
関連技術

関連技術

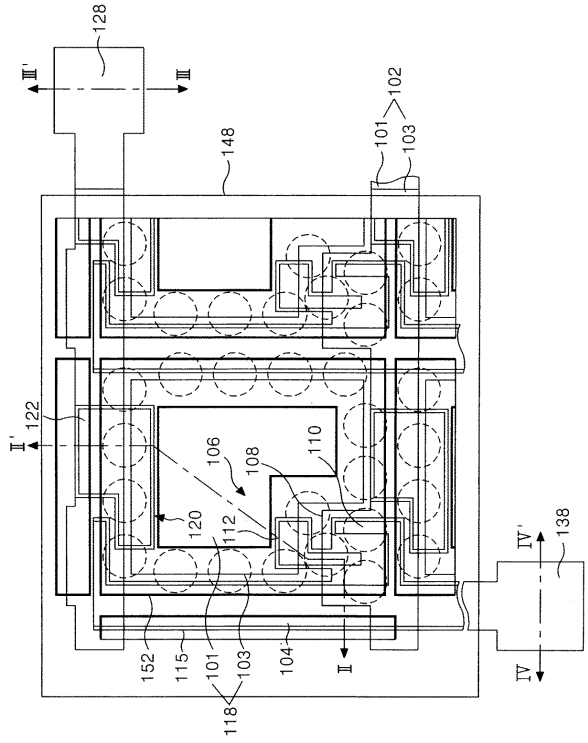


関連技術

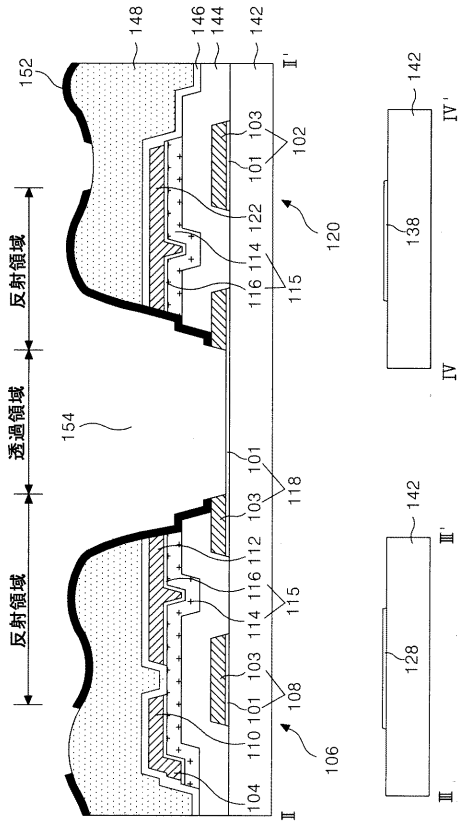
【図 2 F】



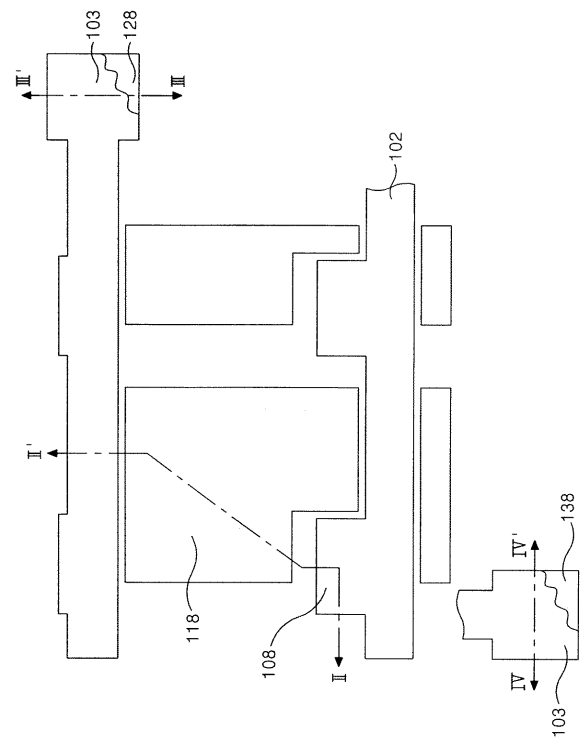
【図 3】



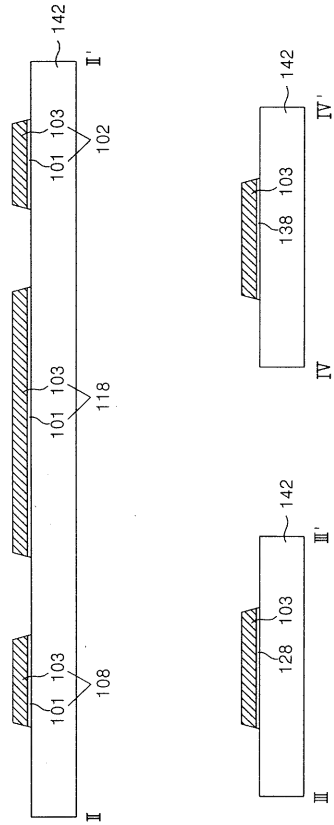
【図 4】



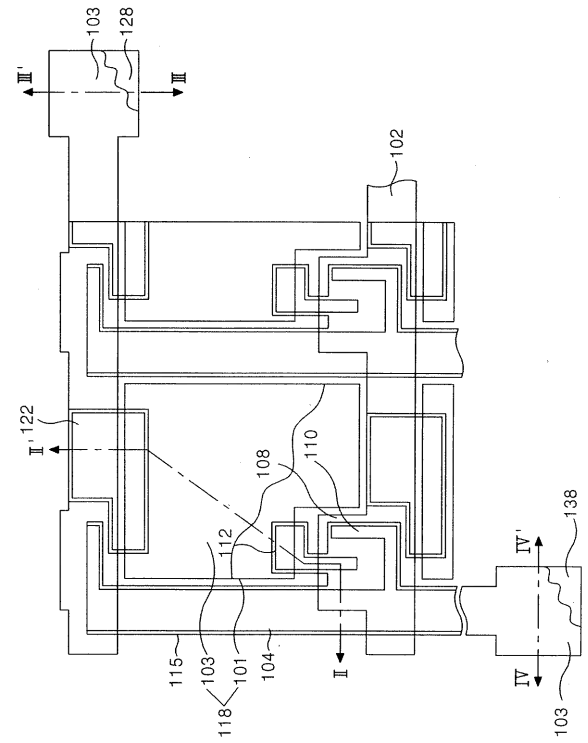
【図 5 A】



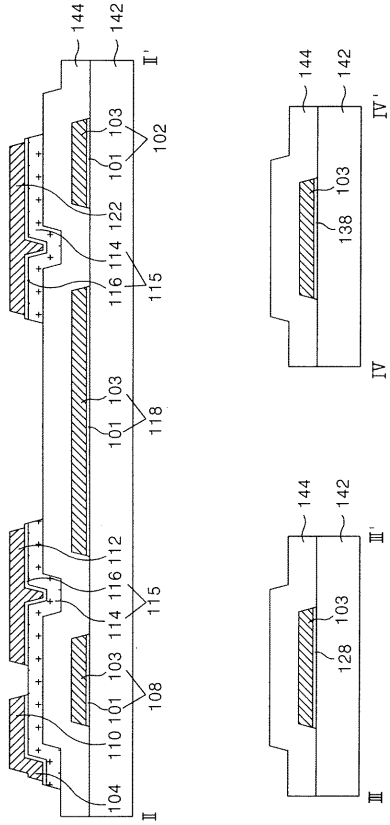
【 5 B 】



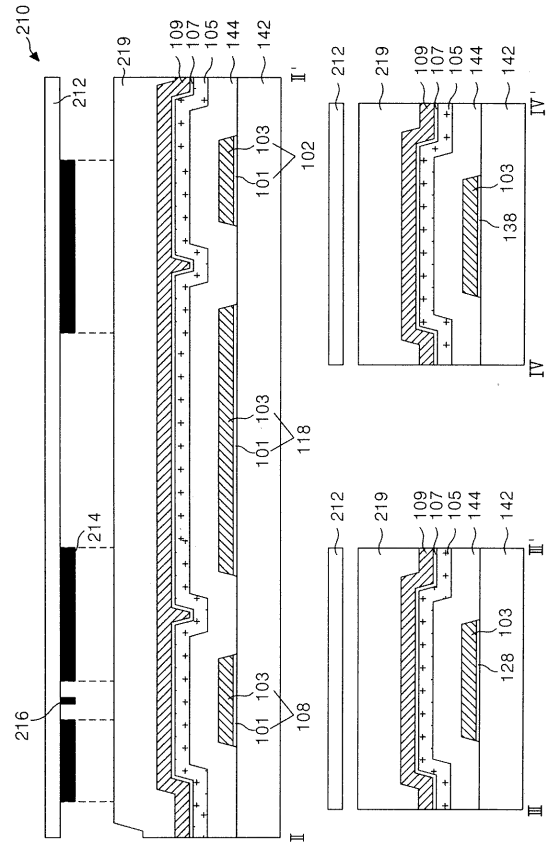
【 6 A 】



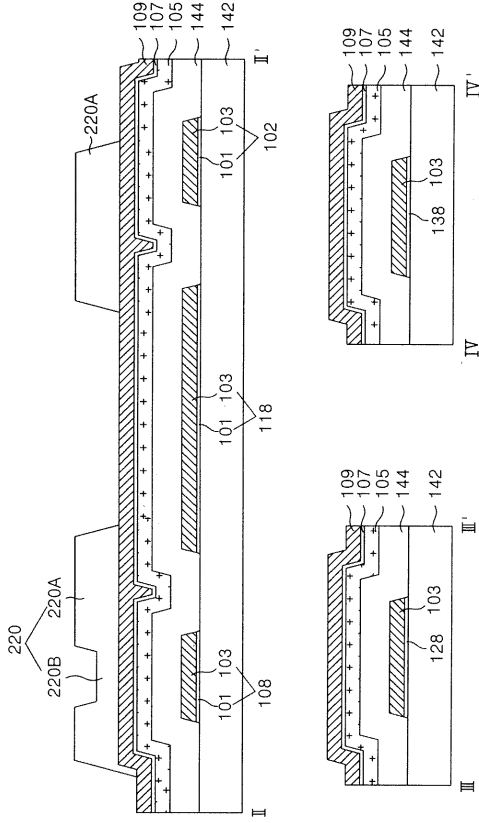
【 6 B 】



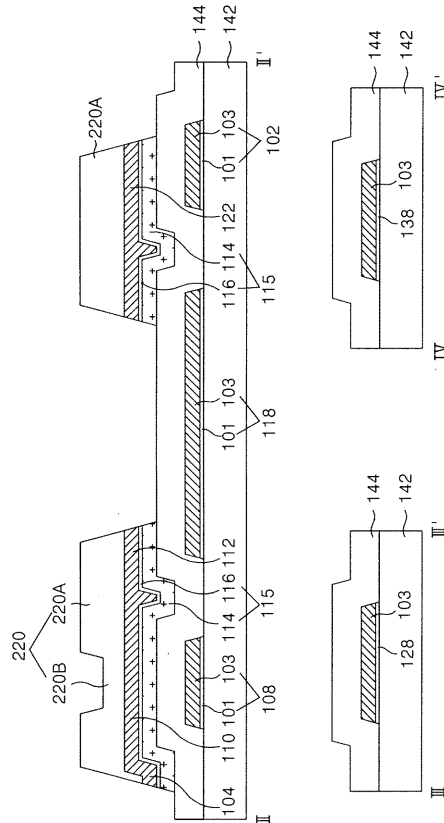
【 7 A 】



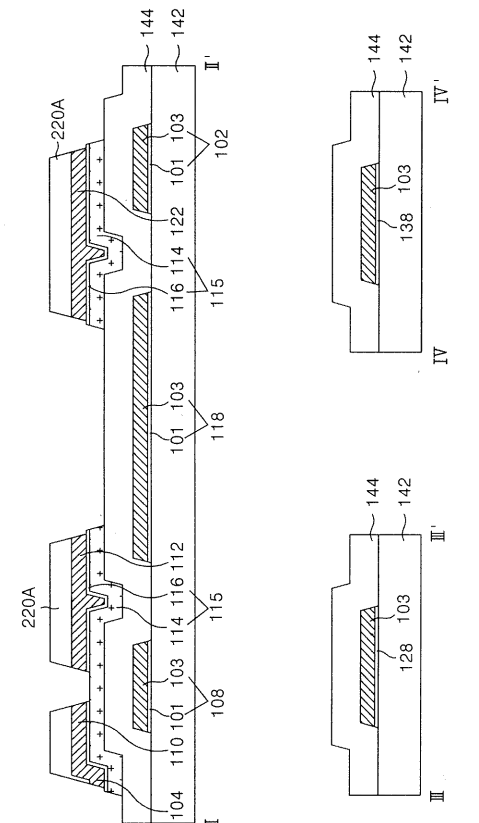
【 7 B 】



【 7 C 】



【 7 D 】

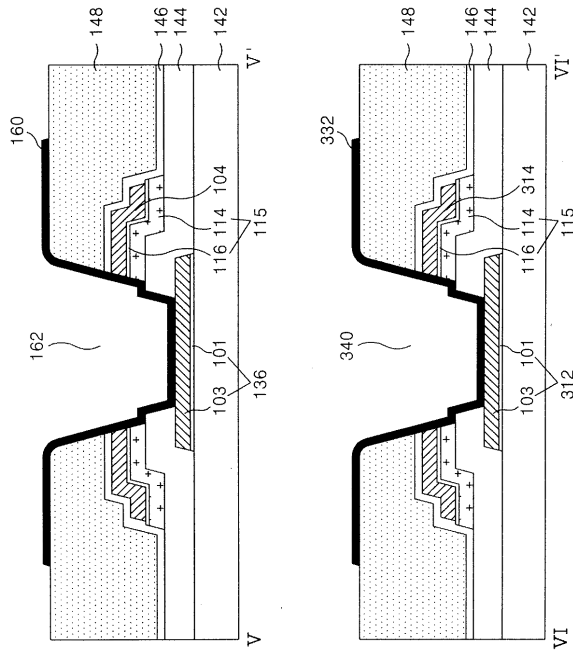




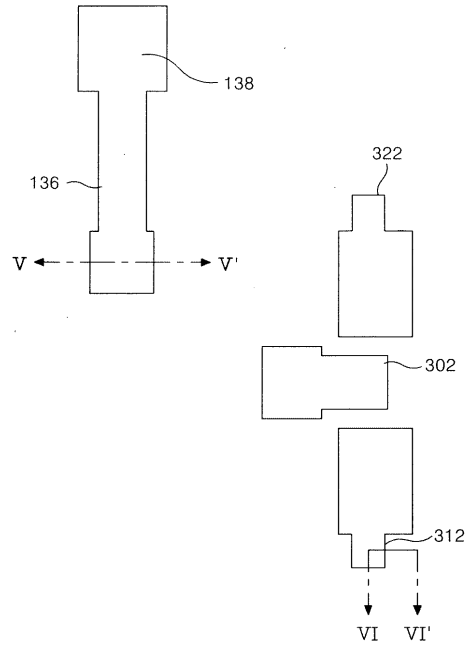




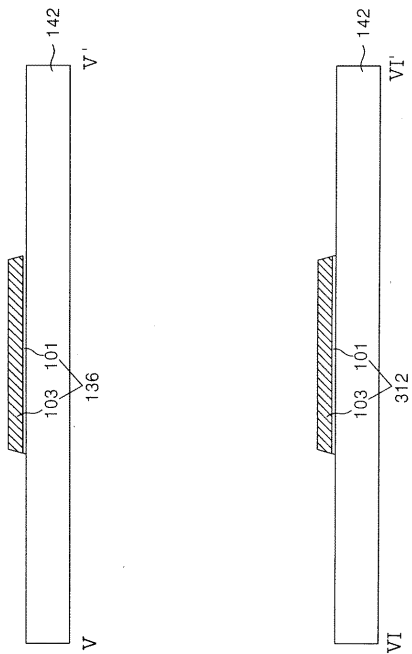
【 15 】



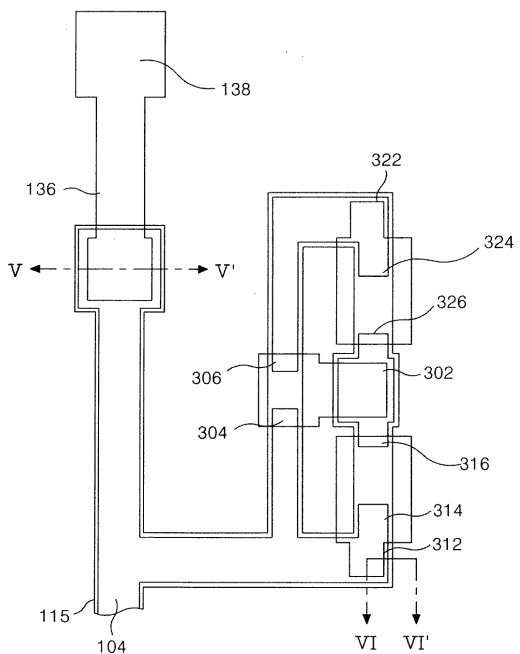
【 16 A 】



【 16 B 】

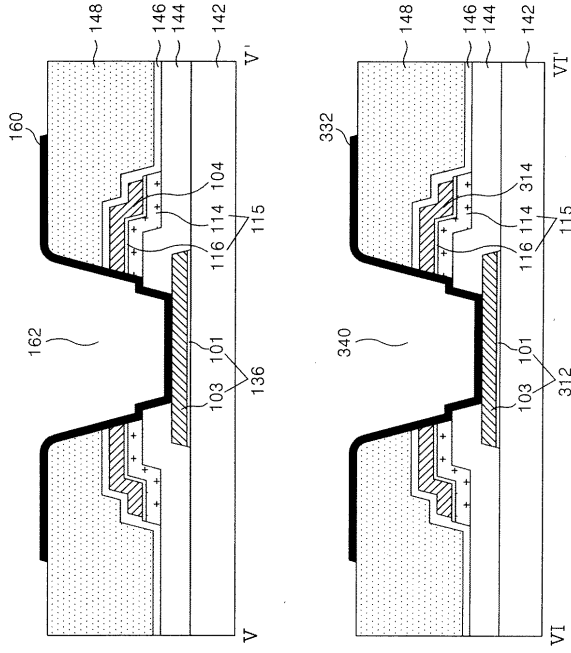


【 17 A 】

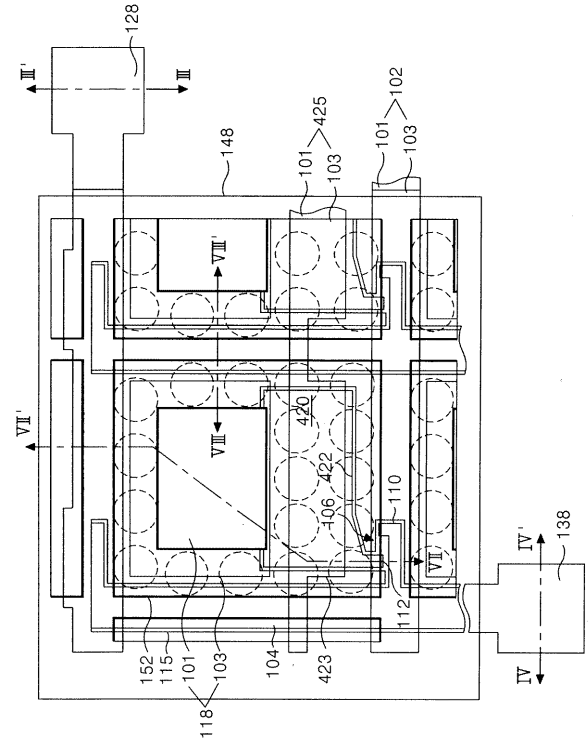




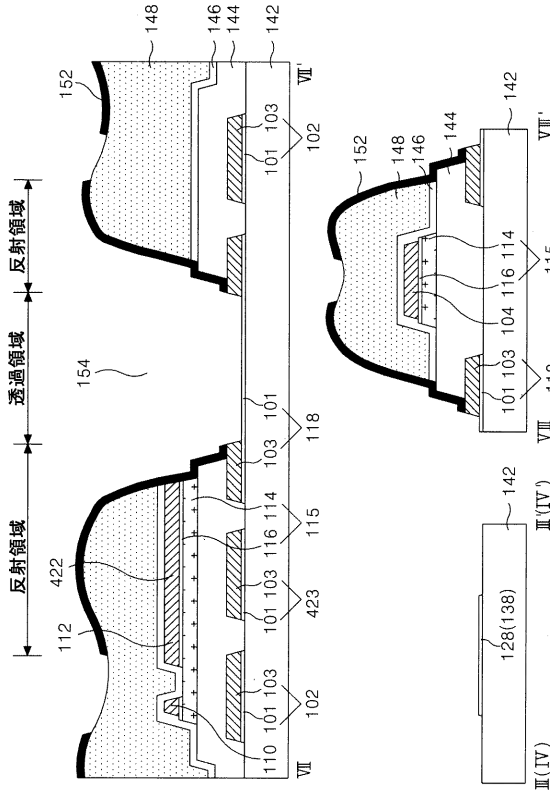
【図 19 B】



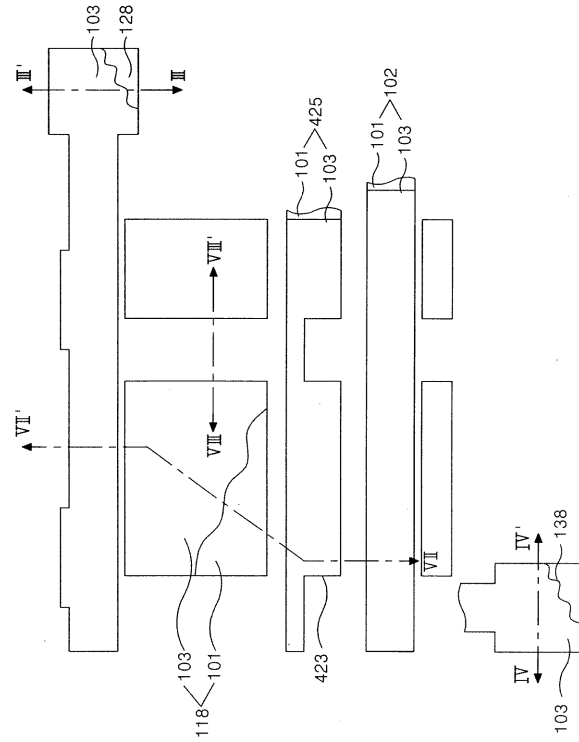
【図 20】



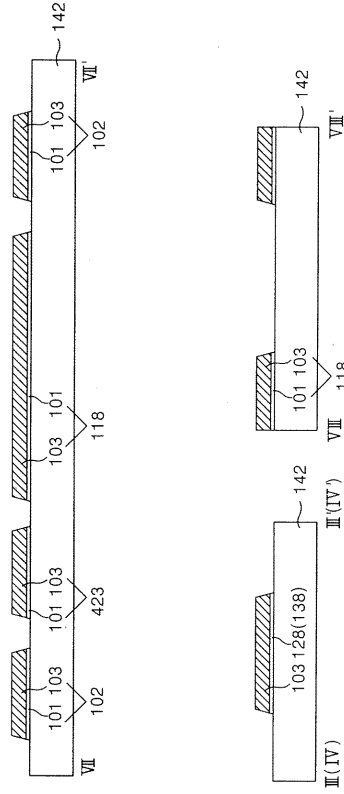
【図 21】



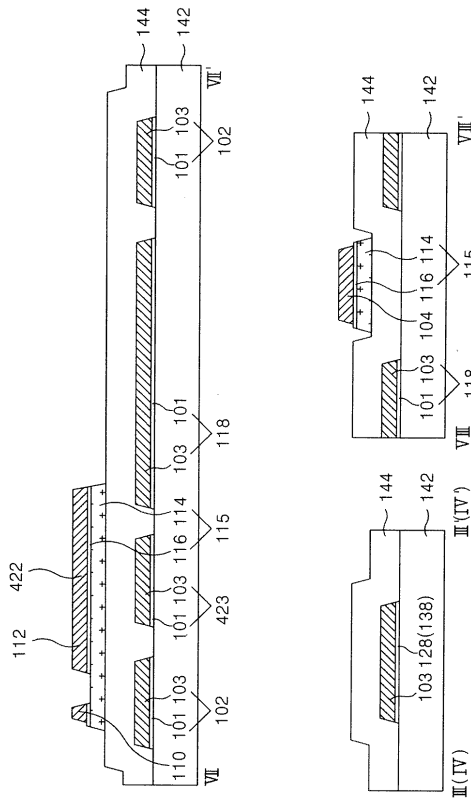
【図 22 A】



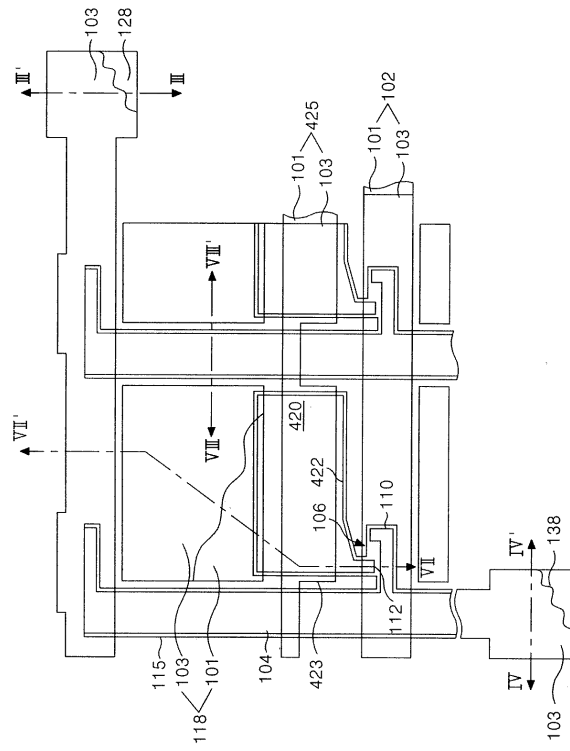
【 2 2 B 】



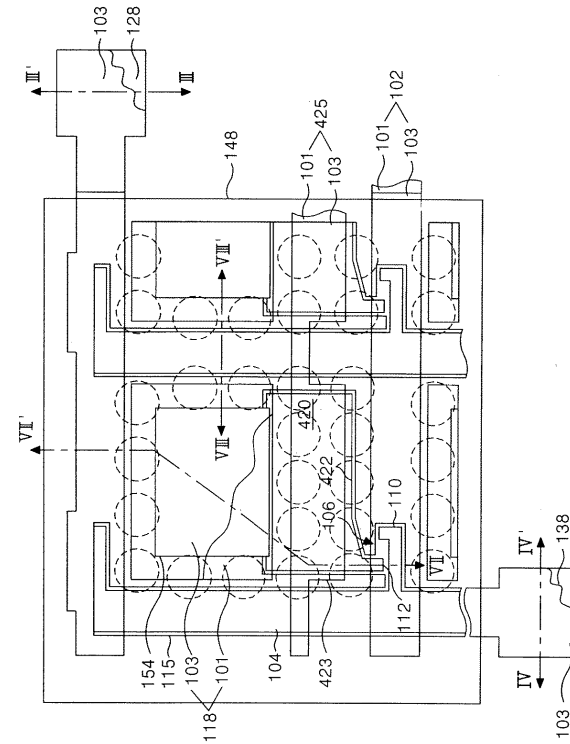
【 2 3 B 】



【 2 3 A 】



【 2 4 A 】





## フロントページの続き

(74)代理人 100101498

弁理士 越智 隆夫

(74)代理人 100096688

弁理士 本宮 照久

(74)代理人 100104352

弁理士 朝日 伸光

(74)代理人 100128657

弁理士 三山 勝巳

(72)発明者 安 炳 哲

大韓民国 京畿道 安養市 東安區 坪村洞 899-2番地 ヒャンチョン アパート 203  
- 903号

審査官 吉野 公夫

(56)参考文献 特開平02-019840(JP,A)

特開2004-046223(JP,A)

特開2004-101792(JP,A)

特開2002-182239(JP,A)

特開2005-346088(JP,A)

特表2005-530348(JP,A)

国際公開第03/107434(WO,A1)

特開2002-141512(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1343

G02F 1/1368

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	<a href="#">JP3923501B2</a>	公开(公告)日	2007-06-06
申请号	JP2005165246	申请日	2005-06-06
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji.菲利普斯杜天公司, 有限公司		
当前申请(专利权)人(译)	Eruji.菲利普斯杜天公司, 有限公司		
[标]发明人	安炳哲		
发明人	安炳哲		
IPC分类号	G02F1/1368 G02F1/1343 G02F1/136 G02F1/1335 G02F1/1362		
CPC分类号	G02F1/1362 G02F1/133555 G02F2001/136231		
FI分类号	G02F1/1368 G02F1/1343 G02F1/1335.520		
F-TERM分类号	2H091/FA15Y 2H091/FA16Y 2H091/FD04 2H091/GA02 2H091/GA13 2H091/JA03 2H091/LA12 2H091/LA30 2H092/GA17 2H092/GA19 2H092/GA28 2H092/GA43 2H092/HA05 2H092/JA26 2H092/JA40 2H092/JA45 2H092/JB08 2H092/JB56 2H092/JB65 2H092/JB66 2H092/JB69 2H092/JB79 2H092/MA17 2H092/MA37 2H092/NA07 2H092/NA27 2H191/FA31 2H191/FA31Y 2H191/FC10 2H191/GA19 2H191/LA13 2H191/LA21 2H191/NA13 2H191/NA32 2H191/NA34 2H191/NA37 2H192/AA24 2H192/BC64 2H192/BC72 2H192/BC82 2H192/CB05 2H192/CB46 2H192/CC32 2H192/CC44 2H192/DA02 2H192/DA23 2H192/DA43 2H192/DA72 2H192/EA43 2H192/EA68 2H192/FA35 2H192/GA31 2H192/HA44 2H291/FA31Y 2H291/FC10 2H291/GA19 2H291/LA13 2H291/LA21 2H291/NA13 2H291/NA32 2H291/NA34 2H291/NA37		
代理人(译)	白井伸一 朝日 伸光		
优先权	1020040041142 2004-06-05 KR		
其他公开文献	JP2005346087A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

公开了一种简化的工艺, 并且提供一种半透射型液晶显示装置和其制造方法, 其允许在透过区域的开口率的增加。本发明的液晶显示装置, 包括栅极线和一个透明的第一导电层和所述不透明的第二导电层被堆叠二元结构, 在交叉结构和通过栅绝缘膜与所述栅极线形成, 并限定具有透射区域和反射区域中, 连接到栅极线和数据线的薄膜晶体管的像素区域的数据线, 在所述像素区域形成在第一导电层和所述第一导电层的端部具有沿层叠的第二导电层, 像素电极对面的栅极线和栅极绝缘膜重叠, 通过上存储电极, 以形成存储电容器, 覆盖薄膜晶体管的栅绝缘膜的有机膜和形成在反射区域用于暴露漏电极和薄膜晶体管的存储电极的侧表面的发射孔, 经由传输孔的边缘部, 漏极集电极和和用于连接到所述像素电极的第二导电层的上存储电极的反射电极。点域4

