

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3881160号
(P3881160)

(45) 発行日 平成19年2月14日(2007.2.14)

(24) 登録日 平成18年11月17日(2006.11.17)

(51) Int.Cl.

F I

G O 2 F 1/1368 (2006.01)

G O 2 F 1/1368

G O 9 F 9/30 (2006.01)

G O 9 F 9/30 3 3 8

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 1 6 T

H O 1 L 29/78 6 1 8 C

請求項の数 7 (全 11 頁)

(21) 出願番号 特願2000-193453 (P2000-193453)
 (22) 出願日 平成12年6月27日(2000.6.27)
 (65) 公開番号 特開2002-14371 (P2002-14371A)
 (43) 公開日 平成14年1月18日(2002.1.18)
 審査請求日 平成16年8月11日(2004.8.11)

(73) 特許権者 595059056
 株式会社アドバンスト・ディスプレイ
 熊本県菊池郡西合志町御代志997番地
 (74) 代理人 100073759
 弁理士 大岩 増雄
 (72) 発明者 橋口 隆史
 熊本県菊池郡西合志町御代志997番地
 株式会社アドバンスト・ディスプレイ内
 (72) 発明者 山口 偉久
 熊本県菊池郡西合志町御代志997番地
 株式会社アドバンスト・ディスプレイ内
 (72) 発明者 中川 直紀
 熊本県菊池郡西合志町御代志997番地
 株式会社アドバンスト・ディスプレイ内

最終頁に続く

(54) 【発明の名称】 T F Tアレイ基板およびこれを用いた液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

絶縁性基板上に複数本形成されたゲート電極を備えたゲート配線、上記ゲート配線と交差する複数本のソース電極を備えたソース配線、上記ゲート電極上にゲート絶縁膜を介して設けられた半導体層と、この半導体層に接続された上記ソース電極及びドレイン電極よりなる薄膜トランジスタ、上記ドレイン電極から延びたドレイン配線に接続された画素電極を備えたT F Tアレイ基板において、
上記薄膜トランジスタのソース電極と上記ドレイン電極が対向するチャンネル幅の方向が上記ゲート配線と平行な方向に設けられ、上記ドレイン配線は上記ソース配線と平行な方向に延びており、また、上記半導体層はこれに重なる上記ドレイン電極および上記ドレイン配線の部分では、上記チャンネル部分を除いて上記ドレイン電極および上記ドレイン配線の形状に沿って形成されており、上記半導体層およびこれに重なる上記ドレイン配線の上記ゲート電極端を跨ぐ部分の幅を、上記薄膜トランジスタのチャンネル幅である上記ドレイン電極幅よりも狭く設けたことを特徴とするT F Tアレイ基板。

【請求項2】

ドレイン電極およびドレイン配線は、ゲート電極上において半導体層と重ならない部分を有することを特徴とする請求項1記載のT F Tアレイ基板。

【請求項3】

絶縁性基板上に複数本形成されたゲート電極を備えたゲート配線、上記ゲート配線と交差する複数本のソース電極を備えたソース配線、上記ゲート電極上にゲート絶縁膜を介し

10

20

て設けられた半導体層と、この半導体層に接続された上記ソース電極及びドレイン電極よりなる薄膜トランジスタ、上記ドレイン電極に接続された画素配線を有する画素電極を備えたＴＦＴアレイ基板において、

上記ドレイン電極は上記ゲート電極上にのみ設けられ、上記半導体層およびこれに重なる上記画素配線の上記ゲート電極端を跨ぐ部分の幅を、上記薄膜トランジスタのチャネル幅である上記ドレイン電極幅よりも狭く設けたことを特徴とするＴＦＴアレイ基板。

【請求項４】

ドレイン電極および画素配線は、ゲート電極上において半導体層と重ならない部分を有することを特徴とする請求項３記載のＴＦＴアレイ基板。

【請求項５】

絶縁性基板上に複数本形成されたゲート電極を備えたゲート配線、上記ゲート配線と交差する複数本のソース電極を備えたソース配線、上記ゲート電極上にゲート絶縁膜を介して設けられた半導体層と、この半導体層に接続された上記ソース電極及びドレイン電極よりなる薄膜トランジスタ、上記ドレイン電極に接続された画素配線を有する画素電極を備えたＴＦＴアレイ基板において、

上記ドレイン電極は上記ゲート電極上にのみ設けられ、上記画素配線の上記ゲート電極端を跨ぐ部分の幅を、上記薄膜トランジスタのチャネル幅である上記ドレイン電極幅よりも狭く設けたことを特徴とするＴＦＴアレイ基板。

【請求項６】

ドレイン電極は、ゲート電極上において半導体層と重ならない部分を有することを特徴とする請求項５記載のＴＦＴアレイ基板。

【請求項７】

請求項１～請求項６のいずれか一項に記載のＴＦＴアレイ基板と、透明電極およびカラーフィルタ等を有する対向電極基板または透明電極を有する対向電極基板の間に液晶が配置されていることを特徴とする液晶表示装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、薄膜トランジスタ（以後ＴＦＴと記す）をスイッチング素子として搭載したアクティブマトリクス型のＴＦＴアレイ基板およびこれを用いた液晶表示装置に関する。

【０００２】

【従来の技術】

従来のＴＦＴアレイ基板の構造を図７を用いて説明する。図７（ａ）は従来のＴＦＴアレイ基板の１画素を示す平面図、図７（ｂ）はスイッチング素子であるＴＦＴ部を示す平面図、図７（ｃ）は図７（ｂ）中Ｄ－Ｄ'で示す部分の断面図である。図において、１は透明絶縁性基板、２は透明絶縁性基板１上に複数本形成されたゲート配線およびこのゲート配線に備えられたゲート電極、３はゲート配線２と交差する複数本のソース電極を備えたソース配線、５はゲート電極２上にゲート絶縁膜４を介して設けられた半導体層であり、この半導体層５に接続されたソース電極７及びドレイン電極６によりＴＦＴが構成されている。また、８は透明導電膜よりなる画素電極で、層間絶縁膜９に設けられたコンタクトホール１０を介してドレイン電極６に接続されている。なお、１１はチャネル幅を示している。

以下に、従来のＴＦＴアレイ基板の製造方法を簡単に説明する。まず、透明絶縁性基板１上に、スパッタ法等によりＣｒ等からなる金属膜を堆積後、写真製版法等によりパターンニングし、ゲート電極を備えたゲート配線２を形成する。次に、プラズマＣＶＤ法等によりゲート絶縁膜４と半導体層５を連続して堆積し、半導体層５をパターンニングした後、金属膜を堆積しドレイン電極６、ソース電極７およびソース配線３を形成する。次に、ＴＦＴを覆うように窒化シリコン等よりなる層間絶縁膜９を成膜し、コンタクトホール１０を形成後、スパッタ法等によりＩＴＯ等の透明導電膜よりなる画素電極８を形成し、ＴＦＴアレイ基板が完成する。

10

20

30

40

50

【 0 0 0 3 】

【 発明が解決しようとする課題 】

液晶表示装置は、上記の T F T アレイ基板と対向電極基板の間に配置された液晶を、アレイ基板上の画素電極 8 と対向電極に印加した電圧で制御することにより映像表示を行うものである。この時、画素電極 8 への印加電圧が表示エリア内で異なると、輝度ムラやショットムラ、フリッカー等の表示不良を起こす。

図 8 に画素電極電圧と各信号電圧の関係を示す。図において、A はゲート電極電圧、B は画素電極電圧、C はソース電極電圧を示している。ゲート電極電圧 A が T F T をオンさせる充電期間に、画素電極電圧 B がソース電極 7 に印加され、ドレイン電極 6 を介して画素電極 8 に伝達される。画素電極電圧 B は充電期間中にソース電極電圧 C に到達しているが、充電期間から保持期間へゲート電極電圧 A がターンオフするとき、容量カップリング等により画素電極電圧 B が低下している。この画素電極 8 の電圧降下はフィードスルー電圧 D であり、以下の式で簡易的に表せられる。なお、式中、 V_{gd} : フィードスルー電圧、 C_{gd} : ゲート電極とドレイン電極の寄生容量、 C_s : 画素電極の補助容量、 C_{lc} : 液晶容量をそれぞれ示している。

$$V_{gd} = V \times C_{gd} / (C_{lc} + C_s + C_{gd})$$

【 0 0 0 4 】

表示エリア内でフィードスルー電圧に差が起る原因のひとつに、ゲート電極 2 とドレイン電極 6 の寄生容量（以下 C_{gd} と記す）の変動がある。画素や T F T がマトリクス状に配置されているアレイ基板は、写真製版法を用いて各パターンを形成しており、複数のショットを適用して 1 つの工程が完了する。各ショットにおいて写真製版装置のアライメントずれが生じた場合、ゲート電極 2、半導体層 5、ソース電極 7 およびドレイン電極 6 等のパターン配置関係が各ショット間で異なる。このためゲート電極 2 とドレイン電極 6 の重なり面積によって決定される C_{gd} がショット間で異なり、その結果各ショット間でフィードスルー電圧に差が生じ、ショットムラやフリッカー等が視認され易くなる。また、ゲート電極電圧 A がターンオフされるまで、ゲート電極 2 上のドレイン電極 6 の外部に形成された半導体層 5 がドレイン電極 6 と同電位になり、これも C_{gd} 変動に寄与している。

図 7 に示す従来の T F T 構造では、T F T のチャンネル幅 1 1 に平行な方向へのアライメントずれによるゲート配線 2 とドレイン電極 6 および半導体層 5 の重なり面積の変動は小さいが、チャンネル幅 1 1 に垂直な方向へのアライメントずれに対しては配慮がなされておらず面積の変動が大きいという問題があった。さらに、従来構造では、ゲート配線 2 に対する負荷容量が大きく、低減することが望ましかった。

また、例えば特開平 2 - 1 0 3 3 1 号公報では、ゲート電極により生じる段差部上でゲート絶縁膜を介して設けられるドレイン電極の段差部上の長さを、他の部分のドレイン電極幅よりも狭くすることにより、段差部に起因する上下層の短絡発生を低減した T F T アレイ基板が提案されているが、同段差部上の半導体層の幅については記載されていなかった。

【 0 0 0 5 】

本発明は、上記のような問題点を解消するためになされたもので、アレイ基板製造工程における写真製版装置のアライメントずれに起因するショットムラやフリッカー等の表示不良が低減されると共に、ゲート配線に対する負荷容量が低減される高開口率の T F T アレイ基板およびこれを用いた液晶表示装置を得ることを目的とする。

【 0 0 0 6 】

【 課題を解決するための手段 】

本発明に係わる T F T アレイ基板は、絶縁性基板上に複数本形成されたゲート電極を備えたゲート配線と、このゲート配線と交差する複数本のソース電極を備えたソース配線と、ゲート電極上にゲート絶縁膜を介して設けられた半導体層と、この半導体層に接続されたソース電極及びドレイン電極よりなる薄膜トランジスタと、ドレイン電極から延びたドレイン配線に接続された画素電極を備えた T F T アレイ基板において、薄膜トランジスタのソース電極とドレイン電極が対向するチャンネル幅の方向がゲート配線と平行な方向に設

10

20

30

40

50

けられ、ドレイン配線はソース配線と平行な方向に延びており、また、半導体層はこれに重なるドレイン電極およびドレイン配線の部分では、チャンネル部分を除いてドレイン電極およびドレイン配線の形状に沿って形成されており、半導体層およびこれに重なるドレイン配線のゲート電極端を跨ぐ部分の幅を、薄膜トランジスタのチャンネル幅であるドレイン電極幅よりも狭く設けたものである。

さらに、ドレイン電極およびドレイン配線は、ゲート電極上において半導体層と重ならない部分を有するものである。

【 0 0 0 7 】

また、絶縁性基板上に複数本形成されたゲート電極を備えたゲート配線と、このゲート配線と交差する複数本のソース電極を備えたソース配線と、ゲート電極上にゲート絶縁膜を介して設けられた半導体層と、この半導体層に接続されたソース電極及びドレイン電極よりなる薄膜トランジスタと、ドレイン電極に接続された画素配線を有する画素電極を備えた T F T アレイ基板において、ドレイン電極はゲート電極上にのみ設けられ、半導体層およびこれに重なる画素配線のゲート電極端を跨ぐ部分の幅を、薄膜トランジスタのチャンネル幅であるドレイン電極幅よりも狭く設けたものである。

さらに、ドレイン電極および画素配線は、ゲート電極上において半導体層と重ならない部分を有するものである。

【 0 0 0 8 】

また、絶縁性基板上に複数本形成されたゲート電極を備えたゲート配線と、このゲート配線と交差する複数本のソース電極を備えたソース配線と、ゲート電極上にゲート絶縁膜を介して設けられた半導体層と、この半導体層に接続されたソース電極及びドレイン電極よりなる薄膜トランジスタと、ドレイン電極に接続された画素配線を有する画素電極を備えた T F T アレイ基板において、ドレイン電極はゲート電極上にのみ設けられ、画素配線のゲート電極端を跨ぐ部分の幅を、薄膜トランジスタのチャンネル幅であるドレイン電極幅よりも狭く設けたものである。

さらに、ドレイン電極は、ゲート電極上において半導体層と重ならない部分を有するものである。

【 0 0 0 9 】

また、本発明に係わる液晶表示装置は、上記いずれかの T F T アレイ基板と、透明電極およびカラーフィルタ等を有する対向電極基板または透明電極を有する対向電極基板の間に液晶が配置されているものである。

【 0 0 1 0 】

【 発明の実施の形態 】

実施の形態 1 .

以下に、本発明の実施の形態を図面に基づいて説明する。図 1 (a) は、本発明の実施の形態 1 における T F T アレイ基板のスイッチング素子である T F T 部を示す平面図、図 1 (b) は図 1 (a) 中 A - A ' で示す部分の断面図である。図において、1 は透明絶縁性基板、2 は透明絶縁性基板 1 上に複数本形成されたゲート配線およびこのゲート配線に備えられたゲート電極、3 はゲート配線 2 と交差する複数本のソース配線で、ソース電極 7 を備えている。5 はゲート電極 2 上にゲート絶縁膜 4 を介して設けられた半導体層であり、この半導体層 5 に接続されたソース電極 7 及びドレイン電極 6 により T F T が構成されている。また、8 は透明導電膜よりなる画素電極で、層間絶縁膜 9 に設けられたコンタクトホール 10 を介してドレイン電極 6 から延びたドレイン配線 6 a に接続されている。また、11 は T F T のチャンネル幅を示している。本実施の形態では、図 1 (a) に示すように、T F T のソース電極 7 とドレイン電極 6 が対向するチャンネル幅 11 の方向が、ゲート配線 2 と平行な方向に設けられ、ドレイン配線 6 a はソース配線 3 と平行な方向に延びている。また、半導体層 5 はこれに重なるドレイン電極 6 およびドレイン配線 6 a の部分では、チャンネル部分を除いてドレイン電極 6 およびドレイン配線 6 a の形状に沿って形成されており、半導体層 5 およびこれに重なるドレイン配線 6 a のゲート電極 2 端を跨ぐ部分の幅を、T F T のチャンネル幅 11 であるドレイン電極 6 の幅よりも狭く設けたものであ

10

20

30

40

50

る。

【0011】

本実施の形態におけるTFTアレ基板の製造方法を簡単に説明する。まず、透明絶縁性基板1上に、スパッタ法等によりCr等からなる金属膜を堆積後、写真製版法等によりレジストを露光後パターニングし、ゲート電極を備えたゲート配線2を形成する。次に、プラズマCVD法等によりゲート絶縁膜4と半導体層5を連続して堆積し、半導体層5をパターニングした後、Cr等からなる金属膜をスパッタ法等により堆積し、ドレイン電極6及びドレイン配線6a、ソース配線3およびソース電極7を形成する。次に、TFTを覆うように窒化シリコン等よりなる層間絶縁膜9を成膜し、ドレイン配線6aと画素電極8を接続するコンタクトホール10を形成後、スパッタ法等によりITO等の透明導電膜を成膜し、画素電極8をパターン形成して本実施の形態におけるTFTアレ基板が完成する。さらに、このTFTアレ基板と、透明電極およびカラーフィルタ等を有する対向電極基板または透明電極を有する対向電極基板の間に液晶を配置することにより、本実施の形態における液晶表示装置が得られる。

10

【0012】

本実施の形態では、半導体層5およびこれに重なるドレイン配線6aのゲート電極2端を跨ぐ部分の幅を、TFTのチャンネル幅11であるドレイン電極6の幅よりも狭く設けた。これにより、ゲート電極2、ドレイン電極6およびソース電極7をパターン形成する際に用いる写真製版装置のアライメントずれにより生じる各ショット間のゲート電極2とドレイン電極6の重なり面積の差が、従来のTFT構造(図7(b)参照)に比べ小さくなるため、フィードスルー電圧のパラメータであるCgdの変動を低減でき、ショットムラやフリッカー等の表示不良の発生を抑制できる。また、Cgdに寄与するゲート電極2端を跨ぐ半導体層5の幅も狭く設けることにより、Cgd変動を防ぐことができる。特に、従来のTFT構造では、チャンネル幅に平行な方向のアライメントずれしか考慮されていなかったが、本実施の形態では垂直方向のアライメントずれを考慮したことにより、あらゆる方向のアライメントずれによるCgdの変動を低減できるものである。

20

なお、ゲート電極2上に形成された半導体層5はCgdに寄与しており、図1(a)中L1で示すドレイン電極6の一辺と半導体層5の一辺の距離について、L1が約5μm以上になると半導体層5に起因するフィードスルー電圧が急激に増加するため、L1は5μm以下に設計することが望ましい。

30

また、従来のTFT構造では、ドレイン電極6がゲート絶縁膜4を介してゲート電極2端を跨ぐ段差部分において、ゲート電極2とドレイン電極6の短絡が発生しやすいという問題があったが、本実施の形態ではドレイン配線6aを採用することにより段差部分におけるドレイン電極の幅を狭くしたので、短絡の発生確率が減少し、さらにドレイン配線6aの膜厚を厚くすることにより断線も防止できる。

【0013】

実施の形態2.

図2は、本発明の実施の形態2におけるTFTアレ基板のスイッチング素子であるTFT部を示す平面図である。図中、同一、相当部分には同一符号を付し、説明を省略する。本実施の形態では、上記実施の形態1と同様に、半導体層5およびこれに重なるドレイン配線6aのゲート電極2端を跨ぐ部分の幅を、TFTのチャンネル幅11であるドレイン電極6の幅よりも狭く設け、さらに、ドレイン電極6およびドレイン配線6aがゲート電極2上において半導体層5と重ならない部分を有するようにした。これにより、ゲート電極2上においてドレイン電極6からはみ出した半導体層5の面積を上記実施の形態1よりも小さくしている。

40

【0014】

上記実施の形態1に示したTFT構造(図1(a))では、ゲート電極2上において、ドレイン電極6からはみ出した半導体層5の面積が大きいため、フィードスルー電圧に影響を与える可能性がある。そこで、本実施の形態では、ゲート電極2上においてドレイン電極6及びドレイン配線6aの一部を半導体層5と重ならないように配置し、ドレイン電極

50

6からはみ出した半導体層5すなわちドレイン電極6と同電位になる半導体層5の面積を小さくすることで、フィードスルー電圧のパラメーターである C_{gd} の値がドレイン電極6とゲート電極2の重なり面積でほぼ決定されるようにしたものである。

【0015】

本実施の形態によれば、上記実施の形態1と同様の効果に加え、ドレイン電極6からはみ出した半導体層5の面積を小さくすることにより、 C_{gd} に寄与するドレイン電極6からはみ出した半導体層5とゲート電極2で形成される容量を小さくすることができるため、フィードスルー電圧の増加を抑制でき、ショットムラやフリッカーの発生をさらに抑制できる。

【0016】

10

実施の形態3.

図3(a)は、本発明の実施の形態3におけるTF Tアレ基板のスイッチング素子であるTF T部を示す平面図、図3(b)は図3(a)中B - B'で示す部分の断面図である。図において、8aは画素電極8から延びてドレイン電極6に接続された画素配線である。なお、図中、同一、相当部分には同一符号を付している。また、本実施の形態におけるTF Tアレ基板の製造方法は、画素配線8aを有する画素電極8をパターン形成し、コンタクトホール10にてドレイン電極6と画素配線8aを接続する以外は上記実施の形態1とほぼ同様であるため説明を省略する。

【0017】

本実施の形態では、TF Tのドレイン電極6をゲート電極2上の半導体層5上に設け、このドレイン電極6上にコンタクトホール10を設け、ドレイン電極6と画素配線8aを電氣的に接続したTF Tアレ基板において、ドレイン電極6はゲート電極2上にのみ設けられ、半導体層5およびこれに重なる画素配線8aのゲート電極2端を跨ぐ部分の幅を、TF Tのチャネル幅11であるドレイン電極6の幅よりも狭く設けたものである。これにより、従来のTF T構造(図7(b)参照)に比べ、写真製版装置のアライメントずれにより生じる各ショット間のゲート電極2とドレイン電極6(および画素配線8a)の重なり面積の差が小さくなるため、フィードスルー電圧のパラメータである C_{gd} の変動を低減でき、ショットムラやフリッカーの発生を抑制できる。

20

なお、ゲート電極2上に形成された半導体層5は C_{gd} に寄与しており、図3(a)中L2で示すドレイン電極6の一辺と半導体層5の一辺の距離について、L2が約 $5\mu m$ 以上になると半導体層5に起因するフィードスルー電圧が急激に増加するため、L2は $5\mu m$ 以下に設計することが望ましい。

30

【0018】

実施の形態4

図4は、本発明の実施の形態4におけるTF Tアレ基板のスイッチング素子であるTF T部を示す平面図である。図中、同一、相当部分には同一符号を付し、説明を省略する。本実施の形態では、上記実施の形態3と同様に、半導体層5およびこれに重なる画素配線8aのゲート電極2端を跨ぐ部分の幅を、TF Tのチャネル幅11であるドレイン電極6の幅よりも狭く設け、さらに、ドレイン電極6および画素配線8aがゲート電極2上において半導体層5と重ならない部分を有するようにした。これにより、ゲート電極2上においてドレイン電極6および画素配線8aからはみ出した半導体層5の面積を上記実施の形態3よりも小さくしている。

40

本実施の形態によれば、上記実施の形態3と同様の効果に加え、 C_{gd} の要因となるドレイン電極6および画素配線8aからはみ出した半導体層5とゲート電極2で形成される容量を小さくすることができるため、フィードスルー電圧の増加を抑制でき、ショットムラやフリッカーの発生をさらに抑制できる。

【0019】

実施の形態5.

図5(a)は、本発明の実施の形態5におけるTF Tアレ基板のスイッチング素子であるTF T部を示す平面図、図5(b)は図5(a)中C - C'で示す部分の断面図であ

50

る。図中、同一、相当部分には同一符号を付し説明を省略する。

本実施の形態では、TFTのドレイン電極6をゲート電極2上の半導体層5上に設け、このドレイン電極6上にコンタクトホール10を設け、ドレイン電極6と画素配線8aを電氣的に接続したTFTアレイ基板において、ドレイン電極6はゲート電極2上にのみ設けられ、画素配線8aのゲート電極2端を跨ぐ段差部分の幅を、TFTのチャンネル幅11であるドレイン電極6の幅よりも狭く設けたものである。これにより、従来のTFT構造(図7(b)参照)に比べ、写真製版装置のアライメントずれにより生じる各ショット間のゲート電極2とドレイン電極6(および画素配線8a)の重なり面積の差が小さくなるため、フィードスルー電圧のパラメータであるCgd変動を低減でき、ショットムラやフリッカーの発生を抑制できる。

10

なお、ゲート電極2上に形成された半導体層5はCgdに寄与しており、図5(a)中L3で示すドレイン電極6の一辺と半導体層5の一辺の距離について、L3が約5 μ m以上になると半導体層5に起因するフィードスルー電圧が急激に増加するため、L3は5 μ m以下に設計することが望ましい。

【0020】

実施の形態6.

図6は、本発明の実施の形態6におけるTFTアレイ基板のスイッチング素子であるTFT部を示す平面図である。図中、同一、相当部分には同一符号を付し、説明を省略する。

本実施の形態では、上記実施の形態5と同様に、画素配線8aのゲート電極2端を跨ぐ部分の幅を、TFTのチャンネル幅11であるドレイン電極6の幅よりも狭く設け、さらに、ドレイン電極6がゲート電極2上において半導体層5と重ならない部分を有するようにした。これにより、ゲート電極2上においてドレイン電極6からはみ出した半導体層5の面積を上記実施の形態5よりも小さくしている。

20

本実施の形態によれば、上記実施の形態5と同様の効果に加え、Cgdに寄与するドレイン電極6からはみ出した半導体層5とゲート電極2で形成される容量を小さくすることができるため、フィードスルー電圧の増加を抑制でき、ショットムラやフリッカーの発生をさらに抑制できる。

【0021】

なお、上記実施の形態1～実施の形態6におけるドレイン電極6、ドレイン配線6aおよび画素配線8a、半導体層5の形状は、図に示す形状に限定されるものではなく、ドレイン配線6aまたは画素配線8aのゲート電極2端を跨ぐ部分の幅がTFTのチャンネル幅11であるドレイン電極6の幅よりも狭く設けられていれば、任意のパターンでも同様の効果が期待できる。

30

また、TFTを形成するゲート電極2、半導体層5およびドレイン電極6のパターンを設計するにあたり、ショット間のアライメントずれ発生によるフィードスルー電圧の変化を約150mV以下にすることが望ましい。

また、本発明は上記実施の形態1～実施の形態6で説明したTFT構造にのみ適用されるものではなく、例えば、ゲート配線から突起状に引き出されたゲート電極上にドレイン電極およびソース電極を形成して構築したTFTにおいても、ゲート電極による段差部上の画素と電氣的に接続されているドレイン配線または画素配線等の金属パターンと半導体層の幅をTFTのチャンネル幅よりも狭く設けることにより、同様の効果が得られる。

40

【0022】

【発明の効果】

以上のように、本発明によれば、絶縁性基板上に複数本形成されたゲート電極を備えたゲート配線と、このゲート配線と交差する複数本のソース電極を備えたソース配線と、ゲート電極上にゲート絶縁膜を介して設けられた半導体層と、この半導体層に接続されたソース電極及びドレイン電極よりなる薄膜トランジスタと、ドレイン電極から延びたドレイン配線に接続された画素電極を備えたTFTアレイ基板において、薄膜トランジスタのソース電極とドレイン電極が対向するチャンネル幅の方向がゲート配線と平行な方向に設けら

50

れ、ドレイン配線はソース配線と平行な方向に延びており、また、半導体層はこれに重なるドレイン電極およびドレイン配線の部分では、チャンネル部分を除いてドレイン電極およびドレイン配線の形状に沿って形成されており、半導体層およびこれに重なるドレイン配線のゲート電極端を跨ぐ部分の幅を、薄膜トランジスタのチャンネル幅であるドレイン電極幅よりも狭く設けたので、ゲート配線、ドレイン電極およびソース電極をパターン形成する際に用いる写真製版装置のアライメントずれにより生じる各ショット間のゲート電極とドレイン電極の重なり面積の差が小さくなり、これによりフィードスルー電圧のパラメータであるゲート電極とドレイン電極の寄生容量の変動を低減できるため、ショットムラやフリッカー等の表示不良の発生を抑制できると共に、ゲート配線に対する負荷容量が低減される高開口率のＴＦＴアレイ基板を得ることができる。

10

【００２３】

また、ドレイン電極およびドレイン配線がゲート電極上において半導体層と重ならない部分を有するようにし、これによりゲート電極上においてドレイン電極およびドレイン配線からはみ出した半導体層の面積を小さくしたので、ドレイン電極からはみ出した半導体層とゲート電極で形成される容量が小さくなり、フィールドスルー電圧にほとんど影響を与えないため、ショットムラやフリッカー等の表示不良の発生をさらに抑制できる。また、本発明によれば、従来のＴＦＴ構造よりもゲート配線に対する負荷容量を低減することができる。さらに、画素配線を採用することにより、従来よりも高開口率のＴＦＴアレイ基板を得ることができ、表示特性に優れた液晶表示装置が得られる。

【図面の簡単な説明】

20

【図１】 本発明の実施の形態１であるＴＦＴアレイ基板の構造を示す平面図および断面図である。

【図２】 本発明の実施の形態２であるＴＦＴアレイ基板の構造を示す平面図である。

【図３】 本発明の実施の形態３であるＴＦＴアレイ基板の構造を示す平面図および断面図である。

【図４】 本発明の実施の形態４であるＴＦＴアレイ基板の構造を示す平面図である。

【図５】 本発明の実施の形態５であるＴＦＴアレイ基板の構造を示す平面図および断面図である。

【図６】 本発明の実施の形態６であるＴＦＴアレイ基板の構造を示す平面図である。

【図７】 従来のＴＦＴアレイ基板の構造を示す平面図および断面図である。

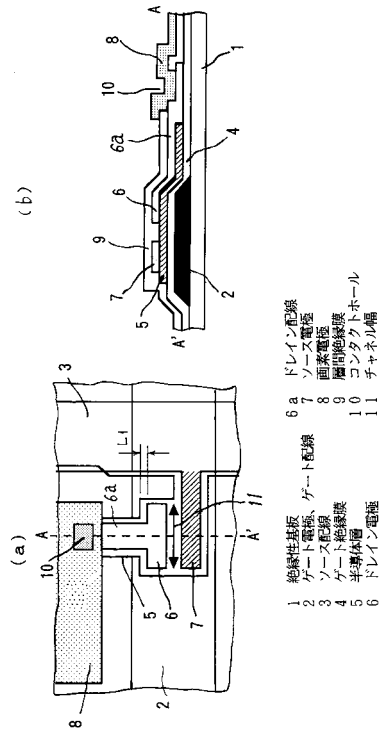
30

【図８】 画素電極電圧と各信号電圧の関係を示す図である。

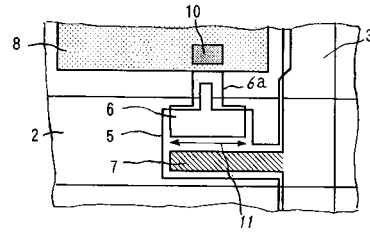
【符号の説明】

１ 透明絶縁性基板、２ ゲート電極およびゲート配線、３ ソース配線、
 ４ ゲート絶縁膜、５ 半導体層、６ ドレイン電極、６ a ドレイン配線、
 ７ ソース電極、８ 画素電極、８ a 画素配線、９ 層間絶縁膜、
 １０ コンタクトホール、１１ チャンネル幅。

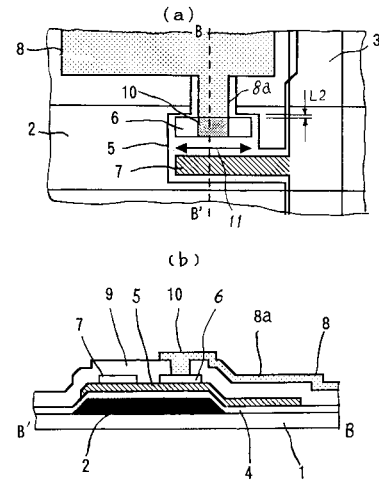
【図 1】



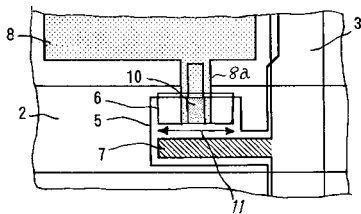
【図 2】



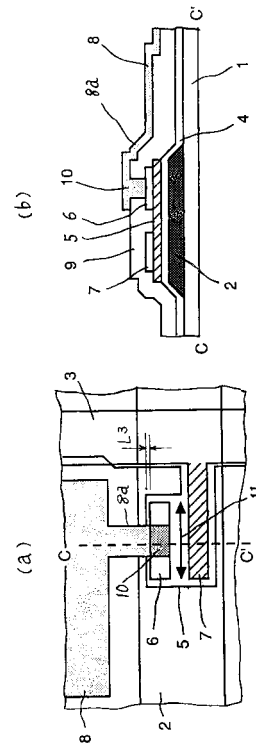
【図 3】



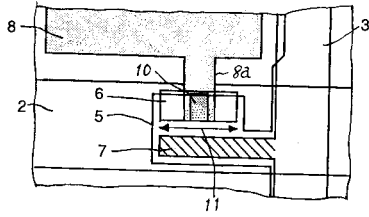
【図 4】



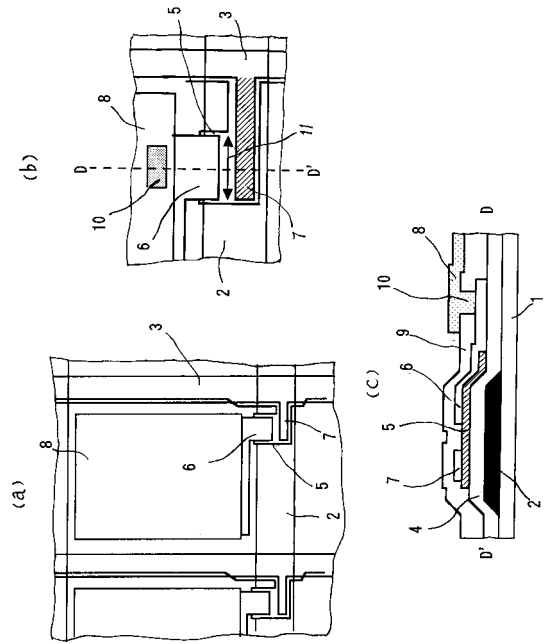
【図 5】



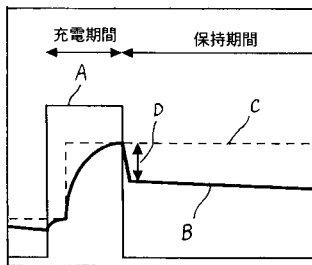
【図 6】



【図 7】



【図 8】



フロントページの続き

審査官 藤田 都志行

- (56)参考文献 特開平11-084428(JP,A)
特開平02-285326(JP,A)
特開平07-094753(JP,A)
特開平02-018967(JP,A)
特開昭63-005378(JP,A)
特開2000-196098(JP,A)
特開平07-147411(JP,A)
特開平08-330592(JP,A)
特開平11-087717(JP,A)
特開平10-282520(JP,A)
特開昭62-291062(JP,A)
特開昭61-166172(JP,A)
特開昭64-082674(JP,A)
特開2000-012869(JP,A)
特開2000-022156(JP,A)
特開2000-081640(JP,A)
実開平03-090439(JP,U)
実開平02-044724(JP,U)
特開平02-010331(JP,A)
特開平01-282523(JP,A)
特開昭63-202719(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368

G09F 9/30

H01L 29/786

专利名称(译)	TFT阵列基板和使用其的液晶显示装置		
公开(公告)号	JP3881160B2	公开(公告)日	2007-02-14
申请号	JP2000193453	申请日	2000-06-27
申请(专利权)人(译)	有限公司高级显示		
当前申请(专利权)人(译)	有限公司高级显示		
[标]发明人	橋口隆史 山口偉久 中川直紀		
发明人	橋口 隆史 山口 偉久 中川 直紀		
IPC分类号	G02F1/1368 G09F9/30 H01L29/786 G02F1/136 G02F1/1343 H01L27/12 H01L29/423		
CPC分类号	G02F1/1368 H01L27/12 H01L29/42384		
FI分类号	G02F1/1368 G09F9/30.338 H01L29/78.616.T H01L29/78.618.C G02F1/136.500		
F-TERM分类号	2H092/JA26 2H092/JA29 2H092/JA30 2H092/JA32 2H092/JA36 2H092/JA42 2H092/JA44 2H092/JA46 2H092/JB23 2H092/JB38 2H092/JB56 2H092/NA01 2H092/NA23 2H192/AA24 2H192/BC31 2H192/CB05 2H192/CB44 2H192/CC04 2H192/CC42 2H192/DA72 2H192/EA43 2H192/GA42 5C094/AA42 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA13 5C094/EA04 5C094/EA05 5C094/EA07 5C094/EB02 5C094/ED02 5F110/AA02 5F110/AA30 5F110/CC07 5F110/EE04 5F110/EE44 5F110/FF30 5F110/GG23 5F110/GG26 5F110/GG45 5F110/HK04 5F110/HK33 5F110/HL07 5F110/HM02 5F110/HM05 5F110/NN02 5F110/NN24 5F110/NN72 5F110/QQ09		
其他公开文献	JP2002014371A		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了获得TFT阵列基板，其中不会发生由于制造过程中的光刻设备的未对准而导致的诸如喷丸不均匀和闪烁的显示缺陷。 解决方案：半导体层5的宽度和漏极布线6a的与栅电极2的端部重叠的部分的宽度设置得比作为薄膜晶体管的沟道宽度15的漏电极6的宽度窄。结果，由用于形成栅极布线2，漏极电极6和源极电极7的图案的光刻设备的未对准引起的每次发射之间的栅电极2和漏电极6之间的重叠面积的差异对应于传统的TFT。由于变化小于结构（图8）的变化，并且可以减小作为穿透电压的参数的栅电极和漏电极的寄生电容，所以可以抑制诸如喷射不均匀和闪烁的显示缺陷的发生。

【图2】

