

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

**特許第3861895号
(P3861895)**

(45) 発行日 平成18年12月27日(2006.12.27)

(24) 登録日 平成18年10月6日(2006.10.6)

(51) Int.Cl.

F I

GO2F 1/1343 (2006.01)

GO2F 1/1343

GO2F 1/1368 (2006.01)

GO2F 1/1368

GO2F 1/1335 (2006.01)

GO2F 1/1335 520

GO2F 1/1335 500

請求項の数 6 (全 12 頁)

(21) 出願番号 特願2004-260873 (P2004-260873)
 (22) 出願日 平成16年9月8日(2004.9.8)
 (65) 公開番号 特開2006-78643 (P2006-78643A)
 (43) 公開日 平成18年3月23日(2006.3.23)
 審査請求日 平成18年8月2日(2006.8.2)

早期審査対象出願

(73) 特許権者 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100113077
 弁理士 高橋 省吾
 (74) 代理人 100112210
 弁理士 稲葉 忠彦
 (74) 代理人 100108431
 弁理士 村上 加奈子
 (74) 代理人 100128060
 弁理士 中鶴 一隆
 (72) 発明者 升谷 雄一
 東京都千代田区丸の内二丁目2番3号 三
 菱電機株式会社内

最終頁に続く

(54) 【発明の名称】 半透過型液晶表示装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

画素領域にバックライト光を透過させる透過領域と外部から入射した周囲光を反射させる反射領域とを液晶を駆動させる薄膜トランジスタとともに絶縁性基板上に配して構成される半透過型液晶表示装置において、

前記絶縁性基板上に形成された第1の導電膜からなるゲート電極を備えた複数のゲート配線と補助容量電極を備えた補助容量配線、

前記第1の導電膜上に第1の絶縁膜を介して形成され、前記ゲート配線と交差する第2の導電膜からなるソース電極を備えた複数のソース配線およびドレイン電極、

前記ドレイン電極から延びて形成され、前記反射領域を形成する反射画素電極、

前記第2の導電膜上に第2の絶縁膜を介して形成された、前記透過領域を形成する透過画素電極を備えたTFTアレイ基板と、

前記TFTアレイ基板と対向して配された対向電極とブラックマトリクスを有する対向基板と、を備え、

前記ソース配線と前記反射画素電極とは、所定の間隔を保持して配置され、

前記第2の絶縁膜上に、少なくとも前記ソース配線と対向して形成される前記反射画素電極の端部から、前記ブラックマトリクスが配設される境界に対応する位置まで形成されたコントラスト低下防止電極を備えたことを特徴とする半透過型液晶表示装置。

【請求項2】

画素領域にバックライト光を透過させる透過領域と外部から入射した周囲光を反射させる

10

20

反射領域とを液晶を駆動させる薄膜トランジスタとともに絶縁性基板上に配して構成される半透過型液晶表示装置において、

前記絶縁性基板上に形成された第１の導電膜からなるゲート電極を備えた複数のゲート配線と補助容量電極を備えた補助容量配線、

前記第１の導電膜上に第１の絶縁膜を介して形成され、前記ゲート配線と交差する第２の導電膜からなるソース電極を備えた複数のソース配線およびドレイン電極、

前記ドレイン電極から延びて形成され、前記反射領域を形成する反射画素電極、

前記第２の導電膜上に第２の絶縁膜を介して形成された、前記透過領域を形成する透過画素電極を備えたＴＦＴアレイ基板と、

前記ＴＦＴアレイ基板と対向して配された対向電極を有する対向基板と、を備え、

前記ソース配線と前記反射画素電極とは、所定の間隔を保持して配置され、

前記第２の絶縁膜上の前記間隔に、前記透過画素電極と同じ材料で形成されたコントラスト低下防止電極を備えたことを特徴とする半透過型液晶表示装置。

【請求項３】

前記コントラスト低下防止電極は前記透過画素電極と同じ材料で形成されたことを特徴とする請求項１記載の半透過型液晶表示装置。

【請求項４】

前記コントラスト低下防止電極は前記透過画素電極から延在させて形成されたことを特徴とする請求項１または２に記載の半透過型液晶表示装置。

【請求項５】

画素領域にバックライト光を透過させる透過領域と外部から入射した周囲光を反射させる反射領域とを液晶を駆動させる薄膜トランジスタとともに絶縁性基板上に配して構成される半透過型液晶表示装置の製造方法において、

前記絶縁性基板上に第１の導電膜からなるゲート電極を備えた複数のゲート配線と補助容量電極を備えた補助容量配線を形成する工程、

前記第１の導電膜上に第１の絶縁膜を介して、前記ゲート配線と交差する第２の導電膜からなるソース電極を備えた複数のソース配線およびドレイン電極と、前記ドレイン電極から延びて、前記反射領域に反射画素電極を形成する工程と、

前記第２の導電膜上に第２の絶縁膜を介して、前記透過領域に透過画素電極を形成する工程を含み、

前記ソース配線と前記反射画素電極とが所定の間隔を保持して配置され、前記第２の絶縁膜上の前記間隔にコントラスト低下防止電極を形成する工程を含むことを特徴とする半透過型液晶表示装置の製造方法。

【請求項６】

前記コントラスト低下防止電極を形成する工程は、透過画素電極を形成する工程と同一工程であることを特徴とする請求項５記載の半透過型液晶表示装置の製造方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、ＯＡ機器等の画像、文字情報の表示装置として用いられるアクティブマトリクス方式の液晶表示装置に関し、特に画素領域に光を透過する透過領域と周囲光を反射する反射画素電極を有する半透過型液晶表示装置、およびその製造方法に関するものである。

【背景技術】

【０００２】

従来の一般的な半透過型液晶表示装置に用いられるＴＦＴ（薄膜トランジスタ）アレイ基板の各画素には、表示面の背面に設置したバックライト光を透過させるための透過領域と、液晶層に入射した周囲光を反射させるための反射領域が設けられる。

【０００３】

このような半透過型液晶表示装置用ＴＦＴ基板において、反射領域を構成する反射画素電極と、ソース電極を備えたソース配線およびドレイン電極を同一層に形成して、製造工程

10

20

30

40

50

を簡略化する構造および製造方法が開示されている（例えば 特許文献 1 参照）。

【 0 0 0 4 】

下記特許文献 1 に開示された半透過型液晶表示装置において、当該公報図 1、図 2 に示すように、ソース配線 6 3 と反射画素電極 6 5 とを同一層に設けた場合、両者の短絡による欠損を防止するために、ソース配線 6 3 と反射画素電極 6 5 との間隔を保持して形成しなければならない。この間隔の最下層には補助容量電極および補助容量配線 2 4 を形成している。このため、T F T アレイ基板と対向する対向基板に設けられた対向電極（図示なし）と、補助容量電極および補助容量配線 2 4 が対向する。

【 0 0 0 5 】

【特許文献 1】特願 2 0 0 4 - 1 1 0 2 9 9 号（第 3 - 7 頁、図 1 - 2）

10

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 6 】

しかしながら、特許文献 1 に記載の T F T アレイ基板の構造においては、補助容量電極および補助容量配線 2 4 と対向電極は同電位であるため、この保持した間隔に存在する液晶層には電界が加わらない。このため、表示面から入射してソース配線 6 3 と反射画素電極 6 5 との間における補助容量電極および補助容量配線 2 4 で反射する反射光を電界によって抑制できなくなるため、反射コントラストを低下させるという問題があった。

【 0 0 0 7 】

本発明は上記問題を鑑みてなされたものであり、ソース配線と反射画素電極を同一層に設けた半透過型液晶表示装置において、ソース配線と反射画素電極との両者の間隔を保持して形成した場合であっても反射コントラストが低下しない半透過型液晶表示装置を提供するものである。

20

【課題を解決するための手段】

【 0 0 0 8 】

本発明の半透過型液晶駆動装置は、絶縁性基板上に形成された第 1 の導電膜からなるゲート電極を備えた複数のゲート配線と補助容量電極を備えた補助容量配線、前記第 1 の導電膜上に第 1 の絶縁膜を介して形成され、前記ゲート配線と交差する第 2 の導電膜からなるソース電極を備えた複数のソース配線およびドレイン電極、前記ドレイン電極から延びて形成され、反射領域を形成する反射画素電極、前記第 2 の導電膜上に第 2 の絶縁膜を介して形成された、透過領域を形成する透過画素電極を備えた T F T アレイ基板と、前記 T F T アレイ基板と対向して配された、対向電極とブラックマトリクスを有する対向基板とを備え、前記ソース配線と前記反射画素電極とは、所定の間隔を保持して配置され、前記第 2 の絶縁膜上に、少なくとも前記ソース配線と対向して形成される前記反射画素電極の端部から、前記ブラックマトリクスが配設される境界に対応する位置まで形成されたコントラスト低下防止電極を備えたことを特徴としている。

30

【発明の効果】

【 0 0 0 9 】

本発明における半透過型液晶表示装置の構成によれば、ソース配線と反射画素電極との間隔にコントラスト低下防止電極を設けたので、コントラスト低下防止電極と対向電極との間の液晶層に電界が印加され、補助容量電極からの反射光が表示面に射出することがなく、反射コントラストの高い良好な表示特性を得ることができる。

40

【発明を実施するための最良の形態】

【 0 0 1 0 】

以下、本発明の半透過型液晶表示装置を構成する T F T アレイ基板および T F T アレイ基板の製造方法についての実施の形態を図面に基づいて説明する。各図において同一の符号は、同一または実質的に同一の構成として説明を省略する。

【 0 0 1 1 】

実施の形態 1 .

図 1 は、本発明に係る T F T アレイ基板の概略構成を示す平面図、図 2 は図 1 に示す T

50

F Tアレイ基板の矢視 A - A 線 (ソース配線部および反射領域 : S)、矢視 B - B 線 (透過領域 : T)、矢視 C - C 線 (T F T 部) から見た断面図、図 3 は本発明の T F T アレイ基板の製造方法について説明するための断面図、図 4 は本発明の T F T アレイ基板の製造方法について説明するための平面図である。

【 0 0 1 2 】

図 1 において、T F T アレイ基板 1 0 上に設けられた各画素は、光を透過させる透過領域 T と、液晶層に入射した周囲光を反射させる反射領域 S で構成されている。

【 0 0 1 3 】

図 1、図 2 において、ガラス基板等の透明絶縁性基板 1 上には、第 1 の導電膜からなるゲート電極 2 1 を備えたゲート配線 2 2、バックライトからのもれ光を防止するため、および一定期間電圧を保持するために、第 1 の補助容量電極 2 3 および第 2 の補助容量電極 2 5 を備えた補助容量配線 2 4 が形成され、この上層に第 1 の絶縁膜 3 が設けられる。ゲート電極 2 1 上には、第 1 の絶縁膜 (ゲート絶縁膜) 3 を介して半導体層である半導体能動膜 4 およびオーミックコンタクト膜 5 が形成されている。このオーミックコンタクト膜 5 は中央部が除去されて 2 つの領域に分割され、一方には第 2 の導電膜からなるソース電極 6 1、他方には同様に第 2 の導電膜からなるドレイン電極 6 2 が積層されている。これらの半導体能動膜 4 とソース電極 6 1 およびドレイン電極 6 2 によりスイッチング素子である T F T 6 4 が構成されている。

【 0 0 1 4 】

また、ソース電極 6 1 から延びたソース配線 6 3 が、第 1 の絶縁膜 3 を介してゲート配線 2 2 と交差するように設けられる。また、この交差部およびソース配線 6 3 には、耐電圧を向上させるために半導体能動膜 4 およびオーミックコンタクト膜 5 を残存させる。

【 0 0 1 5 】

反射領域 S はドレイン電極 6 2 から延びた反射画素電極 6 5 で形成されている。すなわち、反射画素電極 6 5 は第 2 の導電膜を用いて形成されており、このため、第 2 の導電膜としては、少なくともその表面層に反射率の高い金属膜を有する薄膜が用いられる。また、反射画素電極 6 5 とソース配線 6 3 との短絡による欠陥を防止するために、反射画素電極 6 5 はソース配線 6 3 から所定の間隔 L (好ましくは $5 \mu\text{m} \sim 10 \mu\text{m}$ 程度) を保持して配置する。

【 0 0 1 6 】

上記構成要素を覆うように第 2 の絶縁膜 7 を設け、反射画素電極 6 5 上の第 2 の絶縁膜 7 の一部を除去してコンタクトホール 8 1 を形成する。その上層に透過率の高い導電膜 (以下、透明導電膜と称す) からなる透過画素電極 9 1 が形成され、透過領域 T を形成する。透過画素電極 9 1 はコンタクトホール 8 1 を介して反射画素電極 6 5 と電気的に接続され、さらに反射画素電極 6 5 を介してドレイン電極 6 2 と電気的に接続されている。また、反射画素電極 6 5 とソース配線 6 3 との間隔 L 上には、第 2 の絶縁膜 7 を介して透明導電膜でコントラスト低下防止電極 9 5 を配置する。本実施の形態において、コントラスト低下防止電極 9 5 はソース配線 6 3 に沿うように、ソース配線 6 3 とほぼ平行に形成する。

【 0 0 1 7 】

次に、本実施の形態 1 における半透過型液晶表示装置の製造工程について、図 3 および図 4 を用いて説明する。

【 0 0 1 8 】

まず、図 3 (a) および図 4 (a) に示すように、ガラス基板等の透明絶縁性基板 1 を洗浄して表面を浄化した後、この透明絶縁性基板 1 上にスパッタリング法等により第 1 の導電膜を成膜して、パターンニングを行う。第 1 の導電膜としては、例えばクロム (C r)、モリブデン (M o)、タンタル (T a)、チタン (T i) またはアルミニウム (A l) これらを主成分とする合金等からなる薄膜が用いられる。本実施の形態では、第 1 の導電膜として膜厚 400 nm のクロム膜を成膜する。

【 0 0 1 9 】

なお、第1の導電膜上には、後述の工程でドライエッチングによりコンタクトホール81が形成され、コンタクトホール81内には電氣的接続を得るための導電性薄膜（透明導電膜）が形成されるため、表面酸化が生じにくい金属薄膜や酸化されても導電性を有する金属薄膜を第1の導電膜として用いることが好ましい。また、第1の導電膜としてAl系の材料を用いる場合は、表面酸化による導電性の劣化を防止するために、表面に窒化Al膜を形成するか、Cr、Mo、Ta、Tiなどの膜を形成すればよい。

【0020】

次に、第一の写真製版工程にて第1の導電膜をパターニングし、ゲート電極21、ゲート配線22、第1の補助容量電極23および補助容量配線24、第2の補助容量電極25を形成する。第1の補助容量電極23は反射領域Sのほぼ全面に形成し、第2の補助容量電極25は後述するソース配線63に沿うように形成する。写真製版工程では、基板を洗浄後、感光性レジストを塗布、乾燥したのちに、所定のパターンが形成されたマスクを通して露光し、現像することにより基板上にマスクパターンを転写したレジストを形成し、感光性レジストを加熱硬化させたのちに第1の導電膜のエッチングを行い、その後感光性レジストを剥離する。

10

【0021】

なお、第1の導電膜のエッチングは、公知のエッチャントを用いてウエットエッチング法で行うことができる。例えば、第1の導電膜がクロムで構成されている場合には、第二硝酸セリウムアンモニウムおよび硝酸が混合された水溶液が用いられる。また、第1の導電膜のエッチングにおいては、パターンエッジの段差部における絶縁膜のカバレッジを向上させて他の配線との段差部での短絡を防止するために、パターンエッジ断面が台形状のテーパ形状となるようにテーパエッチングすることが好ましい。

20

【0022】

次に、図3(b)および図4(b)に示すように、プラズマCVD法等により第1の絶縁膜3、半導体能動膜4、オーミックコンタクト膜5を連続して成膜し、パターニングを行う。ゲート絶縁膜となる第1の絶縁膜3としては、SiNx膜、SiOy膜、SiOzNw膜のいずれかの単層膜もしくはこれらを積層した多層膜が用いられる（なお、x、y、z、wはそれぞれ化学量論組成を表す正数である）。第1の絶縁膜3の膜厚は、薄い場合にはゲート配線22とソース配線63の交差部で短絡を生じやすく、厚い場合にはTFTのON電流が小さくなり表示特性が低下することから、第1の導電膜より厚く形成するが、なるべく薄くすることが好ましい。また、第1の絶縁膜3はピンホール等の発生による層間ショートを防止するために、複数回に分けて成膜することが好ましい。本実施の形態では、膜厚300nmのSiN膜を成膜した後、さらに膜厚100nmのSiN膜を成膜することにより、膜厚400nmのSiN膜を第1の絶縁膜3として形成する。

30

【0023】

半導体能動膜4としては、アモルファスシリコン(a-Si)膜、ポリシリコン(p-Si)膜等が用いられる。半導体能動膜4の膜厚は、薄い場合には後述するオーミックコンタクト膜5のドライエッチング時に膜の消失が発生し、厚い場合にはTFTのON電流が小さくなることから、オーミックコンタクト膜5のドライエッチング時におけるエッチング量の制御性と、必要とするTFTのON電流値を考慮して選択する。本実施の形態1では、半導体能動膜4として膜厚150nmのa-Si膜を成膜する。

40

【0024】

オーミックコンタクト膜5としては、a-Siにリン(P)を微量にドーピングしたn型a-Si膜、あるいはn型p-Si膜が用いられる。本実施の形態では、オーミックコンタクト膜5として膜厚30nmのn型a-Si膜を成膜する。

【0025】

次に、第二の写真製版工程にて、半導体能動膜4およびオーミックコンタクト膜5を少なくともTFT部が形成される部分に残存するようにパターニングする。なお、半導体能動膜4およびオーミックコンタクト膜5はTFT部が形成される部分の他に、ゲート配線22とソース配線63が交差する部分およびソース配線63が形成される部分にも残存さ

50

せることにより、耐電圧を大きくすることができる。なお、半導体能動膜 4 およびオーミックコンタクト膜 5 のエッチングは、公知のガス組成（例えば、 SF_6 と O_2 の混合ガスまたは CF_4 と O_2 の混合ガス）を用いてドライエッチング法で行うことができる。

【0026】

次に、図 3 (c) および図 4 (c) に示すように、スパッタリング法等により第 2 の導電膜を成膜してパターニングを行う。第 2 の導電膜としては、例えばクロム、モリブデン、タンタル、チタンまたはこれらを主成分とする合金を第 1 層 6 a、アルミニウム、銀 (Ag) またはこれらを主成分とする合金を第 2 層 6 b とした薄膜を用いて形成する。第 1 層 6 a は、オーミックコンタクト層 5 および第 1 の絶縁層 3 の上に、これらに直接接触するように成膜され、第 2 層 6 b をこの第 1 層 6 a 上にそれに直接接触するように重ねて成膜する。第 2 の導電膜はソース配線 6 3 および反射画素電極 6 5 として用いられるため、配線抵抗および表面層の反射特性を考慮して構成することが必要である。本実施の形態では、第 2 の導電膜の第 1 層 6 a として膜厚 100 nm のクロム膜、その第 2 層 6 b として膜厚 300 nm の AlCu 膜を成膜する。

10

【0027】

次に、第三の写真製版工程にて第 2 の導電膜をパターニングし、ソース電極 6 1 を備えたソース配線 6 3、ドレイン電極 6 2 を備えた反射画素電極 6 5 を形成する。ドレイン電極 6 2 と反射画素電極 6 5 は同一層で連続して形成されているため、ドレイン電極 6 2 と反射画素電極 6 5 は同一層内で電氣的に接続されている。第 2 の導電膜のエッチングは、公知のエッチャントを用いてウエットエッチング法で行うことができる。

20

【0028】

続いて、TFT 部のオーミックコンタクト膜 5 の中央部をエッチング除去し、半導体能動膜 4 を露出させる。オーミックコンタクト膜 5 のエッチングは、公知のガス組成（例えば、 SF_6 と O_2 の混合ガスまたは CF_4 と O_2 の混合ガス）を用いてドライエッチング法で行うことができる。

【0029】

また、コンタクトホール 8 1 を形成する部分の AlCu にて形成した第 2 層 6 b を除去し、コンタクトエリア 6 6 を形成する。第三の写真製版工程の際に、除去部分のフォトリソ厚が薄く仕上がるようにハーフトーン露光などの方法を用いて露光し、オーミックコンタクト膜 5 のドライエッチング後に酸素プラズマ等を用いてレジストの減膜処理することにより除去部のレジストのみを除去し、AlCu のウエットエッチングを行うことで形成できる。これにより、透明導電膜とコンタクトする第 2 の導電膜の表面は、第 1 層 6a のクロムとなり、良好な導電率を持つコンタクトが得られる。

30

【0030】

ここで、ハーフトーン露光のプロセスについて説明する。ハーフトーン露光では、ハーフトーンのマスク、例えば、マスクの Cr パターンに濃淡を持たせたマスクを介して露光することにより、露光強度を調整してフォトリソの残存膜厚を制御する。その後、まず、フォトリソが完全に除去されている部分の膜のエッチングを行う。次に、フォトリソを酸素プラズマ等を用いて減膜処理することにより、残存膜厚が少ない部分のフォトリソが除去される。次に、フォトリソの残存膜厚が少なかった部分（フォトリソが除去されている）で膜のエッチングを行う。これにより、1 回の写真製版工程により 2 工程分のパターニングが可能となる。

40

【0031】

第 2 の導電膜の表面に、窒化アルミ合金 (AlCuN) 等を形成した場合は、反射率は若干低下するが、後述する透明導電膜 9 1 との良好なコンタクトが得られるため、前記コンタクトエリア 6 6 を形成する工程は省略することが出来る。

【0032】

次に、プラズマ CVD 法等により第 2 の絶縁膜 7 を成膜する。第 2 の絶縁膜 7 としては、第 1 の絶縁膜 3 と同様の材質により形成することができ、膜厚は下層パターンのカバレッジを考慮して決めることが好ましい。本実施の形態では、第 2 の絶縁膜 7 として膜厚 5

50

00nmのSiN膜を成膜する。

【0033】

次に、第四の写真製版工程にて第2の絶縁膜7をパターニングし、反射画素電極65上にコンタクトホール81を形成する。第2の絶縁膜7のエッチングは、公知のエッチャントを用いてウエットエッチング法、もしくは公知のガス組成を用いてドライエッチング法で行うことができる。

【0034】

次に、図3(d)および図4(d)に示すように、スパッタリング法等により透明導電膜を成膜して、パターニングを行う。透明導電膜としてはITO、 SnO_2 などを用いることができ、特に化学的安定性の観点からITOを用いることが好ましい。なお、ITOは、結晶化ITOまたはアモルファスITO(a-ITO)のいずれでもよいが、a-ITOを用いた場合は、パターニング後、結晶化温度180℃以上に加熱して結晶化させる必要がある。本実施の形態では、透明導電膜として膜厚80nmのa-ITOを成膜する。

【0035】

次に、第五の写真製版工程にて透明導電膜をパターニングし、透過領域Tに透過画素電極91を形成する。パターニング時のずれ等を考慮し、反射領域Sと透過領域Tとの境界部において、透過画素電極91は、第2の絶縁膜7を介して反射画素電極65と一部重なるように形成する。境界部以外の反射領域Sには透明導電膜を形成しないようにし、反射率が低下することを防止する。また、透明導電膜と第1の絶縁膜3および第2の絶縁膜7との間の電圧の減少が防止されるため、透過画素電極91と反射画素電極65の電圧をほぼ同電位とすることができる。また、反射画素電極65と透過画素電極91の接続部にあたるコンタクトホール81の側壁部は透明導電膜により被覆される。

【0036】

本実施の形態では、反射画素電極65とソース配線63との間隔L上に、第2の絶縁膜7を介して、反射コントラストの低下を防止するためのコントラスト低下防止電極95を透明導電膜で形成する。コントラスト低下防止電極95は、ソース配線63に沿って、第1の補助容量電極23上に重なる位置に、ソース配線63とほぼ平行に形成する。また、図1に示すように、少なくとも前記ソース配線と対向して形成される前記反射画素電極の端部から、TFTアレイ基板と対向して配置される対向基板(後述)のブラックマトリクスが配設される境界Rに対応する位置まで形成する。コントラスト低下防止電極95は第1の絶縁膜3および第2の絶縁膜7を介して反射画素電極65の一部と重なる位置に形成してもよい。なお、コントラスト低下防止電極95は透過画素電極91より延在させて形成することで、製造工程を簡略化することができる。

【0037】

このようにして形成されたTFTアレイ基板10は、その後のセル化工程において配向膜が塗布され、一定の方向にラビング処理が施される。同様に、TFTアレイ基板と対向する対向基板(図示せず)は、他の透明絶縁性基板上に画素領域を包囲するブラックマトリクスを備え、この包囲された領域にカラーフィルタを形成する。カラーフィルタの上層には保護膜、対向透明電極等を堆積し、配向膜が塗布されラビング処理が施される。これらのTFTアレイ基板10と対向基板とを互いの配向膜が向き合うようにスペーサを介して重ね合わせ、基板周縁部をシール材にて接着し、両基板間に液晶を封止する。このようにして形成された液晶セルの両面に偏光板を貼り付けた後、背面にバックライトユニットに取り付けることにより、半透過型液晶表示装置が完成する。

【0038】

なお、対向基板における、TFTアレイ基板上の反射領域Sと対向する部分には、透明有機膜を形成し、反射領域Sの液晶層の厚みが透過領域Tより薄くなるようにすることで、反射と透過の電気光学特性を合わせやすくすることができる。

【0039】

図5は従来のTFTアレイ基板の断面図と、このTFTアレイ基板と対向する対向基板の断面図、図6は図1に示すTFTアレイ基板の矢視A-A線から見た断面図と、このTFT

10

20

30

40

50

Tアレイ基板と対向する対向基板の断面図である。

【0040】

図5、図6を用いて本発明の動作を説明する。図5、図6において、TFTアレイ基板10と対向して配置される対向基板110は、対向用透明絶縁性基板101上に遮光のためのブラックマトリクス120、カラーフィルタ121、オーバーコート層130、対向透明電極195が形成されて成る。

【0041】

図5に示すように、従来の半透過型液晶表示装置に、一般的なノーマリーホワイトモード(電界の印加が無いときに白表示となるモード)を採用した際に電界を印加すると、ソース配線63と反射画素電極65との間に設けた間隔Lに形成した補助容量電極23と、対向する対向電極基板110上の対向電極195とがほぼ同電位となり、この部分の液晶層100には電界が加わらず常に白表示状態となってしまう。

10

【0042】

よって図中Dに示すよう表示面111(周囲光入射面)から入った光は、補助容量電極23で反射して、再び表示面111へ出射してしまい、反射コントラスト低下の原因となってしまう。本発明においては図6に示すように、ソース配線63と反射画素電極65との間隔L上に少なくとも前記ソース配線と対向して形成される前記反射画素電極の端部から、対向基板のブラックマトリクスが配設される境界Rに対応する位置まで、第1の絶縁膜3および第2の絶縁膜7を介してコントラスト低下防止電極95を設けることで、コントラスト低下防止電極95と対向電極195との間の液晶層100に電界が印加されるため、間隔Lからの補助容量電極23の反射光が表示面111に出射することがなく、反射コントラストの高い良好な表示特性を得ることができる。

20

【0043】

以上のように、本発明における半透過型液晶表示装置は、ソース配線63と反射画素電極65との間隔Lにコントラスト低下防止電極95を設けたので、コントラスト低下防止電極95と対向電極195との間の液晶層100に電界が印加され、上記間隔Lに設けた補助容量電極23からの反射光が表示面111に出射することがなく、反射コントラストの高い良好な表示特性を得ることができる。

【0044】

また、コントラスト低下防止電極95は透過画素電極91と電気的に接続し、対向電極195との間に電界を印加する構成であればよく、透過画素電極91と別工程、もしくは別の材料で形成させてもよい。本実施の形態のように透過画素電極91から延びて形成させることにより、製造工程を増やすことなく形成することができる。

30

【0045】

図7は本実施の形態の変形例を示す図である。図7の平面図に示すように、本変形例の反射画素電極65は第1の絶縁膜3を介して補助容量電極23を重ねる位置に形成される。間隔Lには、第2の絶縁膜7を介してコントラスト低下防止電極95を形成する。その他の構成は図1、2と同様である。

【0046】

本変形例において、反射画素電極65は、第1の絶縁膜3を介して補助容量電極23を重ねる位置に形成し、ソース配線63と反射画素電極65との間隔Lにコントラスト低下防止電極95を設けたので、コントラスト低下防止電極95と対向電極との間の液晶層に電界が印加されるため、間隔Lからバックライト光が表示面に出射することを防止でき、反射および透過コントラストの高い良好な表示特性を得ることができ、ソース配線63と第1の補助容量電極23との間の容量を低減することができ、低消費電力化が可能となる。

40

【0047】

図8は本実施の形態の他の変形例を示す図である。図8の平面図に示すように、本変形例の補助容量電極23をソース配線63の下部まで延ばして形成する。間隔Lには第2の絶縁膜7を介してコントラスト低下防止電極95を形成する。その他の構成は図1、2と同様である。

50

【 0 0 4 8 】

本変形例において、補助容量電極 2 3 をソース配線 6 3 の下部まで延ばして形成し、ソース配線 6 3 と反射画素電極 6 5 との間隔 L にコントラスト低下防止電極 9 5 を設けることにより、コントラスト低下防止電極 9 5 と対向電極の間の液晶層に電界が印加されるため、間隔 L からバックライト光が表示面に出射することがなく、反射および透過コントラストの高い良好な表示特性を得ることができる。なお、補助容量電極 2 3 をソース配線 6 3 の下部まで延ばして形成し、コントラスト低下防止電極 9 5 を延在させて形成することで、ブラックマトリクスを配設して画素領域を包囲する面積を小さくすることができるので、画素開口率を向上させることができる。

【図面の簡単な説明】

10

【 0 0 4 9 】

【図 1】本発明の実施の形態 1 における半透過型液晶表示装置を構成する T F T アレイ基板の画素を示す平面図である。

【図 2】本発明の実施の形態 1 における半透過型液晶表示装置を構成する T F T アレイ基板の断面図である。

【図 3】本発明の実施の形態 1 における半透過型液晶表示装置を構成する T F T アレイ基板の製造プロセスフローを示す断面図である

【図 4】本発明の実施の形態 1 における半透過型液晶表示装置を構成する T F T アレイ基板の製造プロセスフローを示す平面図である

【図 5】従来の半透過型液晶表示装置を構成する T F T アレイ基板および対向基板を示す断面図である。 20

【図 6】本発明の実施の形態 1 における半透過型液晶表示装置を構成する T F T アレイ基板および対向基板を示す断面図である。

【図 7】本発明の実施の形態 1 における半透過型液晶表示装置を構成する T F T アレイ基板の画素を示す平面図である。

【図 8】本発明の実施の形態 1 における半透過型液晶表示装置を構成する T F T アレイ基板の画素を示す平面図である。

【符号の説明】

【 0 0 5 0 】

1 透明絶縁性基板、2 1 ゲート電極、2 2 ゲート配線、2 3 第 1 の補助容量電極、2 4 第 2 の補助容量電極、2 5 補助容量配線、3 第 1 の絶縁膜（ゲート絶縁膜）、4 半導体能動膜、5 オーミックコンタクト膜、6 1 ソース電極、6 2 ドレイン電極、6 3 ソース配線、6 4 T F T、6 5 反射画素電極、6 6 コンタクトエリア、7 第 2 の絶縁膜、8 1 コンタクトホール、9 1 透過画素電極、9 5 コントラスト低下防止電極、1 0 0 液晶層、1 0 1 対向用透明絶縁性基板、1 1 0 対向基板、1 2 0 ブラックマトリクス、1 2 1 カラーフィルタ、1 3 0 オーバーコート層、1 9 5 対向透明電極、T 透過領域、S 反射領域、R ブラックマトリクスが配設される境界 30



フロントページの続き

(72)発明者 永野 慎吾

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 藤田 都志行

(56)参考文献 特開2004-109597(JP,A)
特開2004-046223(JP,A)
特開2003-344840(JP,A)
特開2004-157148(JP,A)
特開2004-240268(JP,A)
特開2004-212532(JP,A)
国際公開第2004/072717(WO,A1)
特開2004-177823(JP,A)
特開2003-330022(JP,A)
特開2006-041161(JP,A)
特開2005-292661(JP,A)
特開2005-292660(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1343
G02F 1/1368
G02F 1/1335 520
G02F 1/1335 500

专利名称(译)	透反液晶显示装置及其制造方法		
公开(公告)号	JP3861895B2	公开(公告)日	2006-12-27
申请号	JP2004260873	申请日	2004-09-08
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机株式会社		
当前申请(专利权)人(译)	三菱电机株式会社		
[标]发明人	升谷雄一 永野慎吾		
发明人	升谷 雄一 永野 慎吾		
IPC分类号	G02F1/1343 G02F1/1368 G02F1/1335		
CPC分类号	G02F1/133555 G02F2001/136218		
FI分类号	G02F1/1343 G02F1/1368 G02F1/1335.520 G02F1/1335.500 G02F1/1335		
F-TERM分类号	2H091/FA15Y 2H091/FA35Y 2H091/FA41Z 2H091/FD04 2H091/FD06 2H091/GA02 2H091/GA13 2H091/LA17 2H092/GA19 2H092/HA04 2H092/HA05 2H092/JA26 2H092/JB08 2H092/JB31 2H092/JB52 2H092/JB69 2H092/MA37 2H092/NA01 2H092/NA23 2H092/NA26 2H092/PA09 2H092/PA12 2H092/PA13 2H191/FA02 2H191/FA02Y 2H191/FA14 2H191/FA14Y 2H191/FA31 2H191/FA31Y 2H191/FC10 2H191/FC32 2H191/FC36 2H191/FD22 2H191/FD26 2H191/GA04 2H191/GA19 2H191/LA22 2H191/NA14 2H191/NA29 2H191/NA34 2H192/AA24 2H192/BA13 2H192/BC31 2H192/BC51 2H192/BC63 2H192/BC72 2H192/CB05 2H192/CC04 2H192/DA12 2H192/EA04 2H192/EA22 2H192/EA43 2H192/GA03 2H291/FA02Y 2H291/FA14Y 2H291/FA31Y 2H291/FC10 2H291/FC32 2H291/FC36 2H291/FD22 2H291/FD26 2H291/GA04 2H291/GA19 2H291/LA22 2H291/NA14 2H291/NA29 2H291/NA34		
代理人(译)	高桥省吾 稻叶忠彦 村上佳菜子		
其他公开文献	JP2006078643A5 JP2006078643A		
外部链接	Espacenet		

摘要(译)

要解决的问题：即使在形成为保持源极布线和反射两者之间的间隙的情况下，在相同层中配备有源极布线和反射像素电极的半透半反液晶显示装置中也不会降低反射对比度。像素电极常数。解决方案：防反射对比度降低的对比度降低防止电极95形成在反射像素电极65和源极布线63之间的间隙L上以及叠加在第一辅助电容电极23上的位置。

