

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3789351号
(P3789351)

(45) 発行日 平成18年6月21日(2006.6.21)

(24) 登録日 平成18年4月7日(2006.4.7)

(51) Int.Cl.

F I

G O 2 F 1/1368 (2006.01)

G O 2 F 1/1368

G O 3 F 7/20 (2006.01)

G O 3 F 7/20 5 O 1

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 6 1 2 D

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 1 2 C

請求項の数 27 (全 49 頁)

(21) 出願番号 特願2001-365907 (P2001-365907)
 (22) 出願日 平成13年11月30日(2001.11.30)
 (65) 公開番号 特開2003-167270 (P2003-167270A)
 (43) 公開日 平成15年6月13日(2003.6.13)
 審査請求日 平成15年11月26日(2003.11.26)

(73) 特許権者 000005108
 株式会社日立製作所
 東京都千代田区丸の内一丁目6番6号
 (74) 代理人 100091096
 弁理士 平木 祐輔
 (72) 発明者 阿部 誠
 茨城県日立市大みか町七丁目1番1号 株
 式会社 日立製作所 日立研究所内
 (72) 発明者 安藤 正彦
 茨城県日立市大みか町七丁目1番1号 株
 式会社 日立製作所 日立研究所内
 (72) 発明者 小村 真一
 茨城県日立市大みか町七丁目1番1号 株
 式会社 日立製作所 日立研究所内

最終頁に続く

(54) 【発明の名称】 反射型液晶表示装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

一対の基板と、該一対の基板に挟持される液晶層と、前記一対の基板の一方に形成され透明性を有する共通信号電極と、前記一対の基板の他方に形成され、複数の走査信号配線と、該走査信号配線と実質的に直交する複数の映像信号配線と、前記走査信号配線と前記映像信号配線との交点付近の少なくとも一部に形成され半導体層とソース電極、ゲート電極及びドレイン電極とを含む薄膜トランジスタと、前記ソース電極に接続される反射型の画素電極とを有する反射型液晶表示装置の製造方法であって、

(a) 前記走査信号配線及び該走査信号配線から延びる前記ゲート電極とを形成するとともに、前記走査信号配線と実質的に平行な方向に延びるとともに、前記映像信号配線の延在方向のピッチが前記走査信号配線と異なる行配線パターンを形成する工程と、

(b) 前記ゲート電極と重畳する位置に半導体層を形成する工程と、

(c) 前記映像信号配線を形成するとともに、前記ゲート電極の両側であって前記半導体層と重畳する位置に前記ソース電極と前記ドレイン電極とを形成して前記薄膜トランジスタを形成する工程と、

(d) 前記薄膜トランジスタを覆う層間絶縁膜を形成し、該層間絶縁膜に前記薄膜トランジスタのソース電極の上面を露出するスルーホールを形成し、前記走査信号配線の前記映像信号配線の延在方向のピッチと同じピッチで前記スルーホールを介して前記ソース電極と接続する前記画素電極を形成する工程と

を含む反射型液晶表示装置の製造方法。

10

20

【請求項 2】

一対の基板と、該一対の基板に挟持される液晶層と、前記一対の基板の一方に形成され透明性を有する共通信号電極と、前記一対の基板の他方に形成され、複数の走査信号配線と、該走査信号配線と実質的に直交する複数の映像信号配線と、前記走査信号配線と前記映像信号配線との交点付近の少なくとも一部に形成され半導体層とソース電極、ゲート電極及びドレイン電極とを含む薄膜トランジスタと、前記ソース電極に接続される反射型の画素電極とを有する反射型液晶表示装置の製造方法であって、

(a) 前記走査信号配線及び該走査信号配線から延びる前記ゲート電極とを形成するとともに、前記映像信号配線の延在方向及び前記走査信号配線の延在方向の少なくともいずれかのピッチが前記ゲート電極と異なる列電極パターンとを形成する工程と、

10

(b) 前記ゲート電極と重畳する位置に半導体層を形成する工程と、

(c) 前記映像信号配線を形成するとともに、前記ゲート電極の両側であって前記半導体層と重畳する位置に前記ソース電極と前記ドレイン電極とを形成して前記薄膜トランジスタを形成する工程と、

(d) 前記薄膜トランジスタを覆う層間絶縁膜を形成し、該層間絶縁膜に前記ソース電極の上面を露出するスルーホールを形成し、前記スルーホールを介して前記ソース電極と接続する画素電極を前記ゲート電極のピッチと同じピッチで形成する工程と

を含む反射型液晶表示装置の製造方法。

【請求項 3】

一対の基板と、該一対の基板に挟持される液晶層と、前記一対の基板の一方に形成され透明性を有する共通信号電極と、前記一対の基板の他方に形成され、複数の走査信号配線と、該走査信号配線と実質的に直交する複数の映像信号配線と、前記走査信号配線と前記映像信号配線との交点付近の少なくとも一部に形成され半導体層とソース電極、ゲート電極及びドレイン電極とを含む薄膜トランジスタと、前記ソース電極に接続される反射型の画素電極とを有する反射型液晶表示装置の製造方法であって、

20

(a) 前記走査信号配線及び該走査信号配線から延びる前記ゲート電極とを形成する工程と、

(b) 前記ゲート電極と重畳する位置に半導体層を形成するとともに、前記映像信号配線の延在方向及び前記走査信号配線の延在方向の少なくともいずれかのピッチが前記半導体層と異なる島状パターンとを形成する工程と、

30

(c) 前記映像信号配線を形成するとともに、前記ゲート電極の両側であって前記半導体層と重畳する位置に前記ソース電極と前記ドレイン電極とを形成して前記薄膜トランジスタを形成する工程と、

(d) 前記薄膜トランジスタを覆う層間絶縁膜を形成し、該層間絶縁膜に前記ソース電極の上面を露出するスルーホールを形成し、前記スルーホールを介して前記ソース電極と接続する画素電極を前記半導体層と同じピッチで形成する工程と

を含む反射型液晶表示装置の製造方法。

【請求項 4】

一対の基板と、該一対の基板に挟持される液晶層と、前記一対の基板の一方に形成され透明性を有する共通信号電極と、前記一対の基板の他方に形成され、複数の走査信号配線と、該走査信号配線と実質的に直交する複数の映像信号配線と、前記走査信号配線と前記映像信号配線との交点付近の少なくとも一部に形成され半導体層とソース電極、ゲート電極及びドレイン電極とを含む薄膜トランジスタと、前記ソース電極に接続される反射型の画素電極とを有する反射型液晶表示装置の製造方法であって、

40

(a) 前記走査信号配線及び該走査信号配線から延びる前記ゲート電極とを形成する工程と、

(b) 前記ゲート電極と重畳する位置に半導体層を形成する工程と、

(c) 前記映像信号配線を形成するとともに、前記ゲート電極の両側であって前記半導体層と重畳する位置に前記ソース電極と前記ドレイン電極とを形成して前記薄膜トランジスタを形成する工程と、前記映像信号配線と実質的に平行な方向に延びるとともに、前記

50

走査信号配線の延在方向のピッチが前記映像信号配線と異なる列配線パターンを形成する工程と、

(d) 前記薄膜トランジスタを覆って該層間絶縁膜に前記ソース電極の上面を露出するスルーホールを形成し、前記スルーホールを介して前記ソース電極と接続する画素電極を前記映像信号配線の前記走査信号配線の延在方向のピッチと同じピッチで形成する工程とを含む反射型液晶表示装置の製造方法。

【請求項 5】

一対の基板と、該一対の基板に挟持される液晶層と、前記一対の基板の一方に形成され透明性を有する共通信号電極と、前記一対の基板の他方に形成され、複数の走査信号配線と、該走査信号配線と実質的に直交する複数の映像信号配線と、前記走査信号配線と前記映像信号配線との交点付近の少なくとも一部に形成され半導体層とソース電極、ゲート電極及びドレイン電極とを含む薄膜トランジスタと、前記ソース電極に接続される反射型の画素電極とを有する反射型液晶表示装置の製造方法であって、

10

(a) 前記走査信号配線及び該走査信号配線から延びる前記ゲート電極とを形成する工程と、

(b) 前記ゲート電極と重畳する位置に半導体層を形成する工程と、

(c) 前記映像信号配線を形成するとともに、前記ゲート電極の両側であって前記半導体層と重畳する位置に前記ソース電極と前記ドレイン電極とを形成して前記薄膜トランジスタを形成する工程と、前記ソース電極と実質的に平行な方向に延びるとともに、前記走査信号配線の延在方向又は前記映像信号配線の延在方向の少なくとも一方のピッチが前記ソース電極と異なる行電極パターンを形成する工程と、

20

(d) 前記薄膜トランジスタを覆って層間絶縁膜を形成し、該層間絶縁膜に前記ソース電極の上面を露出するスルーホールを形成し、前記スルーホールを介して前記ソース電極と接続する画素電極を前記ソース電極のピッチと同じピッチで形成する工程とを含む反射型液晶表示装置の製造方法。

【請求項 6】

一対の基板と、該一対の基板に挟持される液晶層と、前記一対の基板の一方に形成され透明性を有する共通信号電極と、前記一対の基板の他方に形成され、複数の走査信号配線と、該走査信号配線と実質的に直交する複数の映像信号配線と、前記走査信号配線と前記映像信号配線との交点付近の少なくとも一部に形成され半導体層とソース電極、ゲート電極及びドレイン電極とを含む薄膜トランジスタと、前記ソース電極に接続される反射型の画素電極とを有する反射型液晶表示装置の製造方法であって、

30

(a) 前記走査信号配線及び該走査信号配線から延びる前記ゲート電極とを形成する工程と、

(b) 前記ゲート電極と重畳する位置に半導体層を形成する工程と、

(c) 前記映像信号配線を形成するとともに、前記ゲート電極の両側であって前記半導体層と重畳する位置に前記ソース電極と前記ドレイン電極とを形成して前記薄膜トランジスタを形成する工程と、前記ドレイン電極と実質的に平行な方向に延びるとともに、前記走査信号配線の延在方向又は前記映像信号配線の延在方向の少なくとも一方のピッチが前記ドレイン電極と異なる交差部電極パターンを形成する工程と、

40

(d) 前記薄膜トランジスタを覆って層間絶縁膜を形成し、該層間絶縁膜に前記ソース電極の上面を露出するスルーホールを形成し、前記スルーホールを介して前記ソース電極と接続する画素電極を前記ドレイン電極と同じピッチで形成する工程とを含む反射型液晶表示装置の製造方法。

【請求項 7】

一対の基板と、前記一対の基板に挟持された液晶層と、前記一対の基板の一方に形成され透明性を有する共通信号電極と、前記一対の基板の他方に形成される複数の走査信号配線と、前記走査信号配線と実質的に直交する複数の映像信号線と、前記走査信号配線と前記映像信号配線との交点付近の少なくとも一部に形成され半導体層とゲート電極とソース及びドレイン電極とを有する薄膜トランジスタと、前記薄膜トランジスタに接続され反射

50

板としての機能を具備する画素電極とを有する反射型液晶表示装置であって、

さらに、前記映像信号配線の延在方向に隣接する前記画素電極のピッチ又は前記走査信号配線の延在方向に隣接する前記画素電極のピッチのうちの少なくとも一方と異なるピッチを有する島状パターンであって、前記半導体層と同層にマトリクス状に形成され特定の規則性を有して配置された島状パターンを備えた反射型液晶表示装置。

【請求項 8】

一对の基板と、前記一对の基板に挟持された液晶層と、前記一对の基板の一方に形成され透明性を有する共通信号電極と、前記一对の基板の他方に形成される複数の走査信号配線と、前記走査信号配線と実質的に直交する複数の映像信号配線と、前記走査信号配線と前記映像信号配線との交点付近に形成され半導体層とゲート電極とソース及びドレイン電極とを有する薄膜トランジスタと、前記薄膜トランジスタに接続され反射板としての機能を具備する画素電極とを有する反射型液晶表示装置であって、

10

さらに、前記半導体層と同層に形成され前記半導体層とともに所定の規則性を有するマトリクス状のパターンを形成する島状パターンであって、前記マトリクス状のパターンが、前記映像信号配線の延在方向に隣接する前記画素電極のピッチ又は前記走査信号配線の延在方向に隣接する前記画素電極のピッチのうちの少なくとも一方と異なるピッチを有するように配置された島状パターンを備えた反射型液晶表示装置。

【請求項 9】

一对の基板と、前記一对の基板に挟持された液晶層と、前記一对の基板の一方に形成され透明性を有する共通信号電極と、前記一对の基板の他方に形成される複数の走査信号配線と、前記走査信号配線と実質的に直交する複数の映像信号配線と、前記走査信号配線と前記映像信号配線との交点付近に形成され半導体層とゲート電極とソース及びドレイン電極とを含む薄膜トランジスタと、前記薄膜トランジスタに接続され反射板としての機能を具備する画素電極とを有する反射型液晶表示装置であって、

20

さらに、前記映像信号配線と同層かつ実質的に平行に形成される複数の列配線パターンであって、前記走査信号配線の延在方向の前記列配線パターンのピッチが、前記走査信号配線の延在方向に隣接する画素電極のピッチと異なる特定の規則性を有する列配線パターンを備えた反射型液晶表示装置。

【請求項 10】

一对の基板と、前記一对の基板に挟持された液晶層と、前記一对の基板の一方に形成され透明性を有する共通信号電極と、前記一对の基板の他方に形成される複数の走査信号配線と、前記走査信号配線と実質的に直交する複数の映像信号配線と、前記走査信号配線と前記映像信号配線との交点付近に形成され半導体層とゲート電極とソース及びドレイン電極とを有する薄膜トランジスタと、前記薄膜トランジスタに接続され反射板としての機能を具備する画素電極とを有する反射型液晶表示装置であって、

30

さらに、前記映像信号配線と同層かつ実質的に平行に形成され前記映像信号配線とともに所定の規則性を有する第1のストライプ状パターン群を形成する複数の列配線パターンであって、前記走査信号配線の延在方向の前記第1のストライプ状パターンが、前記走査信号配線の延在方向に隣接する画素電極と異なるピッチを有するように配置された列配線パターンを備えた反射型液晶表示装置。

40

【請求項 11】

一对の基板と、前記一对の基板に挟持された液晶層と、前記一对の基板の一方に形成され透明性を有する共通信号電極と、前記一对の基板の他方に形成される複数の走査信号配線と、前記走査信号配線と実質的に直交する数の映像信号線と、前記走査信号配線と前記映像信号配線との交点付近に形成され半導体層とゲート電極とソース及びドレイン電極とを有する薄膜トランジスタと、前記薄膜トランジスタに接続され反射板としての機能を具備する画素電極とを有する反射型液晶表示装置であって、

さらに、前記走査信号配線と同層かつ実質的に平行に形成される複数の行配線パターンであって、前記映像信号配線の延在方向の前記行配線パターンのピッチが、前記映像信号配線の延在方向に隣接する画素電極のピッチとは異なる特定の規則性を有する行配線パタ

50

ーンを備えた反射型液晶表示装置。

【請求項 1 2】

一対の基板と、前記一対の基板に挟持された液晶層と、前記一対の基板の一方に形成され透明性を有する共通信号電極と、前記一対の基板の他方に形成される複数の走査信号配線と、前記走査信号配線と実質的に直交する複数の映像信号配線と、前記走査信号配線と前記映像信号配線との交点付近に形成され半導体層とゲート電極とソース及びドレイン電極とを有する薄膜トランジスタと、前記薄膜トランジスタに接続され反射板としての機能を具備する画素電極とを有する反射型液晶表示装置であって、

さらに、前記走査信号配線と同層かつ実質的に平行に形成され前記走査信号配線とともに祖低の規則性を有する第 2 のストライプ状パターン群を形成する複数の行配線パターンであって、前記映像信号配線の延在方向に隣接する前記ストライプ状パターンのピッチが前記映像信号配線の延在方向に隣接する前記画素電極のピッチと異なるように配置された行配線パターンを備えた反射型液晶表示装置。

10

【請求項 1 3】

一対の基板と、前記一対の基板に挟持された液晶層と、前記一対の基板の一方に形成され透明性を有する共通信号電極と、前記一対の基板の他方に形成される複数の走査信号配線と、前記走査信号配線と実質的に直交する複数の映像信号線と、前記走査信号配線と前記映像信号配線との交点付近の少なくとも一部に形成され半導体層とゲート電極とソース及びドレイン電極とを有する薄膜トランジスタと、前記薄膜トランジスタに接続され反射板としての機能を具備した画素電極とを有する反射型液晶表示装置であって、

20

さらに、前記映像信号配線の延在方向に隣接する画素電極のピッチ又は前記走査信号配線の延在方向に隣接する画素電極のピッチのうちの少なくとも一方と異なるピッチを有する列電極パターンであって、前記ゲート電極と同層に形成され特定の規則性を有して配置された列電極パターンを備えた反射型液晶表示装置。

【請求項 1 4】

一対の基板と、前記一対の基板に挟持された液晶層と、前記一対の基板の一方に形成される透明性を有する共通信号電極と、前記一対の基板の他方に形成される複数の走査信号配線と、前記走査信号配線と実質的に直交する複数の映像信号線と、前記走査信号配線と前記映像信号配線との交点付近に形成され半導体層とゲート電極とソース及びドレイン電極とを有する薄膜トランジスタと、前記薄膜トランジスタに接続され反射板としての機能を具備する画素電極とを有する反射型液晶表示装置であって、

30

さらに、前記薄膜トランジスタのゲート電極と同層に形成され前記ゲート電極とともに所定の規則性を有する第 2 のマトリックス状パターンを形成する列電極パターンであって、前記第 2 のマトリックス状パターンが、前記映像信号配線の延在方向のピッチ又は前記走査信号配線の延在方向のピッチのうちの少なくとも一方と異なるピッチを有するように配置された列電極パターンを備える反射型液晶表示装置。

【請求項 1 5】

一対の基板と、前記一対の基板に挟持された液晶層と、前記一対の基板の一方に形成され透明性を有する共通信号電極と、前記一対の基板の他方に形成される複数の走査信号配線と、前記走査信号配線と実質的に直交する複数の映像信号線と、前記走査信号配線と前記映像信号配線との交点付近の少なくとも一部に形成され半導体層とゲート電極とソース及びドレイン電極とを有する薄膜トランジスタと、前記薄膜トランジスタに接続され反射板としての機能を具備した画素電極とを有する反射型液晶表示装置であって、

40

さらに、前記映像信号配線の延在方向に隣接する画素電極のピッチ又は前記走査信号配線の延在方向に隣接する画素電極のピッチのうちの少なくとも一方と異なるピッチを有する行電極パターンと該行電極パターンと向かい合う位置に形成される交差部電極パターンとであって、それぞれが前記ドレイン電極と同層にマトリクス状に形成され特定の規則性を有して配置された行電極パターン及び交差部電極パターンを備える反射型液晶表示装置。

【請求項 1 6】

50

一对の基板と、前記一对の基板に挟持された液晶層と、前記一对の基板の一方に形成され透明性を有する共通信号電極と、前記一对の基板の他方に形成される複数の走査信号配線と、前記走査信号配線と実質的に直交する複数の映像信号線と、前記走査信号配線と前記映像信号配線との交点付近に形成され半導体層とゲート電極とソース及びドレイン電極とを備えた薄膜トランジスタと、前記薄膜トランジスタに接続され反射板としての機能を具備する画素電極とを有する反射型液晶表示装置であって、

さらに、前記ドレイン電極と同層に形成され前記ドレイン電極とともに所定の規則性を有する第3のマトリックス状パターン群を形成する行電極パターンであって、前記走査信号配線の延在方向に隣接する前記第3のマトリックス状パターンのピッチが、前記走査信号配線の延在方向に隣接する画素電極のピッチと異なるピッチを有するように配置された行電極パターンと、前記ソース電極と同層に前記行電極パターンと向かい合う位置に形成され前記ソース電極とともに所定の規則性を有する第4のマトリックス状パターン群を形成する交差部電極パターンであって、前記映像信号配線の延在方向の前記第4のマトリックス状パターンのピッチが、前記映像信号配線の延在方向に隣接する画素電極のピッチと異なるピッチを有するように配置された交差部電極パターンとを備えた反射型液晶表示装置。

10

【請求項17】

一对の基板と、前記一对の基板に挟持された液晶層と、前記一对の基板の一方に形成され透明性を有する共通信号電極と、前記一对の基板の他方に形成される複数の走査信号配線と、前記走査信号配線と実質的に直交する複数の映像信号線と、前記走査信号配線と前記映像信号配線との交点付近に形成され半導体層とゲート電極とソース及びドレイン電極とを有する薄膜トランジスタと、前記薄膜トランジスタに接続された反射板としての機能を具備した画素電極とを有する反射型液晶表示装置であって、

20

前記走査信号配線と同層かつ実質的に平行な複数の行配線パターンと前記走査信号配線とで形成され所定の規則性を有する第1の合同パターンと、

前記映像信号配線と同層かつ実質的に平行な複数の列配線パターンと前記映像信号配線とで形成され所定の規則性を有する第2合同パターンと、

前記列方向パターンから該列方向パターンと実質的に垂直な方向に延びて前記ドレイン電極と同層かつマトリクス状に形成される行電極パターンと前記ドレイン電極と形成され所定の規則性を有する第3合同パターンと、

30

前記ソース電極同層に前記行電極パターンと向かい合う位置に形成される交差部電極パターンと前記ソース電極とで形成され所定の規則性を有する第4合同パターンと、

前記行方向パターンから該行方向パターンと実質的に垂直な方向に延びて前記ゲート電極と同層かつマトリクス状に形成される列電極パターンと前記ゲート電極とで形成され所定の規則性を有する第5合同パターンと、

前記半導体層と同層かつマトリクス状に形成される島状パターンと前記半導体層とで形成され所定の規則性を有する第6合同パターンと

の少なくとも1の合同パターンが形成され、前記第1から第6までの合同パターンのうち形成された合同パターンであってそのうちの少なくとも1の合同パターンが前記画素電極のピッチと異なるピッチを有している反射型液晶表示装置。

40

【請求項18】

さらに、前記映像信号配線を駆動する映像線駆動用外部回路を有し、

前記映像信号配線の端子部分に前記映像線駆動用外部回路と接続するためのパッド電極と、前記パッド電極と前記映像信号配線とを接続するための接続部とが、前記列方向配線に対して選択的に形成されている

請求項9又は10に記載の反射型液晶表示装置。

【請求項19】

さらに、前記走査信号線を駆動する走査線駆動用外部回路を有し、

前記走査信号線の端子部分に、前記走査線駆動用外部回路と接続するためのパッド電極と、前記パッド電極と前記映像信号配線とを接続するための接続部とが、前記行方向配線

50

に対して選択的に形成されている

請求項 1 1 又は 1 2 に記載の反射型液晶表示装置。

【請求項 2 0】

前記半導体層にゲート電極と、ソース電極と、ドレイン電極とを前記島状パターンに対して選択的に形成したことを特徴とする請求項 7 又は 8 に記載の反射型液晶表示装置。

【請求項 2 1】

前記ソース電極と前記画素電極とを接続するための接続部を前記交差部電極に対して選択的に形成した

請求項 7、8、1 4 及び 1 5 のうちのいずれか 1 項に記載の反射型液晶表示装置。

【請求項 2 2】

前記映像信号配線の端部とは反対側において、前記列配線パターンが一定電位に接続されている

請求項 7 から 2 1 までのいずれか 1 項に記載の反射型液晶表示装置。

【請求項 2 3】

前記走査信号配線の端部とは反対側において、前記行配線パターンが一定電位に接続されている

請求項 7 から 2 1 までのいずれか 1 項に記載の反射型液晶表示装置。

【請求項 2 4】

前記映像信号配線の端部とは反対側において、前記列配線パターンが前記共通電極と同電位とされている

請求項 7 から 2 1 までのいずれか 1 項に記載の反射型液晶表示装置。

【請求項 2 5】

前記走査信号配線の端部とは反対側において、前記行配線パターンが前記共通電位と同電位とされている

請求項 7 から 2 1 までのいずれか 1 項に記載の反射型液晶表示装置。

【請求項 2 6】

透明性を有する共通信号電極を備えた第 1 の基板と、

該第 1 の基板と対向する位置に配置される第 2 の基板であって、前記第 1 の基板との対向面に複数の画素領域がマトリックス状に画定されている第 2 の基板と、

前記第 1 の基板と前記第 2 の基板とに挟持された液晶層とを含む反射型液晶表示装置であって、

複数の前記画素領域のそれぞれと実質的に同じ領域に形成され、反射板としての機能を有する複数の画素電極と、

前記画素電極の下部であって前記第 1 の基板上にマトリックス状に形成され、前記画素電極の列方向のピッチ又は行方向のピッチのうちの少なくとも一方よりも小さいピッチを有し、半導体層とソース電極とドレイン電極とゲート電極とを有する薄膜トランジスタと、

列方向に整列する前記薄膜トランジスタ列に沿って形成される映像信号配線と、行方向に整列する前記薄膜トランジスタ行に沿って形成される走査信号配線と、

該薄膜トランジスタを覆って前記第 1 の基板上に形成される層間絶縁膜であって、前記画素電極がその上面に形成される層間絶縁膜と、

該層間絶縁膜に形成され、前記ソース電極の上面を露出するスルーホールであって、前記画素電極と前記薄膜トランジスタとをそれぞれ 1 つずつ接続するスルーホールとを有する反射型液晶表示装置。

【請求項 2 7】

前記スルーホールにより前記画素電極と接続された薄膜トランジスタは、行方向及び列方向の少なくとも一方に整列して配置された薄膜トランジスタである

請求項 2 6 に記載の反射型液晶表示装置。

【発明の詳細な説明】

【0 0 0 1】

10

20

30

40

50

【発明の属する技術分野】

本発明は液晶表示装置に関し、特に、反射型液晶表示装置及びその製造方法に関する。

【0002】**【従来の技術】**

画素電極として反射電極を備えている反射型液晶表示装置であって、画素を構成する表示領域に、スイッチング素子として薄膜トランジスタ（Thin Film Transistors：TFT）を設けたアクティブマトリックス方式の反射型液晶表示装置が多く提案されている。反射型液晶表示装置は、一对の基板の間に液晶層を挿入し、この液晶層を一对の基板により挟持している。一方の基板（TFT基板と称する。）には、TFTと、反射型画素電極と、走査信号配線及び映像信号配線と、配線と外部駆動回路とを接続するための端子等とが形成されている。他方の基板（CF基板と称する。）側にはカラーフィルタ（CF）、ブラックマトリクス（BM）、対向電極（共通電極：CE）が形成されている。画素電極と対向電極との間に電圧を印加し基板面にほぼ垂直な縦電界を形成するか否かで白黒表示の切り替えを行うツイストネマチック表示方式を採用している。

10

【0003】

アクティブマトリックス方式の反射型液晶表示装置を製造する際には、半導体層、電極層、配線層などの各層をパターン形成するためのホトマスクが複数枚必要となる。反射型液晶表示装置の表示画面サイズ、画素電極のピッチが異なるものを製造する場合には、全てのホトマスクを新たに揃える（製造する）必要がある。特に、反射型液晶表示装置は、携帯電話の表示画面や携帯用ノート型PC及びPDA（Personal Data Assistance）の表示画面に用いられている場合が多い。携帯電話やPDAは多品種の製品を製造する必要があるため、ホトマスクの設計・製造期間、製造コストなどが増大する傾向にあった。

20

【0004】

これに対し、特開2000-258788号公報に、表示画面サイズが異なる仕様間で複数の液晶表示装置を形成する際に、マスクを共通化する方法が記載されている。同公報においては、基板全面に走査信号配線を所定間隔毎に複数形成する工程と、映像信号配線を走査信号配線と交差する姿勢で複数本形成する工程と、走査信号配線と映像信号配線が重なり合う部分に対応して薄膜トランジスタを形成する工程とを含み、走査信号配線を形成する工程と映像信号配線を形成する工程の少なくとも一方、およびアクティブ素子を形成する工程では製品の表示画素サイズに関係なく表示画面領域よりも大きい所定範囲にわたって走査信号配線、映像信号配線およびアクティブ素子を形成する構造を開示している。

30

【0005】

上記の構造を形成した後に、表示画面サイズに応じた画素電極形成用のホトマスクにより画素電極を形成することにより、製品の表示画面サイズが変更されても、走査信号配線や映像信号配線、薄膜トランジスタを形成する際の各マスクやその製造方法を共通化することができる。この技術は、表示画面サイズのみが異なる製品を作る場合には、各仕様間でマスクを共通化できる。

【0006】**【発明が解決しようとする課題】**

40

しかしながら、画素電極のピッチを変更する必要がある場合には、上記の技術は適用できない。液晶表示装置の製造工程においては、通常、画素電極と映像信号配線が同層に形成されている。上記公報に記載のように基板全面に走査信号配線と、映像信号配線と、薄膜トランジスタとを製造した場合には、外部信号回路と接続するパッド電極が映像信号配線を乗り越えることができず、パッド電極の形成領域が画素サイズ以下に限定される。

【0007】

画素領域のサイズが大きい場合には画素と同程度の大きさのパッド電極を形成し、直接外部信号回路と接続する方法を採用することもできるが、画素間隔が小さくなった場合にはパッド電極と外部信号回路との接続が非常に困難になる。

本発明は、反射型液晶表示装置の画素電極のピッチが変わった場合でも、製品間でマスク

50

を共通化でき、かつパッド電極の形状も画素サイズ等に制限を受けずに自由に設計可能な構造を提案することを目的とする。

【0008】

【課題を解決するための手段】

本発明の一観点によれば、一对の基板と、該一对の基板に挟持される液晶層と、前記一对の基板の一方に形成され透明性を有する共通信号電極と、前記一对の基板の他方に形成され、複数の走査信号配線と、該走査信号配線と実質的に直交する複数の映像信号配線と、前記走査信号配線と前記映像信号配線との交点付近の少なくとも一部に形成され半導体層とソース電極、ゲート電極及びドレイン電極とを含む薄膜トランジスタと、前記走査信号配線、前記映像信号配線及び前記薄膜トランジスタを覆う層間絶縁膜と、該層間絶縁膜に形成されるスルーホールと、該スルーホールを介して前記ソース電極に接続される反射型の画素電極とを有する反射型液晶表示装置の製造方法であって、第1の仕様と、該第1の仕様とは異なる画素ピッチを有する第2の仕様との少なくとも2つの異なる仕様により少なくとも2種類の反射型液晶表示装置を製造する場合に使用するホトマスクであって、前記走査信号配線と前記ゲート電極とを形成する第1工程と、前記半導体層を形成する第2工程と、前記映像信号配線と前記ソース電極及び前記ドレイン電極とを形成する第3工程とのうち少なくとも1の工程に用いられるホトマスクを前記第1の仕様と前記第2の仕様とで共通に用いることを特徴とする反射型液晶表示装置の製造方法が提供される。

上記の方法によれば、第1の仕様と該第1の仕様と画素ピッチの異なる第2の仕様とでホトマスクを共通化することができ、製造コストを削減できる。

【0009】

本発明の他の観点によれば、一对の基板と、該一对の基板に挟持される液晶層と、前記一对の基板の一方に形成され透明性を有する共通信号電極と、前記一对の基板の他方に形成され、複数の走査信号配線と、該走査信号配線と実質的に直交する複数の映像信号配線と、前記走査信号配線と前記映像信号配線との交点付近の少なくとも一部に形成され半導体層とソース電極、ゲート電極及びドレイン電極とを含む薄膜トランジスタと、前記ソース電極に接続される反射型の画素電極とを有する反射型液晶表示装置の製造方法であって、(a)前記走査信号配線と前記ゲート電極とを形成する工程と、(b)前記ゲート電極と重畳する半導体層を形成する工程と、(c)前記映像信号配線と前記ソース電極と前記ドレイン電極とを形成する工程と、により前記走査信号配線と前記映像信号配線と前記薄膜トランジスタとを形成する工程と；(d)前記薄膜トランジスタを覆う層間絶縁膜を形成し、該層間絶縁膜にソース電極の上面を露出するスルーホールを選択的に形成し、選択されたスルーホールを含む前記層間絶縁膜上に前記選択されたスルーホールを介して前記走査信号配線の延在方向と前記映像信号配線の延在方向とに所望のピッチを有する画素電極を形成する工程とを備えた反射型液晶表示装置の製造方法が提供される。

【0010】

上記反射型液晶表示装置の製造方法によれば、画素電極を除くTFT基板側の構成要素を製造した後に、コンタクトホールを選択的に形成することにより、画素電極のピッチを前記構成要素のピッチ異なるピッチで製造することができる。従って、画素電極のピッチの異なる仕様でホトマスクを共通化することができ、製造コストを削減できる。

【0011】

本発明の別観点によれば、一对の基板と、前記一对の基板に挟持された液晶層と、前記一对の基板の一方に形成され透明性を有する共通信号電極と、前記一对の基板の他方に形成される複数の走査信号配線と、前記走査信号配線と実質的に直交する複数の映像信号線と、前記走査信号配線と前記映像信号配線との交点付近の少なくとも一部に形成され半導体層とゲート電極とソース及びドレイン電極とを有する薄膜トランジスタと、前記薄膜トランジスタに接続され反射板としての機能を具備する画素電極とを有する反射型液晶表示装置であって、さらに、前記映像信号配線の延在方向に隣接する前記画素電極のピッチ又は前記走査信号配線の延在方向に隣接する前記画素電極のピッチのうちの少なくとも一方と異なるピッチを有する島状パターンであって、前記半導体層と同層にマトリクス状に形成

され特定の規則性を有して配置された島状パターンを備えた反射型液晶表示装置が提供される。

【 0 0 1 2 】

上記反射型液晶表示装置によれば、半導体層と同層で形成される島状パターンも特定の規則性を有しているため、島状パターンに有する規則性に従って半導体層とは異なるピッチを有する画素電極を備えた反射型液晶表示装置を別仕様で製造することができる。

その他、走査信号線、映像信号線、ゲート電極、ソース電極及びドレイン電極などに関しても、規則性に従って異なるピッチを有する画素電極を備えた反射型液晶表示装置を別仕様で製造することができる。

以下、画素電極のピッチが異なる２つの仕様の反射型液晶表示装置を製造する際に、ホトマスクを共通化できる理由を説明する。

【 0 0 1 3 】

第１の仕様では、薄膜トランジスタの配置される側の基板上の表示領域には、薄膜トランジスタのゲート電極、半導体層、ドレイン電極、ソース電極及び走査信号配線と映像信号配線とを形成する。その際、第１の仕様において形成される表示機能とは無関係であり、外部駆動回路と接続されない無効パターンを形成する。無効パターンは、島状パターン、列配線パターン、行配線パターン、列電極パターン、行電極パターン及び交差部電極パターンのうち少なくとも１つのパターンである。これらの無効パターンは、第１の仕様で反射型液晶表示装置を製造した場合には機能しない。

【 0 0 1 4 】

これらの無効パターンが、第１の仕様で製造した反射型液晶表示装置における画素電極のピッチとは異なる画素電極のピッチを有する第２の仕様で製造した反射型液晶表示装置においては、有効なパターンとなるように無効パターンを形成する。すなわち、第１の仕様で製造した反射型液晶表示装置において形成される島状パターンと、列配線パターンと、行配線パターンと、列電極パターンと、行電極パターンと、交差部電極パターンとは、第２の仕様の反射型液晶表示装置においては、それぞれ薄膜トランジスタの半導体層と、映像信号配線と、走査信号配線と、ドレイン電極と、ゲート電極と、ソース電極として機能する。

【 0 0 1 5 】

一方、第１の仕様において薄膜トランジスタの半導体層と、映像信号配線と、走査信号配線と、ドレイン電極と、ゲート電極とは、第２の仕様においては、それぞれ島状パターンと、列方向配線パターンと、行方向配線パターンと、行電極パターンと、列電極パターンと、交差部電極パターンとなり、実際には機能は有しない。

【 0 0 1 6 】

尚、第１の仕様と第２の仕様とのそれぞれの画素電極のピッチの公倍数にあたる位置に配置されたパターンは、基準位置が同じであれば、第１又は第２のいずれの仕様においても半導体層、映像信号配線、走査信号配線、ドレイン電極、ゲート電極、ソース電極として機能する。

上記の構造とすることにより、第１の仕様と第２の仕様とで以下のホトマスクを共通化できる。

【 0 0 1 7 】

より詳細に説明すると、島状パターンを形成するホトマスクと薄膜トランジスタの半導体層とを製造する工程で用いるホトマスクとが共通化可能である。列配線パターンを形成するホトマスクと映像信号配線を形成する工程で用いるホトマスクとが共通化できる。列電極パターンを形成したホトマスクと、ドレイン電極を形成する際に用いるホトマスクとを共通化できる。行配線パターンを形成するホトマスクを、走査信号配線を形成する工程で用いるホトマスクと共通化できる。行電極パターンを形成するホトマスクと、ゲート電極を形成する工程で用いるホトマスクを共通化できる。交差部電極パターンを形成するホトマスクと、ソース電極を形成する工程で用いるホトマスクとを共通化することができる。

【 0 0 1 8 】

実際には、画素電極は画素領域のほぼ全域を覆うため、島状パターンと、列配線パターン、行配線パターン、列配線パターン、行配線パターン及び交差部電極パターンとが画素電極下に形成される構造となる。但し、反射型液晶表示装置においては、入射光は画素電極において反射されるため、反射電極の下に形成されたパターンは、画素の開口率を低下させる要因とはならない。従って、開口率低下による表示品質の劣化は生じない。

【0019】

列配線パターン及び行配線パターンと画素電極とが重畳した領域においては、配線パターンと画素電極との間で浮遊容量を形成する。画素電極と配線パターン間の浮遊容量は低減可能である。例えば、配線パターンと画素電極との間に厚い絶縁膜を形成すれば良い。絶縁膜としては、例えばスピンコート法等で製造する塗布型絶縁膜を1から4 μm 程度形成すれば、浮遊容量が低減し、浮遊容量に起因する液晶表示装置の表示品質の低下を回避することができる。

10

尚、異なる2つの仕様間のみでなく、3種類以上の異なる仕様間でも同様の方法を用いてホトマスクを共通化できる。

【0020】

本発明のさらに他の観点によれば、一对の基板と、前記一对の基板に挟持された液晶層と、前記一对の基板の一方に形成され透明性を有する共通信号電極と、前記一对の基板の他方に形成される複数の走査信号配線と、前記走査信号配線と実質的に直交する複数の映像信号配線と、前記走査信号配線と前記映像信号配線との交点付近に形成され半導体層とゲート電極とソース及びドレイン電極とを有する薄膜トランジスタと、前記薄膜トランジスタに接続され反射板としての機能を具備する画素電極とを有する反射型液晶表示装置であって、さらに、前記半導体層と同層に形成され前記半導体層とともに所定の規則性を有するマトリックス状のパターンを形成する島状パターンであって、前記マトリックス状のパターンが、前記映像信号配線の延在方向に隣接する前記画素電極のピッチ又は前記走査信号配線の延在方向に隣接する前記画素電極のピッチのうちの少なくとも一方と異なるピッチを有するように配置された島状パターンを備えた反射型液晶表示装置が提供される。

20

【0021】

上記の反射型液晶表示装置によれば、マトリックス状のパターン中の半導体層と島状パターンとのいずれかを選択してそれぞれのピッチに合う所望のサイズを有する画素電極を形成することができる。

30

その他、走査信号線、映像信号線、ゲート電極、ソース電極及びドレイン電極などに関しても、規則性に従って異なるピッチを有する画素電極を備えた反射型液晶表示装置を別仕様で製造することができる。

【0022】

さらに、透明性を有する共通信号電極を備えた第1の基板と、該第1の基板と対向する位置に配置される第2の基板であって、前記第1の基板との対向面に複数の画素領域がマトリックス状に画定されている第2の基板と、前記第1の基板と前記第2の基板とに挟持された液晶層とを含む反射型液晶表示装置であって、複数の前記画素領域のそれぞれと実質的に同じ領域に形成され、反射板としての機能を有する複数の画素電極と、前記画素電極の下部であって前記第1の基板上にマトリックス状に形成され、前記画素電極の列方向のピッチ又は行方向のピッチのうちの少なくとも一方よりも小さいピッチを有し、半導体層とソース電極とドレイン電極とゲート電極とを有する薄膜トランジスタと、列方向に整列する前記薄膜トランジスタ列に沿って形成される映像信号配線と、行方向に整列する前記薄膜トランジスタ行に沿って形成される走査信号配線と、該薄膜トランジスタを覆って前記第1の基板上に形成される層間絶縁膜であって、前記画素電極がその上面に形成される層間絶縁膜と、該層間絶縁膜に形成され、前記ソース電極の上面を露出するスルーホールであって、前記画素電極と前記薄膜トランジスタとをそれぞれ1つずつ接続するスルーホールとを有する反射型液晶表示装置が提供される。

40

【0023】

上記反射型液晶表示装置によれば、薄膜トランジスタのピッチよりも大きい任意のピッチ

50

を有する画素電極を備えた反射型液晶表示装置を形成することができる。上記構造については、それぞれを適用することで1枚のホトマスクを仕様の異なる反射型液晶表示装置を製造する際に共通化することができるが、組み合わせで適用することで複数枚のホトマスクを共通化することができる。

【0024】

上記構造において、行配線パターン、映像信号配線の延在方向に併設する行電極パターン、映像信号配線の延在方向に併設する列電極パターン、および映像信号配線の延在方向に併設する島状パターンのピッチは例えば製品のうち映像信号配線の延在方向に隣接する画素電極のピッチのもっとも小さいものと同一もしくはそれ以下の間隔とするのが好ましい。

10

【0025】

列配線パターン、映像信号配線の延在方向に併設する行電極パターン、映像信号配線の延在方向に併設する列電極パターン、および映像信号配線の延在方向に併設する島状パターンのピッチについても同様に例えば製品のうちの走査信号配線の延在方向に隣接する画素電極のピッチのもっとも小さいものと同一もしくはそれ以下の間隔とする。

以下、走査信号配線の延在方向に隣接する画素電極のピッチが、列配線パターンのピッチよりも広い製品を製造する例を用いてホトマスクを共通化できる理由について説明する。

【0026】

行配線パターン、列配線パターン、行電極パターン、列電極パターン、島状パターンを形成する工程については、異なる画素電極のピッチを有する反射型液晶表示装置を製造する場合において、ホトマスクをすべて共通化し上述の構造を形成する。行配線パターンのうち走査信号配線として使用するか否かは、走査信号配線の端子部分において、外部駆動回路と接続するためのパッド電極、およびパッド電極と走査信号配線を接続するためのスルーホールを選択的に形成することにより決定する。これらを選択的に形成したパターンが走査線配線パターンとなる。

20

【0027】

同様に、列配線パターンに関しても、映像信号配線として使用する配線パターンの端子部分にパッド電極およびスルーホールを選択的に形成することにより決定する。ここで、走査信号配線および映像信号配線として選択する行配線パターンおよび列配線パターンは、製造する反射型液晶表示装置の画素電極のピッチにより異なる。より具体的には、画素電極と接続する薄膜トランジスタが接続されている行配線パターンと列配線パターンとが、それぞれ走査信号配線及び映像信号配線として選択される。

30

【0028】

画素電極と接続する薄膜トランジスタは、各画素電極の配置される領域に形成された薄膜トランジスタを用いる。ここで、薄膜トランジスタは、反射型液晶表示装置のうち画素電極ピッチが最も小さいものと同じか又はそれ以下の間隔で形成する。従って、画素電極下には、少なくとも1つ以上の薄膜トランジスタが配置され、薄膜トランジスタが存在しないということはない。2つ以上の薄膜トランジスタが配置されている場合においては、どちらの薄膜トランジスタを接続しても良い。但し、走査信号配線の延在する方向(X方向)に整列して形成されている画素電極と接続する薄膜トランジスタは、X方向に整列して形成されている薄膜トランジスタを選択する方がより望ましい。X方向に整列して形成されている薄膜トランジスタを、同一の走査信号配線に接続することにより、従来と同じ駆動回路、駆動方式を採用でき、走査信号配線の本数を増加させなくてすむからである。

40

【0029】

同様に、映像信号配線の延在方向(Y方向)に設けられている画素電極に対しても、Y方向に整列して形成されている薄膜トランジスタを選択して、これらと画素電極とをそれぞれ接続するのが望ましい。

以上の理由により、画素電極のピッチ、基板外形および画面表示サイズが異なる製品を製造する際に使用するホトマスクを共通化することができる。

【0030】

50

尚、上記構造において、スイッチング素子として使用していない薄膜トランジスタについては、薄膜トランジスタが接続されている行配線パターンが走査信号配線として選択されている場合にはスイッチング動作をし、接続されている列配線パターンが映像信号配線として選択されている場合には映像信号が送られる。しかしながら、上記いずれの場合にも、画素電極とは接続されていない。従って、光学的特性上や駆動上で表示特性を劣化させる要因にはなりえないので問題とはならない。

【0031】

上記の構造において、画素電極と薄膜トランジスタとの相対位置は、各画素電極により異なることもある。しかしながら、この相対位置が異なっても、そのことが、反射型液晶表示装置としての光学的特性、表示特性、駆動特性などを劣化させる要因にはならない。

10

【0032】

上記構造において、画素電極が、島状パターン、列配線パターン及び行配線パターン、列配線パターン、行配線パターンと重畳する構造となる。しかしながら、反射型液晶表示装置においては、画素電極の下に配置されたパターンは開口率を低下させる要因とはならない。

従って、開口率低下による表示品質の劣化はおきない。また、列配線パターン、行配線パターンと画素電極が重畳した領域においては、配線パターン - 画素電極間で浮遊容量を形成するが、以下の方法により課題を回避できる。

【0033】

第1の回避方法は、画素電極と列配線パターン、行配線パターン間に、両者間の浮遊容量が問題にならない程度の絶縁膜を形成する。例えば、スピコート法等で塗布型絶縁膜を1から4 μm 程度の厚さで形成することで、容量を低減することができ、浮遊容量に起因する表示品質の低下も回避することができる。

20

【0034】

第2の回避方法は、映像信号配線として選択されなかった列配線パターン及び走査信号配線として選択されなかった非選択行配線パターンを、映像信号配線及び走査信号配線の端子とは反対側で全ての非選択配線パターンを例えばパッド電極を用いて接続する。そして、パッド電極に一定の電圧、例えば対向電極に印加する電圧を加える。これにより、浮遊容量を液晶の保持容量に変換することができ、表示品質を向上させることも可能である。

【0035】

30

【発明の実施の形態】

以下、発明者の行った本発明の原理に関する考察について図1及び図2を参照しつつ説明する。

図1(a)は、第1の仕様で製造した反射型液晶表示装置の簡易化した平面図である。図1(b)は、第2の仕様で製造した反射型液晶表示装置の簡易化した平面図である。

図1(a)及び図1(b)に示すように、直交するX軸とY軸とを含む2次元X-Y平面を画定する基板上に、Y方向に延在しX方向に第1のピッチで並ぶ複数本の映像信号配線DLと、それと平行に形成されX方向に第3のピッチで並ぶ列配線パターンYLを形成する。尚、図1(a)及び(b)では、図の左端のパターンは、映像信号配線と列配線パターンとが同じ共通になっている例を示している。

40

【0036】

さらに、基板上に、X方向に延在しY方向に第2のピッチで並ぶ複数本の走査信号配線GLと、それと平行に形成されY方向に第4のピッチで並ぶ行配線パターンXLとを形成する。尚、図1(a)及び(b)では、図の上端のパターンは、走査信号配線と行配線パターンとが同じ共通になっている例を示している。

【0037】

図1(a)に示すように、第1の仕様では、画素電極PX1は、X方向に第1のピッチで、Y方向に第2のピッチで形成する。右下がりの斜線を施した領域が1画素領域であり、画素電極PX1は、実質的に画素領域と同じ領域内に形成される。X方向及びY方向に隣接する画素電極PX1間に設けられている配線が、第1の仕様においては、それぞれ映像

50

信号配線 D L 及び走査信号配線 G L として機能する。これらの配線が図示しない映像信号線駆動回路及び走査信号線駆動回路などの外部駆動回路（周辺回路）と接続される。映像信号配線 D L と共通でない配線パターン Y L と、走査信号配線 G L と共通でない行配線パターン X L とは、第 1 の仕様で製造した反射型液晶表示装置においては機能しない。

【 0 0 3 8 】

図 1 (b) に示すように、第 2 の仕様では、画素電極 P X 2 は、X 方向に第 2 のピッチで、Y 方向に第 4 のピッチで形成する。斜線を施した領域が画素領域であり、画素電極 P X 2 は、実質的に画素領域と同じ領域内に形成される。X 方向及び Y 方向に隣接する画素電極 P X 2 間に設けられている配線 Y L , X L (図 1 (a)) が、第 2 の仕様においては、それぞれ映像信号配線及び走査信号配線として機能する。これらの配線が図示しない映像信号線駆動回路及び走査信号線駆動回路と接続される。映像信号配線 Y L と共通でない配線パターン D L と走査信号配線 X L と共通でない行配線パターン G L とは、第 2 の仕様で製造した反射型液晶表示装置においては機能しない。

【 0 0 3 9 】

より詳細に説明すると、第 1 の仕様では、薄膜トランジスタの配置される側の基板上の表示領域に、薄膜トランジスタのゲート電極、半導体層、ドレイン電極、ソース電極、走査信号配線及び映像信号配線を形成する。その際、第 1 の仕様において形成される表示機能とは無関係であり、外部駆動回路と接続されない無効パターンが形成される。この無効パターンは、島状パターン、列配線パターン、行配線パターン、列電極パターン、行電極パターン及び交差部電極パターンのうち少なくとも 1 つのパターンである。これらの無効パターンは、第 1 の仕様で反射型液晶表示装置を製造した場合には、実際には機能しない。

【 0 0 4 0 】

これらの無効パターンが、第 1 の仕様で製造した反射型液晶表示装置における画素電極のピッチとは異なる画素電極のピッチを有する第 2 の仕様で製造した反射型液晶表示装置においては、有効なパターンとなるように設計する。すなわち、第 2 の仕様で製造した反射型液晶表示装置において形成される島状パターンと、列配線パターンと、行配線パターンと、列電極パターンと、行電極パターンと、交差部電極パターンとは、第 2 の仕様の反射型液晶表示装置においては、それぞれ薄膜トランジスタの半導体層と、映像信号配線と、走査信号配線と、ドレイン電極と、ゲート電極と、ソース電極として機能する。

【 0 0 4 1 】

第 2 の仕様で製造すると、第 1 の仕様において形成された薄膜トランジスタの半導体層と、映像信号配線と、走査信号配線と、ドレイン電極と、ゲート電極となるパターンは、第 2 の仕様において、それぞれ島状パターンと、列方向配線パターンと、行方向配線パターンと、行電極パターンと、列電極パターンと、交差部電極パターンとなり、実際には画素の構成要素としては機能は有しない。

【 0 0 4 2 】

尚、第 1 の仕様と第 2 の仕様との基準位置が同じであれば、それぞれの仕様における画素電極のピッチの公倍数にあたる位置に配置されたパターンは、第 1 又は第 2 のいずれの仕様においても、半導体層、映像信号配線、走査信号配線、ドレイン電極、ゲート電極、ソース電極として機能する。

上記の技術を用いると、第 1 の仕様と第 2 の仕様とで、例えば以下のホトマスクを共通化できる。

【 0 0 4 3 】

まず、島状パターンを形成するホトマスクと薄膜トランジスタの半導体層とを製造する工程で用いるホトマスクとが共通化可能である。列配線パターンを形成するホトマスクと映像信号配線を形成する工程で用いるホトマスクとが共通化できる。列電極パターンを形成したホトマスクと、ゲート電極を形成する際に用いるホトマスクとを共通化できる。行配線パターンを形成するホトマスクを、走査信号配線を形成する工程で用いるホトマスクと共通化できる。行電極パターンを形成するホトマスクと、ソース電極を形成する工程で用いるホトマスクを共通化できる。交差部電極パターンを形成するホトマスクと、ソース電

10

20

30

40

50

極を形成する工程で用いるホトマスクとを共通化することができる。

尚、實際上、走査信号配線とゲート電極及び列電極パターンは同一工程で形成される場合が多く、また、映像信号配線とソース及びドレイン電極と行電極パターンと交差部電極パターンとは同一工程で製造されるのが一般的である。

【0044】

反射型の画素電極は、1画素領域を画定する画素領域のほぼ全域を覆うため、島状パターンと、列配線パターン、行配線パターン、列配線パターン、行配線パターン及び交差部電極パターンと重畳する構造となる。しかしながら、上述のように、反射型液晶表示装置においては、入射光は画素電極において反射されるため、反射電極の下に形成されたパターンは、画素の開口率を低下させる要因とはならない。従って、開口率低下による表示品質の劣化は生じない。

10

尚、ホトマスクには、各製造工程間におけるマスク合わせの基準位置を定めるいわゆる合わせマーク（アライメントマーク）が存在する。上記の無効パターンは、かかる合わせマークとは異なるものであり、機能を異にする。

基板外形、表示画面サイズ、画素電極のピッチが変わった場合にマスクを共通化する別方法として例えば以下の構造を考えた。

以下、別方法に関する原理について図2（a）から図2（c）までを参照して説明する。

尚、以下に説明する原理は、説明のために単純化されたものである。

【0045】

図2（a）は、第1及び第2の仕様のいずれにも共通の仕様で途中まで製造した反射型液晶表示装置の簡略化した平面図である。図2（b）は、図2（a）に示した状態から、第1の仕様で製造を継続した反射型液晶表示装置の簡略化した平面図である。図2（c）は、図2（a）に示した状態から、第2の仕様で製造を継続した反射型液晶表示装置の簡略化した平面図である。

20

【0046】

図2（a）に示すように、直交するX軸とY軸とを含む2次元X-Y平面を画定する基板上に、Y方向に延在しX方向に第1のピッチで並ぶ複数本の列方向配線YLと、X方向に延在しY方向に第2のピッチで並ぶ複数本の行方向配線XLと、列方向配線YLと行方向配線XLとの交差点近傍に形成される薄膜トランジスタTFTとを含む。

図2（a）に示す構造から、図2（b）又は図2（c）のいずれか一方の構造を選択して製造することができる。

30

【0047】

図2（b）に示す第1の仕様においては、例えば、全ての列方向配線YLと全ての行方向配線XLとを、それぞれ映像信号線と走査信号線として用いる。斜線を施した画素領域（画素電極PX1）が、列方向配線YLと行方向配線XLとに囲まれた全ての領域に形成される。列方向配線YLと行方向配線XLとの全ての交点に形成される薄膜トランジスタTFT（詳細にはTFTのソース電極）と、画素電極とがスルーホールTHを介して電氣的に接続される。図2（b）に示す構造では、画素電極PX1が、X方向に第1のピッチで並ぶとともに、Y方向に第2のピッチで並ぶ。

【0048】

図2（c）に示す第2の仕様においては、例えば、図2（a）に示す列方向配線YLのうちから選択された列方向配線XL2と行方向配線XLから選択された行方向配線YL2とが、それぞれ映像信号線と走査信号線として用いる。斜線を施した画素領域（画素電極PX2）が、列方向配線YL2と行方向配線XL2とに囲まれた全ての領域に形成される。列方向配線YL2と行方向配線XL2との全ての交点に形成される薄膜トランジスタTFT（詳細にはTFTのソース電極）と、画素電極とがスルーホールTHを介して電氣的に接続される。

40

【0049】

図2（c）に示す構造では、画素電極PX2が、X方向に第1のピッチとは異なる第3のピッチで並ぶとともに、Y方向に第2のピッチとは異なる第4のピッチで並ぶ。尚、上記

50

の例では、第1の仕様においては全ての行方向配線と列方向配線とを選択し、第2の仕様では、X方向及びY方向に第1の仕様の整数倍(2倍)のピッチを有する行方向配線と列方向配線とを選択したが、図2(a)の第1のピッチと第2のピッチとのそれぞれの公倍数であれば、スルーホールTHを形成するか否かにより、行方向配線と列方向配線とを任意に選択することができる。

【0050】

上記の考え方にに基づき、1枚のホトマスクを仕様の異なる反射型液晶表示装置を製造する際に共通化することができるが、組み合わせで適用することで複数枚のホトマスクを共通化することもできる。

例えば、行配線パターン、映像信号配線の延在方向に併設する行電極パターン、映像信号配線の延在方向に併設する列電極パターン、および映像信号配線の延在方向に併設する島状パターンのピッチは、製品のうち映像信号配線の延在方向に隣接する画素電極のピッチの最も小さいものと同じもしくはそれ以下の間隔とする。

10

【0051】

列配線パターン、映像信号配線の延在方向に併設する行電極パターン、映像信号配線の延在方向に併設する列電極パターン、および映像信号配線の延在方向に併設する島状パターンのピッチについても同様に例えば製品のうちの走査信号配線の延在方向に隣接する画素電極のピッチの最も小さいものと同じもしくはそれ以下の間隔とする。

以下、走査信号配線の延在方向に隣接する画素電極のピッチが、列配線パターンのピッチよりも広い仕様の製品を製造する例を用いてホトマスクを共通化できる理由について説明する。

20

【0052】

走査信号配線と行配線パターン、映像信号配線と列配線パターン、ソース及びドレイン電極と行電極パターン、ゲート電極と列電極パターン、半導体(活性層)と島状パターンを形成する工程に関して、異なる画素電極のピッチを有する2つの反射型液晶表示装置を製造する場合において、ホトマスクをすべて共通化し上述の構造を形成する。行配線パターンと走査信号配線とを含むストライプ上パターンのうち、実際に走査信号を伝える走査信号配線となるか否かは、配線の端子部分において、外部駆動回路と接続するためのパッド電極、およびパッド電極と走査信号配線を接続するためのスルーホールを選択的に形成することにより決定する。これらを選択的に形成したパターンが実際の走査線配線パターンとなる。

30

【0053】

同様に、映像信号配線と列配線パターンに関しても、映像信号配線として使用する配線パターンの端子部分にはパッド電極およびスルーホールを選択的に形成する。ここで、走査信号配線および映像信号配線として選択する配線は、製造する反射型液晶表示装置の画素電極のピッチに合わせれば良い。より具体的には、画素電極と接続する薄膜トランジスタが接続されている配線が、それぞれ走査信号配線及び映像信号配線として選択される。

【0054】

画素電極と接続する薄膜トランジスタは、各画素電極の配置される領域に形成された薄膜トランジスタを用いる。ここで、薄膜トランジスタは、反射型液晶表示装置のうち画素電極ピッチが最も小さいものと同じか又はそれ以下のピッチで形成する。従って、画素電極下には、少なくとも1つ以上の薄膜トランジスタが配置され、薄膜トランジスタが存在しないということはない。2つ以上の薄膜トランジスタが配置されている場合においては、どちらの薄膜トランジスタを接続しても良い。但し、走査信号配線の延在する方向(X方向)に整列して形成されている画素電極と接続する各薄膜トランジスタとしては、X方向に整列して形成されている薄膜トランジスタ行を選択する方がより望ましい。X方向に整列して形成されている薄膜トランジスタを、同一の走査信号配線に接続することにより、従来と同じ駆動回路、駆動方式を採用でき、走査信号配線の本数を増加させなくて良いからである。

40

【0055】

50

同様に、映像信号配線の延在方向（Y方向）に設けられている画素電極に対しても、Y方向に整列して形成されている薄膜トランジスタ列を選択して、これらと画素電極とをそれぞれ接続するのが望ましい。

以上の技術を用いることにより、画素電極のピッチ、基板外形および画面表示サイズが異なる製品を製造する際に使用するホトマスクを共通化することができる。

【0056】

尚、上記構造において、スイッチング素子として使用していない薄膜トランジスタについては、薄膜トランジスタが接続されている行配線パターンが走査信号配線として選択されている場合にはスイッチング動作をし、接続されている列配線パターンが映像信号配線として選択されている場合には映像信号が送られる。しかしながら、上記いずれの場合にも、画素電極とは接続されていない。従って、光学的特性上や駆動上で表示特性を劣化させる要因にはなりえないので問題とはならない。

10

【0057】

上記の構造において、画素電極と薄膜トランジスタとの相対位置は、各画素電極により異ならせることもできる。しかしながら、この相対位置が異なっても、そのことが、反射型液晶表示装置としての光学的特性、表示特性、駆動特性などを劣化させる要因にはならない。

【0058】

また、上記構造において、画素電極は、島状パターン、列配線パターン及び行配線パターン、列配線パターン、行配線パターンと重畳する構造となる。しかしながら、前述のように、反射型液晶表示装置においては、画素電極の下に配置されたパターンは開口率を低下させる要因とはならない。従って、開口率低下による表示品質の劣化はおきない。また、列配線パターン、行配線パターンと画素電極が重畳した領域においては、配線パターン - 画素電極間で浮遊容量を形成するが、前述の第1及び第2の方法により回避できる。

20

以下、上記の考察に基づいて、本発明の各実施の形態について図面を参照しつつ説明する。

【0059】

まず、本発明の第1の実施の形態により反射型液晶表示装置について、図3から図10までを参照して説明する。第1の実施の形態による反射型液晶表示装置は、画素電極のピッチが異なり、基板外形及び表示画面サイズが同一である第1及び第2の2つの仕様間で半導体層を形成する工程に用いるホトマスクを共通化した装置である。図3は、本発明の第1の実施の形態による反射型液晶表示装置のうちTFT基板の構造を示す模式的な平面図である。

30

【0060】

図3に示すように、符号PANは反射型液晶表示装置Aの基板外形（液晶パネルの外周輪郭）を示す。反射型液晶表示装置Aが形成されるTFT基板内には、映像信号配線用端子及び走査信号配線用端子に信号を入力するための外部回路と接続するための領域である端子形成領域APADが、TFT基板の図における上部及び左部に設けられている。端子形成領域APAD以外の領域が表示領域APXである。少なくとも表示領域APXには、後述する島状パターンSI1及びSI2が形成されている。

40

以下、表示領域の一部領域（図3における符号Bで示す領域）と、端子形成領域APADのうち図の上部領域C及び図の左部領域Dとに関して説明する。

【0061】

図4は、図3の領域B内の構造を示す図であり、第1の仕様で製造した反射型液晶表示装置の平面図である。図5は、第2の仕様で製造した反射型液晶表示装置の平面図であり、同じく図3の領域B内の構造を示す図である。

図4に示すように、第1の仕様で製造した反射型液晶表示装置A1は、薄膜トランジスタTFT1と、映像信号配線DL1と、走査信号配線GL1とを有している。さらに、反射型液晶表示装置Aは、スルーホールTH1と、画素電極PX1とを有している。画素電極PX1の領域を明確化するために、画素電極PX1のうちの1つに右上がりの斜線を施し

50

た。さらに、基板上に島状パターンS I 1、S I 2が形成されている、島状パターンS I 1とS I 2とのうち、島状パターンS I 1は、薄膜トランジスタT F T 1の活性領域（半導体層）を形成する。さらに薄膜トランジスタT F T 1は、ドレイン電極D E 1と、ソース電極S E 1と、ゲート電極G E 1とを有している。

第1の仕様で製造した反射型液晶表示装置Aは、2次元平面（X-Y平面）が画定される透明絶縁基板S U B 1上にX方向に第1のピッチ、Y方向に第3のピッチを有する（以下、「第1-第3ピッチ」と称する。）画素電極P Xを備える。

【0062】

図5は、本発明の第1の実施の形態による反射型液晶表示装置を、第1の仕様とは異なる第2の仕様で製造した場合の、T F T基板側の構造を示す平面図である。第2の仕様で製造した反射型液晶表示装置A 2は、薄膜トランジスタT F T 2と、映像信号配線D L 2と、走査信号配線G L 2とを有している。さらに、反射型液晶表示装置A 2は、スルーホールT H 2と、画素電極P X 2とを有している。画素電極P X 2の領域を明確化するために、画素電極P X 2のうちの1つに右上がりの斜線を施した。さらに、島状パターンS I 1、S I 2が形成されている、島状パターンS I 1とS I 2とのうち、島状パターンS I 2は、薄膜トランジスタT F T 2の活性領域（半導体層）を構成する。さらに薄膜トランジスタT F T 2は、ドレイン電極D E 2と、ソース電極S E 2と、ゲート電極G E 2とを有している。

【0063】

第2の仕様で製造した反射型液晶表示装置Aは、2次元平面（X-Y平面）が画定される透明絶縁基板S U B 1上にX方向に第1のピッチとは異なる第2のピッチ、Y方向に第3のピッチとは異なる第4のピッチを有する（以下、「第2-第4ピッチ」と称する。）画素電極P Xを備える。

【0064】

図4及び図5に示すように、上記本発明の第1の実施の形態による反射型液晶表示装置においては、走査信号配線G L 1又はG L 2と映像信号配線D L 1又はD L 2により画定された画素領域内に、薄膜トランジスタT F T 1又はT F T 2、画素電極P X 1又はP X 2のそれぞれいずれか1つが形成され、1画素を構成している。尚、薄膜トランジスタT F Tは、その上に堆積された表面保護膜に形成されたスルーホールT H 1又はT H 2を介して、画素電極P X 1又はP X 2と電氣的に接続されている。

【0065】

本発明の第1の実施の形態による反射型液晶表示装置であって、第1の仕様により製造した反射型液晶表示装置A 1においては、走査信号配線G L 1の延在方向（X方向）に整列して形成される島状パターンS I 1のピッチは、走査信号配線G L 1の延在方向（X方向）に隣接する画素電極P X 1のピッチとほぼ同じである。映像信号配線D L 1の延在方向（Y方向）に整列して形成される島状パターンS I 1のピッチは、映像信号配線D L 1の延在方向（Y方向）に隣接する第1の仕様における画素電極P X 1のピッチとほぼ等しい。

【0066】

一方、第2の仕様で製造した反射型液晶表示装置A 2においては、走査信号配線G L 2の延在方向（X方向）に整列して形成された島状パターンS I 2のピッチは、走査信号配線G L 2の延在方向（X方向）に隣接する第2の仕様における画素電極P X 2のピッチとほぼ等しく、映像信号配線D L 2の延在方向（Y方向）に整列して形成された島状パターンS I 2のピッチは、映像信号配線D L 2の延在方向（Y方向）に隣接する第2の仕様における画素電極P X 2のピッチとほぼ等しい。

【0067】

図4に示すように、本発明の第1の実施の形態の第1の仕様で製造した反射型液晶表示装置A 1は、薄膜トランジスタT F T 1に半導体層S I 1を使用し、半導体層S I 1とは異なる規則性を有して配置される島状パターンS I 2は、未使用のパターンとなる。一方、第2の仕様で反射型液晶表示装置を製造した場合は、図5に示すように第1の仕様にお

10

20

30

40

50

る島状パターン S I 2 を第 2 の仕様における薄膜トランジスタ T F T 2 の半導体層として使用し、第 1 の仕様における半導体層 S I 1 は第 2 の仕様においては未使用のパターンとなる。

【 0 0 6 8 】

図 6 は、第 1 の仕様で製造した反射型液晶表示装置 A 1 の断面図であり、前述した図 4 に示した V I - V I ' 線に沿う断面図である。

尚、符号 P O L は偏向板を、N F は位相差板を、S F は散乱性を有するフィルムを、S U B 2 はカラーフィルタが配置される側の透明絶縁基板を、B M は遮光パターンを、C F はカラーフィルタを、O C はオーバーコート膜を、C E D は共通電極を、O R I 1 及び O R I 2 はは配向膜を、L C は液晶層を、P A S は薄膜トランジスタの表面保護膜を、N S I はリン等をドーブしたシリコンからなる電極を、G I はゲート絶縁膜を、S U B 1 は薄膜トランジスタが配置される側の透明絶縁基板を、D T M は映像信号配線の端子部分を、P A D は外部駆動回路と接続するためのパッド電極を、G T M は走査信号配線の端子部分をそれぞれ示す。

【 0 0 6 9 】

図 6 に示すように、薄膜トランジスタが配置される側の透明絶縁基板 S U B 1 は T F T 基板と呼ばれ、この T F T 基板 S U B 1 と液晶層 L C を介して対向配置される対向側の透明絶縁基板 S U B 2 は C F 基板と称す。

本発明の第 1 の実施の形態による反射型液晶表示装置 A 1 の C F 基板 S U B 2 に、その液晶層 L C 側の面に T F T 上の画素電極の隙間領域を覆うとともに、各画素領域を画定する遮光パターン B M が形成されている。実質的な画素領域を画定する遮光パターン B M の開口部には、カラーフィルタ C F が形成されている。さらに、遮光パターン B M 及びカラーフィルタ C F を覆って、例えば樹脂膜からなるオーバーコート膜 O C が形成されている。このオーバーコート膜 O C の表面（下面）に、共通信号電極 C E が形成されている。この共通信号電極 C E の表面（下面）には、配向膜 O R I 2 が形成されている。D F 基板の上面液晶層 L C 側とは反対の面には、偏光板 P O L と、液晶層 L C の屈折率異方性の波長分散を補うための位相差板 N F と、出射光を拡散させるための散乱性フィルム S F とが形成されている。

【 0 0 7 0 】

一方、T F T 基板 S U B 1 側には、逆スタガの薄膜トランジスタ T F T 1 が形成されている。薄膜トランジスタ T F T 1 においては、走査信号配線 G L 1 に薄膜トランジスタ T F T 1 のしきい値以上の電圧が印加されると、半導体層 S I 1 が導通状態となり、薄膜トランジスタ T F T 1 のドレイン電極 D E 1 とソース電極 S E 1 との間が導通状態となる。その際、映像信号配線 D L 1 に印加されている電圧とほぼ等しい電圧が画素電極 P X 1 にも印加される。

【 0 0 7 1 】

走査信号配線 G L 1 の電圧が、薄膜トランジスタ T F T 1 のしきい値電圧以下の場合になると、薄膜トランジスタ T F T 1 のドレイン電極 D E 1 とソース電極 S E 1 との間が絶縁状態となる。映像信号配線 D L 1 に印加されている電圧は画素電極 P X 1 には伝達されない。但し、画素電極 P X 1 はドレイン電極 D E とソース電極 S E とが導通状態の時に伝達された際の電位が、画素電極 P X 1 と共通電極 C E との間に形成される蓄積容量により次の走査期間まで保持される。

尚、図 6 に示すように、ドレイン電極 D E 1 及びソース電極 S E 1 と、シリコン層 S I 1 の間にはリン等の不純物をドーブしたシリコン膜により電極 N S I が形成されていても良い。

【 0 0 7 2 】

スルーホール T H 1 は、薄膜トランジスタ T F T 1 のソース電極 S E 1 と画素電極 P X 1 とを接続するために、薄膜トランジスタ T F T 1 の表面保護膜（層間絶縁膜）P A S に形成されている。画素電極 P X 1 は、スルーホール T H 1 の段差を乗り越えて、スルーホール T H 1 の底部に露出したソース電極 S E 1 の上面と電氣的に接続されている。画素電極

10

20

30

40

50

P X 1 は、偏光板 P O L 側から入射した光を反射させる機能を有しており、この反射光を用いて表示を行う。配向膜 O R I 1 及び O R I 2 は、その表面をラビング法等により処理を施すことにより、液晶層 L C 内の液晶分子を一定方向に配向させる機能を有している。

【 0 0 7 3 】

偏光板 P O L は、反射型液晶表示装置 A 1 に入射した光を直線偏光に変換する機能を有している。偏光板 P O L 側から入射した光は、位相差板 N F、液晶層 L C を通り、画素電極 P X 1 において反射する。反射光は、再び、液晶層 L C、位相差板 N F を通過して偏光板 P O L に到達する。液晶層 L C 及び位相差板 N F は、屈折率異方性を有している。液晶層 L C の屈折率異方性は、液晶層 L C に印加された電界によりその特性が変化する。

【 0 0 7 4 】

例えば、液晶層 L C に電界が印加されない状態で白表示をするノーマリーホワイト型の反射型液晶表示装置においては、液晶層 L C に電界を生じさせると、偏光板 P O L を通過し画素電極 P X 1 で反射し、再び偏光板 P O L に到達した光は、位相差板 N F と液晶層 L C により、偏光板 P O L の吸収軸に対して平行な偏光となり、偏光板 P O L で吸収される。従って、反射光は、反射型液晶表示装置 A 1 から外に出射しないため、黒表示となる。

【 0 0 7 5 】

一方、液晶層 L C に電界が印加されていない状態においては、位相差板 N F と液晶層 L C とにより、画素電極 P X 1 で反射し偏光板 P O L に到達した光が、偏光板 P O L の吸収軸に対して垂直な偏光となり、偏光板 P O L で吸収されない。従って、反射光が反射型液晶表示装置 A 1 の外に出射し、白表示となる。

【 0 0 7 6 】

図 7 (a) は、本発明の第 1 の実施の形態による反射型液晶表示装置のうち、図 3 の領域 D に配置された走査信号配線用端子 G T M の平面図であり、図 7 (b) は図 7 (a) の V I I - V I I ' 線に沿う断面図を示す。図 8 (a) は、図 3 の領域 C に配置された映像信号配線用端子 D T M の平面図であり、図 8 (b) は図 8 (a) の V I I I - V I I I ' 線に沿う断面図である。

【 0 0 7 7 】

図 7 (a) 及び図 7 (b) に示すように、走査信号配線用端子 G T M は、透明絶縁基板 S U B 1 上の走査信号端子部分を形成する領域に形成された走査信号配線 G L の延在部を有する。さらに、走査信号配線 G L を覆ってゲート絶縁膜 G I 及び薄膜トランジスタ T F T 1 の表面保護膜 P A S が順次積層され、これらゲート絶縁膜 G I 及び表面保護膜 P A S に設けられたスルーホール T H によって、走査信号配線 G L の延在部の一部が露出される。その上にパッド電極 P A D が形成され、走査信号配線用端子 G T M を形成する。パッド電極 P A D は、スルーホール T H を介して、走査信号配線 G L と電氣的に接続される。

【 0 0 7 8 】

図 8 (a) 及び図 8 (b) に示すように、映像信号配線用端子 D T M は、透明絶縁基板 S U B 1 上にゲート絶縁膜 G I が形成され、映像信号配線用端子 D T M が形成される領域に映像信号配線 D L の延在部が形成される。その後、薄膜トランジスタ T F T を覆う表面保護膜 P A S が形成され、映像信号配線用端子 D T M が形成される領域のうち、後の工程で製造されるパッド電極 P A D が形成される領域の一部にスルーホール T H が開口される。その上に、パッド電極 P A D が形成され、映像信号配線用端子 D T M を形成する。このパッド電極 P A D は、スルーホール T H を介して、映像信号配線 D L と電氣的に接続される。

次に、本発明の第 1 の実施の形態による反射型液晶表示装置の電気回路及び外部駆動回路と接続する端子部分の形状について説明する。

【 0 0 7 9 】

図 9 は、本発明の第 1 の実施の形態によるアクティブマトリックス型液晶表示装置の等価回路図である。図 9 に示すように、X 方向に延在し Y 方向に整列して配置される各走査信号配線 G L は、走査信号配線用端子 G T M を介して、垂直走査回路 V S C によって、順次走査信号 (電圧信号) が供給されるようになっている。

10

20

30

40

50

【 0 0 8 0 】

走査信号配線 G L に沿って配置される各画素領域の薄膜トランジスタ T F T は、走査信号によって駆動される。走査信号のタイミングに合わせて、映像信号駆動回路 D D C から、映像信号配線用端子 D T M を介して、Y 方向に延在し、X 方向に整列配置される各映像信号配線 D L に映像信号を供給する。この映像信号は、各画素領域の薄膜トランジスタ T F T を介して、画素電極 P X に伝達される。共通信号電極 C E には、共通信号配線用端子 C T M を介して対向電圧が印加されており、画素電極 P X と共通信号電極 C E との間に電界を発生させる。この電界により液晶層の光透過率を制御する。

【 0 0 8 1 】

図 9 において、各画素領域に示した R , G , B のそれぞれの符号は、各画素領域にそれぞれ赤色用フィルタ、緑色用フィルタ、青色用フィルタが形成されていることを示している。

10

図 1 0 に、本発明の第 1 の実施の形態による反射型液晶表示装置の製造プロセスのフローを示す。反射型液晶表示装置は、例えば (A) から (E) までの 5 段階のホトリソグラフィ工程を経て、T F T 基板 S U B 1 が完成する。以下、製造工程を順に説明する。適宜、図 6 から図 8 までを参照する。

【 0 0 8 2 】

まず、工程 (A) においては、透明絶縁基板 S U B 1 を準備し、その表面上に、例えばスパッタリング法により C r 膜を 1 0 0 から 3 0 0 n m 、好ましくは 1 6 0 n m の膜厚で形成する。次に、ホトリソグラフィ技術を用いて、C r 膜をエッチングし、走査信号配線 G L とゲート電極 G E とを形成する。走査信号配線用端子 G T M 形成領域には、走査信号配線 G L の延在部を形成する。

20

【 0 0 8 3 】

次に、工程 (B) においては、透明絶縁基板 S U B 1 表面上に、例えばプラズマ C V D 法により、ゲート絶縁膜 G I として窒化シリコン膜を 2 0 0 から 7 0 0 n m 程度、好ましくは 3 5 0 n m の膜厚で形成する。さらに、このゲート絶縁膜 G I の表面全域に、例えばプラズマ C V D 法により、アモルファスシリコン膜を 5 0 から 3 0 0 n m 、好ましくは 2 0 0 n m の膜厚で形成し、n 型不純物としてリンをドーピングしたアモルファスシリコン膜を 1 0 から 1 0 0 n m 、好ましくは 2 0 n m の膜厚で順次積層する。

次に、ホトリソグラフィ技術を用いて、アモルファスシリコン膜をエッチングし、画素領域内に島状パターン S I 1 及び S I 2 を形成する。

30

【 0 0 8 4 】

次に、工程 (C) において、透明絶縁基板 S U B 1 を準備し、その表面上に、例えばスパッタリング法により、C r 膜を 1 0 0 から 3 0 0 n m 、好ましくは 1 6 0 n m の膜厚で形成する。次に、ホトリソグラフィ技術を用いて、C r 膜をエッチングし、画素領域内には薄膜トランジスタ T F T のドレイン電極 D E 、ソース電極 S E 及び映像信号配線 D L を、また映像信号配線用端子 D T M 形成領域には、映像信号配線 D L の延在部を形成する。その後、C r 膜をエッチングしたパターンをマスクとして、n 型不純物としてリンをドーピングしたアモルファスシリコン膜をエッチングする。

【 0 0 8 5 】

工程 (D) においては、透明絶縁基板 S U B 1 の表面全域に、例えばプラズマ C V D 法により薄膜トランジスタ T F T の表面保護膜 P A S となる窒化シリコン膜を 2 0 0 から 9 0 0 n m の間、好ましくは 3 5 0 n m の膜厚で形成する。次に、ホトリソグラフィ技術を用いて、表面保護膜 P A S をエッチングし、画素領域内に、薄膜トランジスタ T F T のソース電極 S E の一部上面を露出するためのスルーホール T H を形成する。さらに、走査信号配線 G T M 形成領域には、表面保護膜 P A S の下層に位置するゲート絶縁膜 G I の上面を露出させるスルーホール T H を形成し、走査信号配線 G L の一部を露出させる。映像信号配線用端子 D T M 形成領域には、映像信号配線 D L の延在部を露出するためのスルーホール T H を形成する。

40

【 0 0 8 6 】

50

次に、工程（Ｅ）においては、透明絶縁基板ＳＵＢ１の表面全域に、例えばスパッタリング法により、反射型画素電極を構成しＡｌを主成分とするとともに、Ｎｄを含む合金膜（以下、「Ａｌ－Ｎｄ膜」と称する。）を、５０から３００ｎｍ、好ましくは２００ｎｍの厚さで形成する。次に、ホトリソグラフィ技術を用いて、Ａｌ－Ｎｄ膜をエッチングする。画素領域内に、スルーホールＴＨを介して、ソース電極ＳＥと接続された画素電極ＰＸを形成するとともに、走査信号配線用端子ＧＴＭを、映像信号配線用端子ＤＴＭ形成領域には接続用のパッド電極ＰＡＤを形成する。以上に述べた工程により、ＴＦＴ基板側の構造が完成する。

【００８７】

一方、ＣＦ基板側には、顔料分散法などにより製造したカラーフィルタＣＦと、Ｃｒ系金属層又は有機材料からなる遮光パターンＢＭが形成される。その後、平坦化層となるオーバーコート膜を形成し、ＴＦＴ基板とＣＦ基板とをシール材などを用いて貼り合わせ、両基板間に液晶層ＬＣを封入する。ＣＦ基板の外側に偏光板ＰＯＬを配置することにより反射型液晶表示装置を形成することができる。

【００８８】

本発明の第１の実施の形態による反射型液晶表示装置によれば、反射型液晶表示装置を第１の仕様と第２の仕様とで製造する場合に、ＴＦＴの活性領域を構成する半導体層を形成する工程において、島状パターンＳＩ１及びＳＩ２をそれぞれの仕様の画素ピッチに対応した間隔で形成する。各々の仕様の反射型液晶表示装置を製造する際に、画素ピッチと同じピッチで形成された島状パターンを、薄膜トランジスタの半導体層として使用すれば、半導体層を形成する際のマスクを画素ピッチの異なる二つの仕様の反射型液晶表示装置を製造する際に共通化することができる。

【００８９】

次に、本発明の第２の実施の形態による反射型液晶表示装置について、図１１から図１４までを参照して説明する。図１１は、出発基板である大型ガラス基板上に、第１の仕様と第２の仕様とで形成された反射型液晶表示装置の基板外形を示す図である。図１２は、各基板外形の配置を示す図であり、図１３は、走査信号配線と映像信号配線とのそれぞれと外部回路との接続部分を示す図である。

【００９０】

本発明の第２の実施の形態による反射型液晶表示装置は、画素電極のピッチ、基板外形及び表示画面サイズが異なる第１及び第２の２つの仕様で反射型液晶表示装置を製造する際に、半導体層を形成する工程で用いるホトマスクを共通化したものである。尚、第１の実施の形態と同じの構成要素については同一の符号を付してその説明を省略する。

【００９１】

図１１及び図１２において、点線で囲まれた領域ＰＡＮ１は、第１の仕様で製造した反射型液晶表示装置の基板外形を、ＰＡＮ２は第２の仕様で製造した反射型液晶表示装置の基板外形を示す。領域を明確にするため、領域ＰＡＮ１には左下がりの斜線を施し、領域ＰＡＮ２には右下がりの斜線を施した。

【００９２】

符号ＳＵＢＬは、製造工程に用いられ複数の反射型液晶表示装置を形成できる大型透明絶縁基板を示す。符号ＡＰＡＤ１は、第１の仕様で製造した反射型液晶表示装置の端子形成領域を示し、符号ＡＰＡＤ２は第２の仕様で製造した反射型液晶表示装置の端子形成領域を示す。符号ＡＰＸ１は、第１の仕様で製造した反射型液晶表示装置の表示領域を、符号ＡＰＸ２は、第２の仕様で製造した反射型液晶表示装置の表示領域をそれぞれ示す。

【００９３】

本発明の第２の実施の形態による反射型液晶表示装置において、第１の仕様及び第２の仕様で製造した場合の、反射型液晶表示装置の薄膜トランジスタが配置される側の透明絶縁基板ＳＵＢ１の平面図は、第１の実施の形態による反射型液晶表示装置の場合と同じであるためその説明を省略する。

【００９４】

10

20

30

40

50

図 1 1 は、製造工程において用いる大型透明絶縁基板 S U B L 日から T F T 基板を製造する際の様子を示す概略図である。通常、反射型液晶表示装置などの比較的小型の表示装置を製造する工程においては、大型の透明絶縁基板を用いて各信号配線、薄膜トランジスタ等を製造し、その後、基板を所望のサイズに分割（切断）して複数枚の T F T 基板とするのが一般的である。

【 0 0 9 5 】

本実施の形態においては、第 1 の仕様と第 2 の仕様における基板外形 P A N 1 と P A N 2 とが異なる。大型絶縁基板 S U B L に対する各仕様での基板外形 P A N 1 と P A N 2 との相対的な位置も異なる。図 1 2 は、図 1 1 に示される領域 A（楕円で囲まれた領域）の模式的な図である。前述のように、大型絶縁基板 S U B L に対する第 1 又は第 2 の各仕様での基板外形の相対位置が異なるため、図 1 2 に示す A P X 1 と A P X 2 とは、第 1 の実施の形態による反射型液晶表示装置とは異なり基準位置が異なることになる。本発明の第 2 の実施の形態による反射型液晶表示装置では、表示領域 A P X 1 に島状パターン S I 1 を形成し、表示領域 A P X 2 に島状パターン S I 2 を形成する。

10

【 0 0 9 6 】

本発明の第 2 の実施の形態による反射型液晶表示装置においては、走査信号配線の延在方向（X 方向）に整列配置される島状パターン S I 1 のピッチを、走査信号配線の延在方向（X 方向）に隣接する第 1 の仕様における画素電極のピッチとほぼ同じピッチにする。映像信号配線の延在方向（Y 方向）に整列配置される島状パターン S I 1 のピッチは、映像信号配線の延在方向（Y 方向）に隣接する第 1 の仕様における画素電極のピッチとほぼ同じになる。

20

【 0 0 9 7 】

走査信号配線の延在方向（X 方向）に整列配置される島状パターン S I 2 のピッチは、走査信号配線の延在方向（X 方向）に隣接する第 2 の仕様における画素電極のピッチとほぼ同じにする。映像信号配線の延在方向（Y 方向）に併設する島状パターン S I 2 のピッチは、映像信号配線の延在方向（Y 方向）に隣接する第 2 の仕様における画素電極のピッチとほぼ同じになる。

本発明の第 2 の実施の形態による反射型液晶表示装置の断面図は、本発明の第 1 の実施の形態による反射型液晶表示装置の場合と同様であるため説明を省略する。

【 0 0 9 8 】

図 1 3（a）は、本発明の第 2 の実施の形態による反射型液晶表示装置を第 2 の仕様で製造した場合の、図 1 2 の領域 F に配置される走査信号配線用端子 G T M 部分の平面図であり、図 1 3（b）は、図 1 3（a）の X I I I - X I I I ' 線に沿う断面図である。図 1 4（a）は、第 2 の仕様で製造した反射型液晶表示装置であって、図 1 2 の領域 E に配置される映像信号配線用端子 D T M 部分の平面図であり、図 1 4（b）は図 1 4（a）の X I V - X I V ' 線に沿う断面図である。

30

【 0 0 9 9 】

第 2 の仕様において、走査信号配線用端子 G T M が形成される領域には、第 1 の仕様で薄膜トランジスタの半導体層となる島状パターン S I 1 が形成されている。パッド電極 P A D は、島状パターン S I 1 を乗り越えるように形成される。島状パターンを順テーパ形状に加工することにより、パッド電極 P A D が島状パターン S I 1 を乗り越える際に断線を引き起こす可能性を低減することができる。

40

【 0 1 0 0 】

図 1 4 に示すように、映像信号配線用端子 D T M 部分にも、走査信号配線用端子 G T M と同様に第 1 の仕様で薄膜トランジスタの半導体層として使用する島状パターンが存在するが、走査信号配線端子部分に形成された島状パターンと同様に順テーパ形状に加工することで、乗り越えによる断線の問題は生じにくい。

【 0 1 0 1 】

第 2 の仕様により製造した反射型液晶表示装置の図 1 2 の領域 D に配置される走査信号配線用端子 G T M 部分の平面図と、図 1 2 の領域 C に配置される映像信号配線用端子 D T M

50

部分の平面図は、本発明の第 1 の実施の形態による反射型液晶表示装置と同様のため説明を省略する。本発明の第 2 の実施の形態による反射型液晶表示装置の電気回路の概略図も第 1 の実施の形態と同じであるため、その説明を省略する。

本実施の形態による反射型液晶表示装置を製造するためのプロセスフローに関しても第 1 の実施の形態と同じであるため説明を省略する。

【 0 1 0 2 】

本実施の形態による反射型液晶表示装置によれば、半導体層を形成する工程で、島状パターン S I 1、S I 2 を、それぞれの仕様における画素ピッチに対応して形成し、各々の仕様の反射型液晶表示装置を製造する際にそれぞれを薄膜トランジスタの半導体層として使用することにより、半導体層を形成する際のマスクを異なる仕様の反射型液晶表示装置を製造する際に共通化することができる。

10

次に、本発明の第 3 の実施の形態による反射型液晶表示装置について、図 1 5 から図 1 8 までを参照して説明する。

【 0 1 0 3 】

本発明の第 3 の実施の形態による反射型液晶表示装置は、画素電極のピッチが異なり、基板外形、表示画面サイズが同じ 2 つの仕様の反射型液晶表示装置を製造する場合に、走査信号配線及びゲート電極を形成する工程で用いるホトマスクを共通化した例である。

【 0 1 0 4 】

図 1 5 から図 1 8 までにおいて、第 1 又は第 2 の実施の形態による反射型液晶表示装置と同一の構成要素については同一の符号を付してその説明を省略する。図において、符号 X L は行配線パターンを、Y E は列電極パターンを、S I は薄膜トランジスタの半導体層を示す。

20

図 1 5 は、本発明の第 3 の実施の形態による反射型液晶表示装置であって、第 1 の仕様で製造した反射型液晶表示装置のうち、薄膜トランジスタが配置される側の透明絶縁基板の平面図である。

【 0 1 0 5 】

第 1 の仕様で製造した反射型液晶表示装置 A 1 は、走査信号配線 G L 1 を形成する工程で形成され、走査信号配線 G L 1 とほぼ平行に形成された行配線パターン X L 1 (X 方向に延在する) を有している。加えて、行配線パターン X L 1 から Y 方向に伸びる列電極パターン Y E が形成されている。ここで、行配線パターン X L のピッチは、第 2 の仕様における映像信号配線 D L の延在方向 (Y 方向) に隣接する画素電極 P X 2 のピッチとほぼ同じである。

30

【 0 1 0 6 】

また、走査信号配線 X L 1 から伸びる列電極パターン Y E 1 のピッチは、第 2 の仕様における走査信号配線 X L 2 の延在方向 (X 方向) に隣接する画素電極 P X 2 のピッチとほぼ同じである。これら行配線パターン X L 1 及び列電極パターン Y E 1 は、後述する第 2 の仕様で製造した場合には、その反射型液晶表示装置 A 2 の走査信号配線 G L 2、ゲート電極 G E として機能する。

【 0 1 0 7 】

図 1 6 は、本発明の第 3 の実施の形態による反射型液晶表示装置であって、第 2 の仕様で製造した反射型液晶表示装置の薄膜トランジスタが配置される側の透明絶縁基板の平面図である。

40

図 1 6 に示すように、第 2 の仕様で製造した反射型液晶表示装置 A 2 にも、前述の図 1 5 と同様に、走査信号配線 G L 2 を形成する工程で形成され走査信号配線 G L とほぼ平行に行配線パターン X L 2 が形成される。加えて、行配線パターン X L 2 から列電極パターン Y E 2 が伸びている。ここで、行配線パターン X L 2 のピッチは、第 1 の仕様における反射型液晶表示装置 A 1 の映像信号配線 D L 1 の延在方向に隣接する画素電極 P X 1 のピッチとほぼ同じである。

【 0 1 0 8 】

また、走査信号配線 X L 2 の延在方向 (X 方向) に整列して形成される列電極配線パター

50

ン Y E 2 のピッチは、第 1 の仕様により形成された反射型液晶表示装置 A 1 の走査信号配線 G L 1 の延在方向 (X 方向) に隣接する画素電極 P X 1 のピッチとほぼ同じである。これら行配線パターン X L 2 及び列電極パターン Y E 2 は、前述の第 1 の仕様で製造した反射型液晶表示装置 A 1 では、走査信号配線 G L 1 、ゲート電極 G E 1 として用いられるパターンである。

また、第 1 の仕様又は第 2 の仕様のいずれの仕様により反射型液晶表示装置を製造した場合においても、走査信号配線 G L となるパターンには、通常、ゲート電極 G E と列電極パターン Y E とが同時に接続される。

【 0 1 0 9 】

本発明の第 3 の実施の形態による反射型液晶表示装置において、行配線パターン X L 及び列電極パターン Y E は、それぞれ未使用のパターンとなる。ここで、図 1 5 に示すように、ソース電極 S E 1 と配線パターン X L 1 とが重畳する構造となる場合もある。しかしながら、ソース電極 S E 1 と配線パターン X L 1 は、ゲート絶縁膜 G I を介して電氣的に絶縁されているため、ショート等の問題は生じない。但し、ソース電極 S E 1 と配線パターン X L 1 との間には、浮遊容量が発生するため、表示品質の劣化等が生じないような容量を設計する必要がある。また、行配線パターンと画素電極間にも浮遊容量が生じるため、表示品質の劣化等が生じないような容量の設計が必要となる。

【 0 1 1 0 】

図 1 7 に、本発明の第 3 の実施の形態による反射型液晶表示装置における、走査信号配線用端子 G T M 形成領域の平面図を示す。走査信号配線用端子 G T M 形成領域には、走査信号配線 G L の延在部の他に行配線パターン X L の延在部も形成されている。外部から信号入力を必要とするのは走査信号配線 G L のみである。本発明の第 3 の実施の形態による反射型液晶表示装置では、走査信号配線 G L にのみ外部信号が入力されるために、スルーホール T H およびパッド電極を走査信号配線 G L の延在部にのみ形成し、配線パターンの延在部にはスルーホール T H 及びパッド電極 P A D を形成しない。このように、パッド電極 P A D を選択的に形成することより、必要な配線にのみ信号を入力することができる。

【 0 1 1 1 】

尚、本発明の第 3 の実施の形態による反射型液晶表示装置の映像信号配線用端子 D T M 部分の平面図は、第 1 の実施の形態による反射型液晶表示装置と同様であるためその説明を省略する。また、電気回路の概略図も第 1 の実施の形態による反射型液晶表示装置と同じであるため説明を省略する。

【 0 1 1 2 】

図 1 8 に、本発明の第 3 の実施の形態による反射型液晶表示装置を製造するためのプロセスフローを示す。尚、本実施の形態による製造工程は、工程 (C) から (E) まだが、第 1 の実施の形態による製造工程と同じであるためその説明を省略する。

【 0 1 1 3 】

まず工程 (A) において、透明絶縁基板 S U B 1 を準備し、その表面上に、例えばスパッタリング法により C r 膜を 1 0 0 から 3 0 0 n m 、好ましくは 1 6 0 n m の膜厚で形成する。次に、ホトリソグラフィ技術を用いて、C r 膜をエッチングし、走査信号配線 G L 、行配線パターン X E 、ゲート電極 G E 、列電極パターン Y E 及び走査信号配線用端子 G T M の形成領域に走査信号配線 G L 、行配線パターン X L の延在部を形成する。

【 0 1 1 4 】

次に、工程 (B) において、透明絶縁基板 S U B 1 の表面上に、例えばプラズマ C V D 法により、ゲート絶縁膜 G I となる窒化シリコン膜を 2 0 0 から 7 0 0 n m 程度、好ましくは 3 5 0 n m の膜厚で形成する。さらに、このゲート絶縁膜 G I の表面上に、例えばプラズマ C V D 法により、アモルファスシリコン膜を 5 0 から 3 0 0 n m 、好ましくは 2 0 0 n m の膜厚で形成し、次いで n 型不純物としてリンをドーピングしたアモルファスシリコン膜を 1 0 から 1 0 0 n m 、好ましくは 2 0 n m の膜厚で順次積層する。

次に、ホトリソグラフィ技術を用いて、アモルファスシリコン膜をエッチングし、画素領域内に薄膜トランジスタ T F T の半導体層 S I を形成する。

10

20

30

40

50

以上の工程を経てＴＦＴ基板が完成する。

【０１１５】

本発明の第３の実施の形態による反射型液晶表示装置によれば、第１の仕様の反射型液晶表示装置Ａ１の製造工程において、走査信号配線ＧＬ１を形成する工程において、第２の仕様の反射型液晶表示装置の映像信号配線ＤＬ２の延在方向（Ｙ方向）に隣接する画素電極ＰＸ２のピッチとほぼ同一の間隔で行配線パターンＸＬ１を、走査信号配線ＧＬ１の延在方向（Ｘ方向）に隣接する第２の仕様における画素電極ＰＸ２のピッチと同じピッチで第１の仕様における列電極パターンＹＥ１を形成することにより、走査信号配線ＧＬ及びゲート電極ＧＥを形成する際のホトマスクを２つの異なる画素ピッチを有する反射型液晶表示装置を製造する際に共通化することができる。

10

【０１１６】

次に、本発明の第４の実施の形態による反射型液晶表示装置について、図１９及び図２０を参照して説明する。

本発明の第４の実施の形態による反射型液晶表示装置においては、画素電極のピッチが異なり、基板外形、表示画面サイズが同一の第１及び第２の２つの仕様の反射型液晶表示装置を製造する場合に走査信号配線及びゲート電極を形成する工程で用いるホトマスクを共通化したものである。

【０１１７】

図１９及び図２０において、前述の実施の形態と同一の構成要素については同一の符号を付して重複する説明を省略する。

20

本発明の第４の実施の形態による反射型液晶表示装置を、第１の仕様で製造した場合に、薄膜トランジスタが配置される側の透明絶縁基板の平面図と、第２の仕様で製造した場合の同平面図とは、本発明の第３の実施の形態による反射型液晶表示装置と同じであるため説明を省略する。また、走査信号配線用端子ＧＴＭ形成領域の平面図は、第３の実施の形態による同平面図と同じであるため説明を省略する。映像信号配線用端子ＤＴＭ平面図は、第１の実施の形態と同じであるため説明を省略する。電気回路図は、第１の実施の形態と同じであるため説明を省略する。プロセスフローは、第３の実施の形態と同じであるため説明を省略する。

【０１１８】

図１９は、走査信号配線端子部分の反対側の構成を示す図である。走査信号配線用端子の反対側では、図１９に示すように、行配線パターンＸＬの延在部及び走査信号配線ＧＬの延在部が形成されている。行配線パターンＸＬ上にスルーホールＴＨを選択的に形成し、行配線パターンＸＬの延在部の一部上を露出させる。さらに、パッド電極ＰＡＤが形成される全ての行配線パターンＸＬを接続する。ここで、行配線パターンＸＬに接続されたパッド電極ＰＡＤには、共通信号電極と同じ電圧を印加する。

30

【０１１９】

図２０（ａ）から図２０（ｆ）までは、図１９を含む変形例の回路図である。図２０（ｆ）は図１９と同じ構成を回路図で示した図である。図２０（ａ）は、非選択パターンである複数の行方向配線ＸＬの延在部を接続し、これらを一定の電位に保持する例である。図２０（ｂ）は、非選択パターンである複数の列方向配線ＹＬの延在部を接続し、これらを一定の電位に保持する例である。図２０（ｃ）は、非選択パターンである複数の行方向配線ＸＬの延在部を接続し、これらを共通電極ＣＥに接続する例である。図２０（ｄ）は、非選択パターンである複数の列方向配線ＹＬの延在部を接続し、これらを共通電極ＣＥに接続する例である。図２０（ｅ）は、非選択パターンである複数の行方向配線ＸＬと複数の列方向配線ＹＬとの延在部を接続し、これらを一定の電位に保持する例である。図２０（ｆ）は、非選択パターンである複数の行方向配線ＸＬと複数の列方向配線ＹＬとの延在部を接続し、これらを共通電極ＣＥに保持する例であり、図１９と同じ例である。

40

【０１２０】

非選択配線パターンの延在部を一定電位にするか、或いは共通電極と接続することにより、表示品質の劣化の要因となりうる配線パターンと画素電極との間の容量を液晶の保持容

50

量として利用することができ、表示部の表示品質を向上することができる。

次に、本発明の第5の実施の形態による反射型液晶表示装置について図21を参照して説明する。本発明の第5の実施の形態による反射型液晶表示装置は、画素電極のピッチが異なり、基板外形、表示画面サイズが同一の第1及び第2の2つの仕様の反射型液晶表示装置を製造する場合に走査信号配線、ゲート電極を形成する工程で用いるホトマスクを共通化した例である。

【0121】

図21において、前述の各実施の形態による反射型液晶表示装置と同一の構成要素については同一の符号を付して重複する説明を省略する。

図21は、本発明の第5の実施の形態による反射型液晶表示装置であって、第1の仕様で製造した反射型液晶表示装置のうち薄膜トランジスタが配置される側の透明絶縁基板の平面図である。本発明の第5の実施の形態による反射型液晶表示装置では、走査信号配線GL1及び薄膜トランジスタTFT1と画素電極（斜線を施した領域）PX1の相対的な位置が、映像信号配線の延在方向（Y方向）に隣接する画素電極毎に異なる構造を有する。かかる構造により、本発明の第3の実施の形態による反射型液晶表示装置において、ソース電極SEと画素電極PXとの間が重畳するのを回避することができる。すなわち、図20に示す構造を有する反射型液晶表示装置においては、ソース電極SE1と行配線パターンXL1との間に生じる容量を低減することができ、容量の設計が容易になるという利点がある。

【0122】

本発明の第5の実施の形態による反射型液晶表示装置は、容量を低減するための一例である。その他、走査信号配線GL1、薄膜トランジスタTFT1の配置を工夫することによって最適な容量設計をすることも可能である。

本発明の第5の実施の形態による反射型液晶表示装置の走査信号配線用端子GTM形成領域の平面図は第3の実施の形態による反射型液晶表示装置と同一であるため説明を省略する。映像信号配線用端子DTM部分の平面図は、第1の実施の形態による反射型液晶表示装置と同一のため説明を省略する。電気回路の概略図は第1の実施の形態と同一であるため説明を略す。プロセスフローは、第3の実施の形態と同一のため説明を省略する。

【0123】

本発明の第5の実施の形態による反射型液晶表示装置によれば、第1の仕様で反射型液晶表示装置を製造する際であって、走査信号配線GL1を形成する工程において、第2の仕様の映像信号配線の延在方向（Y方向）に隣接する画素電極のピッチとほぼ同一の間隔で行配線パターンXL1が、走査信号配線の延在方向（X方向）に隣接する画素電極のピッチと同一の間隔で列電極パターンYE1を形成することにより、二つの異なる画素ピッチを持つ反射型液晶表示装置を製造する場合に、走査信号配線GL1とゲート電極GE1とを形成する際のホトマスクを共通化することができる。

【0124】

次に、本発明の第6の実施の形態による反射型液晶表示装置について、図22から図25までを参照して説明する。本実施の形態による反射型液晶表示装置は、画素電極のピッチが異なり、基板外形、表示画面サイズが同一の第1及び第2の2つの仕様の反射型液晶表示装置を製造する場合に、映像信号配線、ソース電極、ドレイン電極を形成する工程で用いるホトマスクを共通化した実施の形態である。

前述の第1から第5までのいずれかの実施の形態と同一の構成要素については同一の符号を付して重複する説明を省略する。符号YEは列配線パターンを、符号XEは行電極パターンを、符号MEは交差部電極パターンをそれぞれ示す。

【0125】

図22は、第1の仕様で製造した反射型液晶表示装置であって、薄膜トランジスタが配置される側の透明絶縁基板の構造を示す平面図である。第1の仕様で製造した反射型液晶表示装置には、映像信号配線DL1を形成する工程で形成された走査信号配線DL1とほぼ平行に列配線パターンYL1が配置されている。また列配線パターンYL1には、行電極

パターン X E 1 が接続されている。さらに、行電極パターン Y E 1 と向かい合う位置に交差部電極パターン M E 1 が形成されている。これらは、通常、同層のパターンとして形成される。

【 0 1 2 6 】

ここで列配線パターン Y L 1 のピッチは、第 2 の仕様における映像信号配線 D L 1 の延在方向に、隣接する画素電極のピッチとほぼ同じである。また、行電極パターン X E 1 および交差部電極パターン M E 1 の映像信号配線 D L 1 の延在方向 (Y 方向) にピッチは、第 2 の仕様における映像信号配線 D L 2 の延在方向 (Y 方向) に隣接する画素電極 P X 2 のピッチとほぼ同じである。列配線パターン Y L 1、行電極パターン X E 1 及び交差部電極パターン M E 1 は、それぞれ後述する第 2 の仕様で製造した反射型液晶表示装置の映像信号配線 D L 2、ドレイン電極 D E 2、ソース電極 S E 2 となる。

10

【 0 1 2 7 】

図 2 3 は、第 2 の仕様で製造した反射型液晶表示装置 A 2 の薄膜トランジスタ T F T 2 が配置される側の透明絶縁基板の平面図である。第 2 の仕様で製造した反射型液晶表示装置 A 2 にも、前述した図 2 2 と同様に映像信号配線を形成する工程で形成され映像信号配線とほぼ平行な列配線パターンが配置されている。また列配線パターン Y L 2 には、行電極パターン X E 2 が接続されており、行電極パターン X E 2 と向かい合う位置に交差部電極パターン M E 2 が形成されている。これら列配線パターン Y L 2、行電極パターン X E 2、交差部電極パターン M E 2 は、第 1 の仕様において映像信号配線 D L 1、ドレイン電極 D E 1、ソース電極 S E 1 として用いられるパターンである。また、映像信号配線 D L にドレイン電極 D E と行電極パターン X E とが同時に接続される場合もある。

20

【 0 1 2 8 】

本実施の形態による反射型液晶表示装置において、列配線パターン Y L、行電極パターン X E はそれぞれ未使用のパターンとなる。列配線パターン Y L と画素電極間に浮遊容量が生じるため、表示品質の劣化等が生じないような容量の設計が必要となる。

【 0 1 2 9 】

図 2 4 は、映像信号配線用端子 D T M 形成領域の平面図である。映像信号配線用端子 D T M 形成領域には、映像信号配線 D L の延在部の他に列配線パターン Y L の延在部も形成されている。このうち、外部から信号入力を必要とするのは映像信号配線 D L のみである。そこで、本実施の形態による反射型液晶表示装置においては、映像信号配線 D L にのみ外部信号を入力するために、パッド電極 P A D 及びパッド電極 P A D と映像信号配線 D L の延在部とを接続するためのスルーホール T H を、映像信号配線 D L の延在部にのみ形成する。列配線パターン Y L の延在部には、スルーホール T H やパッド電極 P A D は形成しない。このように、パッド電極 P A D とスルーホール T H とを選択的に形成することより映像信号配線 D L にのみ信号を入力することが可能である。

30

尚、走査信号配線用端子 C T M 部分の平面図は、第 1 の実施の形態と同一のため説明を省略する。電気回路の概略図は第 1 の実施の形態と同一であるため説明を省略する。

【 0 1 3 0 】

図 2 5 に、本実施の形態による反射型液晶表示装置の製造プロセスフローを示す。本実施の形態において、工程 (A) は第 1 の実施の形態と、(B)、(D) 及び (E) は第 3 の実施の形態と同様であるため説明を省略する。

40

工程 (C) において、透明絶縁基板 S U B 1 を準備し、その表面全域に、例えばスパッタリング法によって、C r 膜を 1 0 0 から 3 0 0 n m、好ましくは 1 6 0 n m の膜厚で形成する。次に、ホトリソグラフィ技術を用いて、C r 膜をエッチングし、薄膜トランジスタ T F T のドレイン電極 D E、ソース電極 S E 及び映像信号配線 D L、列配線パターン Y L、行電極パターン X E を、また映像信号配線用端子 D T M 形成領域には、映像信号配線 D L の延在部を形成する。

その後、C r 膜をエッチングしたパターンをマスクとして、n 型不純物としてリンをドーピングしたアモルファスシリコン膜をエッチングする。以上の工程を経て T F T 基板が完成する。

50

【 0 1 3 1 】

本実施の形態によれば、第 1 の仕様で反射型液晶表示装置を製造する際に、映像信号配線 D L を形成する工程において、第 2 の仕様の映像信号配線の延在方向に隣接する画素電極のピッチとほぼ同一の間隔で列配線パターン Y L を、走査信号配線の延在方向 (X 方向) に隣接する画素電極のピッチと同一の間隔で行電極パターン X E を、行電極パターン X E に向かい合うように交差部電極パターン M E を形成することにより、映像信号配線 D L と、ドレイン電極 D E と、ソース電極 S E とを形成する際のホトマスクを、画素電極 P X のピッチが異なる 2 つの仕様で反射型液晶表示装置を製造する際に共通化することができる。

【 0 1 3 2 】

10

以上、第 1 の仕様と第 2 の仕様とで 1 層が同層である場合について説明した。次いで、第 1 の仕様と第 2 の仕様とで、 2 層以上を共通化する工程について説明する。

まず、第 1 の仕様と第 2 の仕様とで 2 層を共通化した本発明の第 7 の実施の形態について図 2 6 から図 3 0 までを参照して説明する。

【 0 1 3 3 】

図 2 6 は、第 1 の仕様と第 2 の仕様とで半導体層 S I 1 と映像信号線兼ドレイン電極 D L 1 / D E 1 とを形成するマスクを共通化する際に、第 1 の仕様で形成した反射型液晶表示装置の部分断面図である。基板 S U B 1 上に、薄膜トランジスタ T F T 1 と別パターン M とが形成される。薄膜トランジスタ T F T 1 と別パターンとは、半導体層 S I 1 と映像信号線兼ドレイン電極 D L 1 / D E 1 との 2 層が同層で形成されている。 T F T 1 のソース電極 S E 1 はスルーホール T H 1 を介して画素電極 P X 1 と接続されている。別パターン M にはスルーホール T H は形成されておらず、画素電極 P X とともに接続されていない。

20

【 0 1 3 4 】

図 2 7 は、第 1 の仕様と第 2 の仕様とで走査信号配線兼ゲート電極 G L 1 / G E 1 と映像信号線兼ドレイン電極 D L 1 / D E 1 とを形成するマスクを共通化する際に、第 1 の仕様で形成した反射型液晶表示装置の部分断面図である。基板 S U B 1 上に、薄膜トランジスタ T F T 1 と別パターン M とが形成される。薄膜トランジスタ T F T 1 と別パターンとは、走査信号配線兼ゲート電極 G L 1 / G E 1 と映像信号線兼ドレイン電極 D L 1 / D E 1 との 2 層が同層で形成されている。 T F T 1 のソース電極 S E 1 はスルーホール T H 1 を介して画素電極 P X 1 と接続されている。別パターン M にはスルーホール T H は形成されておらず、画素電極 P X とともに接続されていない。

30

【 0 1 3 5 】

図 2 8 は、第 1 の仕様と第 2 の仕様とで走査信号配線兼ゲート電極 G L 1 / G E 1 と映像信号線兼ドレイン電極 D L 1 / D E 1 とを形成するマスクを共通化する際に、第 1 の仕様で形成した反射型液晶表示装置の部分断面図である。基板 S U B 1 上に、薄膜トランジスタ T F T 1 と別パターン M とが形成される。薄膜トランジスタ T F T 1 と別パターンとは、走査信号配線兼ゲート電極 G L 1 / G E 1 と映像信号線兼ドレイン電極 D L 1 / D E 1 との 2 層が同層で形成されている。 T F T 1 のソース電極 S E 1 はスルーホール T H 1 を介して画素電極 P X 1 と接続されている。別パターン M にはスルーホール T H は形成されておらず、画素電極 P X 1 とともに接続されていない。

40

【 0 1 3 6 】

図 2 9 及び図 3 0 は、 2 層共通の例として、走査信号配線 G L 1 兼ゲート電極 G E と映像信号線兼ドレイン電極 D L / D E との 2 層を同層で形成した例の平面図である。図 2 9 は第 1 の仕様で製造した場合の平面図であって、図 2 7 に対応する図である。尚、図 2 8 は、図 2 9 の 2 8 - 2 8 ' 線に沿う断面図である。図 3 0 は、第 2 の仕様で製造した場合の平面図である。

【 0 1 3 7 】

図 2 9 に示すように、第 1 の仕様で製造した反射型液晶表示装置は、走査信号配線兼ゲート電極 G L 1 / G E 1 と映像信号線兼ドレイン電極 D L 1 / D E 1 との 2 層が同層で形成されている薄膜トランジスタ T F T 1 と別パターン M 1 とが形成されている。

50

【 0 1 3 8 】

薄膜トランジスタ T F T 1 のソース電極 S E 1 は、スルーホール T H を介して画素電極 P X 1 と接続されている。画素電極 P X 1 は X 方向に第 1 のピッチで、Y 方向に第 3 のピッチで形成されており、走査信号配線 G L 1 は Y 方向に第 2 のピッチで、ゲート電極 G E 1 は X 方向に第 1 のピッチで形成されている。映像信号線 D L 1 は、X 方向に第 1 のピッチでドレイン電極 D E 1 は X 方向に第 1 のピッチで Y 方向に第 3 のピッチで形成されている。

【 0 1 3 9 】

薄膜トランジスタ T F T 1 は、行方向 (X 方向) に整列して形成されている。一方、別パターン M 1 には、走査信号配線兼ゲート電極 G L 1 / G E 1 と映像信号線兼ドレイン電極 D L 1 / D E 1 とが形成されているが、半導体層 S I 1 やスルーホール T H 1 は形成されていない。別パターン M 1 も行方向 (X 方向) に整列して配置されている。図 2 9 に示す例では、薄膜トランジスタ T F T 1 と別パターン M 1 とが、列方向 (Y 方向) に関して交互に形成されている。

10

【 0 1 4 0 】

図 3 0 に示すように、第 2 の仕様で製造した反射型液晶表示装置は、走査信号配線兼ゲート電極 G L 2 / G E 2 と映像信号線兼ドレイン電極 D L 2 / D E 2 との 2 層が同層で形成されている薄膜トランジスタ T F T 2 と別パターン M 2 とが形成されている。

【 0 1 4 1 】

薄膜トランジスタ T F T 2 は、行方向 (X 方向) に整列して形成されている。一方、別パターン M 2 には、走査信号配線兼ゲート電極 G L 2 / G E 2 と映像信号線兼ドレイン電極 D L 2 / D E 2 とが形成されているが、半導体層 S I 2 やスルーホール T H 2 は形成されていない。別パターン M 2 も行方向 (X 方向) に整列して配置されている。図 3 0 に示す例では、薄膜トランジスタ T F T 2 と別パターン M 2 とが、列方向 (Y 方向) に関して交互に形成されている。

20

【 0 1 4 2 】

第 1 の仕様において行方向に整列して形成された薄膜トランジスタ T F T 1 の位置から選択された位置にのみ薄膜トランジスタ T F T 2 が形成される。薄膜トランジスタ T F T 2 のソース電極 S E 2 と画素電極 P X 2 とがスルーホール T H 2 により選択的に接続されている。第 2 の仕様では、画素電極 P X 2 は X 方向に第 3 のピッチで、Y 方向に第 4 のピッチで形成されている。但し、薄膜トランジスタ T F T 2、走査信号配線兼ゲート電極 G L 2 / G E 2 と映像信号線兼ドレイン電極 D L 2 / D E 2 は、第 1 のピッチ、第 2 のピッチを有しており、画素電極とはピッチが異なる。

30

【 0 1 4 3 】

以上説明したように、本発明の第 7 の実施の形態による反射型液晶表示装置においては、第 1 の仕様と第 2 の仕様とで 2 層を形成する際に、共通のホトマスクを用いることができる。従って、仕様の異なる複数の反射型液晶表示装置を製造する際の、製造コストを一層削減することができる。

次に、第 1 の仕様と第 2 の仕様とで 3 層を共通化した本発明の第 8 の実施の形態による反射型液晶表示装置について図 3 1 を参照して簡単に説明する。

40

【 0 1 4 4 】

図 3 1 は、第 1 の仕様と第 2 の仕様とで走査信号配線兼ゲート配線 G L 1 / G E 1 と、半導体層 S I 1 と、映像信号線兼ドレイン電極 D L 1 / D E 1 とを形成するマスクを共通化する際に、第 1 の仕様で形成した反射型液晶表示装置の部分断面図である。基板 S U B 1 上に、薄膜トランジスタ T F T 1 と別パターン M とが形成される。薄膜トランジスタ T F T 1 と別パターンとは、走査信号配線兼ゲート配線 G L 1 / G E 1 と半導体層 S I 1 と映像信号線兼ドレイン電極 D L 1 / D E 1 との 2 層が同層で形成されている。T F T 1 のソース電極 S E 1 はスルーホール T H 1 を介して画素電極 P X 1 と接続されている。別パターン M にはスルーホール T H は形成されておらず、画素電極 P X とも接続されていない。本実施の形態においては 3 層のマスクを共通化できるので、製造コストをさらに削減する

50

ことができる。

【0145】

次に、本発明の第9の実施の形態による反射型液晶表示装置について図32から図39までを参照して説明する。本発明の第9の実施の形態による反射型液晶表示装置においては、画素電極のピッチ、基板外形、および表示画面サイズのいずれかが異なった場合に数種類の仕様間で走査信号配線、映像信号配線、半導体層を形成する工程に用いるホトマスクを共通化する。

尚、図32から図39までにおいて、前述の各実施の形態と同一の構成要素については同一の符号を付して重複する説明を省略する。符号OPASは、塗布型絶縁膜である。

【0146】

図32は、反射型液晶表示装置を製造する際に用いる大型透明絶縁基板の概略図である。本実施の形態においては、大型透明絶縁基板SUB1のほぼ全面に、行配線パターンXL及び行配線パターンXLと交差するように列配線パターンYLを形成する。

この際、行配線パターンXLのピッチは可能な限り小さくするのが好ましい。例えば、製造する反射型液晶表示装置の映像信号配線の延在方向に隣接する画素電極のピッチのうち最小ピッチと同一又はそれ以下とするのが望ましい。列配線パターンYLのピッチについてもできるだけ小さく、例えば製造する反射型液晶表示装置の走査信号配線の延在方向に隣接する画素電極のピッチと同一、もしくはそれ以下とするのが望ましい。

【0147】

図33は、前述した図32において囲まれた領域Gの平面図である。後述するプロセスフローの(C)工程を終了した段階での反射型液晶表示装置の平面図である。大型透明基板SUB1内に、前述した行配線パターンXL、列配線パターンYLの他に、行配線パターンに接続された列電極パターンYE、列配線パターンYLに接続された行電極パターンXE、行配線パターンXLと列配線パターンYLの交点付近に形成された半導体層からなる島状パターンSI及び半導体層の一部に重畳するように形成された交差部電極パターンMEがそれぞれ形成されている。

【0148】

これら列電極パターンYE、行電極パターンXE、島状パターンSI、交差部電極パターンMEは、薄膜トランジスタTFTとして動作可能に形成されており、列配線パターンYL、行配線パターンXLを介して、薄膜トランジスタTFTのゲート・ドレイン間にTFTのしきい値電圧 V_{th} 以上の電圧が加わると、列配線パターンYLの信号が半導体層SIを介して交差部電極パターンMEに伝達される。ここで、本実施の形態による反射型液晶表示装置において、走査信号配線GLとして使用する行配線パターンXL、映像信号配線DLとして使用する列配線パターンYL及び薄膜トランジスタTFTの半導体層として使用する島状パターンSIは、製造する反射型液晶表示装置の画素ピッチ、基板外形、表示画面サイズにより異なる。

【0149】

図32に示した平面図では、反射型液晶表示装置の表示領域のみならず、端子部分形成領域にまで配線が形成されている。

図34は、本実施の形態による反射型液晶表示装置を、第1の仕様で製造した際に、薄膜トランジスタTFTが形成される側の透明絶縁基板SUB1の平面図である。図34に示すように、走査信号配線GLの延在方向に隣接する画素電極PXのピッチは、列配線パターンYEのピッチと同一である。表示領域に形成されている映像信号配線DLは、実際の反射型液晶表示装置において全て映像信号配線DLとして用いる。

【0150】

一方、映像信号配線DLの延在方向(Y方向)に隣接する画素電極PXのピッチは、行配線パターンXLの2倍となっている。走査信号配線GLと、第1の仕様では用いない行配線パターンXEとが、Y方向に交互に並んでいる。映像信号配線DLと走査信号配線GLとの交差点付近に形成された列電極パターンYEと、行電極パターンXEと、半導体層SIと、交差部電極パターンMEとは、薄膜トランジスタTFTの構成要素である。薄膜ト

10

20

30

40

50

ランジスタTFTのソース電極SE上には、薄膜トランジスタTFTの表面保護膜(PAS)上に選択的にスルーホールTHを形成することにより、画素電極PXと薄膜トランジスタTFTとを電氣的に接続する。一方、行配線パターンXEと映像信号配線DLとの交点付近に形成された列電極パターンYEと、行電極パターンXEと、半導体層SIと、交差部電極パターンMEとは、薄膜トランジスタTFT用に用いない。そのため、交差部電極パターンME上にもスルーホールTHは開口せず、画素電極PXと薄膜トランジスタTFTとは電氣的に絶縁する。

【0151】

図34に示す第1の仕様による反射型液晶表示装置においては、映像信号配線DLの延在方向(Y方向)に隣接する画素電極PXのピッチと、行配線パターンXLのピッチ及び走査信号配線GLの延在方向(X方向)に隣接する画素電極PXのピッチと列配線パターンYLのピッチが、整数倍の関係にある場合について述べたが、本実施の形態による反射型液晶表示装置は、映像信号配線DLの延在方向(Y方向)に隣接する画素電極PXのピッチと、行配線パターン(XL)のピッチ及び走査信号配線GLの延在方向(X方向)に隣接する画素電極PXのピッチと列配線パターンYLのピッチとが、約数を持たない場合についても実現可能である。

【0152】

図35は、本実施の形態による反射型液晶表示装置を第2の仕様で製造した際の、薄膜トランジスタが配置される側の透明絶縁基板SUB1の平面図である。図35は、走査信号配線の延在方向(X方向)に隣接する画素電極PXのピッチと、列配線パターンYLのピッチ及び映像信号配線DLの延在方向(Y方向)に隣接する画素電極PXのピッチと行電極パターンGLのピッチが整数倍の関係にない場合である。その際の走査信号配線として用いる行配線パターンGLは、特定の規則、例えば前述したように走査信号配線GLと行配線パターンXLとが交互に並ぶ等の規則性を有さず、それぞれの画素に近い行配線パターンXLを走査信号配線GLとして使用する。映像信号配線DLとして用いる列配線パターンYLに関しても特定の規則性を有さず、それぞれの画素に近い列配線パターンYLを映像信号配線DLとして使用している。ここで、映像信号配線DLと走査信号配線GLとの交点付近に形成された列電極パターンYE、行電極パターンXE、半導体層SI、交差部電極パターンMEを、薄膜トランジスタTFTの構成要素として用いる点に関しては、第1の仕様の場合と同じである。

以上第1及び第2の2つの画素電極のピッチを有する反射型液晶表示装置を製造した場合について説明したが、それ以外の3以上の異なる画素ピッチを有する反射型液晶表示装置を製造する際にも、上記の技術を同様の手法により適用できる。

【0153】

図36は、第1の仕様で製造した反射型液晶表示装置の断面図であり、前述の図34に示す36-36'線に沿う断面図である。

本実施の形態による反射型液晶表示装置は、薄膜トランジスタTFTの表面保護膜PASと画素電極PXとの間に、塗布型絶縁膜を配置した構造としている。塗布型絶縁膜OPASは、スピンコート法等により形成された層であり、下層の段差を緩和する平坦化膜として機能する。塗布型絶縁膜OPASにより、画素電極PXがその下に存在する構造に起因する段差を乗り越える際に生じうる断線の可能性を一層低減することができる。

【0154】

また、塗布型絶縁膜OPASとして誘電率の比較的小さい膜を用いると、画素電極PXと配線パターンDL、電極パターンDE間の寄生容量を低減することができる。従って、浮遊容量に起因する画質の劣化等も防止することができる。さらに、凹凸が形成されている塗布型絶縁膜OPASの表面上に画素電極PXを形成することにより、画素電極PXの表面にも塗布型絶縁膜OPAS表面の凹凸を反映した凹凸パターンが形成される。画素電極PXに形成された凹凸パターンは、反射電極から反射する光を散乱する機能を有しており、周知の散乱性を有するフィルムを用いずに表示を行える利点がある。他の構成については、本発明の第1の実施の形態による反射型液晶表示装置と同じである。

【 0 1 5 5 】

図 3 7 (a) は、本実施の形態による反射型液晶表示装置における、走査信号配線用端子 G T M 部分の平面図であり、図 3 7 (b) は、図 3 7 (a) の 3 7 a - 3 7 a ' 線に沿う断面図である。

図 3 7 (a) に示すように、走査信号配線用端子 G T M は、透明絶縁基板 S U B 1 上の走査信号端子部分を形成する領域に、走査信号配線 G L の延在部及び列電極パターン Y E が形成されている。さらに、走査信号配線 G L を覆って、ゲート絶縁膜 G I が形成され、その上に半導体膜により形成される島状パターン S I と、列配線パターン Y L と、列配線パターン Y L とに接続された行電極パターン X X E と交差部電極パターン M E とが形成される。

10

【 0 1 5 6 】

さらに、薄膜トランジスタ T F T の表面保護膜 P A S と塗布型絶縁膜 O P A S とが順次積層され、これらゲート絶縁膜 G I 及び表面保護膜 P A S に設けたスルーホール T H により、走査信号配線 G L の延在部の一部表面が露出される。走査信号配線 G L と列配線パターン Y L とのショート不良を回避するために、開口するスルーホール T H は列配線パターン上を避けて開口するように形成する必要がある。スルーホール T H 上に、パッド電極 P A D が形成されて走査信号配線用端子 G T M を構成する。このパッド電極 P A D は、スルーホール T H を介して、走査信号配線 G L と電氣的に接続される。

【 0 1 5 7 】

パッド電極 P A D は、列配線パターン Y E の段差を乗り越えて形成されるが、列配線パターン Y L とパッド電極 P A D との間には、塗布型絶縁膜 O P A S が形成されている。塗布絶縁膜 O P A S により列配線パターン Y E の段差を緩和しているため、パッド電極 P A D が列配線パターン Y E を乗り越えることによるパッド電極 P A D のショート不良を回避することができる。

20

【 0 1 5 8 】

本実施の形態による反射型液晶表示装置において、列配線パターン Y L とパッド電極 P A D とは絶縁膜を介して配置されているため、列配線パターン Y L を乗り越えるようにパッド電極 P A D を形成できる。従って、列配線パターン Y L のピッチに関係なく、パッド電極 P A D を任意の形状に設計することができる。

【 0 1 5 9 】

図 3 8 (a) は、映像信号配線用端子 D T M 部分の平面図であり、図 3 8 (b) は図 3 8 (a) の 3 8 - 3 8 ' 線に沿う断面図を示す。

30

図 3 8 (a) 及び図 3 8 (b) に示すように、映像信号配線用端子 D T M は、透明絶縁基板 S U B 1 上に、行配線パターン X L と、列電極パターン Y E と、ゲート絶縁膜 G I と、半導体膜からなる島状パターン S I とを形成した後、映像信号配線用端子 D T M が形成される領域に、映像信号配線 D L の延在部及び行電極パターン X E が形成される。

【 0 1 6 0 】

その後、薄膜トランジスタ T F T の表面保護膜 P A S と、塗布型絶縁膜 O P A S とが順次形成され、映像信号配線用端子 D T M が形成される領域のうち、後の工程で製造するパッド電極 P A D が形成される領域の一部にスルーホール T H が開口される。スルーホール T H 上にパッド電極 P A D を形成することにより映像信号配線用端子 D T M が構成される。パッド電極 P A D は、スルーホール T H を介して、映像信号配線 D L と電氣的に接続される。

40

【 0 1 6 1 】

本実施の形態においては、行配線パターン X L とパッド電極 P A D とは、絶縁膜を介して形成されているため、行配線パターン X L を乗り越えるようにパッド電極 P A D を形成できる。従って、行配線パターン X L のピッチに関係なく、パッド電極 P A D を任意の形状に設計できる。

本実施の形態による反射型液晶表示装置の電気回路については、第 1 の実施の形態による反射型液晶表示装置と同じであるため説明を省略する。

50

【 0 1 6 2 】

図 3 9 は、本実施の形態による反射型液晶表示装置の製造プロセスフローを示す図である。本実施の形態によれば、具体的には (A) から (F) までの 6 段階のホトリソグラフィ工程を経て T F T 基板 S U B 1 が完成する。

以下、工程順に説明する。まず、工程 (A) において、透明絶縁基板 S U B 1 を準備し、その表面全域に、例えばスパッタリング法によって、C r 膜を 1 0 0 から 3 0 0 n m、好ましくは 1 6 0 n m の膜厚で形成する。次に、ホトリソグラフィ技術を用いて、C r 膜をエッチングし、基板全面に行配線パターン X L と、列電極パターン Y E とを形成する。

【 0 1 6 3 】

次に、工程 (B) において、透明絶縁基板 S U B 1 の表面全域に、例えばプラズマ C V D 法により、ゲート絶縁膜 G I として窒化シリコン膜を 2 0 0 から 7 0 0 n m 程度、好ましくは 3 5 0 n m の膜厚で形成する。さらに、このゲート絶縁膜 G I の表面全域に、例えばプラズマ C V D 法によりアモルファスシリコン膜を 5 0 から 3 0 0 n m、好ましくは 2 0 0 n m の膜厚で形成する。n 型不純物としてリンをドーピングしたアモルファスシリコン膜を 1 0 から 1 0 0 n m、好ましくは 2 0 n m の膜厚で順次積層する。次に、ホトリソグラフィ技術を用いて、アモルファスシリコン膜をエッチングし、基板全面に半導体膜からなる島状パターン S I 1 を形成する。

【 0 1 6 4 】

次に、工程 (C) において、透明絶縁基板 S U B 1 を準備し、その表面全域に、例えばスパッタリング法によって、C r 膜を 1 0 0 から 3 0 0 n m、好ましくは 1 6 0 n m の膜厚で形成する。次に、ホトリソグラフィ技術を用いて、C r 膜をエッチングし、基板全面に列配線パターン Y L と、行電極パターン X E と、交差部電極パターン M E とを形成する。

その後、C r 膜をエッチングしたパターンをマスクとして、n 型不純物としてリンをドーピングしたアモルファスシリコン膜をエッチングする。

【 0 1 6 5 】

工程 (D) において、透明絶縁基板 S U B 1 の表面の全域に、例えばプラズマ C C V D 法によって、薄膜トランジスタ T F T の表面保護膜 P A S となる窒化シリコン膜を 2 0 0 から 9 0 0 n m、好ましくは 3 5 0 n m の膜厚で形成する。次に、ホトリソグラフィ技術を用いて、表面保護膜 P A S をエッチングし、画素領域内に薄膜トランジスタ T F T のソース電極 S E の一部を露出するためのコンタクトホール T H を形成する。加えて、走査信号配線 G T M 形成領域には、表面保護膜 P A S の下層に位置するゲート絶縁膜 G I に達するスルーホール T H を形成し、走査信号配線 G L の一部を露出させるためのスルーホール T H を形成する。映像信号配線用端子 D T M 形成領域には、映像信号配線 D L の延在部を露出するためのスルーホール T H を形成する。

【 0 1 6 6 】

工程 (E) において、透明絶縁基板 S U B 1 の表面全域に、例えばスピンコート法によって、ポリイミド系、アクリル系ポリマー、エポキシ系ポリマー、ベンジシクロブテン系ポリマー等の種々の有機系の樹脂、もしくは有機溶媒に可溶な S i を含む無機ポリマー、例えば、S O G 膜等の絶縁膜からなる塗布型絶縁膜 O P A S を、2 0 0 n m から 4 μ m、好ましくは 1 μ m から 3 μ m の膜厚で形成する。次に、ホトリソグラフィ技術を用いて、工程 (D) において表面保護膜 P A S 上にスルーホールを開口した位置にはスルーホールを、画素電極が配置される領域には凹凸パターンをそれぞれ形成する。

【 0 1 6 7 】

工程 (F) において、透明絶縁基板 S U B 1 の表面全域に、例えばスパッタリング法により、画素電極となる A l を主成分とし、N d を含有した合金膜 (以下、A l - N d 膜と称する。) を 5 0 から 3 0 0 n m の厚さで、好ましくは、2 0 0 n m の厚さだけ形成する。次に、ホトリソグラフィ技術を用いて、A l - N d 膜をエッチングし、画素領域内にはスルーホール T H を介して、ソース電極 S E と接続された画素電極 P X を形成するとともに、走査信号配線用端子 G T M 及び映像信号配線用端子 D T M 形成領域には、接続用のパ

10

20

30

40

50

ッド電極 P A D を形成する。

以上に示した工程により、T F T 基板側の構造が完成する。

【 0 1 6 8 】

本実施の形態によれば、大型透明絶縁基板 S U B L のほぼ全面に行配線パターン X L および行配線パターンと交差するように列配線パターン Y L を形成する。行配線パターン X L のピッチをできるだけ小さく、例えば製造する反射型液晶表示装置の映像信号配線の延在方向に隣接する画素電極のピッチのうちの最も小さいピッチと同一もしくはそれ以下とする。列配線パターンのピッチもできるだけ小さく、例えば製造する反射型液晶表示装置の走査信号配線の延在方向に隣接する画素電極のピッチと同一、もしくはそれ以下とする。さらに、行配線パターンに接続された列電極パターン Y E、列配線パターン Y L に接続された行電極パターン X E、行配線パターン X L と列配線パターン Y L の交点付近に形成された半導体層からなる島状パターン S I 及び半導体層の一部に重畳するように形成された交差部電極パターン M E を形成することにより薄膜トランジスタ T F T を形成する。

10

【 0 1 6 9 】

可能な限り小さいピッチで薄膜トランジスタ、映像信号配線及び走査信号配線を形成しておき、画素電極をそれと同じピッチで形成することができる。加えて、1つの薄膜トランジスタ T F T の交差部電極パターン（ソース電極）と画素電極とをスルーホールにより選択的に接続することにより、薄膜トランジスタ、映像信号配線及び走査信号配線よりも大きなピッチで画素電極を形成することもできる。

【 0 1 7 0 】

20

従って、画素電極ピッチ、画面表示サイズ、基板外形のうち少なくともひとつが異なる仕様の反射型液晶表示装置を製造する際に、走査信号配線 G L と、映像信号配線 D L と、薄膜トランジスタ T F T を構成する半導体層 S I、ソース電極 S E、ゲート電極 G E、ドレイン電極 D E とを作成する際のマスクのうちの少なくともいずれかを共通化することができる。

【 0 1 7 1 】

以上、本発明の各実施の形態による反射型液晶表示装置によれば、列配線パターン、行配線パターン、行電極パターン、列電極パターン、半導体層、交差部電極パターンのうち少なくともひとつを形成し、列配線パターン、走査信号配線の延在する方向に併設する行電極パターン、走査信号配線の延在する方向に併設する列電極パターン、走査信号配線の延在する方向に併設する半導体層のピッチを、走査信号配線の延在する方向に隣接する画素電極のピッチと異なるピッチとし、行配線パターン、映像信号配線の延在する方向に併設する行電極パターン、映像信号配線の延在する方向に併設する列電極パターン、走査信号配線の延在する方向に併設する半導体層のピッチを、映像信号配線の延在する方向に隣接する画素電極のピッチと異なるピッチとすることで、画素電極ピッチ、画面表示サイズ、基板外形のうち少なくともひとつが異なる仕様の反射型液晶表示装置を製造する際に用いるホトマスクを共通化することができる。

30

【 0 1 7 2 】

以上において説明した各実施の形態による反射型液晶表示装置において、半導体層としてアモルファスシリコンを用いた逆スタガ型の薄膜トランジスタをスイッチング素子として用いて説明したが、正スタガ型、コープレーナー型の薄膜トランジスタや、半導体層として多結晶シリコンを用いた薄膜トランジスタ等を用いた場合においても、第1の仕様と第2の仕様とでホトマスクを共通化できる。

40

【 0 1 7 3 】

また、各実施の形態による反射型液晶表示装置において、走査信号配線、ゲート電極、映像信号配線、ドレイン電極、ソース電極として C r 膜を用いたが、その他に、例えば C r を主成分とした C r 合金膜、A l 層、A l を主成分とした A l 合金膜、A b、A g を主成分とした A g 合金膜等を用いても良い。

さらに、各実施の形態による反射型液晶表示装置において、画素電極として A l - N d 合金膜を用いたが、その他に、例えば A l を主成分として T i、T a を含む合金膜、A g、

50

A gを主成分とした合金膜を画素電極として用いた場合でもホトマスクを共通化できる。

【0174】

各実施の形態による反射型液晶表示装置において、パッド電極は画素電極を形成する工程で同時に形成しているが、パッド電極を形成するために新たに工程を追加してもホトマスクを共通化できる。

尚、各実施の形態において、2つの異なる仕様の反射型液晶表示装置を製造する際にホトマスクを共通化した場合について述べたが、三つ以上の異なる仕様の反射型液晶表示装置を製造する際についてもそれぞれの仕様に対応したパターンを形成することによりマスクを共通化することもできる。

【0175】

ゲート電極と走査信号配線を同一材料、同一工程で形成した場合について述べたが、ゲート電極と走査信号配線を別な工程で製造した場合は、ゲート電極を形成する際に列電極パターンを形成することで、ゲート電極を形成する際のホトマスクを、走査信号配線を形成する際に行配線パターンを形成することで、走査信号配線を形成する工程で用いるホトマスクを共通化できる。

【0176】

ソース電極、ドレイン電極、映像信号配線を同一材料、同一工程で形成した場合について述べたが、それぞれを別な工程で製造した場合は、ソース電極を形成する際に交差部電極パターンを形成することでソース電極を形成する際のホトマスクを、ドレイン電極を形成する際に行電極パターンを形成することで、ドレイン電極を形成する際のホトマスクを、映像信号配線を形成する際に列配線パターンを形成することで、映像信号配線を形成する工程で用いるホトマスクをそれぞれ共通化できる。

【0177】

列電極パターンを映像信号配線の端子部分とは逆側の領域でパッド電極を用いてすべてを接続し、ある特定の電位を加えることで液晶の保持容量とすることも可能である。

画素電極のピッチのみが異なった場合について述べたが、基板外形、表示画面サイズが変わった場合についても第2の実施の形態と同様の考え方でホトマスクを共通化することができる。

【0178】

塗布型絶縁膜を適用しなくても良いが、塗布型絶縁膜を適用すれば、下層段差による断線の低減、寄生容量の低減の他に、画素電極への散乱性の付与という新たな効果を付与することができる。

以上、実施の形態に沿って本発明を説明したが、本発明はこれらに制限されるものではない。その他、種々の変更、改良、組み合わせが可能なことは当業者に自明であろう。

【0179】

【発明の効果】

本発明によれば、画素ピッチなどの仕様の異なる反射型液晶表示装置を製造する際に、ホトマスクのうちの少なくとも1枚を共通化することができる。従って、画素ピッチなどの異なる反射型液晶表示装置を製造する際の製造コストを削減できる。

【図面の簡単な説明】

【図1】図1(a)及び図1(b)は、本発明の原理を簡略化して示す平面図である。

【図2】図2(a)から図2(c)までは、本発明の原理を簡略化して示す平面図である。

【図3】本発明の第1の実施の形態による反射型液晶表示装置の全体構成を示す平面図である。

【図4】本発明の第1の実施の形態のうち第1の仕様で製造した反射型液晶表示装置の平面図である。

【図5】本発明の第1の実施の形態のうち第1の仕様で製造した反射型液晶表示装置の平面図である。

【図6】本発明の第1の実施の形態のうち第1の仕様で製造した反射型液晶表示装置の断

10

20

30

40

50

面図であり、図４のⅤⅠ-ⅤⅠ線に沿う断面図である。

【図７】図７（ａ）は、本発明の第１の実施の形態による反射型液晶表示装置のうち、図３の領域Ｄに配置された走査信号配線用端子ＧＴＭの平面図であり、図７（ｂ）は図７（ａ）のⅤⅠⅠ-ⅤⅠⅠ'線に沿う断面図を示す。

【図８】図８（ａ）は、図３の領域Ｃに配置された映像信号配線用端子ＤＴＭの平面図であり、図８（ｂ）は図８（ａ）のⅤⅠⅠⅠ-ⅤⅠⅠⅠ'線に沿う断面図である。

【図９】本発明の第１の実施の形態による反射型液晶表示装置（アクティブマトリックス型液晶表示装置）の等価回路図である。

【図１０】本発明の第１の実施の形態による反射型液晶表示装置の製造工程を示す図である。

10

【図１１】本発明の第２の実施の形態による反射型液晶表示装置を製造する際に用いられる大型透明絶縁基板の概略平面図であり、第１の仕様と第２の仕様とで用いる反射型液晶表示装置の基板領域を示す図である。

【図１２】図１１のＡ領域の構造を示す平面図である。

【図１３】本発明の第２の実施の形態による反射型液晶表示装置のうち、図１１の領域Ｆの構造を示す図であり、図１３（ａ）は、走査信号配線用端子部分の平面図、図１３（ｂ）は、図１３（ａ）のⅩⅠⅠⅠ-ⅩⅠⅠⅠ'線に沿う断面図である。

【図１４】本発明の第２の実施の形態による反射型液晶表示装置のうち、図１１の領域Ｃの構造を示す図であり、図１４（ａ）は、映像信号配線用端子部分の平面図、図１４（ｂ）は、図１３（ａ）のⅩⅠⅠⅠ-ⅩⅠⅠⅠ'線に沿う断面図である。

20

【図１５】本発明の第３の実施の形態による反射型液晶表示装置であって、第１の仕様で製造した反射型液晶表示装置のうち、薄膜トランジスタが配置される側の透明絶縁基板の平面図である。

【図１６】本発明の第３の実施の形態による反射型液晶表示装置であって、第２の仕様で製造した反射型液晶表示装置の薄膜トランジスタが配置される側の透明絶縁基板の平面図である。

【図１７】本発明の第３の実施の形態による反射型液晶表示装置における、走査信号配線用端子ＧＴＭ形成領域の平面図である。

【図１８】本発明の第３の実施の形態による反射型液晶表示装置の製造工程を示す図である。

30

【図１９】本発明の第４の実施の形態による反射型液晶表示装置の走査信号の配線端子部分の反対側の構成を示す平面図である。

【図２０】図２０（ａ）から（ｆ）までは、本発明の第４の実施の形態の変形例による反射型液晶表示装置の走査信号の配線端子部分の反対側の構成を示す回路図である。

【図２１】本発明の第５の実施の形態による反射型液晶表示装置であって、第１の仕様で製造した反射型液晶表示装置のうち薄膜トランジスタが配置される側の透明絶縁基板の平面図である。

【図２２】本発明の第６の実施の形態による反射型液晶表示装置であって、第１の仕様で製造した反射型液晶表示装置の薄膜トランジスタが配置される側の透明絶縁基板の構造を示す平面図である。

40

【図２３】本発明の第６の実施の形態による反射型液晶表示装置であって、第２の仕様で製造した反射型液晶表示装置の薄膜トランジスタが配置される側の透明絶縁基板の構造を示す平面図である。

【図２４】本発明の第６の実施の形態による反射型液晶表示装置の映像信号の配線端子部分の反対側の構成を示す平面図である。

【図２５】本発明の第６の実施の形態による反射型液晶表示装置の製造工程を示す図である。

【図２６】本発明の第７の実施の形態による反射型液晶表示装置の断面図であり、第１の仕様と第２の仕様とで半導体層と映像信号線兼ドレイン電極とを形成するマスクを共通化する際に、第１の仕様で形成した反射型液晶表示装置の部分断面図である。

50

【図 27】本発明の第 7 の実施の形態による反射型液晶表示装置の断面図であり、第 1 の仕様と第 2 の仕様とで走査信号配線兼ゲート電極と映像信号線兼ドレイン電極とを形成するマスクを共通化し、第 1 の仕様で形成した反射型液晶表示装置の部分断面図である。

【図 28】本発明の第 7 の実施の形態による反射型液晶表示装置の断面図であり、第 1 の仕様と第 2 の仕様とで走査信号配線兼ゲート電極と映像信号線兼ドレイン電極とを形成するマスクを共通化し、第 1 の仕様で形成した反射型液晶表示装置の部分断面図である。

【図 29】図 27 に対応する構造の平面図であり、第 1 の仕様で製造した場合の平面図である。

【図 30】本発明の第 7 の実施の形態による反射型液晶表示装置を第 2 の仕様で製造した場合の平面図である。

10

【図 31】本発明の第 8 の実施の形態による反射型液晶表示装置において、第 1 の仕様と第 2 の仕様とで走査信号配線兼ゲート配線と、半導体層 S I 1 と、映像信号線兼ドレイン電極とを形成するマスクを共通化し、第 1 の仕様で形成した反射型液晶表示装置の部分断面図である。

【図 32】本発明の第 8 の実施の形態による反射型液晶表示装置を製造する際に用いる大型透明絶縁基板の概略平面図である。

【図 33】図 32 において囲まれた領域 G の平面図である。

【図 34】本発明の第 8 の実施の形態による反射型液晶表示装置を、第 1 の仕様で製造した際に、薄膜トランジスタ T F T が形成される側の透明絶縁基板 S U B 1 の平面図である。

20

【図 35】本発明の第 8 の実施の形態による反射型液晶表示装置を、第 2 の仕様で製造した際に、薄膜トランジスタ T F T が形成される側の透明絶縁基板 S U B 1 の平面図である。

【図 36】第 1 の仕様で製造した反射型液晶表示装置の断面図であり、図 34 に示す 36 - 36' 線に沿う断面図である。

【図 37】図 37 (a) は、本発明の第 8 の実施の形態による反射型液晶表示装置における、走査信号配線用端子 G T M 部分の平面図であり、図 37 (b) は、図 37 (a) の 37 a - 37 a' 線に沿う断面図である。

【図 38】図 38 (a) は、本発明の第 8 の実施の形態による反射型液晶表示装置における、映像信号配線用端子 D T M 部分の平面図であり、図 38 (b) は、図 38 (a) の 38 a - 38 a' 線に沿う断面図である。

30

【図 39】本発明の第 8 の実施の形態による反射型液晶表示装置の製造工程を示す図である。

【符号の説明】

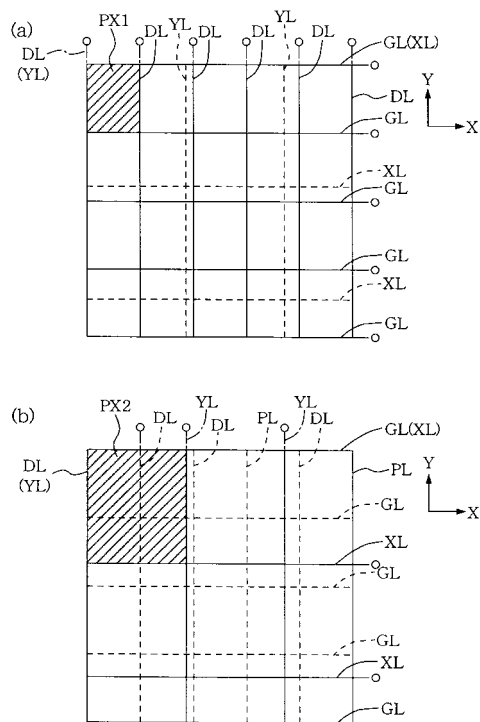
T F T ... 薄膜トランジスタ、D L ... 映像信号配線、G L ... 走査信号配線、D E ... 薄膜トランジスタのドレイン電極、S E ... 薄膜トランジスタのソース電極、T H ... スルーホール、P X ... 画素電極、S I 1 , S I 2 ... 島状パターン、S I ... 薄膜トランジスタの半導体層、P A N ... 反射型液晶表示装置の基板外形、S U B L ... 製造ラインにて用いられる大型透明絶縁基板、A P A D ... 反射型液晶表示装置の端子形成領域、A P X ... 反射型液晶表示装置の表示領域、P O L ... 偏向板、N F ... 位相差板、S F ... 散乱性を有するフィルム、S U B 2 ... カラーフィルタが配置される側の透明絶縁基板、B M ... 遮光パターン、C F ... カラーフィルタ、O C ... オーバーコート膜、C E ... 共通電極、O R I 1 , O R I 2 ... 配向膜、L C ... 液晶層、P A S ... 薄膜トランジスタの表面保護膜、G I ... ゲート絶縁膜、S U B 1 ... 薄膜トランジスタが配置される側の透明絶縁基板、D T M ... 映像信号配線の端子部分、P A D ... 外部駆動回路と接続するためのパッド電極、G T M ... 走査信号配線の端子部分、P A N 1 ... 第 1 の仕様の反射型液晶表示装置の基板外形、P A N 2 ... 第 2 の仕様の反射型液晶表示装置の基板外形、A P A D 1 ... 第 1 の仕様の反射型液晶表示装置の端子形成領域、A P A D 2 ... 第 2 の仕様の反射型液晶表示装置の端子形成領域、A P X 1 ... 第 1 の仕様の反射型液晶表示装置の表示領域、A P X 2 ... 第 2 の仕様の反射型液晶表示装置の表示領域、X E ... 行電極パターン、Y E ... 列電極パターン、X L ... 行配線パターン、Y L ... 列配線

40

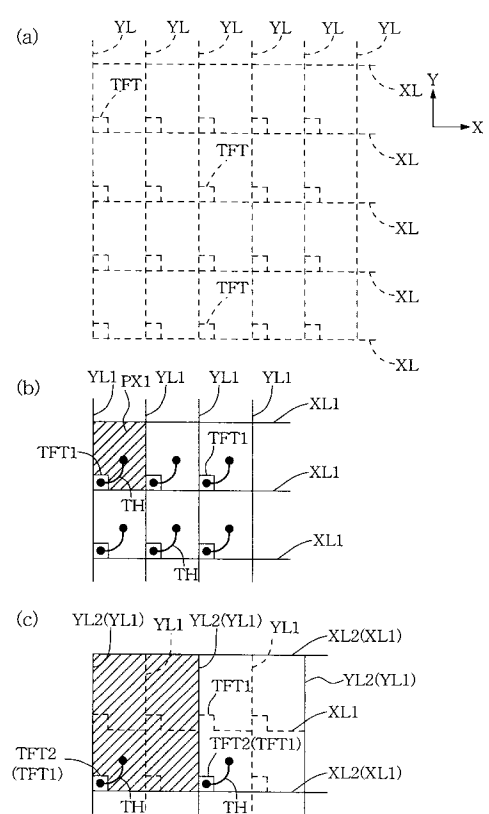
50

パターン、M E ... 交差部電極パターン、O P A S ... 塗布型絶縁膜

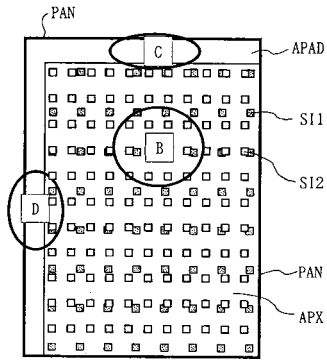
【図 1】



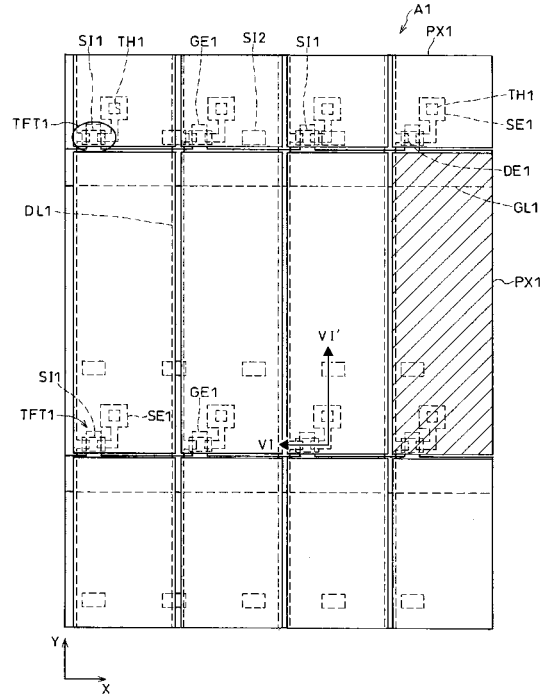
【図 2】



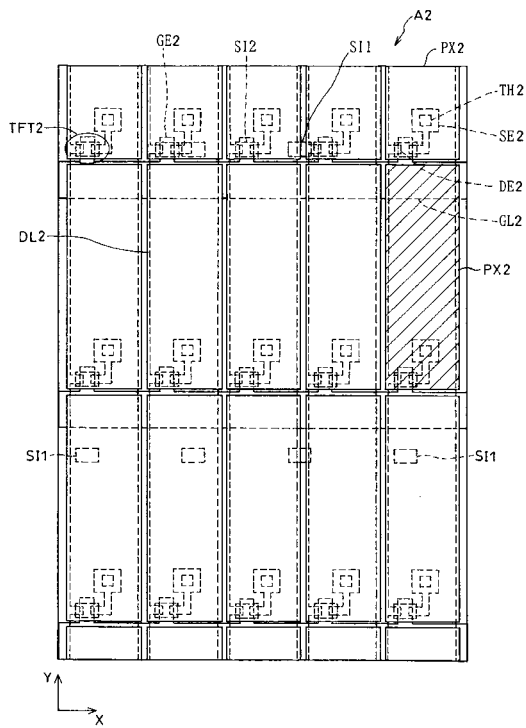
【図 3】



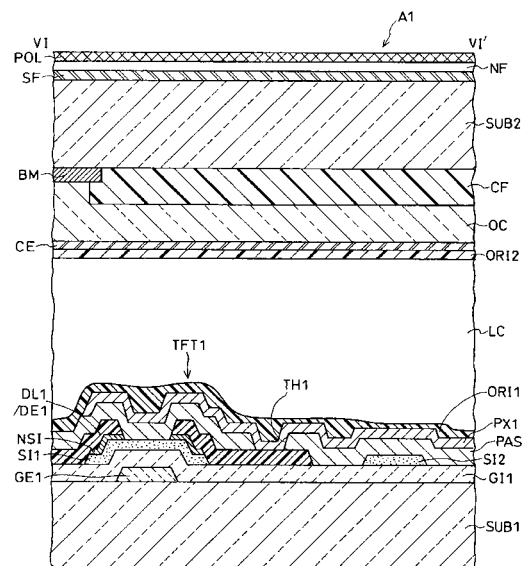
【図 4】



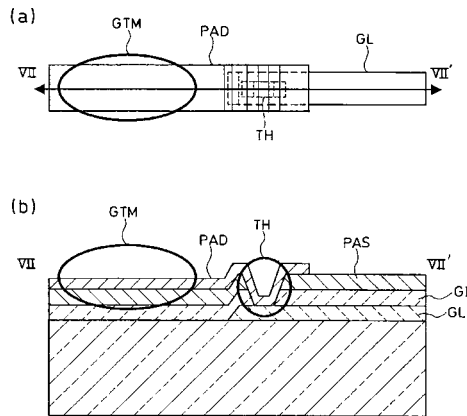
【図 5】



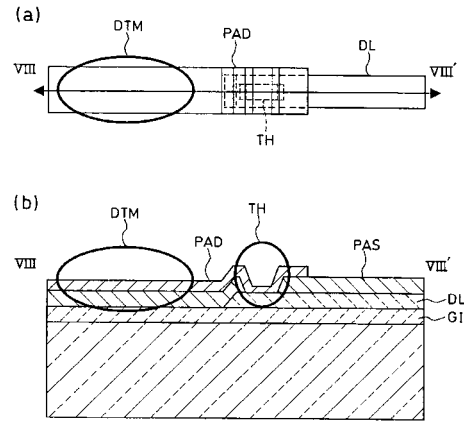
【図 6】



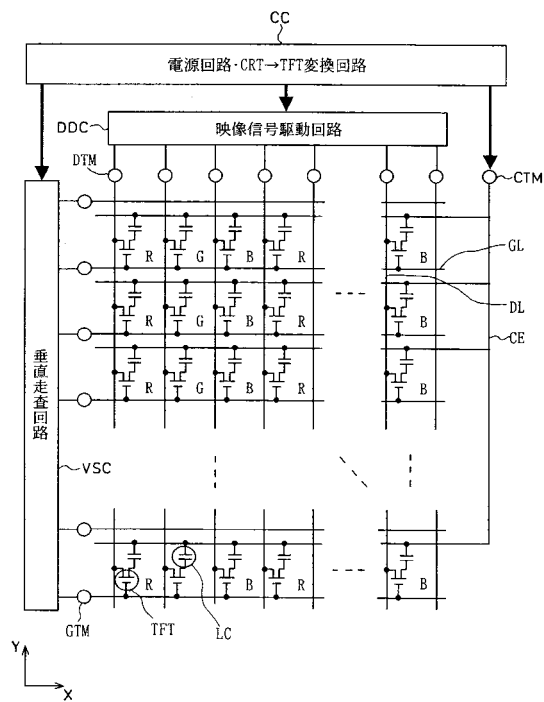
【図 7】



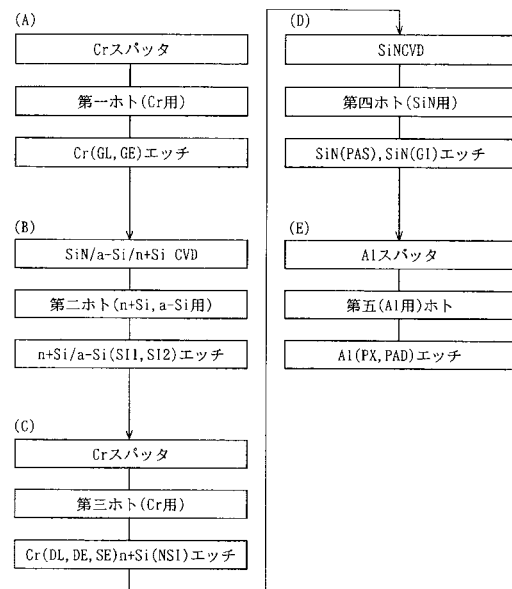
【図 8】



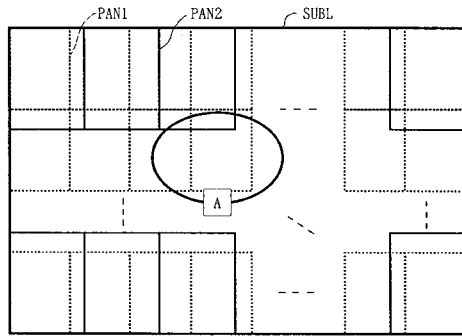
【図 9】



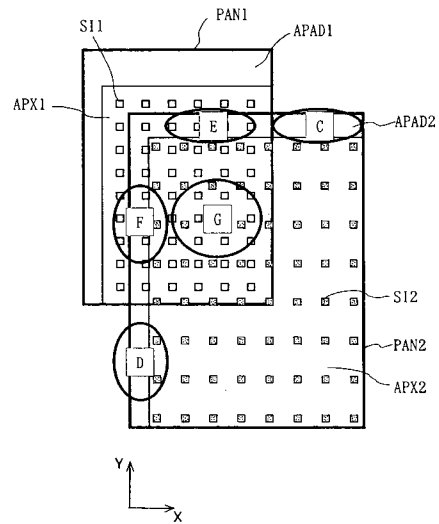
【図 10】



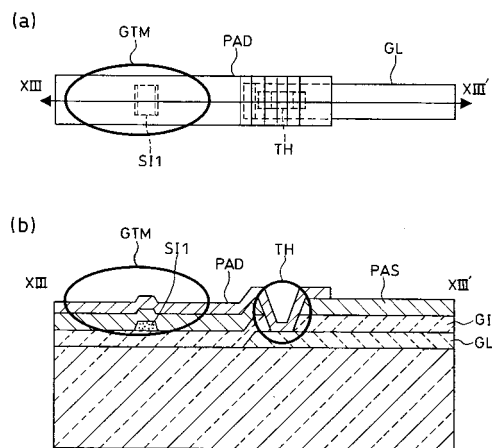
【図 1 1】



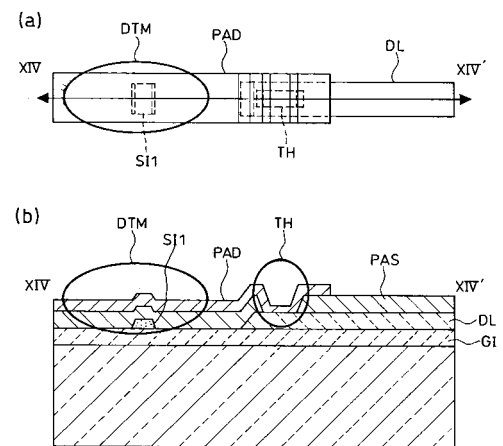
【図 1 2】



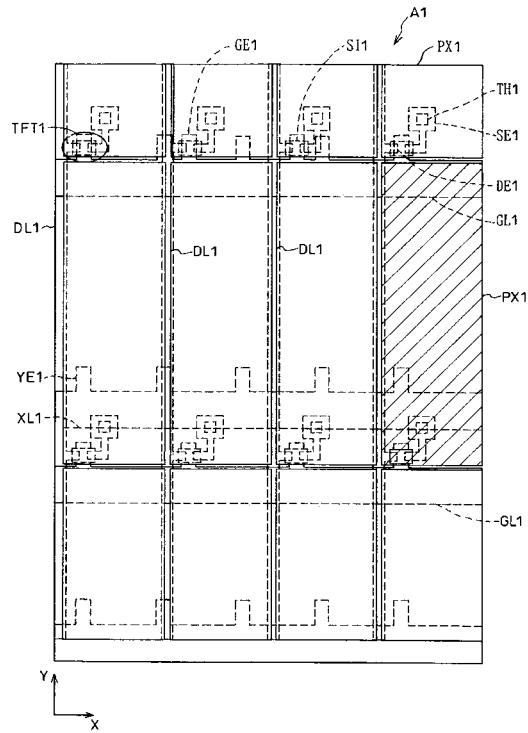
【図 1 3】



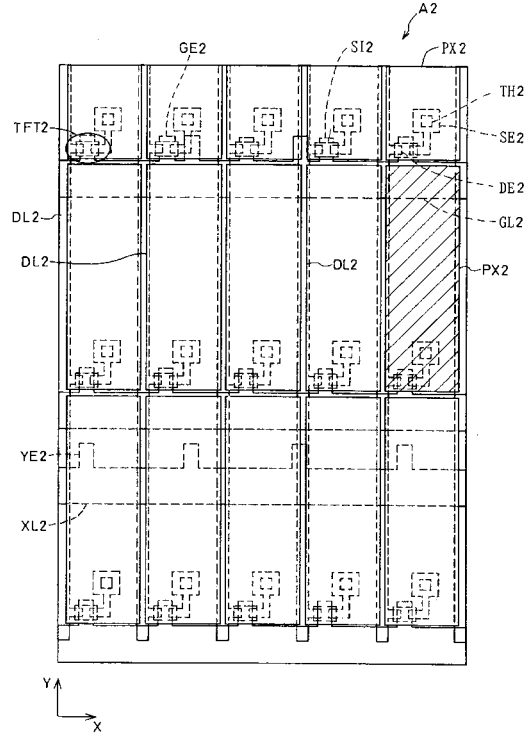
【図 1 4】



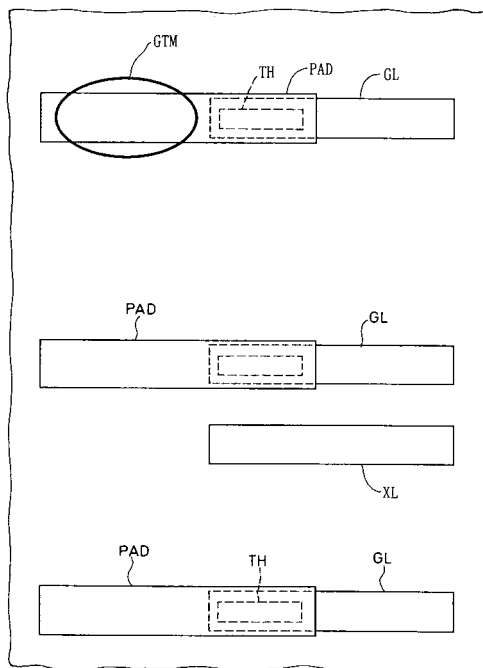
【図 15】



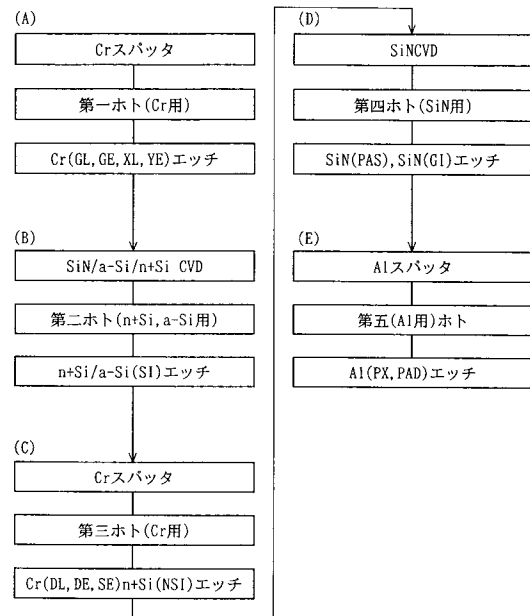
【図 16】



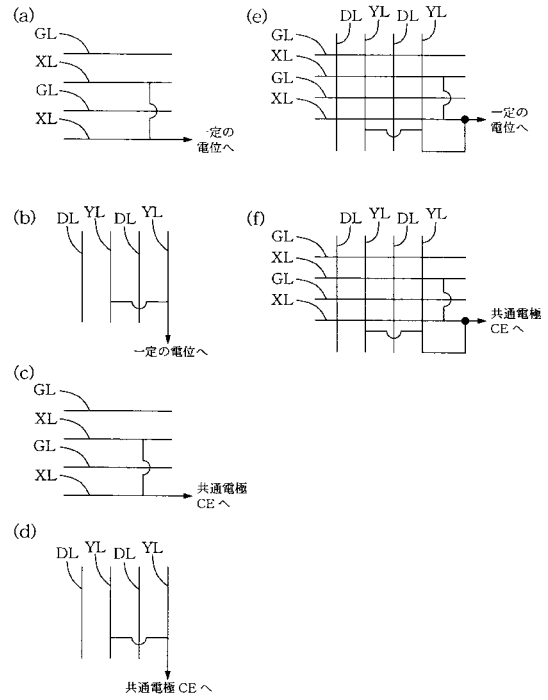
【図 17】



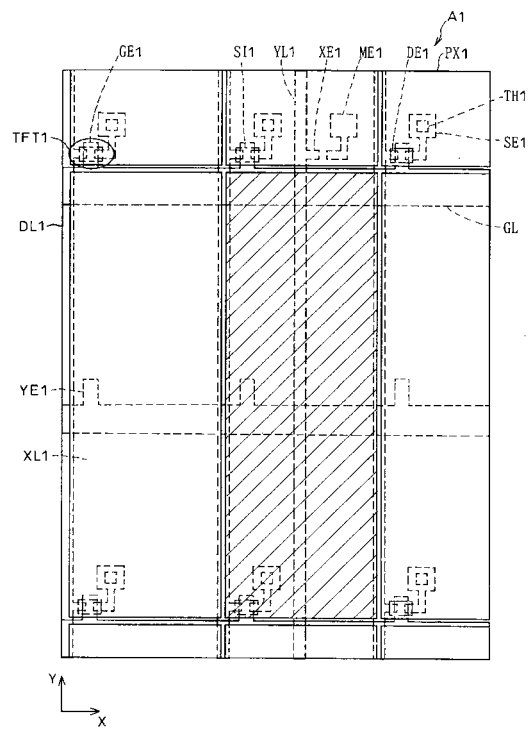
【図 18】



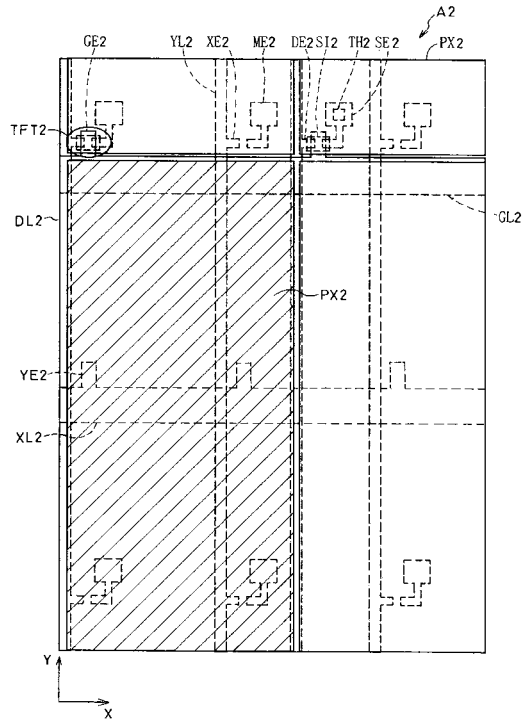
【 図 2 0 】



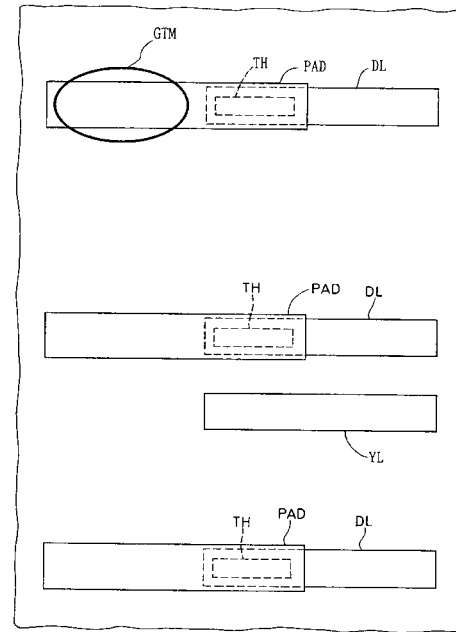
【 図 2 2 】



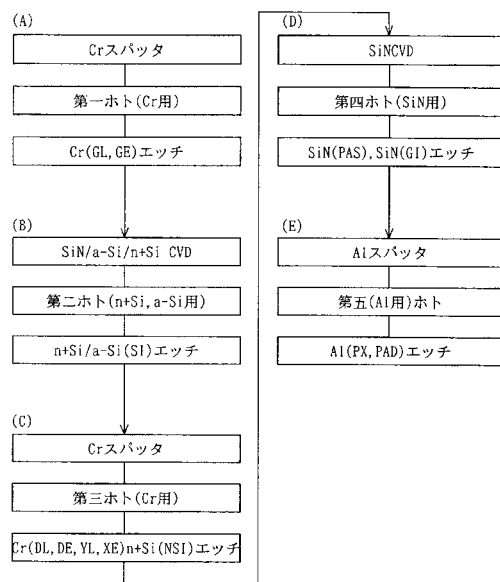
【図 23】



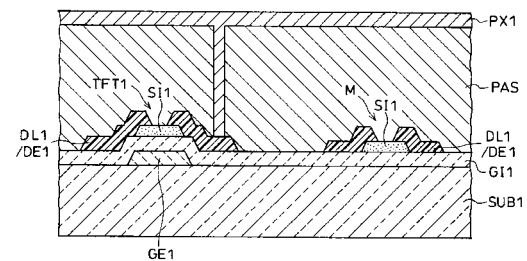
【図 24】



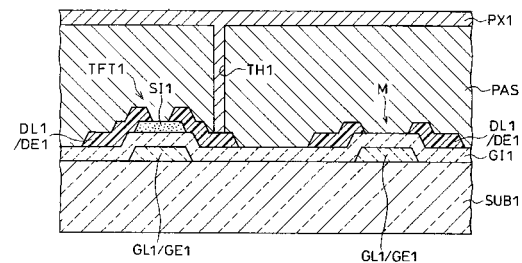
【図 25】



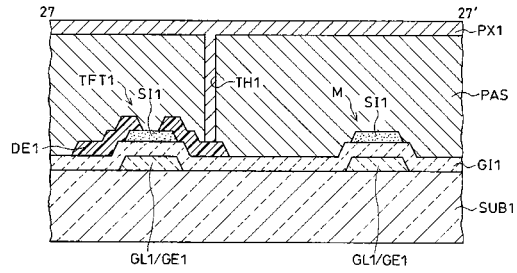
【図 26】



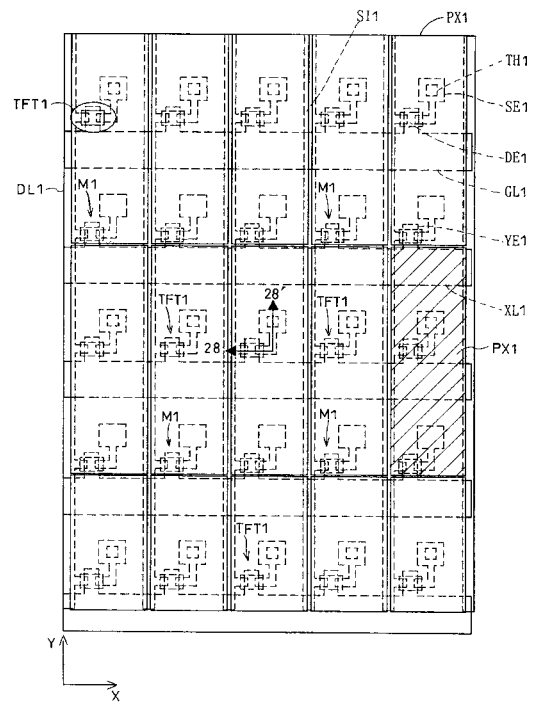
【図 27】



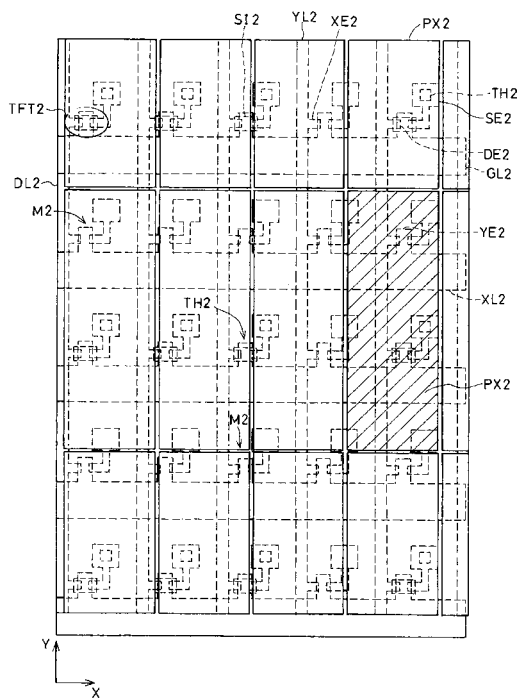
【 図 2 8 】



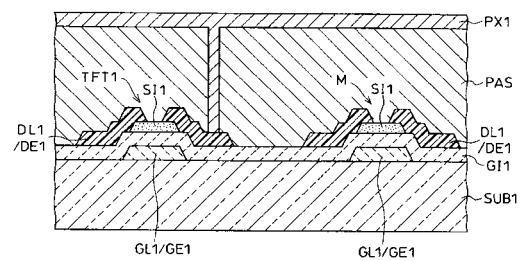
【 図 2 9 】



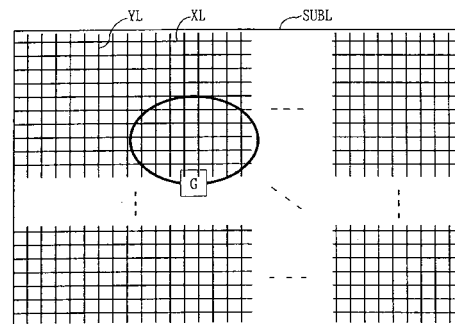
【 図 3 0 】



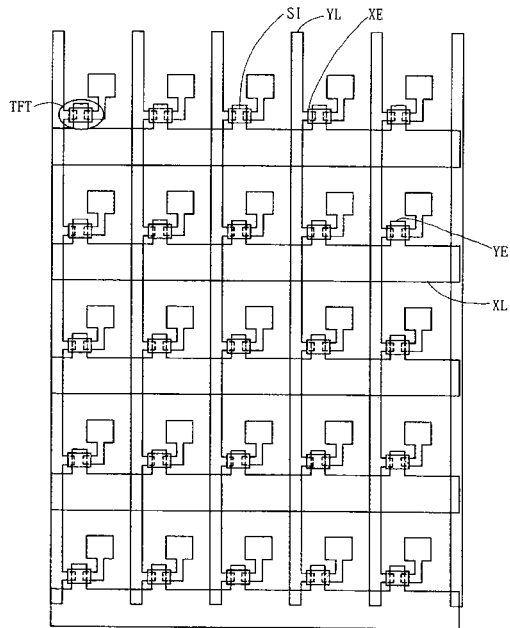
【 図 3 1 】



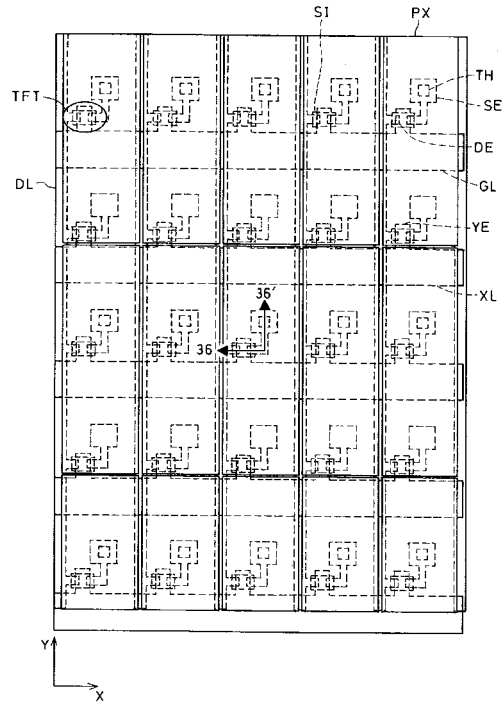
【 図 3 2 】



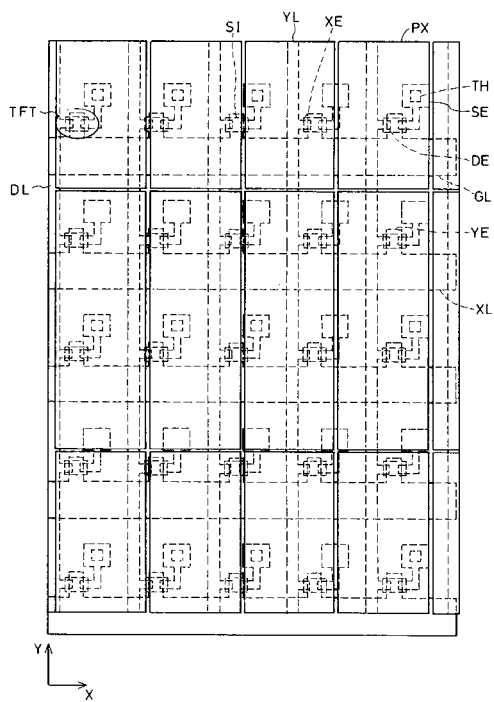
【図 3 3】



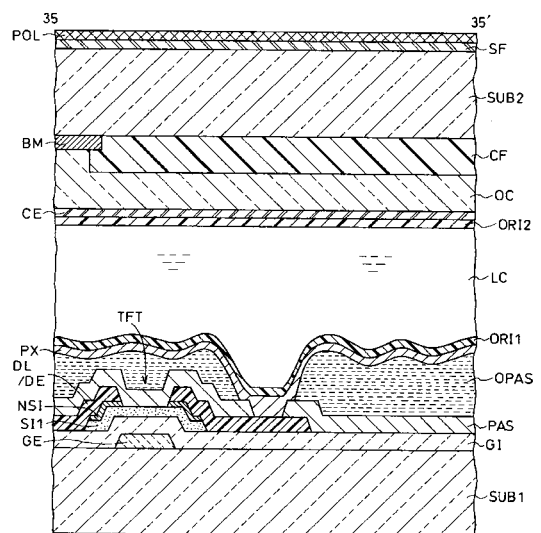
【図 3 4】



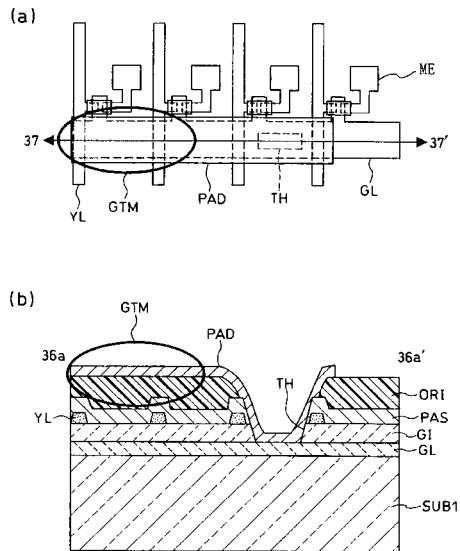
【図 3 5】



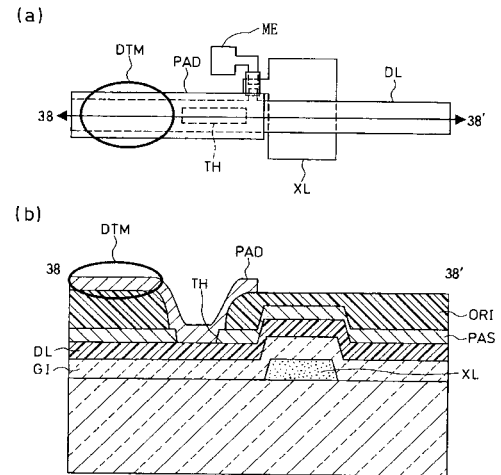
【図 3 6】



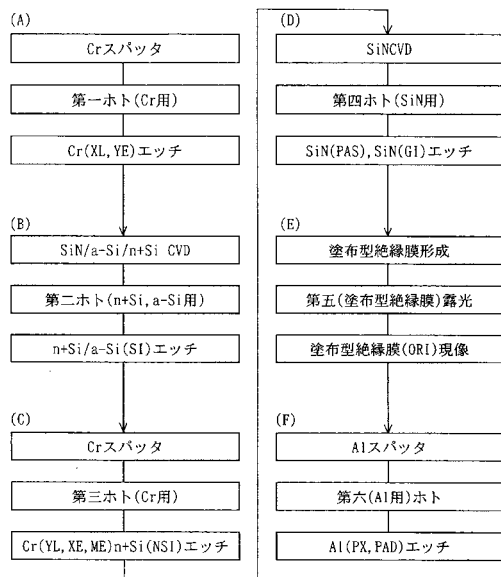
【図 37】



【図 38】



【図 39】



フロントページの続き

(72)発明者 西村 悦子

茨城県日立市大みか町七丁目1番1号 株式会社 日立製作所 日立研究所内

(72)発明者 小川 和宏

千葉県茂原市早野3300番地 株式会社 日立製作所 ディスプレイグループ内

審査官 白石 光男

(56)参考文献 特表2005-508526(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368

G03F 7/20

H01L 21/336

H01L 29/786

专利名称(译)	反射型液晶显示装置及其制造方法		
公开(公告)号	JP3789351B2	公开(公告)日	2006-06-21
申请号	JP2001365907	申请日	2001-11-30
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
当前申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	阿部誠 安藤正彦 小村真一 西村悦子 小川和宏		
发明人	阿部 誠 安藤 正彦 小村 真一 西村 悦子 小川 和宏		
IPC分类号	G02F1/1368 G03F7/20 H01L21/336 H01L29/786 G02F1/1362		
CPC分类号	G02F1/1362 G02F2203/02		
FI分类号	G02F1/1368 G03F7/20.501 H01L29/78.612.D H01L29/78.612.C		
F-TERM分类号	2H092/HA05 2H092/JA26 2H092/JA29 2H092/JA38 2H092/JA42 2H092/KA05 2H092/KA18 2H092/KA22 2H092/MA05 2H092/MA08 2H092/MA14 2H092/MA15 2H092/MA16 2H092/MA19 2H092/MA20 2H092/MA35 2H092/MA37 2H092/NA24 2H092/NA27 2H092/NA29 2H097/JA00 2H097/LA12 2H192/AA24 2H192/BC31 2H192/BC72 2H192/BC82 2H192/CB05 2H192/CC26 2H192/CC66 2H192/DA12 2H192/EA22 2H192/EA43 2H192/FA62 2H192/FA65 2H192/GD73 2H192/HA35 2H192/HA93 5F110/AA16 5F110/BB01 5F110/BB02 5F110/CC01 5F110/CC05 5F110/CC07 5F110/DD02 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE37 5F110/EE44 5F110/FF03 5F110/FF30 5F110/GG02 5F110/GG13 5F110/GG15 5F110/GG22 5F110/GG24 5F110/GG25 5F110/GG45 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HK09 5F110/HK16 5F110/HK21 5F110/HK25 5F110/HK33 5F110/HK35 5F110/HL02 5F110/HL06 5F110/HL23 5F110/HM19 5F110/NN03 5F110/NN04 5F110/NN22 5F110/NN24 5F110/NN27 5F110/NN35 5F110/NN36 5F110/QQ01		
审查员(译)	白石光男		
其他公开文献	JP2003167270A		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了制造具有诸如像素间距的不同规格的反射型液晶显示装置，使得至少一个光掩模共用，以及制造具有不同像素间距等的反射型液晶显示装置时的制造成本还原。 在反射型液晶显示装置中，岛状图案在与薄膜晶体管的半导体层相同的层中以矩阵形式形成。视频信号布线的延伸方向上的岛状图案的间距不同于视频信号布线的延伸方向上相邻的像素电极的间距，扫描信号布线的延伸方向上的岛状图案的间距被扫描具有与在信号布线的延伸方向上相邻的像素电极的间距不同的特定规则性。

【 図 1 】

