

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3605823号
(P3605823)

(45) 発行日 平成16年12月22日(2004.12.22)

(24) 登録日 平成16年10月15日(2004.10.15)

(51) Int. Cl.⁷

F I

G O 2 F 1/1368

G O 2 F 1/1368

G O 2 F 1/1333

G O 2 F 1/1333 5 0 5

G O 2 F 1/1335

G O 2 F 1/1335 5 0 0

請求項の数 27 (全 34 頁)

(21) 出願番号	特願2002-226054 (P2002-226054)	(73) 特許権者	000004237
(22) 出願日	平成14年8月2日(2002.8.2)		日本電気株式会社
(65) 公開番号	特開2003-131261 (P2003-131261A)		東京都港区芝五丁目7番1号
(43) 公開日	平成15年5月8日(2003.5.8)	(74) 代理人	100095706
審査請求日	平成14年8月2日(2002.8.2)		弁理士 泉 克文
(31) 優先権主張番号	特願2001-235699 (P2001-235699)	(72) 発明者	世良 賢二
(32) 優先日	平成13年8月3日(2001.8.3)		東京都港区芝五丁目7番1号 日本電気株式会社内
(33) 優先権主張国	日本国(JP)	(72) 発明者	奥村 藤男
			東京都港区芝五丁目7番1号 日本電気株式会社内
		審査官	右田 昌士

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ・アレイ基板およびアクティブマトリックス型液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

透光性基板と、

前記透光性基板上でマトリックス状に配置された薄膜トランジスタと、

前記透光性基板上で前記薄膜トランジスタのマトリックスの行方向に沿って延在するゲート線と、

前記透光性基板上で前記薄膜トランジスタのマトリックスの列方向に沿って延在し、且つ前記薄膜トランジスタのソース・ドレイン領域の一方に電氣的に接続されたデータ線と、前記透光性基板上で画素領域に配置され、且つ前記薄膜トランジスタのソース・ドレイン領域の他方に電氣的に接続された画素電極と、

前記薄膜トランジスタの活性層と重なるように前記透光性基板と前記薄膜トランジスタとの間に設けられた第1遮光膜と、

前記第1遮光膜と前記薄膜トランジスタとの間に設けられた、照射された光を吸収可能な第2遮光膜と、

前記透光性基板上で前記薄膜トランジスタのマトリックスの行方向および列方向の各々に沿って延在し、且つ前記薄膜トランジスタを覆う第3遮光膜とを備え、

前記第2遮光膜は、前記第1遮光膜及び前記薄膜トランジスタの活性層から絶縁膜でそれぞれ分離されている薄膜トランジスタ・アレイ基板。

【請求項2】

前記第2遮光膜が少なくとも前記薄膜トランジスタのチャンネル領域の全体と重なる部分を

10

20

有する請求項 1 に記載の薄膜トランジスタ・アレイ基板。

【請求項 3】

前記第 2 遮光膜がシリコン膜またはシリコンを含む材料の膜で形成される請求項 1 または 2 に記載の薄膜トランジスタ・アレイ基板。

【請求項 4】

前記第 2 遮光膜が導電性を有すると共に、前記第 2 遮光膜に定電圧を供給可能な構成を有している請求項 1 ~ 3 のいずれか 1 項に記載の薄膜トランジスタ・アレイ基板。

【請求項 5】

前記第 2 遮光膜が導電性を有し且つ前記ゲート線に電氣的に接続される請求項 1 ~ 3 のいずれか 1 項に記載の薄膜トランジスタ・アレイ基板。

10

【請求項 6】

前記第 2 遮光膜が不純物が導入されたシリコン膜からなる請求項 4 または 5 に記載の薄膜トランジスタ・アレイ基板。

【請求項 7】

前記ゲート線が前記薄膜トランジスタのチャンネル領域と重なるように配置されており、前記ゲート線の前記チャンネル領域との重なり部分が前記薄膜トランジスタのゲート電極として機能する請求項 1 ~ 6 のいずれか 1 項に記載の薄膜トランジスタ・アレイ基板。

【請求項 8】

前記ゲート線が前記薄膜トランジスタのゲート電極に電氣的に接続されている請求項 1 ~ 6 のいずれか 1 項に記載の薄膜トランジスタ・アレイ基板。

20

【請求項 9】

前記第 2 遮光膜と前記薄膜トランジスタの活性層との間に存在する前記絶縁膜の厚さが、100 nm ~ 500 nm の範囲内にある請求項 1 ~ 8 のいずれか 1 項に記載の薄膜トランジスタ・アレイ基板。

【請求項 10】

前記第 2 遮光膜と前記薄膜トランジスタの活性層との間に存在する前記絶縁膜の厚さが、150 nm ~ 300 nm の範囲内にある請求項 1 ~ 8 のいずれか 1 項に記載の薄膜トランジスタ・アレイ基板。

【請求項 11】

マトリックス状に配置された前記薄膜トランジスタを含む画素マトリックス部に加えて、薄膜トランジスタを含む駆動回路部が形成されており、前記画素マトリックス部の薄膜トランジスタには前記第 2 遮光膜が設けられており、前記駆動回路部の薄膜トランジスタには前記第 2 遮光膜が設けられていない請求項 1 ~ 10 のいずれか 1 項に記載の薄膜トランジスタ・アレイ基板。

30

【請求項 12】

前記薄膜トランジスタと前記第 3 遮光膜との間に、照射された光を吸収可能な第 4 遮光膜をさらに備えている請求項 1 ~ 11 のいずれか 1 項に記載の薄膜トランジスタ・アレイ基板。

【請求項 13】

前記第 4 遮光膜が、前記第 3 遮光膜及び前記薄膜トランジスタの活性層から絶縁膜でそれぞれ分離されている請求項 12 に記載の薄膜トランジスタ・アレイ基板。

40

【請求項 14】

請求項 1 ~ 13 のいずれか 1 項に記載の薄膜トランジスタ・アレイ基板と、
前記薄膜トランジスタ・アレイ基板に対向して配置された対向基板と、
前記薄膜トランジスタ・アレイ基板と前記対向基板との間に設けられた液晶層とを備えるアクティブマトリックス型液晶表示装置。

【請求項 15】

透光性基板と、
前記透光性基板上でマトリックス状に配置された薄膜トランジスタと、
前記透光性基板上で前記薄膜トランジスタのマトリックスの行方向に沿って延在するゲ

50

ト線と、

前記透光性基板上で前記薄膜トランジスタのマトリックスの列方向に沿って延在し、且つ前記薄膜トランジスタのソース・ドレイン領域の一方に電氣的に接続されたデータ線と、前記透光性基板上で画素領域に配置され、且つ前記薄膜トランジスタのソース・ドレイン領域の他方に電氣的に接続された画素電極と、

前記薄膜トランジスタの活性層と重なるように前記透光性基板と前記薄膜トランジスタとの間に設けられた第1遮光膜と、

前記透光性基板上で前記薄膜トランジスタのマトリックスの行方向および列方向の各々に沿って延在し、且つ前記薄膜トランジスタを覆う第3遮光膜と、

前記薄膜トランジスタと前記第3遮光膜との間に設けられた、照射された光を吸収可能な第4遮光膜とを備え、

前記第4遮光膜は、前記薄膜トランジスタの活性層及び前記第3遮光膜から絶縁膜でそれぞれ分離されている薄膜トランジスタ・アレイ基板。

【請求項16】

前記第4遮光膜が少なくとも前記薄膜トランジスタのチャンネル領域の全体と重なる部分を有する請求項15に記載の薄膜トランジスタ・アレイ基板。

【請求項17】

前記第4遮光膜がシリコン膜またはシリコンを含む材料の膜で形成される請求項15または16に記載の薄膜トランジスタ・アレイ基板。

【請求項18】

前記第4遮光膜が導電性を有すると共に、前記第4遮光膜に定電圧を供給可能な構成を有している請求項15～17のいずれか1項に記載の薄膜トランジスタ・アレイ基板。

【請求項19】

前記第4遮光膜が導電性を有し且つ前記ゲート線に電氣的に接続される請求項15～17のいずれか1項に記載の薄膜トランジスタ・アレイ基板。

【請求項20】

前記第4遮光膜が不純物が導入されたシリコン膜からなる請求項18または19に記載の薄膜トランジスタ・アレイ基板。

【請求項21】

前記ゲート線が前記薄膜トランジスタのチャンネル領域と重なるように配置されており、前記ゲート線の前記チャンネル領域との重なり部分が前記薄膜トランジスタのゲート電極として機能する請求項15～20のいずれか1項に記載の薄膜トランジスタ・アレイ基板。

【請求項22】

前記ゲート線が前記薄膜トランジスタのゲート電極に電氣的に接続される請求項15～20のいずれか1項に記載の薄膜トランジスタ・アレイ基板。

【請求項23】

前記第1遮光膜と前記薄膜トランジスタとの間に、照射された光を吸収可能な第2遮光膜をさらに備えている請求項15～22のいずれか1項に記載の薄膜トランジスタ・アレイ基板。

【請求項24】

前記第2遮光膜と前記薄膜トランジスタの活性層との間に存在する絶縁膜の厚さが、100nm～500nmの範囲内にある請求項23に記載の薄膜トランジスタ・アレイ基板。

【請求項25】

前記第2遮光膜と前記薄膜トランジスタの活性層との間に存在する絶縁膜の厚さが、150nm～300nmの範囲内にある請求項23に記載の薄膜トランジスタ・アレイ基板。

【請求項26】

マトリックス状に配置された前記薄膜トランジスタを含む画素マトリックス部に加えて、薄膜トランジスタを含む駆動回路部が形成されており、前記画素マトリックス部の薄膜トランジスタには前記第2遮光膜が設けられており、前記駆動回路部の薄膜トランジスタには前記第2遮光膜が設けられていない請求項23～25のいずれか1項に記載の薄膜ト

10

20

30

40

50

ランジスタ・アレイ基板。

【請求項 27】

請求項 15 ~ 26 のいずれか 1 項に記載の薄膜トランジスタ・アレイ基板と、
前記薄膜トランジスタ・アレイ基板に対向して配置された対向基板と、
前記薄膜トランジスタ・アレイ基板と前記対向基板との間に設けられた液晶層とを備えるアクティブマトリクス型液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、マトリクス状に配置された複数の薄膜トランジスタ (Thin Film Transistor、以下、TFTともいう) を有する薄膜トランジスタ・アレイ基板 (以下、TFTアレイ基板ともいう) およびそれを備えたアクティブマトリクス (active matrix) 型液晶表示装置に関する。この液晶表示装置は、投射型表示装置のライトバルブとして好適に使用できるものである。

【0002】

【従来の技術】

近年、壁掛け型TV (Television) や投射型TV、あるいはOA (Office Automation) 機器用表示装置として、液晶表示装置を用いた各種表示装置の開発が行われている。特に、能動素子であるTFTをスイッチング素子として使用するアクティブマトリクス型液晶表示装置は、走査線数が増加してもコントラストや応答速度が低下しない等の利点があるため、高品位のOA機器用表示装置やハイビジョンTV用表示装置を実現する上で有力である。また、プロジェクタと呼ばれる投射型表示装置のライトバルブとして使用した場合には、大画面表示が容易に得られるという利点を有している。

【0003】

通常、ライトバルブ用液晶表示装置では、光源から液晶表示装置に高輝度の光が入射され、入射された光が液晶表示装置を通過する際に画像情報に応じて制御される。すなわち、TFTをスイッチング駆動しながら画素毎に液晶層に電界を印加して各画素の透過率を変化させることにより、透過光の強度を調整する。そして、液晶表示装置を通過した光は、レンズなどで構成された投影用光学系を介して拡大投影される。

【0004】

なお、光源は液晶表示装置の対向基板側に配置され、光学系は液晶表示装置のTFTアレイ基板側に配置される。そのため、液晶表示装置には、光源からの光だけでなく投影用光学系で反射した光も入射する。

【0005】

アクティブマトリクス型液晶表示装置では、アモルファス・シリコン (amorphous silicon) や多結晶シリコンなどの半導体層がTFTの活性層として使用されるが、この活性層へ光が照射されると、光励起によるリーク電流 (すなわち、光リーク電流) が発生する。前述したように、ライトバルブ用液晶表示装置では、高輝度の光が入射するため、発生する光リーク電流も大きくなる。さらに、投影用光学系からの反射光もTFTの活性層に照射されるため、光リーク電流は一層大きくなる。近年では、投射型表示装置の小型化および高輝度化が進んでおり、液晶表示装置へ入射する光の輝度が増加する傾向にあるため、この問題はより深刻なものとなっている。

【0006】

そのため、従来より、ライトバルブ用アクティブマトリクス型液晶表示装置では、TFTの活性層への光の照射を防止するための遮光膜が設けられている。

【0007】

図23および図24は、この種の従来の液晶表示装置のTFTアレイ基板100の概略構成を示す。図23は要部平面図、図24(a)および(b)は図23のG-G線およびH-H線に沿った要部断面図である。なお、図23および図24では、一画素分の構成のみ

を示している。

【0008】

図23および図24のTFTアレ基板100は、マトリックス状に配置された複数のTFT131を有する透光性基板101を備えている。

【0009】

基板101上には、酸化シリコン(SiO₂)膜102を介して、タンゲステンシリサイド膜などからなる下部遮光膜103が形成されている。この下部遮光膜103は、マトリックスの行方向(図23では、X方向)に沿って延在するストライプ状の部分とマトリックスの列方向(図23では、Y方向)に沿って延在するストライプ状の部分とが交差してなる格子状の平面形状を有している。下部遮光膜103の全体は、酸化シリコン膜102 10

【0010】

酸化シリコン膜104上には、略L字形状にパターン化された複数の多結晶シリコン膜107が形成されている。それらの多結晶シリコン膜107は、TFT131の活性層として機能する。

【0011】

すなわち、多結晶シリコン膜107の各々は、不純物がドーブされていないチャンネル領域107cと、不純物が低濃度にドーブされたLDD(Lightly Doped Drain)領域107b、107dと、不純物が高濃度にドーブされたソース領域107aおよびドレイン領域107eとを含んでいる。ソース領域107aおよびドレイン領域107eは、チャンネル領域107cを挟んで形成されている。LDD領域107bはソース領域107aとチャンネル領域107cとの間に形成され、LDD領域107dはチャンネル領域107cとドレイン領域107eとの間に形成されている。 20

【0012】

ソース領域107a、LDD領域107b、チャンネル領域107c、LDD領域107dおよびドレイン領域107eは、下部遮光膜103と重なるように、Y方向に沿って配置されている。ドレイン領域107eの一部は、X方向に沿って延在している。多結晶シリコン膜107の各々は、酸化シリコン膜104上に形成されたゲート絶縁膜108で覆われている。

【0013】

ゲート絶縁膜108上には、不純物がドーブされた多結晶シリコン膜やシリサイド膜などからなる複数のゲート線109が形成されている。それらのゲート線109は、互いに平行であって、いずれもX方向に沿って延在している。各ゲート線109は、マトリックスの同じ行に属するTFT131のチャンネル領域107cと重なるように配置され、それらのTFT131のゲート電極として機能する。各ゲート線109は、ゲート絶縁膜108上に形成された第1層間絶縁膜110で覆われている。 30

【0014】

第1層間絶縁膜110上には、アルミニウム膜などからなる複数のデータ線111が形成されている。それらのデータ線111は、互いに平行であっていずれもY方向に沿って延在し、マトリックスの同じ列に属するTFT131の多結晶シリコン膜107と重なるように配置されている。各TFT131のソース領域107a、チャンネル領域107cおよびLDD領域107b、107dの全体は、対応するデータ線111で覆われている。各TFT131のドレイン領域107eは、対応するデータ線111で部分的に覆われている。各データ線111は、第1層間絶縁膜110とゲート絶縁膜108とを貫通するコンタクト孔121を介して、マトリックスの同じ列に属するTFT131のソース領域107aに電氣的に接続されている。各データ線111は、第1層間絶縁膜110上に形成された第2層間絶縁膜112で覆われている。 40

【0015】

第2層間絶縁膜112上には、X方向およびY方向の各々に延在する略格子状のブラックマトリクス膜113が形成されている。このブラックマトリクス膜113は、各ゲート 50

線 1 0 9 および各データ線 1 1 1 に重なるように配置され、T F T 1 3 1 を覆っている。ブラックマトリックス膜 1 1 3 は、クロム膜などからなり、上部遮光膜として機能する。ブラックマトリックス膜 1 1 3 の全体は、第 2 層間絶縁膜 1 1 2 上に形成された第 3 層間絶縁膜 1 1 4 で覆われている。

【 0 0 1 6 】

第 3 層間絶縁膜 1 1 4 上には、略矩形状の複数の画素電極 1 1 5 が形成されている。それらの画素電極 1 1 5 は、各ゲート線 1 0 9 と各データ線 1 1 1 とによって画定された複数の画素領域 1 2 0 に各々配置されている。各画素電極 1 1 5 は、第 3 層間絶縁膜 1 1 4、第 2 層間絶縁膜 1 1 2、第 1 層間絶縁膜 1 1 0 およびゲート絶縁膜 1 0 8 を貫通するコンタクト孔 1 2 2 を介して、対応する T F T 1 3 1 のドレイン領域 1 0 7 e に電氣的に接続されている。

10

【 0 0 1 7 】

上記の構成を持つ従来の T F T アレイ基板 1 0 0 を備えた液晶表示装置では、T F T アレイ基板 1 0 0 に対向して配置された対向基板（図示せず）の表面側から入射した光をブラックマトリックス膜 1 1 3 が遮断する。また、T F T アレイ基板 1 0 0 の裏面側から入射した光を下部遮光膜 1 0 3 が遮断する。

【 0 0 1 8 】

しかしながら、T F T アレイ基板 1 0 0 の裏面側から入射した光が T F T 1 3 1 の L D D 領域 1 0 7 b、1 0 7 d やチャンネル領域 1 0 7 c に照射されるのを十分に防止できないという問題がある。

20

【 0 0 1 9 】

すなわち、図 2 5 に示すように、対向基板の表面側からの光 L 1 0 1 は、ブラックマトリックス膜 1 1 3 で遮断されるか、あるいは下部遮光膜 1 0 3 で反射されることなく T F T アレイ基板 1 0 0 を通過する。そのように、ブラックマトリックス膜 1 1 3 の幅、下部遮光膜 1 0 3 の幅、ブラックマトリックス膜 1 1 3 と下部遮光膜 1 0 3 との間隔などが設定されている。また、T F T アレイ基板 1 0 0 の裏面側から下部遮光膜 1 0 3 に向かう光 L 1 0 2 は、下部遮光膜 1 0 3 で遮断される。

【 0 0 2 0 】

ところが、図 2 5 に示すように、T F T アレイ基板 1 0 0 の裏面側からブラックマトリックス膜 1 1 3 に向かう光 L 1 0 3 は、ブラックマトリックス膜 1 1 3 で反射した後、下部遮光膜 1 0 3 へ向かい、下部遮光膜 1 0 3 とデータ線 1 1 1 との間で多重反射して L D D 領域 1 0 7 b に照射される。さらに、T F T アレイ基板 1 0 0 の裏面側からデータ線 1 1 1 に向かう光 L 1 0 4 は、下部遮光膜 1 0 3 とデータ線 1 1 1 との間で多重反射して L D D 領域 1 0 7 b に照射される。同様に、L D D 領域 1 0 7 d にも、多重反射した光が照射される。実際には、図 2 5 に示すような L 1 0 3、L 1 0 4 だけでなく、様々な角度や方向の光が T F T アレイ基板 1 0 0 の裏面側から入射されるので、上記の多重反射によってチャンネル領域 1 0 7 c にも光が照射される。

30

【 0 0 2 1 】

そこで、このような問題が生じないように、従来より種々の改良がなされている。

【 0 0 2 2 】

例えば、特開 2 0 0 0 - 1 8 0 8 9 9 号公報には、下部遮光膜の端部をテーパ形状にした液晶表示装置が開示されている。この液晶表示装置では、下部遮光膜の幅とデータ線の幅を適宜に設定することにより、T F T アレイ基板の裏面側から入射した光が遮断されて、T F T のチャンネル領域への光の照射が防止される。

40

【 0 0 2 3 】

また、特開 2 0 0 0 - 3 5 6 7 8 7 号公報には、T F T のチャンネル領域の近傍において、下部遮光膜を覆う絶縁膜にダミー・コンタクト孔を形成し、その内部に配線材料の膜を充填した液晶表示装置が開示されている。この液晶表示装置では、ダミー・コンタクト孔の内部に充填された配線材料の膜が T F T アレイ基板の裏面側から入射する光を遮断するので、T F T のチャンネル領域への光の照射が防止される。

50

【 0 0 2 4 】

なお、一般に、ブラックマトリックス膜をTFTアレイ基板に形成する場合と、対向基板に形成する場合とがある。ブラックマトリックス膜を対向基板に形成する場合、TFTアレイ基板と対向基板との重ね合わせ精度を考慮すると、ブラックマトリックス膜とTFTとの間に10 μ m程度の位置合わせ誤差を見込む必要がある。そのため、ブラックマトリックスの幅を大きくしなければならない。したがって、開口率を大きくできないという欠点がある。

【 0 0 2 5 】

これに対し、ブラックマトリックス膜をTFTアレイ基板に形成する場合には、半導体装置の製造工程を利用することで、ブラックマトリックス膜とTFTとの間の位置合わせ精度を高めることができる。したがって、図23および図24のTFTアレイ基板100のように、TFTアレイ基板にブラックマトリックス膜を形成する方法が主流となりつつある。

10

【 0 0 2 6 】

【 発明が解決しようとする課題 】

上述したように、図23および図24の従来のTFTアレイ基板100を備えた液晶表示装置では、TFTアレイ基板100の裏面側から入射した光の一部が、TFT131のLDD領域107b、107dやチャネル領域107cに照射されしまう。したがって、光リーク電流が増加して、コントラストの低下や画質の不均一性を生じさせるという問題がある。

20

【 0 0 2 7 】

特開2000-180899号公報に開示された液晶表示装置では、下部遮光膜の端部をテーパ形状に加工するための製造工程が必要となるため、製造工程が複雑になるという問題がある。

【 0 0 2 8 】

特開2000-356787号公報に開示された液晶表示装置では、下部遮光膜を覆う絶縁膜にダミー・コンタクト孔を形成し、その内部に配線材料の膜を充填するための製造工程が必要である。そのため、特開2000-180899号公報の液晶表示装置と同様に、製造工程が複雑になるという問題がある。

【 0 0 2 9 】

さらに、特開2000-180899号公報および特開2000-356787号公報の液晶表示装置では、高輝度化された投射型表示装置のライトバルブに使用した場合、TFTの活性層に向かう光を十分に遮断することは困難である。

30

【 0 0 3 0 】

本発明は、上記のような従来技術の問題点に鑑みなされたものである。すなわち、本発明の目的は、薄膜トランジスタの活性層へ向かう光を効果的に遮断できる薄膜トランジスタ・アレイ基板およびアクティブマトリックス型液晶表示装置を提供することにある。

【 0 0 3 1 】

本発明の他の目的は、薄膜トランジスタの光リーク電流を低減できる薄膜トランジスタ基板およびアクティブマトリックス型液晶表示装置を提供することにある。

40

【 0 0 3 2 】

本発明のさらに他の目的は、コントラストや画質の均一性を高めることのできる薄膜トランジスタ・アレイ基板およびアクティブマトリックス型液晶表示装置を提供することにある。

【 0 0 3 3 】

本発明のさらに他の目的は、複雑な製造工程を必要とせず、容易に製造できる薄膜トランジスタ・アレイ基板およびアクティブマトリックス型液晶表示装置を提供することにある。

【 0 0 3 4 】

本発明のさらに他の目的は、以下の説明から明らかになる。

50

【 0 0 3 5 】

【 課題を解決するための手段 】

(1) 本発明の第 1 の観点の薄膜トランジスタ・アレイ基板は、透光性基板と、前記透光性基板上でマトリクス状に配置された薄膜トランジスタと、前記透光性基板上で前記薄膜トランジスタのマトリクスの行方向に沿って延在するゲート線と、前記透光性基板上で前記薄膜トランジスタのマトリクスの列方向に沿って延在し、且つ前記薄膜トランジスタのソース・ドレイン領域の一方に電氣的に接続されたデータ線と、前記透光性基板上で画素領域に配置され、且つ前記薄膜トランジスタのソース・ドレイン領域の他方に電氣的に接続された画素電極と、前記薄膜トランジスタの活性層と重なるように前記透光性基板と前記薄膜トランジスタとの間に設けられた第 1 遮光膜と、前記第 1 遮光膜と前記薄膜トランジスタとの間に設けられた、照射された光を吸収可能な第 2 遮光膜と、前記透光性基板上で前記薄膜トランジスタのマトリクスの行方向および列方向の各々に沿って延在し、且つ前記薄膜トランジスタを覆う第 3 遮光膜とを備え、前記第 2 遮光膜は、前記第 1 遮光膜及び前記薄膜トランジスタの活性層から絶縁膜でそれぞれ分離されている。

10

【 0 0 3 6 】

(2) 本発明の第 1 の観点の薄膜トランジスタ・アレイ基板では、透光性基板と薄膜トランジスタとの間に薄膜トランジスタの活性層と重なる第 1 遮光膜が設けられ、透光性基板上に薄膜トランジスタを覆う第 3 遮光膜が設けられる。さらに、第 1 遮光膜と薄膜トランジスタの間には、照射された光を吸収可能な第 2 遮光膜が設けられる。

20

【 0 0 3 7 】

そのため、薄膜トランジスタ・アレイ基板の裏面側から入射した光が第 3 遮光膜やデータ線で反射され、さらに第 1 遮光膜で反射されても、それらの反射光はいずれも第 2 遮光膜に照射されることになる。そして、その照射された光を第 2 遮光膜が吸収するので、薄膜トランジスタの活性層へ向かう光を効果的に遮断できる。したがって、薄膜トランジスタの光リーク電流が低減し、その結果、コントラストや画質の均一性を高めることができる。

30

【 0 0 3 8 】

しかも、特開 2 0 0 0 - 1 8 0 8 9 9 号公報および特開 2 0 0 0 - 3 5 6 7 8 7 号公報に開示された従来の液晶表示装置のような複雑な製造工程を必要とせず、容易に製造できる。

【 0 0 3 9 】

(3) 本発明の第 1 の観点の薄膜トランジスタ・アレイ基板の好ましい例では、前記第 2 遮光膜が少なくとも前記薄膜トランジスタのチャンネル領域および L D D 領域の全体と重なる部分を有する。この場合、チャンネル領域および L D D 領域へ向かう光が確実に遮断される。一般に、チャンネル領域または L D D 領域への光の照射によって光リーク電流が生じる。したがって、チャンネル領域および L D D 領域への光の照射を防止ないし抑制することで、光リーク電流を十分に低減できる。

40

【 0 0 4 0 】

本発明の第 1 の観点の薄膜トランジスタ・アレイ基板の他の好ましい例では、前記第 2 遮光膜がシリコン膜またはシリコンを含む材料の膜で形成される。この場合、光リーク電流を効率良く低減できる。

【 0 0 4 1 】

本発明の第 1 の観点の薄膜トランジスタ・アレイ基板のさらに他の好ましい例では、前記第 2 遮光膜が導電性を有すると共に、前記第 2 遮光膜に定電圧を供給可能な構成を有している。この場合、第 2 遮光膜を所望の電位にバイアスすることができ、それにより薄膜ト

50

ランジスタの特性を制御できる。

【0042】

本発明の第1の観点の薄膜トランジスタ・アレイ基板のさらに他の好ましい例では、前記第2遮光膜が導電性を有し且つ前記ゲート線に電氣的に接続される。この場合、オン/オフ特性に優れたデュアル・ゲート型の薄膜トランジスタを実現できる。

【0043】

本発明の第1の観点の薄膜トランジスタ・アレイ基板のさらに他の好ましい例では、前記第2遮光膜が不純物が導入されたシリコン膜からなる。この場合、導電性を持つ前記第2遮光膜を容易に実現できる。

【0044】

本発明の第1の観点の薄膜トランジスタ・アレイ基板は、前記ゲート線が前記薄膜トランジスタのチャネル領域と重なるように配置されており、前記ゲート線の前記チャネル領域との重なり部分が前記薄膜トランジスタのゲート電極として機能するものに好適に適用される。

【0045】

本発明の第1の観点の薄膜トランジスタ・アレイ基板は、前記ゲート線が前記薄膜トランジスタのゲート電極に電氣的に接続されるものに好適に適用される。

【0046】

本発明の第1の観点の薄膜トランジスタ・アレイ基板のさらに他の好ましい例では、前記第2遮光膜と前記薄膜トランジスタの活性層との間に存在する絶縁膜の厚さが、100nm ~ 500nmの範囲内にある。この例では、遮光効果がより良好となる。当該絶縁膜の厚さは、150nm ~ 300nmの範囲内にあるのがより好ましい。遮光効果がいっそう良好となるからである。

【0047】

本発明の第1の観点の薄膜トランジスタ・アレイ基板のさらに他の好ましい例では、マトリックス状に配置された前記薄膜トランジスタを含む画素マトリックス部に加えて、薄膜トランジスタを含む駆動回路部が形成されており、前記画素マトリックス部の薄膜トランジスタには前記第2遮光膜が設けられており、前記駆動回路部の薄膜トランジスタには前記第2遮光膜が設けられていない。この例では、前記画素マトリックス部にある薄膜トランジスタが前記第2遮光膜を持ち、駆動回路部の薄膜トランジスタが前記第2遮光膜を持っていないため、レーザ・アニール工程でアモルファス・シリコン膜に照射されるレーザ光により発生する熱は、前記画素マトリックス部にある前記薄膜トランジスタでは早く周囲に伝達されることになる。その結果、前記画素マトリックス部の薄膜トランジスタでは、結晶性の低いポリシリコン膜が得られ、光リーク電流をいっそう低減することができる。他方、前記駆動回路部の薄膜トランジスタには、高い移動度を持たせることができる。

【0048】

(4) 本発明の第2の観点のアクティブマトリックス型液晶表示装置は、上記(1)または(3)の薄膜トランジスタ・アレイ基板と、前記薄膜トランジスタ・アレイ基板に対向して配置された対向基板と、前記薄膜トランジスタ・アレイ基板と前記対向基板との間に設けられた液晶層とを備える。

【0049】

(5) 本発明の第2の観点のアクティブマトリックス型液晶表示装置では、本発明の第1の観点の薄膜トランジスタ・アレイ基板の場合と同じ理由により、その薄膜トランジスタ・アレイ基板の場合と同じ効果が得られる。

【0050】

(6) 本発明の第3の観点の薄膜トランジスタ・アレイ基板は、透光性基板と、前記透光性基板上でマトリックス状に配置された薄膜トランジスタと、前記透光性基板上で前記薄膜トランジスタのマトリックスの行方向に沿って延在するゲ-

10

20

30

40

50

ト線と、

前記透光性基板上で前記薄膜トランジスタのマトリックスの列方向に沿って延在し、且つ前記薄膜トランジスタのソース・ドレイン領域の一方に電氣的に接続されたデータ線と、前記透光性基板上で画素領域に配置され、且つ前記薄膜トランジスタのソース・ドレイン領域の他方に電氣的に接続された画素電極と、

前記薄膜トランジスタの活性層と重なるように前記透光性基板と前記薄膜トランジスタとの間に設けられた第1遮光膜と、

前記透光性基板上で前記薄膜トランジスタのマトリックスの行方向および列方向の各々に沿って延在し、且つ前記薄膜トランジスタを覆う第3遮光膜と、

前記薄膜トランジスタと前記第3遮光膜との間に設けられた、照射された光を吸収可能な第4遮光膜とを備え、

前記第4遮光膜は、前記薄膜トランジスタの活性層及び前記第3遮光膜から絶縁膜でそれぞれ分離されている。

【0051】

(7) 本発明の第3の観点の薄膜トランジスタ・アレイ基板では、透光性基板と薄膜トランジスタとの間に薄膜トランジスタの活性層と重なる第1遮光膜が設けられ、透光性基板上に薄膜トランジスタを覆う第3遮光膜が設けられる。さらに、薄膜トランジスタと第3遮光膜との間には、照射された光を吸収可能な第4遮光膜が設けられる。

【0052】

そのため、薄膜トランジスタ・アレイ基板の裏面側から入射した光が第3遮光膜やデータ線で反射され、さらに第1遮光膜で反射されても、それらの反射光はいずれも第4遮光膜に照射されることになる。そして、その照射された光を第4遮光膜が吸収するので、薄膜トランジスタの活性層へ向かう光を効果的に遮断できる。したがって、薄膜トランジスタの光リーク電流が低減し、その結果、コントラストや画質の均一性を高めることができる。

【0053】

しかも、特開2000-180899号公報および特開2000-356787号公報に開示された従来の液晶表示装置のような複雑な製造工程を必要とせず、容易に製造できる。

【0054】

(8) 本発明の第3の観点の薄膜トランジスタ・アレイ基板の好ましい例では、前記第4遮光膜が少なくとも前記薄膜トランジスタのチャネル領域およびLDD領域の全体と重なる部分を有する。この場合、チャネル領域およびLDD領域へ向かう光が確実に遮断される。一般に、チャネル領域またはLDD領域への光の照射によって光リーク電流が生じる。したがって、チャネル領域およびLDD領域への光の照射を防止ないし抑制することで、光リーク電流を十分に低減できる。

【0055】

本発明の第3の観点の薄膜トランジスタ・アレイ基板の他の好ましい例では、前記第4遮光膜がシリコン膜またはシリコンを含む材料の膜で形成される。この場合、光リーク電流を効率良く低減できる。

【0056】

本発明の第3の観点の薄膜トランジスタ・アレイ基板のさらに他の好ましい例では、前記第4遮光膜が導電性を有すると共に、前記第4遮光膜に定電圧を供給可能な構成を有している。この場合、第4遮光膜を所望の電位にバイアスすることができ、それにより薄膜トランジスタの特性を制御できる。

【0057】

本発明の第3の観点の薄膜トランジスタ・アレイ基板のさらに他の好ましい例では、前記第4遮光膜が導電性を有し且つ前記ゲート線に電氣的に接続される。

【0058】

本発明の第3の観点の薄膜トランジスタ・アレイ基板のさらに他の好ましい例では、前記

第4遮光膜が不純物が導入されたシリコン膜からなる。この場合、導電性を持つ前記第2遮光膜を容易に実現できる。

【0059】

本発明の第3の観点の薄膜トランジスタ・アレイ基板は、前記ゲート線が前記薄膜トランジスタのチャンネル領域と重なるように配置されており、前記ゲート線の前記チャンネル領域との重なり部分が前記薄膜トランジスタのゲート電極として機能するものに好適に適用される。

【0060】

本発明の第3の観点の薄膜トランジスタ・アレイ基板は、前記ゲート線が前記薄膜トランジスタのゲート電極に電氣的に接続されるものに好適に適用される。

10

【0061】

本発明の第3の観点の薄膜トランジスタ・アレイ基板のさらに他の好ましい例では、前記第1遮光膜と前記薄膜トランジスタとの間に、照射された光を吸収可能な第2遮光膜をさらに備えている。この場合、前記薄膜トランジスタの上下両方から遮光されるため、非常に高い遮光効果が得られる。

【0062】

本発明の第3の観点の薄膜トランジスタ・アレイ基板のさらに他の好ましい例では、前記第2遮光膜と前記薄膜トランジスタの活性層との間に存在する絶縁膜の厚さが、100nm～500nmの範囲内にある。この例では、遮光効果がより良好となる。当該絶縁膜の厚さは、150nm～300nmの範囲内にあるのがより好ましい。遮光効果がいっそう

20

【0063】

本発明の第3の観点の薄膜トランジスタ・アレイ基板のさらに他の好ましい例では、マトリックス状に配置された前記薄膜トランジスタを含む画素マトリックス部に加えて、薄膜トランジスタを含む駆動回路部が形成されており、前記画素マトリックス部の薄膜トランジスタには前記第2遮光膜が設けられており、前記駆動回路部の薄膜トランジスタには前記第2遮光膜が設けられていない。この例では、前記画素マトリックス部にある薄膜トランジスタが前記第2遮光膜を持ち、駆動回路部の薄膜トランジスタが前記第2遮光膜を持っていないため、レーザ・アニール工程でアモルファス・シリコン膜に照射されるレーザ光により発生する熱は、前記画素マトリックス部にある前記薄膜トランジスタでは早く周囲に伝達されることになる。その結果、前記画素マトリックス部の薄膜トランジスタでは、結晶性の低いポリシリコン膜が得られ、光リーク電流をいっそう低減することができる。他方、前記駆動回路部の薄膜トランジスタには、高い移動度を持たせることができる。

30

【0064】

(9) 本発明の第4の観点のアクティブマトリックス型液晶表示装置は、上記(6)または(8)の薄膜トランジスタ・アレイ基板と、前記薄膜トランジスタ・アレイ基板に対向して配置された対向基板と、前記薄膜トランジスタ・アレイ基板と前記対向基板との間に設けられた液晶層とを備える。

【0065】

40

(10) 本発明の第4の観点のアクティブマトリックス型液晶表示装置では、本発明の第3の観点の薄膜トランジスタ・アレイ基板の場合と同じ理由により、その薄膜トランジスタ・アレイ基板の場合と同じ効果が得られる。

【0066】

【発明の実施の形態】

以下、本発明の好適な実施の形態について添付図面を参照しながら説明する。

【0067】

(第1実施形態)

図1および図2は、本発明の第1実施形態のTF Tアレイ基板30の概略構成を示す。図1は要部平面図、図2(a)および(b)は図1のA-A線およびB-B線に沿った要部

50

断面図である。

【0068】

なお、図1および図2では、一画素分の構成を示している。この点については、後述する他の実施形態についても同様である。

【0069】

図1および図2のTFTアレイ基板30は、マトリクス状に配置された複数のTFT31を有する透光性基板1を備えている。この基板1は、ガラスなどの絶縁性を持つ材料で形成されている。

【0070】

基板1の表面全体には、酸化シリコン膜(SiO_2)2が形成されている。この酸化シリコン膜2は、基板1に含まれる重金属の拡散を防止するためのものである。 10

【0071】

酸化シリコン膜2上には、マトリクスの行方向(図1では、X方向)に沿って延在するストライプ状の第1部分3aとマトリクスの列方向(図1では、Y方向)に沿って延在するストライプ状の第2部分3bとが交差してなる格子状の第1遮光膜3が形成されている。この第1遮光膜3は、光透過率の低い材料(例えば、タングステンシリサイド)で形成され、TFTアレイ基板30の裏面側から直接入射する光を十分に遮断可能な膜厚を有している。第1遮光膜3の全体は、酸化シリコン膜2上に形成された酸化シリコン膜4で覆われている。

【0072】

酸化シリコン膜4上には、光の吸収が可能なアモルファス・シリコン膜からなる複数の第2遮光膜5が形成されている。それらの第2遮光膜5の各々は、X方向に沿って延在するストライプ状の第1部分5aと、Y方向に沿って延在し且つX方向に沿って配置された互いに平行な複数の第2部分5bとを有している。第2遮光膜5の第1部分5aの各々は互いに平行である。第2遮光膜5の第2部分5bの各々は矩形状である。第2遮光膜5の各々は、第1遮光膜3と重なるように配置され、酸化シリコン膜4上に形成された酸化シリコン膜6で覆われている。 20

【0073】

酸化シリコン膜6上には、略L字形状にパターン化された複数の多結晶シリコン膜7が形成されている。それらの多結晶シリコン膜7は、後述するゲート線9とデータ線11との交差点下に各々配置されている。多結晶シリコン膜7の各々は、TFT31の活性層として機能する。 30

【0074】

すなわち、多結晶シリコン膜7の各々は、不純物がドーブされていないチャネル領域7cと、不純物が低濃度にドーブされたLDD領域7b、7dと、不純物が高濃度にドーブされたソース領域7aおよびドレイン領域7eとを含んでいる。ソース領域7aおよびドレイン領域7eは、チャネル領域7cを挟んで形成されている。LDD領域7bはソース領域7aとチャネル領域7cとの間に形成され、LDD領域7dはチャネル領域7cとドレイン領域7eとの間に形成されている。

【0075】

ソース領域7a、LDD領域7b、チャネル領域7c、LDD領域7dおよびドレイン領域7eは、第1および第2の遮光膜3、5と重なるように、Y方向に沿って配置されている。ドレイン領域7eの一部分は、X方向に沿って延在している。多結晶シリコン膜7の各々は、酸化シリコン膜6上に形成されたゲート絶縁膜8で覆われている。 40

【0076】

ゲート絶縁膜8上には、不純物がドーブされた多結晶シリコン膜やシリサイド膜などからなる複数のゲート線9が形成されている。それらのゲート線9は、互いに平行であって、いずれもX方向に沿って延在している。各ゲート線9は、マトリクスの同じ行に属するTFT31のチャネル領域7cと重なるように配置され、それらのTFT31のゲート電極として機能する。各ゲート線9は、ゲート絶縁膜8上に形成された第1層間絶縁膜10 50

で覆われている。

【0077】

第1層間絶縁膜10上には、アルミニウム膜などからなる複数のデータ線11が形成されている。それらのデータ線11は、互いに平行であっていずれもY方向に沿って延在し、マトリックスの同じ列に属するTFT31の多結晶シリコン膜7と重なるように配置されている。各TFT31のソース領域7a、チャンネル領域7cおよびLDD領域7b、7dの全体は、対応するデータ線11で覆われている。各TFT31のドレイン領域7eは、対応するデータ線11で部分的に覆われている。各データ線11は、第1層間絶縁膜10とゲート絶縁膜8とを貫通するコンタクト孔21を介して、マトリックスの同じ列に属するTFT31のソース領域7aに電氣的に接続されている。各データ線11は、第1層間絶縁膜10上に形成された第2層間絶縁膜12で覆われている。

10

【0078】

第2層間絶縁膜12上には、X方向およびY方向の各々に延在する略格子状のブラックマトリックス膜13が形成されている。このブラックマトリックス膜13は、各ゲート線9および各データ線11に重なるように配置され、TFT31を覆っている。ブラックマトリックス膜13は、クロム膜などからなり、第3遮光膜として機能する。ブラックマトリックス膜13の全体は、第2層間絶縁膜12上に形成された第3層間絶縁膜14で覆われている。

【0079】

第3層間絶縁膜14上には、略矩形状の複数の画素電極15が形成されている。それらの画素電極14は、各ゲート線9と各データ線11とによって画定された複数の画素領域20に各々配置されている。各画素電極15は、第3層間絶縁膜14、第2層間絶縁膜12、第1層間絶縁膜10およびゲート絶縁膜8を貫通するコンタクト孔22を介して、対応するTFT31のドレイン領域7eに電氣的に接続されている。

20

【0080】

上記の構成を持つTFTアレ基板30を備えた液晶表示装置では、図3に示すように、TFTアレ基板30に対向して配置された対向基板(図示せず)の表面側から入射した光L1は、ブラックマトリックス膜13により遮断されるか、あるいは第1遮光膜3で反射されることなくTFTアレ基板30を通過する。そのように、ブラックマトリックス膜13の幅、第1遮光膜3の幅、ブラックマトリックス膜13と第1遮光膜3との間隔などが設定されている。

30

【0081】

他方、TFTアレ基板30の裏面側から入射して第1遮光膜3に向かう光L2は、第1遮光膜3で遮断される。TFTアレ基板30の裏面側から入射してブラックマトリックス膜13に向かう光L3は、ブラックマトリックス膜13で反射された後に、第1遮光膜3とTFT31との間に設けられた第2遮光膜5に照射される。あるいは、ブラックマトリックス膜13と第1遮光膜3とで反射された後に、第2遮光膜5に照射される。さらに、TFTアレ基板30の裏面側から入射してデータ線11に向かう光L4は、データ線11で反射された後に第2遮光膜5に照射される。上述したように、第2遮光膜5は、光を吸収可能なアモルファス・シリコン膜からなる。そのため、第2遮光膜5に照射されたこれらの光は、第2遮光膜5により吸収される。

40

【0082】

このように、TFTアレ基板30の裏面側からの光が直接あるいはブラックマトリックス膜13で反射されて第1遮光膜3とデータ線11との間に入射しても、その光は第2遮光膜5で吸収される。したがって、TFT31のチャンネル領域7cおよびLDD領域7b、7dへ向かう光は、効果的且つ確実に遮断される。

【0083】

なお、チャンネル領域7cはゲート線9で覆われているため、チャンネル領域7cへ向かう光を遮断する作用がさらに高められる。

【0084】

50

一般に、シリコン膜は、緑色や青色の波長に対する光吸収率が高く、赤色の波長に対する光吸収率が低いという分光吸収特性を持つ。この点に関しては、第2遮光膜5を形成するアモルファス・シリコン膜や多結晶シリコン膜7においても同様である。周知の通り、TFT31の光リーク電流は活性層である多結晶シリコン膜7が光を吸収することによって生じるので、光リーク電流の大きさは照射される光の波長に応じて変化する。そのため、多結晶シリコン膜7と同じ傾向の分光吸収特性を持つアモルファス・シリコン膜で第2遮光膜5を形成することにより、光リーク電流を効率良く低減できる。

【0085】

また、高輝度の光がTFTアレ基板30に入射する場合、第2遮光膜5の光吸収により生じる発熱でTFT31近傍の温度上昇が起こる。上述したように、第2遮光膜5による赤色の波長の光吸収が低いので、その分だけTFT31近傍の温度上昇が抑制されるという利点もある。

10

【0086】

なお、アモルファス・シリコン膜以外にも、結晶化成分を有する微結晶シリコン膜や多結晶シリコン膜などを使用しても、アモルファス・シリコン膜の場合とほぼ同様の効果が得られる。さらには、シリコンを含むシリサイド膜などについても同様である。

【0087】

次に、図1および図2のTFTアレ基板30の製造方法について、図4～8を参照しながら説明する。

【0088】

20

まず、図4に示すように、一般的なCVD(Chemical Vapor Deposition)法により、透光性基板1の表面全体に酸化シリコン膜2を堆積する。次に、酸化シリコン膜2上にタンゲステンシリサイド膜(図示せず)を形成し、一般的なフォトリソグラフィ技術およびエッチング技術を用いて、そのタンゲステンシリサイド膜をパターン化することにより、第1遮光膜3を形成する。その後、CVD法により酸化シリコン膜2上に酸化シリコン膜4を堆積し、第1遮光膜3の全体を酸化シリコン膜4で覆う。

【0089】

続いて、減圧化学気相成長(Low Pressure Chemical Vapor Deposition、LPCVD)法やプラズマ化学気相成長(Plasma Chemical Vapor Deposition、PCVD)法などを使用して、酸化シリコン膜4上にアモルファス・シリコン膜(図示せず)を堆積し、そのアモルファス・シリコン膜をフォトリソグラフィ技術およびエッチング技術によりパターン化する。こうして、酸化シリコン膜4上に複数の第2遮光膜5を形成する。

30

【0090】

次に、図5に示すように、CVD法により酸化シリコン膜4上に酸化シリコン膜6を堆積し、第2遮光膜5の各々を酸化シリコン膜6で覆う。続いて、LPCVD法やPCVD法などにより酸化シリコン膜6上にアモルファス・シリコン膜(図示せず)を堆積した後、そのアモルファス・シリコン膜をレーザ・アニール法などにより結晶化させる。さらに、その結晶化した膜をフォトリソグラフィ技術およびエッチング技術によりパターン化する。こうして、TFT31の活性層として機能する複数の多結晶シリコン膜7を酸化シリコン膜4上に形成する。

40

【0091】

次に、図6に示すように、CVD法により酸化シリコン膜6上に酸化シリコン膜からなるゲート絶縁膜8を形成し、多結晶シリコン膜7の各々をゲート絶縁膜8で覆う。さらに、不純物のドーパされた多結晶シリコン膜(図示せず)とシリサイド膜(図示せず)とをその順にゲート絶縁膜8上に形成した後、それらの膜をフォトリソグラフィ技術およびエッチング技術によりパターン化して複数のゲート線9を形成する。

【0092】

続いて、ゲート線9の各々をマスクに使用して、多結晶シリコン膜7の各々に低濃度の不純物を選択的にドーパする。さらに、パターン化されたフォトレジスト膜(図示せず)を

50

マスクとして、多結晶シリコン膜 7 の各々に高濃度の不純物を選択的にドーピングする。こうして、多結晶シリコン膜 7 の各々にソース領域 7 a、LDD領域 7 b、7 d、チャンネル領域 7 c およびドレイン領域 7 e を形成する。

【0093】

次に、図 7 に示すように、CVD法によりゲート絶縁膜 8 上に酸化シリコン膜からなる第 1 層間絶縁膜 10 を形成し、ゲート線 9 の各々を第 1 層間絶縁膜 10 で覆う。その後、フォトリソグラフィ技術およびエッチング技術により第 1 層間絶縁膜 10 とゲート絶縁膜 8 とを選択的に除去し、ソース領域 7 a を露出するコンタクト孔 21 を形成する。続いて、スパッタ法などにより第 1 層間絶縁膜 10 上にアルミニウム膜（図示せず）を形成し、そのアルミニウム膜をフォトリソグラフィ技術およびエッチング技術によりパターン化して複数のデータ線 11 を形成する。データ線 11 の各々は、コンタクト孔 21 の内部にも形成されて、ソース領域 21 に電氣的に接続される。

10

【0094】

次に、図 8 に示すように、CVD法により第 1 層間絶縁膜 10 上に酸化シリコン膜からなる第 2 層間絶縁膜 12 を形成し、データ線 11 の各々を第 2 層間絶縁膜 12 で覆う。続いて、第 2 層間絶縁膜 12 上にスパッタ法などによりクロム膜（図示せず）を形成し、そのクロム膜をフォトリソグラフィ技術およびエッチング技術によりパターン化してブラックマトリクス膜（すなわち、第 3 遮光膜）13 を形成する。その後、CVD法により第 2 層間絶縁膜 12 上に酸化シリコン膜からなる第 3 層間絶縁膜 14 を形成して、ブラックマトリクス膜 13 を第 3 層間絶縁膜 14 で覆う。

20

【0095】

次に、フォトリソグラフィ技術およびエッチング技術により、第 3 層間絶縁膜 14 と第 2 層間絶縁膜 12 と第 1 層間絶縁膜 10 とゲート絶縁膜 8 とを選択的に除去し、ドレイン領域 7 e を露出するコンタクト孔 22 を形成する。さらに、第 3 層間絶縁膜 14 上にITO（Indium Oxide）膜（図示せず）を形成し、そのITO膜をフォトリソグラフィ技術およびエッチング技術によりパターン化して複数の画素電極 15 を形成する。画素電極 15 の各々は、コンタクト孔 22 の内部にも形成されて、ドレイン領域 7 e に電氣的に接続される。

【0096】

上記の工程により、図 1 および図 2 に示す TFT アレイ基板 30 が得られる。

30

【0097】

このように、TFT アレイ基板 30 の製造工程は単純なものであり、容易に TFT アレイ基板 30 を製造することができる。

【0098】

以上述べたように、この第 1 実施形態の TFT アレイ基板 30 では、透光性基板 1 と TFT 31 との間に第 1 遮光膜 3 が設けられ、第 1 遮光膜 3 と TFT 31 との間に第 2 遮光膜 5 が設けられる。第 1 および第 2 の遮光膜 3、5 は多結晶シリコン膜 7（すなわち、TFT 31 の活性層）と重なるように配置され、第 2 遮光膜 5 は照射された光を吸収可能である。

【0099】

そのため、TFT アレイ基板 30 の裏面側から入射した光がブラックマトリクス膜 13 やデータ線 11 で反射され、さらに第 1 遮光膜 3 で反射されても、それらの反射光はいずれも第 2 遮光膜 5 に照射されることになる。そして、その照射された光を第 2 遮光膜 5 が吸収するので、TFT 31 のチャンネル領域 7 c および LDD 領域 7 b、7 d へ向かう光が効果的に遮断される。したがって、光リーク電流が低減し、その結果、液晶表示装置のコントラストや画質の均一性が高められる。

40

【0100】

さらに、特開 2000 - 180899 号公報および特開 2000 - 356787 号公報に開示された従来の液晶表示装置のような複雑な製造工程を必要とせず、容易に製造できる。

50

【0101】

第1遮光膜3と第2遮光膜5の間の絶縁膜の厚さと、第2遮光膜5と活性層7との間の絶縁膜の厚さは、本発明において重要なパラメータである。特に、第2遮光膜5と活性層7との間の絶縁膜の厚さが重要である。第2遮光膜5と活性層7との間の絶縁膜の厚さが小さいほど、遮光効果は大きい。実験によれば、これを500nm以下とすることにより、顕著な遮光効果が得られることが判明した。

【0102】

また、第2遮光膜5と活性層7との間の絶縁膜の厚さが小さくなると、TFT31のトランジスタ特性が影響を受け、さらに、活性層7を作製するためにアモルファス・シリコン膜をレーザ・アニール法で結晶化するプロセスも影響を受けることも判明した。そこで、
10

【0103】

(第2実施形態)

図9および図10は、本発明の第2実施形態のTFTアレ基板30Aの概略構成を示す。図9は要部平面図、図10(a)および(b)は図9のC-C線およびD-D線に沿った要部断面図である。

【0104】

図9および図10のTFTアレ基板30Aは、第2遮光膜5Aが導電性を有し且つ対応するゲート線9に電氣的に接続されている点で、第1実施形態のTFTアレ基板30と異なっている。それ以外の構成は、第1実施形態のTFTアレ基板30のそれと同じである。よって、図9および図10において第1実施形態のTFTアレ基板30と同一または対応する構成要素に図1および図2と同じ符号を付して、同一構成の部分についての説明は省略する。
20

【0105】

TFTアレ基板30Aでは、不純物の導入された多結晶シリコン膜からなる複数の第2遮光膜5Aが酸化シリコン膜4上に形成されている。それらの第2遮光膜5Aの各々は、マトリックスの行方向(図9では、X方向)に沿って延在するストライプ状の第1部分5Aaと、マトリックスの列方向(図9では、Y方向)に沿って延在し且つX方向に沿って配置された互いに平行な複数の第2部分5Abとを有している。第2遮光膜5Aの第1部分5Aaの各々は互いに平行である。第2遮光膜5Aの第2部分5Abの各々は矩形状である。第2遮光膜5Aの各々は第1遮光膜3と重なるように配置され、第2遮光膜5Aの第2部分5Abの各々が多結晶シリコン膜7と重なっている。
30

【0106】

また、第2遮光膜5Aの各々は、対応するゲート線9に内部配線41を介して電氣的に接続されている。そのため、ゲート線9がTFT31の第1ゲート電極として機能すると共に、第2遮光膜5AがTFT31の第2ゲート電極として機能する。すなわち、TFT31がデュアル・ゲート型電界効果トランジスタとして動作する。

【0107】

このように、第2遮光膜5AをTFT31の第2ゲート電極として使用した場合、TFT31の電極間容量が増加する。そこで、第2遮光膜5Aの第2部分5Abの長さ(すなわち、Y方向に沿った長さ)Lを小さくすることで、TFT31の電極間容量の増加を抑制している。
40

【0108】

すなわち、第2遮光膜5Aの第2部分5Abは、TFT31のチャネル領域7cおよびLDD領域7b、7dと重なるが、TFT31のソース領域7aおよびドレイン領域7eとほとんど重ならない。第2遮光膜5Aの第2部分5Abをこのように形成することで、TFT31のチャネル領域7cおよびLDD領域7b、7dへ向かう光を遮断する効果を維持しながら、TFT31の電極間容量の増加を実用上問題のない程度にすることができる
50

。

【0109】

なお、TFTアレイ基板30Aは、第1実施形態のTFTアレイ基板30とほぼ同様の製造方法により製造される。

【0110】

この第2実施形態のTFTアレイ基板30Aでは、第1実施形態のTFTアレイ基板30と同様の効果が得られる。すなわち、TFT31のチャンネル領域7cおよびLDD領域7b、7dへ向かう光が効果的に遮断される。したがって、光リーク電流が低減し、その結果、液晶表示装置のコントラストや画質の均一性が高められる。しかも、複雑な製造工程を必要とせず、容易に製造できる。

10

【0111】

さらに、第2実施形態のTFTアレイ基板30Aでは、TFT31がデュアル・ゲート型電界効果トランジスタとして動作するため、優れたオン/オフ特性が得られるという利点がある。

【0112】

(第3実施形態)

図11は、本発明の第3実施形態のTFTアレイ基板30Bの概略構成を示す要部平面図である。

【0113】

図11のTFTアレイ基板30Bは、1つの第2遮光膜5Bが設けられ、且つ第2遮光膜5Bに定電圧 V_c が供給されている点で、第1実施形態のTFTアレイ基板30と異なっている。それ以外の構成は、第1実施形態のTFTアレイ基板30のそれと同じである。よって、図11において第1実施形態のTFTアレイ基板30と同一または対応する構成要素に図1および図2と同じ符号を付して、同一構成の部分についての説明は省略する。

20

【0114】

TFTアレイ基板30Bでは、第2遮光膜5Bが不純物の導入された多結晶シリコン膜からなる。そして、第2遮光膜5Bは、マトリックスの行方向(図11では、X方向)に沿って延在するストライプ状の複数の第1部分5Baと、マトリックスの列方向(図11では、Y方向)に沿って延在するストライプ状の複数の第2部分5Bbとを有している。第2遮光膜5Bの第1部分5Baの各々は互いに平行であり、第2遮光膜5Bの第2部分5Bbの各々は互いに平行である。そして、第2遮光膜5Bの第1部分5Baと第2部分5Bbは、互いに交差して格子状の平面形状を形成している。第2遮光膜5Bは第1遮光膜3と重なるように配置され、第2遮光膜5Bの第2部分5Bbの各々が多結晶シリコン膜7と重なっている。

30

【0115】

また、第2遮光膜5Bには、外部端子51を介して定電圧 V_c が供給されている。この定電圧 V_c は、第2遮光膜5Bを一定電位にバイアスする。そのため、定電圧 V_c の電圧値を調整することにより、TFT31の特性を制御することができる。

【0116】

なお、TFTアレイ基板30Bは、第1実施形態のTFTアレイ基板30とほぼ同様の製造方法により製造される。

40

【0117】

この第3実施形態のTFTアレイ基板30Bでは、第1実施形態のTFTアレイ基板30と同様の効果が得られる。すなわち、TFT31のチャンネル領域7cおよびLDD領域7b、7dへ向かう光が効果的に遮断される。したがって、光リーク電流が低減し、その結果、液晶表示装置のコントラストや画質の均一性が高められる。しかも、複雑な製造工程を必要とせず、容易に製造できる。

【0118】

さらに、第3実施形態のTFTアレイ基板30Bでは、第2遮光膜5Bに供給される定電圧 V_c を調整することにより、TFT31の特性を制御できるという利点がある。

50

【 0 1 1 9 】

(第4実施形態)

図12および図13は、本発明の第4実施形態のTFTアレ基板30Cの概略構成を示す。図12は要部平面図、図13(a)および(b)は図12のE-E線およびF-F線に沿った要部断面図である。

【 0 1 2 0 】

図12および図13のTFTアレ基板30Cは、TFT31がデータ線11で覆われていない形態のTFTアレ基板に本発明を適用したものである。

【 0 1 2 1 】

すなわち、TFT31の活性層として機能する複数の多結晶シリコン膜7'がマトリックスの行方向に沿って延在すると共に、それらの多結晶シリコン膜7'と重なるように第1遮光膜3'、第2遮光膜5'およびブラックマトリックス膜13'が形成され、且つTFT31がゲート線9に電氣的に接続されたゲート電極9aを有している。そして、それ以外の構成は、第1実施形態のTFTアレ基板30のそれと同じである。よって、図12および図13において第1実施形態のTFTアレ基板30と同一または対応する構成要素に図1および図2と同じ符号を付して、同一構成の部分についての説明は省略する。

【 0 1 2 2 】

図12および図13のTFTアレ基板30Cでは、酸化シリコン膜2上に形成された第1遮光膜3'が、マトリックスの行方向(図12では、X方向)に沿って延在するストライプ状の第1部分3a'と、マトリックスの列方向(図12では、Y方向)に沿って延在するストライプ状の第2部分3b'と、対応する画素領域20に向かって突出する第3部分3c'とを有している。そして、それらの第1、第2および第3の部分3a'、3b'、3c'により、略格子状の平面形状が形成されている。この第1遮光膜3'は、光透過率の低い材料(例えば、タンゲステンシリサイド)で形成され、TFTアレ基板30Cの裏面側から直接入射する光を十分に遮断可能な膜厚を有している。第1遮光膜3'の全体は、酸化シリコン膜2上に形成された酸化シリコン膜4で覆われている。

【 0 1 2 3 】

酸化シリコン膜4上には、光の吸収が可能なアモルファス・シリコン膜からなる複数の第2遮光膜5Cが形成されている。それらの第2遮光膜5Cの各々は、X方向に沿って延在するストライプ状の第1部分5Caと、Y方向に沿って延在し且つX方向に沿って配置された互いに平行な複数の第2部分5Cbとを有している。第2遮光膜5Cの第1部分5Caの各々は互いに平行である。第2遮光膜5Cの第2部分5Cbの各々は、矩形状であり、対応する画素領域20側に突出している。第2遮光膜5Cの各々は、第1遮光膜3'と重なるように配置され、酸化シリコン膜4上に形成された酸化シリコン膜6で覆われている。

【 0 1 2 4 】

酸化シリコン膜6上には、略矩形状にパターン化された複数の多結晶シリコン膜7'が形成されている。それらの多結晶シリコン膜7'は、ゲート線9とデータ線11との交差点の各々の近傍に配置されている。多結晶シリコン膜7'の各々は、TFT31の活性層として機能する。

【 0 1 2 5 】

すなわち、多結晶シリコン膜7'の各々は、不純物がドーブされていないチャネル領域7c'と、不純物が低濃度にドーブされたLDD領域7b'、7d'と、不純物が高濃度にドーブされたソース領域7a'およびドレイン領域7e'とを含んでいる。ソース領域7a'およびドレイン領域7e'は、チャネル領域7c'を挟んで形成されている。LDD領域7b'はソース領域7a'とチャネル領域7c'との間に形成され、LDD領域7d'はチャネル領域7c'とドレイン領域7e'との間に形成されている。

【 0 1 2 6 】

ソース領域7a'、LDD領域7b'、チャネル領域7c'、LDD領域7d'およびドレイン領域7e'は、第1および第2の遮光膜3'、5Cと重なるように、X方向に沿っ

10

20

30

40

50

て配置されている。多結晶シリコン膜 7' の各々は、酸化シリコン膜 6 上に形成されたゲート絶縁膜 8 で覆われている。

【0127】

ゲート絶縁膜 8 上には、各 TFT 3 1 に対応する複数のゲート電極 9 a と、互いに平行であっていずれも X 方向に沿って延在する複数のゲート線 9 とが形成されている。それらのゲート電極 9 a およびゲート線 9 は、不純物がドーパされた多結晶シリコン膜やシリサイド膜などからなる。各ゲート電極 9 a は、Y 方向に沿って延在し、互いに平行である。そして、各ゲート電極 9 a は、対応する TFT 3 1 のチャンネル領域 7 c' と重なるように配置され、対応するゲート線 9 に電氣的に接続されている。各ゲート電極 9 a および各ゲート線 9 は、ゲート絶縁膜 8 上に形成された第 1 層間絶縁膜 1 0 で覆われている。

10

【0128】

第 2 層間絶縁膜 1 2 上に形成されたブラックマトリクス膜 1 3' は、X 方向および Y 方向の各々に延在してなる略格子状の平面形状を有している。このブラックマトリクス膜 1 3' は、各ゲート線 9 および各データ線 1 1 に重なるように配置されている。ブラックマトリクス膜 1 3' の一部分は画素領域 2 0 に向かって突出し、その突出部分が TFT 3 1 を覆っている。ブラックマトリクス膜 1 3' は、クロム膜などからなり、第 3 遮光膜として機能する。ブラックマトリクス膜 1 3' の全体は、第 2 層間絶縁膜 1 2 上に形成された第 3 層間絶縁膜 1 4 で覆われている。

【0129】

上記の構成を持つ TFT アレイ基板 3 0 C を備えた液晶表示装置においても、第 1 実施形態の TFT アレイ基板 3 0 の場合とほぼ同様の遮光効果が得られる。

20

【0130】

すなわち、図 1 4 に示すように、TFT アレイ基板 3 0 C に対向して配置された対向基板（図示せず）の表面側から入射した光 L 1 は、ブラックマトリクス膜 1 3' により遮断されるか、あるいは第 1 遮光膜 3' で反射されることなく TFT アレイ基板 3 0 を通過する。

【0131】

他方、TFT アレイ基板 3 0 C の裏面側から入射して第 1 遮光膜 3' に向かう光 L 2 は、第 1 遮光膜 3' で遮断される。TFT アレイ基板 3 0 C の裏面側から入射してブラックマトリクス膜 1 3' に向かう光 L 3 は、ブラックマトリクス膜 1 3' で反射された後に、第 1 遮光膜 3' と TFT 3 1 との間に設けられた第 2 遮光膜 5 C に照射される。あるいは、ブラックマトリクス膜 1 3' と第 1 遮光膜 3' とで反射された後に、第 2 遮光膜 5 C に照射される。上述したように、第 2 遮光膜 5 C は、光を吸収可能なアモルファス・シリコン膜からなる。そのため、第 2 遮光膜 5 C に照射されたこれらの光は、第 2 遮光膜 5 C により吸収される。

30

【0132】

このように、TFT アレイ基板 3 0 の裏面側からの光がブラックマトリクス膜 1 3' で反射され、さらに第 1 遮光膜 3' で反射されても、それらの反射光は第 2 遮光膜 5 C で吸収される。したがって、TFT 3 1 のチャンネル領域 7 c' および LDD 領域 7 b'、7 d' へ向かう光は、効果的且つ確実に遮断される。

40

【0133】

なお、TFT アレイ基板 3 0 C は、第 1 実施形態の TFT アレイ基板 3 0 とほぼ同様の製造方法により製造される。

【0134】

以上述べたように、この第 4 実施形態の TFT アレイ基板 3 0 C では、第 1 実施形態の TFT アレイ基板 3 0 と同様の効果が得られる。すなわち、TFT 3 1 のチャンネル領域 7 c' および LDD 領域 7 b'、7 d' へ向かう光が効果的に遮断される。したがって、光リーク電流が低減し、その結果、液晶表示装置のコントラストや画質の均一性が高められる。しかも、複雑な製造工程を必要とせず、容易に製造できる。

【0135】

50

(第5実施形態)

図15は、本発明の第5実施形態のTFTアレ基板30Dの概略構成を示す要部平面図である。

【0136】

図15のTFTアレ基板30Dは、第2遮光膜5Dが導電性を有し且つ対応するゲート線9に電氣的に接続されている点で、第4実施形態のTFTアレ基板30Cと異なっている。それ以外の構成は、第4実施形態のTFTアレ基板30Cのそれと同じである。よって、図15において第4実施形態のTFTアレ基板30Cと同一または対応する構成要素に図12および図13と同じ符号を付して、同一構成の部分についての説明は省略する。

10

【0137】

TFTアレ基板30Dでは、第2遮光膜5Dが不純物の導入された多結晶シリコン膜からなる。それらの第2遮光膜5Dの各々は、X方向に沿って延在するストライプ状の第1部分5Daと、Y方向に沿って延在し且つX方向に沿って配置された互いに平行な複数の第2部分5Dbとを有している。第2遮光膜5Dの第1部分5Daの各々は互いに平行である。第2遮光膜5Dの第2部分5Dbの各々は、矩形形状であり、対応する画素領域20側に突出している。第2遮光膜5Dの各々は第1遮光膜3'と重なるように配置され、第2遮光膜5Dの第2部分5Dbが多結晶シリコン膜7'と重なっている。

【0138】

また、第2遮光膜5Dの各々は、第2実施形態のTFTアレ基板30Aと同様に、対応するゲート線9に内部配線41を介して電氣的に接続されている。そのため、ゲート電極9aがTFT31の第1ゲート電極として機能すると共に、第2遮光膜5DがTFT31の第2ゲート電極として機能する。すなわち、TFT31がデュアル・ゲート型電界効果トランジスタとして動作する。

20

【0139】

このように、第2遮光膜5DをTFT31の第2ゲート電極として使用した場合、TFT31の電極間容量が増加する。そこで、第2遮光膜5Dの第2部分5Dbの幅(すなわち、X方向の長さ)Wを小さくすることで、TFT31の電極間容量の増加を抑制している。

【0140】

すなわち、第2遮光膜5Dの第2部分5Dbは、TFT31のチャンネル領域7c'およびLDD領域7b'、7d'と重なるが、TFT31のソース領域7a'およびドレイン領域7e'とほとんど重ならない。第2遮光膜5Dの第2部分5Dbをこのように形成することで、TFT31のチャンネル領域7c'およびLDD領域7b'、7d'へ向かう光を遮断する効果を維持しながら、TFT31の電極間容量の増加を実用上問題のない程度にすることができる。

30

【0141】

なお、TFTアレ基板30Dは、第1実施形態のTFTアレ基板30とほぼ同様の製造方法により製造される。

【0142】

以上述べたように、この第5実施形態のTFTアレ基板30Dでは、第1実施形態のTFTアレ基板30と同様の効果が得られる。すなわち、TFT31のチャンネル領域7c'およびLDD領域7b'、7d'へ向かう光が効果的に遮断される。したがって、光リーク電流が低減し、その結果、液晶表示装置のコントラストや画質の均一性が高められる。しかも、複雑な製造工程を必要とせず、容易に製造できる。

40

【0143】

さらに、第5実施形態のTFTアレ基板30Dでは、第2実施形態のTFTアレ基板30Aと同様に、TFT31がデュアル・ゲート型電界効果トランジスタとして動作するため、優れたオン/オフ特性が得られるという利点がある。

【0144】

(第6実施形態)

50

図16は、本発明の第6実施形態のTFTアレイ基板30Eの概略構成を示す要部平面図である。

【0145】

図16のTFTアレイ基板30Eは、1つの第2遮光膜5Eが設けられ、且つ第2遮光膜5Eに定電圧 V_c が供給されている点で、第4実施形態のTFTアレイ基板30Cと異なっている。それ以外の構成は、第4実施形態のTFTアレイ基板30Cのそれと同じである。よって、図16において第4実施形態のTFTアレイ基板30Cと同一または対応する構成要素に図12および図13と同じ符号を付して、同一構成の部分についての説明は省略する。

【0146】

TFTアレイ基板30Eでは、第2遮光膜5Eが不純物の導入された多結晶シリコン膜からなる。そして、第2遮光膜5Eは、マトリックスの行方向(図16では、X方向)に沿って延在するストライプ状の複数の第1部分5Eaと、マトリックスの列方向(図16では、Y方向)に沿って延在し且つX方向に沿って互いに平行に配置された矩形状の複数の第2部分5Ebと、Y方向に沿って延在するストライプ状の複数の第3部分5Ecとを有している。第2遮光膜5Eの第1部分5Eaの各々は互いに平行であり、第3部分5Ecの各々は互いに平行である。そして、第2遮光膜5Eの第1および第2の部分5Ea、5Ecは、互いに交差して格子状の平面形状を形成している。第2遮光膜5Eの第2部分5Ebの各々は、対応する画素領域20側に突出している。第2遮光膜5Eの各々は第1遮光膜3'と重なるように配置され、第2遮光膜5Eの第2部分5Ebが多結晶シリコン膜7'と重なっている。

【0147】

また、第2遮光膜5Eには、第3実施形態のTFTアレイ基板30Bと同様に、外部端子51を介して定電圧 V_c が供給されている。この定電圧 V_c は、第2遮光膜5Eを一定電位にバイアスする。そのため、定電圧 V_c の電圧値を調整することにより、TFT31の特性を制御することができる。

【0148】

なお、TFTアレイ基板30Bは、第1実施形態のTFTアレイ基板30とほぼ同様の製造方法により製造される。

【0149】

この第6実施形態のTFTアレイ基板30Eでは、第1実施形態のTFTアレイ基板30と同様の効果が得られる。すなわち、TFT31のチャネル領域7c'およびLDD領域7b'、7d'へ向かう光が効果的に遮断される。したがって、光リーク電流が低減し、その結果、液晶表示装置のコントラストや画質の均一性が高められる。しかも、複雑な製造工程を必要とせず、容易に製造できる。

【0150】

さらに、第6実施形態のTFTアレイ基板30Eでは、第3実施形態のTFTアレイ基板30Bと同様に、第2遮光膜5Eに供給される定電圧 V_c を調整することにより、TFT31の特性を制御できるという利点がある。

【0151】

(第7実施形態)

上述した第1～第6実施形態では、第1遮光膜3と第3遮光膜(ブラックマトリックス膜)13に加えて、第1遮光膜3とTFT31の間に光吸収性を持つ第2遮光膜5を設けており、それによって遮光性能の向上を図っている。

【0152】

以下に述べる第7～第10実施形態は、TFT31と第3遮光膜(ブラックマトリックス膜)13との間に光吸収性を持つ第4遮光膜16を設けた例である。光吸収性を持つ第4遮光膜16をTFT31の上部に配置した場合でも、第2遮光膜5を設けた場合と同様にして多重反射する光を低減することができ、遮光効果を向上させることが可能となる。

【0153】

10

20

30

40

50

図17は、本発明の第7実施形態のTFTアレイ基板30Fの概略構成を示している。図17(a)および(b)は、それぞれ図1のA-A線およびB-B線に沿った要部断面図である。

【0154】

図17に示す第7実施形態のTFTアレイ基板30Fは、図2に示す第1実施形態のTFTアレイ基板30において、第2遮光膜5を除去し、第4遮光膜16を追加したものである。その他の構成は、第1実施形態のTFTアレイ基板30と同じである。このTFTアレイ基板30Fでは、第2遮光膜5を除去しているので、SiO₂膜4または6は省略可能である。

【0155】

第4遮光膜16のパターンは、図1に示された第2遮光膜5のそれと同じであり、TFT31の活性層として機能するポリシリコン膜7のほぼ全体を覆っている。第4遮光膜16は、ポリシリコン膜7のコンタクト孔22の近傍の部分は覆っていない。

【0156】

第4遮光膜16は、ここでは第1層間絶縁膜10の内部に埋設してある。このような構成は、例えば次のようにして容易に実現できる。すなわち、第1層間絶縁膜10を2層構造とし、第1層間絶縁膜10の下層部を形成した後、第4遮光膜16用のアモルファス・シリコン膜を形成する。そして、このアモルファス・シリコン膜をパターン化すると、第4遮光膜16が得られる。その後、その上に第1層間絶縁膜10の上層部を形成する。しかし、本発明はこの構成に限定されるわけではない。例えば、第4遮光膜16を第1層間絶縁膜10の上に形成した後、第4遮光膜16を他の絶縁膜で覆い、その上に第2層間絶縁膜12を形成してもよい。

【0157】

(第8実施形態)

図18は、本発明の第8実施形態のTFTアレイ基板30Gの概略構成を示している。図18(a)および(b)は、それぞれ図1のA-A線およびB-B線に沿った要部断面図である。

【0158】

図18に示す第8実施形態のTFTアレイ基板30Gは、図2に示す第1実施形態のTFTアレイ基板30において、第4遮光膜16を追加したものである。その他の構成は、第1実施形態のTFTアレイ基板30と同じである。換言すれば、TFTアレイ基板30Gは、図17に示す第7実施形態のTFTアレイ基板30Fにおいて、第2遮光膜5を追加したものである。

【0159】

このTFTアレイ基板30Gでは、TFT31の上下に第4遮光膜16と第2遮光膜5を設けているので、TFT31の上下両側からの光に対して遮光効果が得られる。よって、第1実施形態や第7実施形態の場合よりも高い遮光効果が得られる利点がある。

【0160】

(第9実施形態)

図19は、本発明の第9実施形態のTFTアレイ基板30Hの概略構成を示している。図19(a)および(b)は、それぞれ図12のE-E線およびF-F線に沿った要部断面図である。

【0161】

図19に示す第9実施形態のTFTアレイ基板30Hは、図13に示す第4実施形態のTFTアレイ基板30Cにおいて、第2遮光膜5Cを除去し、第4遮光膜16'を追加したものである。その他の構成は、第4実施形態のTFTアレイ基板30Cと同じである。このTFTアレイ基板30Hでは、第2遮光膜5を除去しているので、SiO₂膜4または6は省略可能である。

【0162】

第4遮光膜16'のパターンは、図12に示された第2遮光膜5Cのそれと同じであり、

10

20

30

40

50

TFT31の活性層として機能するポリシリコン膜7のほぼ全体を覆っている。第4遮光膜16'は、ポリシリコン膜7のコンタクト孔22の近傍の部分は覆っていない。

【0163】

第4遮光膜16'は、ここでは第2層間絶縁膜12の内部に埋設してある。このような構成は、例えば次のようにして容易に実現できる。すなわち、第2層間絶縁膜12を2層構造とし、第2層間絶縁膜12の下層部を形成した後、第4遮光膜16'用のアモルファス・シリコン膜を形成する。そして、このアモルファス・シリコン膜をパターン化すると、第4遮光膜16'が得られる。その後、その上に第2層間絶縁膜12の上層部を形成する。しかし、本発明はこの構成に限定されるわけではない。例えば、第4遮光膜16'を第2層間絶縁膜12の上に形成した後、第4遮光膜16'を他の絶縁膜で覆い、その上に第3層間絶縁膜14を形成してもよい。

10

【0164】

(第10実施形態)

図20は、本発明の第10実施形態のTFTアレ基板30Iの概略構成を示している。図20(a)および(b)は、それぞれ図12のE-E線およびF-F線に沿った要部断面図である。

【0165】

図20に示す第10実施形態のTFTアレ基板30Iは、図13に示す第4実施形態のTFTアレ基板30Cにおいて、第4遮光膜16'を追加したものである。その他の構成は、第4実施形態のTFTアレ基板30Cと同じである。換言すれば、TFTアレ基板30Iは、図19に示す第9実施形態のTFTアレ基板30Hにおいて、第2遮光膜5Cを追加したものである。

20

【0166】

このTFTアレ基板30Iでは、TFT31の上下にそれぞれ第4遮光膜16'と第2遮光膜5Cを設けているので、TFT31の上下両側からの光に対して遮光効果が得られる。よって、第1実施形態や第7実施形態の場合よりも高い遮光効果が得られる利点がある。

【0167】

図21は、投射型表示装置のライトバルブとして使用する場合を考慮して、所定の投射光照射条件の下で画素マトリックス部のTFT31に生じる光リーク電流特性を示す。これは発明者が行った試験により得たものである。

30

【0168】

図21より明らかなように、第1遮光膜と第3遮光膜を有する従来のTFTアレ基板100(図23と図24を参照)では、光リーク電流が4pAであったのに対し、第1遮光膜と第3遮光膜に加えて第2遮光膜を有する本発明の第4実施形態のTFTアレ基板30C(図12と図13を参照)では、活性層として機能する多結晶シリコン膜と第2遮光膜との間の絶縁膜の厚さが500nmから減少していくにつれて光リーク電流は徐々に減少し、最大では従来例の約1/3にまで減少した。

【0169】

光リーク電流の低減効果は、第2遮光膜と活性層との間の絶縁膜の厚さに対して相関があり、当該絶縁膜の厚さを500nmより薄くするにつれて、その効果が大きくなった。しかし、図21には示していないが、当該絶縁膜の厚さを100nmより小さくすると、TFT31のオン特性に及ぼす影響や、レーザ・アニール工程での活性層(多結晶シリコン)の結晶性低下に与える影響が大きくなり、TFT31のオン特性が悪化して正常動作ができなくなった。この結果から、当該絶縁膜の厚さは500nm~100nmの範囲とするのが適当であることが分かった。

40

【0170】

また、第1遮光膜と第3遮光膜に加えて第2遮光膜と第4遮光膜を有する本発明の第10実施形態のTFTアレ基板30I(図20を参照)では、当該絶縁膜の厚さを200nmとした時に、光リーク電流が第4実施形態のTFTアレ基板30Cの場合の約1/2

50

にまで低減できた。これにより、第2遮光膜に加えてさらに第4遮光膜を追加することにより、より大きな光リーク電流低減効果が得られることが確認された。

【0171】

(第11実施形態)

アモルファス・シリコン膜にレーザー光を照射して活性層用の多結晶シリコン膜を形成する場合、すなわち、レーザー・アニール法によりアモルファス・シリコン膜から多結晶シリコン膜を得る場合には、アモルファス・シリコン膜の直下に熱伝導性の高い物質が存在すると、その物質によってレーザー照射による加熱・冷却プロセスが所望のものから変化し、その結果、アモルファス・シリコン膜が結晶化する際に影響を受ける、という問題がある。このため、従来は、熱伝導性の高い物質が加熱・冷却プロセスに影響を与えないように、アモルファス・シリコン膜と熱伝導性の高い物質の間に十分な厚さの絶縁膜を配置するのが一般的であった。

10

【0172】

他方、図22に示すTFTアレイ基板60のように、画素マトリックス部61と共に駆動回路部62を同一基板上に一体形成した場合、駆動回路部62のTFTには移動度の高いトランジスタ特性が必要とされるのに対し、画素マトリックス部61のTFTには高い移動度は要求されず、むしろ低いリーク電流が要求される。特に光リーク電流については、再結合中心となるトラップが比較的多いシリコンが好適である。このため、画素マトリックス部61のTFTに対しては、駆動回路部62のTFTよりも結晶性の低い多結晶シリコン膜がむしろ望ましい。

20

【0173】

そこで、本発明の第11実施形態では、画素マトリックス部61のTFTとしては、上述した第1～第10実施形態のように、第2遮光膜あるいは第4遮光膜またはその両方を有するTFT31を用いる。そして、駆動回路部62のTFTとしては、第2遮光膜あるいは第4遮光膜またはその両方を有しないTFTを用いる。こうすることにより、画素マトリックス部61のTFTでは、第2遮光膜あるいは第4遮光膜またはその両方によって、レーザー照射による熱を速やかに周囲に伝達することができ、その結果、画素マトリックス部61のTFTについてのみ結晶性の低い多結晶シリコン膜が、当該TFTの活性層7用として形成される。こうして、遮光膜の存在による光リーク電流の抑制に加えて、多結晶シリコン膜の結晶性の程度に基づいても光リーク電流を低減することが可能となる。

30

【0174】

(変形例)

なお、上記第1～第11の実施形態は、本発明の好適な例を示すものである。本発明はこれら実施形態に限定されず、種々の変更が可能なのは言うまでもない。

【0175】

例えば、第1～第6の実施形態では、透光性基板1上に酸化シリコン膜2を介して第1遮光膜3を設けているが、透光性基板1の材料に応じて酸化シリコン膜2を形成せずに透光性基板1の表面に直接、第1遮光膜3を設けてもよい。また、第3および第6の実施形態において、第2遮光膜5B、5Eとしてアモルファス・シリコン膜を使用し、第2遮光膜5B、5Eに電圧 V_c を印加しないようにしてもよい。第1および第4の実施形態の第2遮光膜5、5Cとして多結晶シリコン膜を使用することもできるし、第2、第3、第5および第6の実施形態の第2遮光膜5A、5B、5D、5Eとして不純物の導入されたアモルファス・シリコン膜を使用することもできる。これらは、第7～第11実施形態にも同様に適用できる。

40

【0176】

第2遮光膜と第4遮光膜を形成する材料としては、光を吸収できる材料であれば上記各実施形態で使用されたもの以外のものも使用可能である。

【0177】

【発明の効果】

以上説明したように、本発明の薄膜トランジスタ基板および液晶表示装置によれば、薄膜

50

トランジスタの活性層へ向かう光を効果的に遮断できる。したがって、薄膜トランジスタの光リーク電流が低減し、その結果、コントラストや画質の均一性が高められる。しかも、複雑な製造工程を必要とせず、容易に製造できる。

【図面の簡単な説明】

【図 1】本発明の第 1 実施形態の薄膜トランジスタ・アレイ基板の概略構成を示す要部平面図である。

【図 2】(a) は図 1 の A - A 線に沿った要部断面図、(b) は図 1 の B - B 線に沿った要部断面図である。

【図 3】本発明の第 1 実施形態の薄膜トランジスタ・アレイ基板の遮光効果を示す、図 2 (a) に対応する模式的断面図である。

10

【図 4】本発明の第 1 実施形態の薄膜トランジスタ・アレイ基板の製造方法の各工程を示す、(a) は図 2 (a) に対応する要部断面図、(b) は図 2 (b) に対応する要部断面図である。

【図 5】本発明の第 1 実施形態の薄膜トランジスタ・アレイ基板の製造方法の各工程を示す、(a) は図 2 (a) に対応する要部断面図、(b) は図 2 (b) に対応する要部断面図で、図 4 の続きである。

【図 6】本発明の第 1 実施形態の薄膜トランジスタ・アレイ基板の製造方法の各工程を示す、(a) は図 2 (a) に対応する要部断面図、(b) は図 2 (b) に対応する要部断面図で、図 5 の続きである。

【図 7】本発明の第 1 実施形態の薄膜トランジスタ・アレイ基板の製造方法の各工程を示す、(a) は図 2 (a) に対応する要部断面図、(b) は図 2 (b) に対応する要部断面図で、図 6 の続きである。

20

【図 8】本発明の第 1 実施形態の薄膜トランジスタ・アレイ基板の製造方法の各工程を示す、(a) は図 2 (a) に対応する要部断面図、(b) は図 2 (b) に対応する要部断面図で、図 7 の続きである。

【図 9】本発明の第 2 実施形態の薄膜トランジスタ・アレイ基板の概略構成を示す要部平面図である。

【図 10】(a) は図 9 の C - C 線に沿った要部断面図、(b) は図 9 の D - D 線に沿った要部断面図である。

【図 11】本発明の第 3 実施形態の薄膜トランジスタ・アレイ基板の概略構成を示す要部平面図である。

30

【図 12】本発明の第 4 実施形態の薄膜トランジスタ・アレイ基板の概略構成を示す要部平面図である。

【図 13】(a) は図 12 の E - E 線に沿った要部断面図、(b) は図 12 の F - F 線に沿った要部断面図である。

【図 14】本発明の第 4 実施形態の薄膜トランジスタ・アレイ基板の遮光効果を示す、図 13 (a) に対応する模式的断面図である。

【図 15】本発明の第 5 実施形態の薄膜トランジスタ・アレイ基板の概略構成を示す要部平面図である。

【図 16】本発明の第 6 実施形態の薄膜トランジスタ・アレイ基板の概略構成を示す要部平面図である。

40

【図 17】本発明の第 7 実施形態の薄膜トランジスタ・アレイ基板の概略構成を示すもので、(a) は図 1 の A - A 線に沿った要部断面図、(b) は図 1 の B - B 線に沿った要部断面図である。

【図 18】本発明の第 8 実施形態の薄膜トランジスタ・アレイ基板の概略構成を示すもので、(a) は図 1 の A - A 線に沿った要部断面図、(b) は図 1 の B - B 線に沿った要部断面図である。

【図 19】本発明の第 9 実施形態の薄膜トランジスタ・アレイ基板の概略構成を示すもので、(a) は図 12 の E - E 線に沿った要部断面図、(b) は図 12 の F - F 線に沿った要部断面図である。

50

【図20】本発明の第10実施形態の薄膜トランジスタ・アレイ基板の概略構成を示すもので、(a)は図12のE-E線に沿った要部断面図、(b)は図12のF-F線に沿った要部断面図である。

【図21】所定の投射光照射条件の下で画素マトリックス部のTFTに生じる光リーク電流特性を示すグラフである。

【図22】本発明の第11実施形態の薄膜トランジスタ・アレイ基板の構成を示す概略平面図である。

【図23】従来の薄膜トランジスタ・アレイ基板の概略構成を示す要部平面図である。

【図24】(a)は図23のG-G線に沿った要部断面図、(b)は図23のH-H線に沿った要部断面図である。

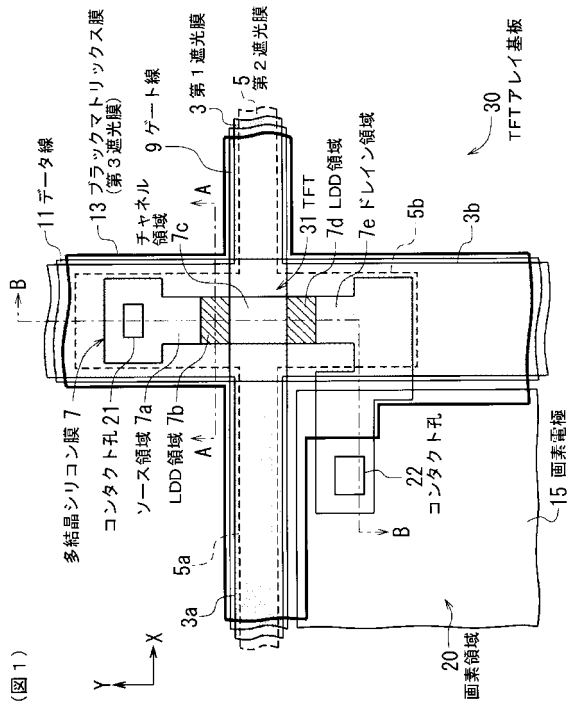
【図25】従来の薄膜トランジスタ・アレイ基板の遮光効果を示す、図24(a)に対応する模式的断面図である。

【符号の説明】

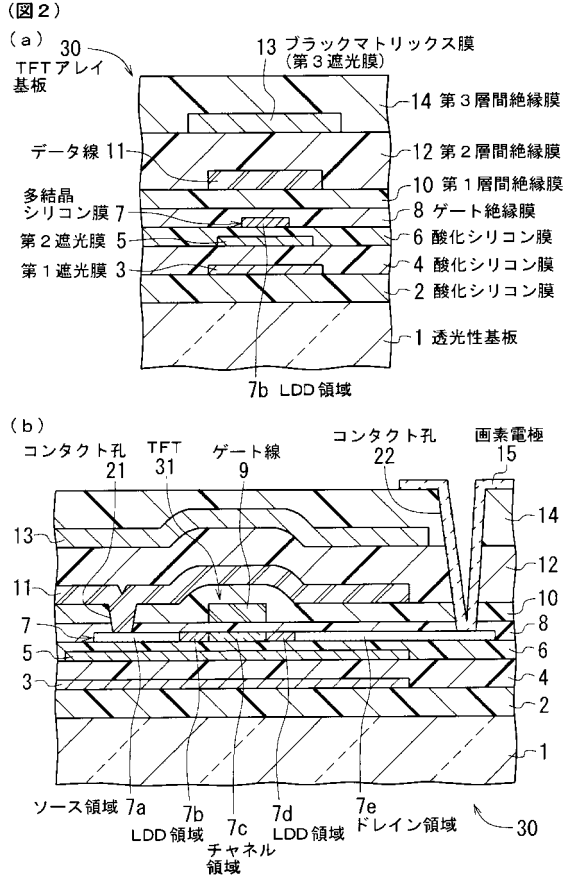
- | | | |
|------------------------|--------------------------|----|
| 1 | 透光性基板 | |
| 2 | 酸化シリコン膜 | |
| 3、3' | 第1遮光膜 | |
| 3a、3a' | 第1遮光膜の第1部分 | |
| 3b、3b' | 第1遮光膜の第2部分 | |
| 4 | 酸化シリコン膜 | |
| 5、5A、5B、5C、5D、5E | 第2遮光膜 | 20 |
| 5a、5Aa、5Ba、5Ca、5Da、5Ea | 第2遮光膜の第1部分 | |
| 5b、5Ab、5Bb、5Cb、5Db、5Eb | 第2遮光膜の第2部分 | |
| 5Ec | 第2遮光膜の第3部分 | |
| 6 | 酸化シリコン膜 | |
| 7、7' | 多結晶シリコン膜 | |
| 7a、7a' | ソース領域 | |
| 7b、7b'、7d、7d' | LDD領域 | |
| 7c、7c' | チャネル領域 | |
| 7e、7e' | ドレイン領域 | |
| 8 | ゲート絶縁膜 | 30 |
| 9 | ゲート線 | |
| 9a | ゲート電極 | |
| 10 | 第1層間絶縁膜 | |
| 11 | データ線 | |
| 12 | 第2層間絶縁膜 | |
| 13、13' | ブラックマトリックス膜(第3遮光膜) | |
| 14 | 第3層間絶縁膜 | |
| 15 | 画素電極 | |
| 16、16' | 第4遮光膜 | |
| 20 | 画素領域 | 40 |
| 21、22 | コンタクト孔 | |
| 30、30A | 薄膜トランジスタ・アレイ基板(TFTアレイ基板) | |
| 30B、30C | 薄膜トランジスタ・アレイ基板(TFTアレイ基板) | |
| 30D、30E | 薄膜トランジスタ・アレイ基板(TFTアレイ基板) | |
| 30F、30G | 薄膜トランジスタ・アレイ基板(TFTアレイ基板) | |
| 30H、30I | 薄膜トランジスタ・アレイ基板(TFTアレイ基板) | |
| 31 | 薄膜トランジスタ(TFT) | |
| 41 | 内部配線 | |
| 51 | 外部端子 | |
| 60 | 薄膜トランジスタ・アレイ基板(TFTアレイ基板) | 50 |

- 6 1 画素マトリックス部
- 6 2 駆動回路部

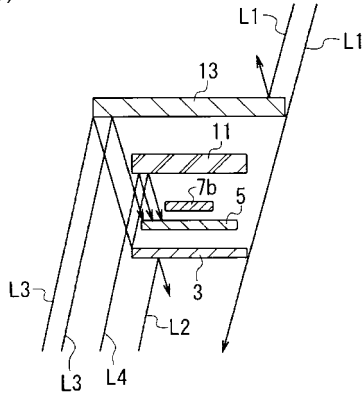
【 図 1 】



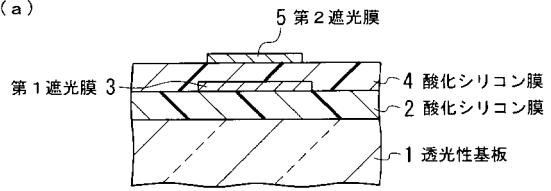
【 図 2 】



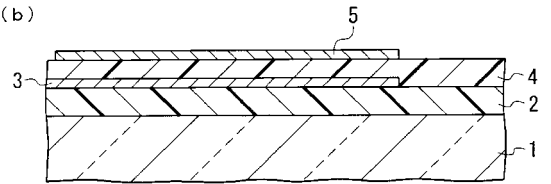
【図3】
(図3)



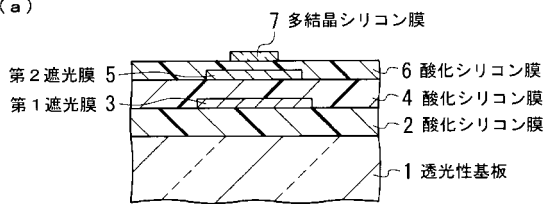
【図4】
(図4)
(a)



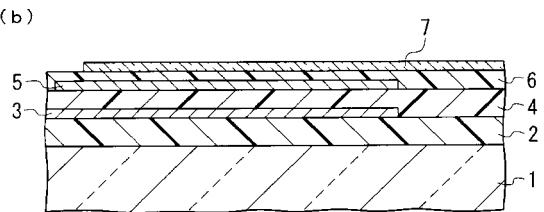
(b)



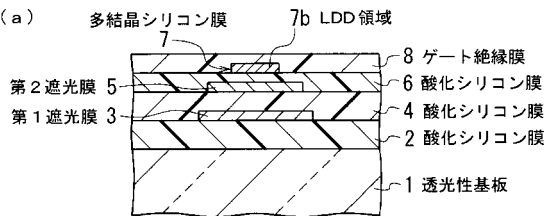
【図5】
(図5)
(a)



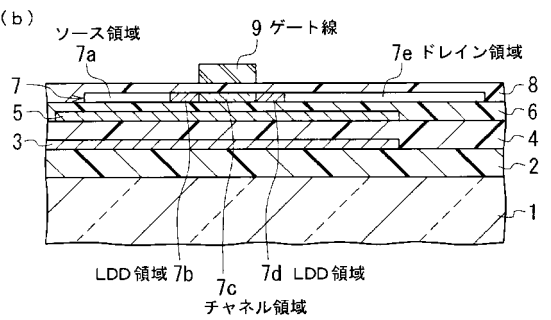
(b)



【図6】
(図6)
(a)



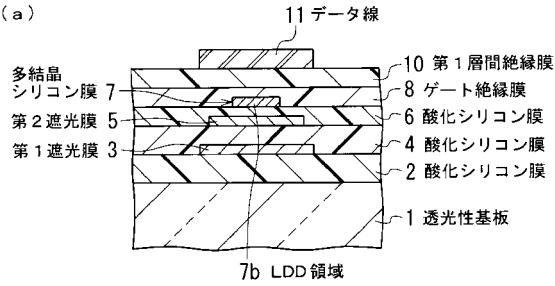
(b)



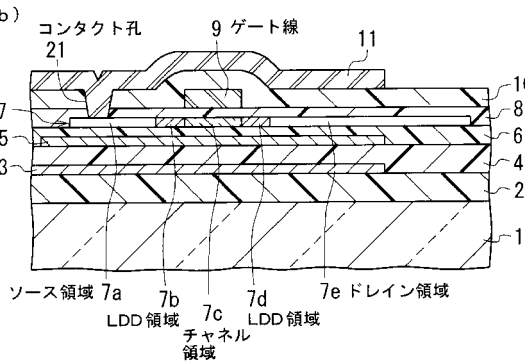
【 図 7 】

(図7)

(a)



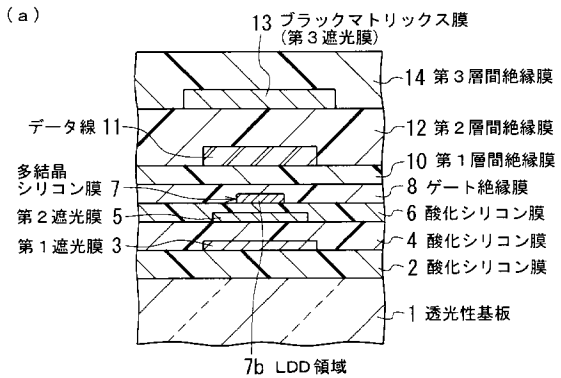
(b)



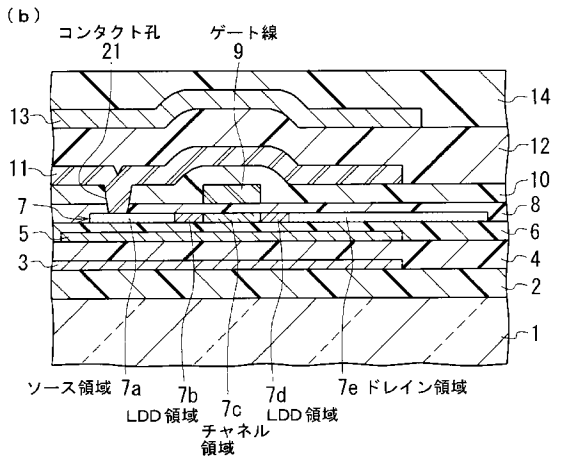
【 図 8 】

(図8)

(a)

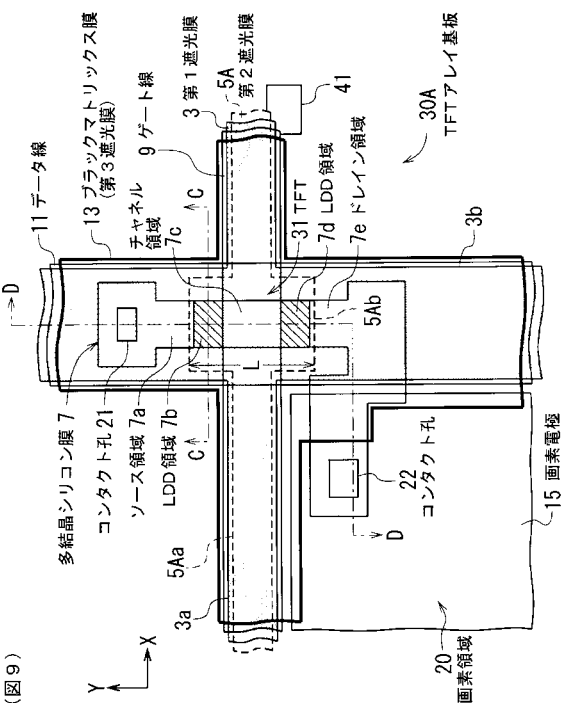


(b)



【 図 9 】

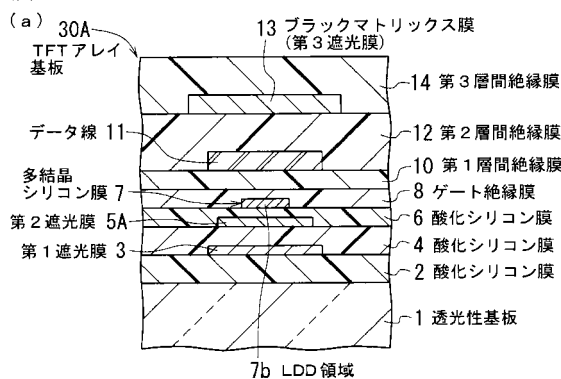
(図9)



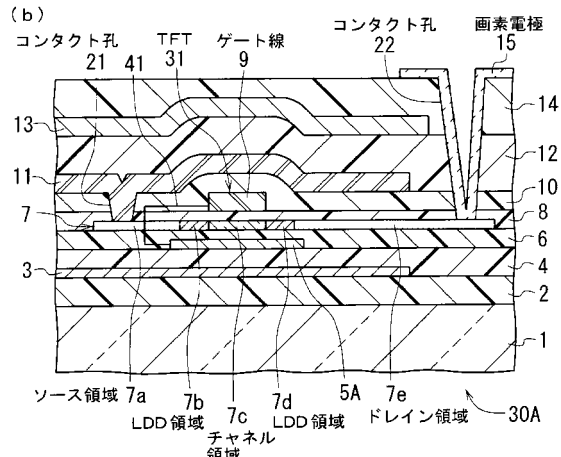
【 図 10 】

(図10)

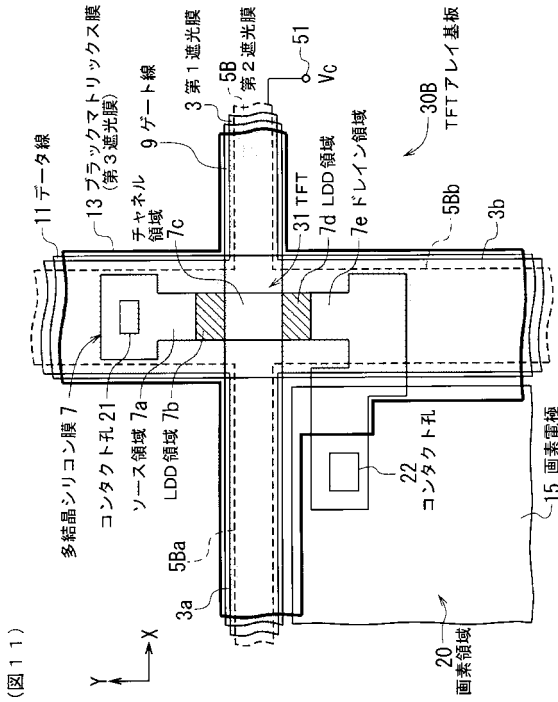
(a)



(b)

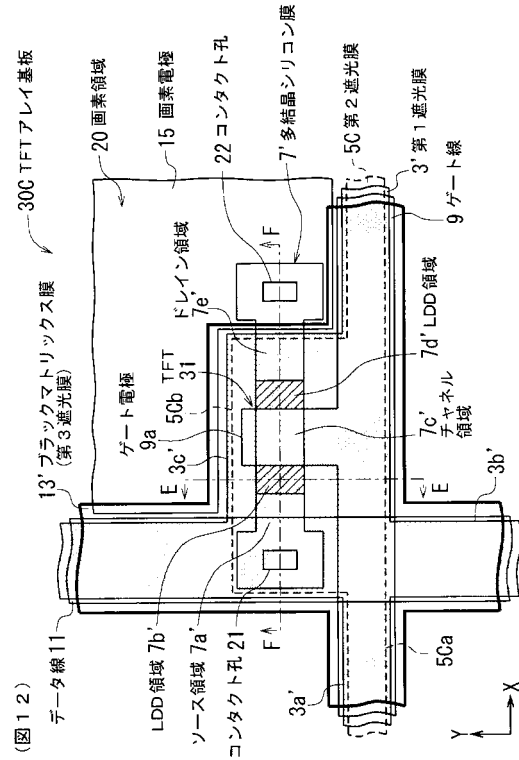


【図11】



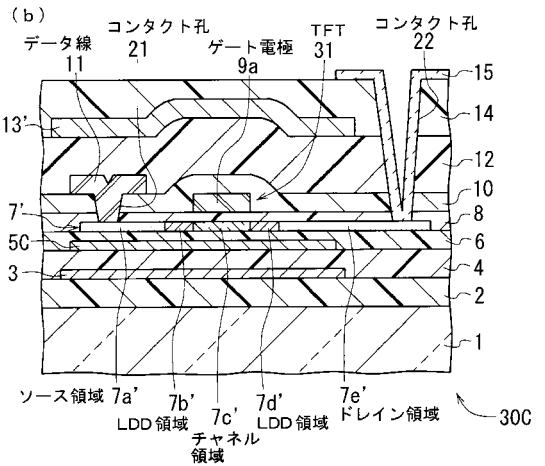
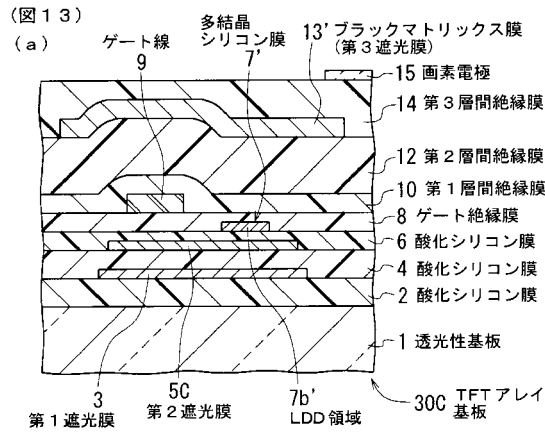
(図11)

【図12】

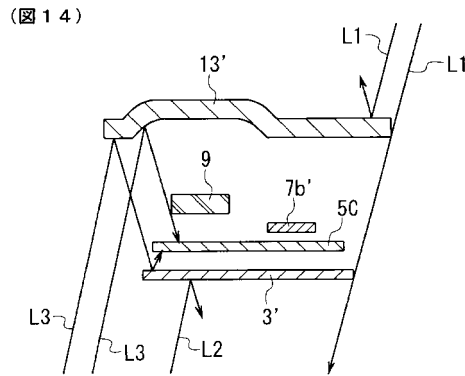


(図12)

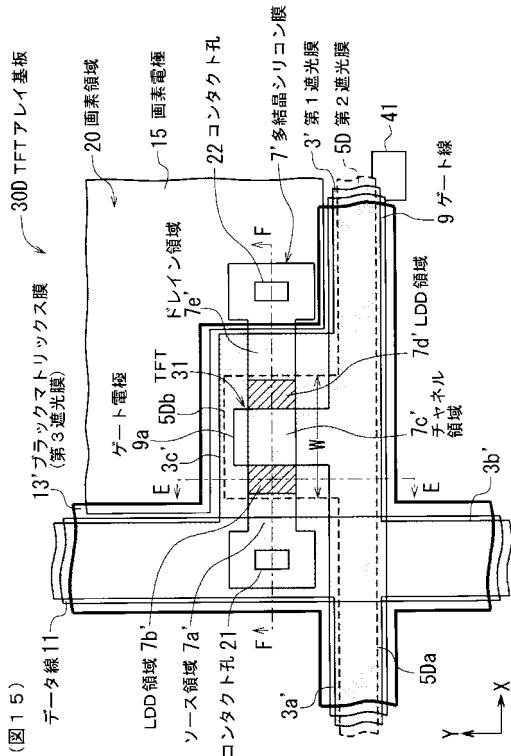
【図13】



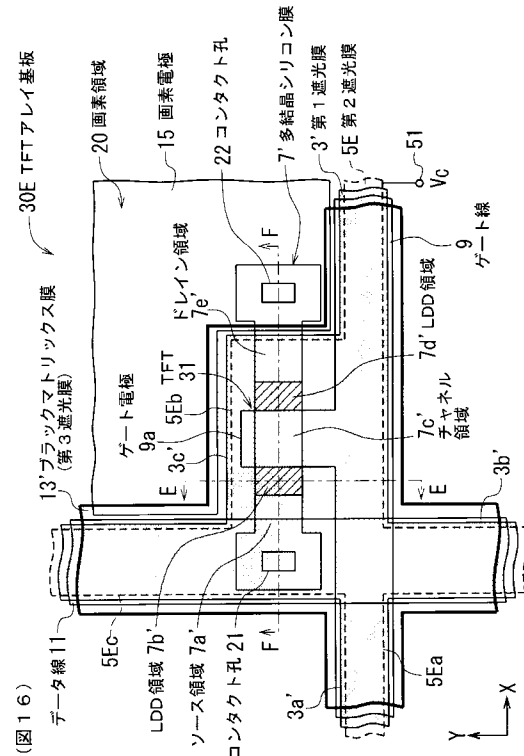
【図14】



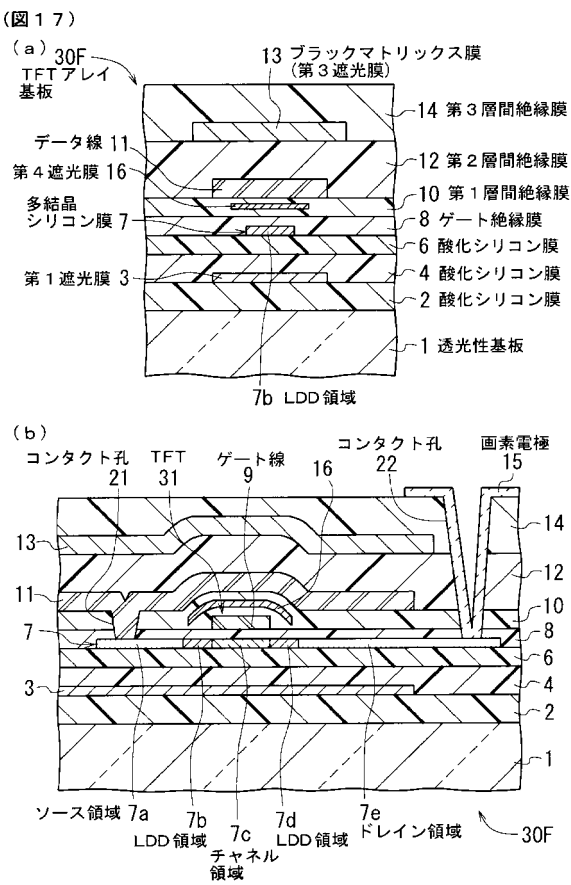
【 図 15 】



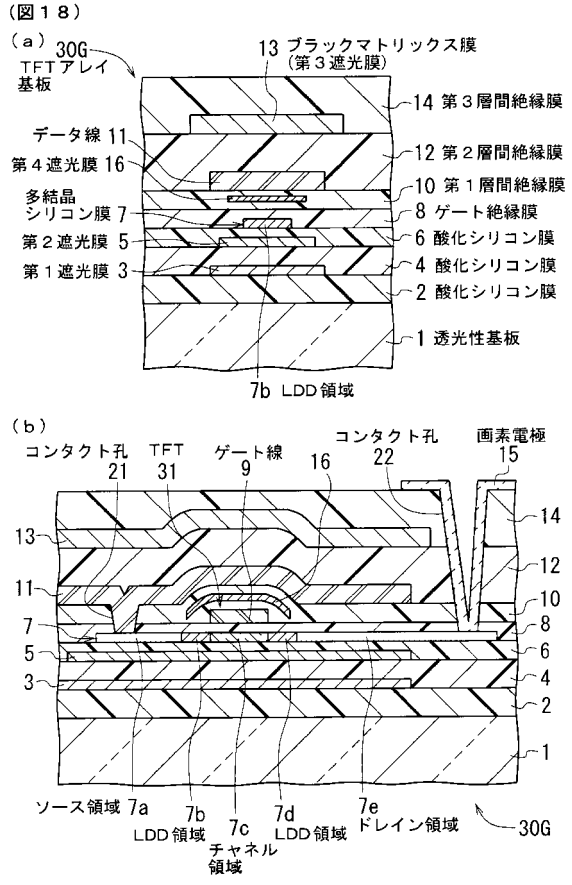
【 図 16 】



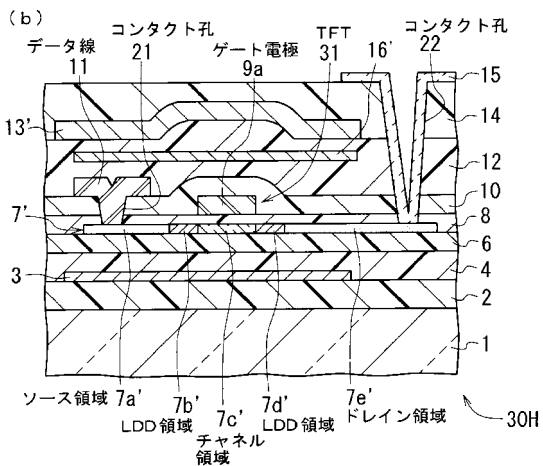
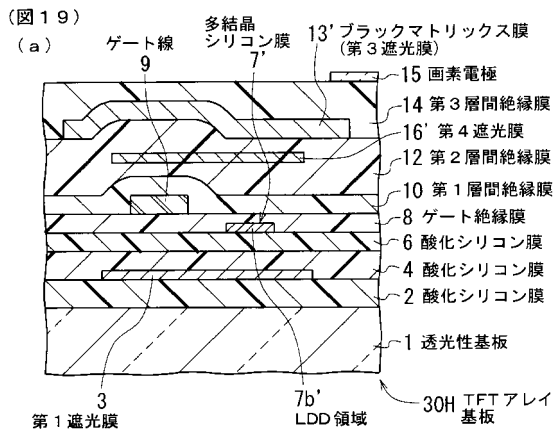
【 図 17 】



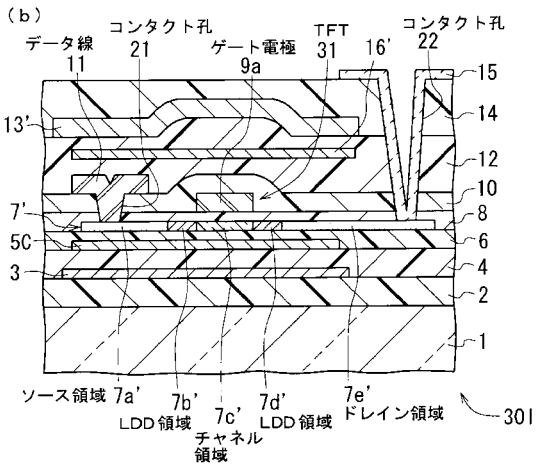
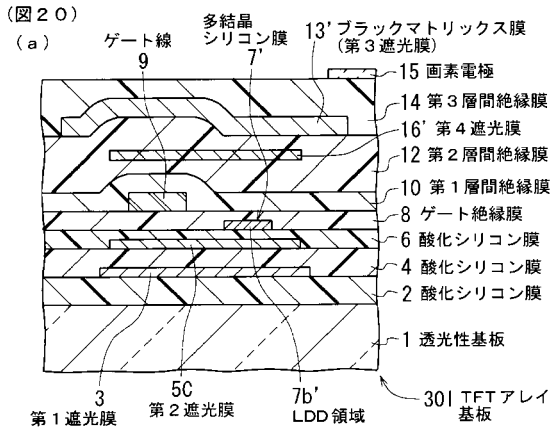
【 図 18 】



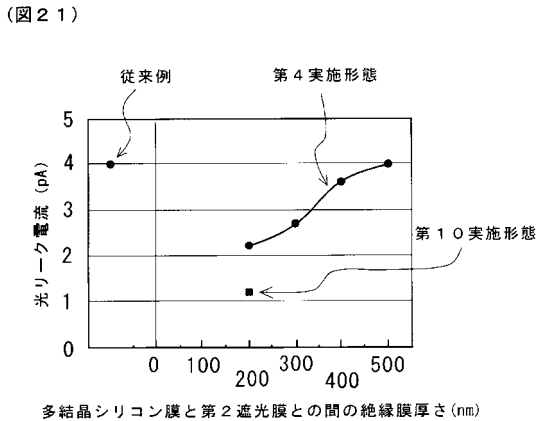
【図19】



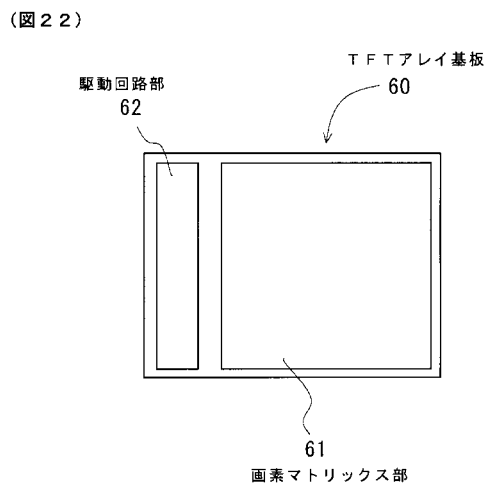
【図20】



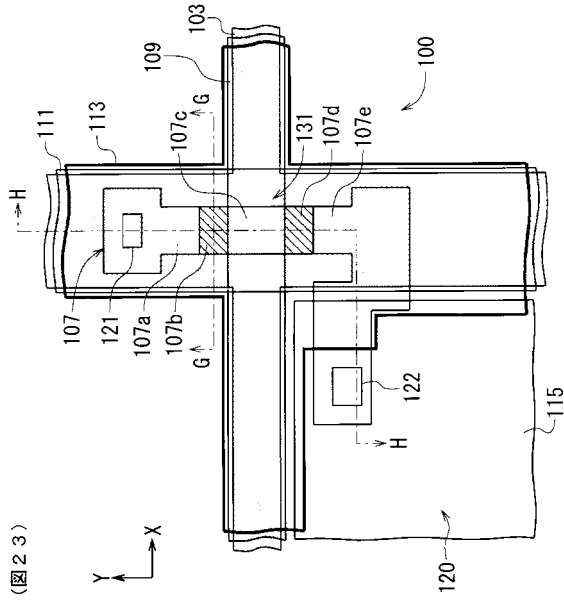
【図21】



【図22】



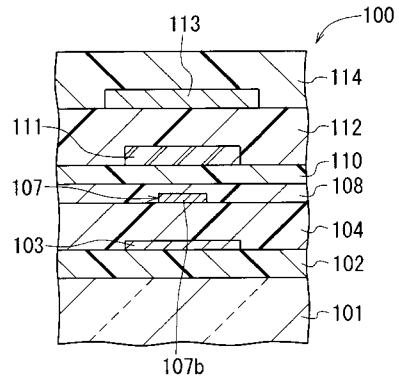
【 図 2 3 】



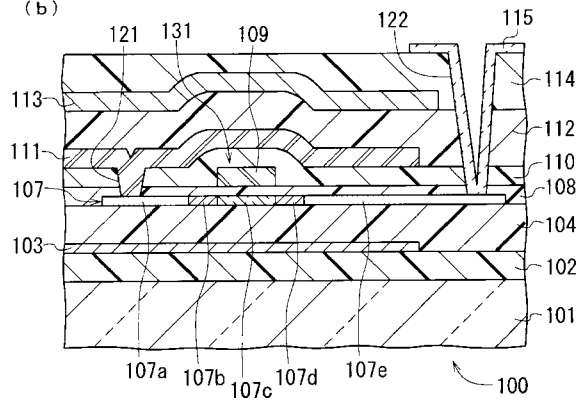
【 图 2 4 】

(图 2 4)

(a)

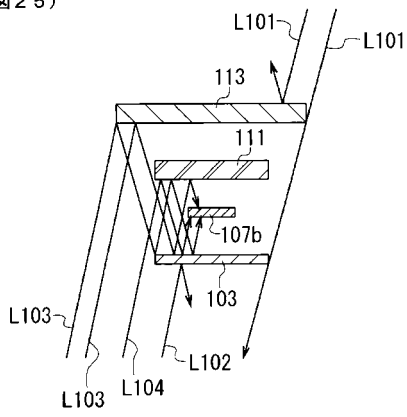


(b)



【 图 2 5 】

(图 2 5)



フロントページの続き

- (56)参考文献 特開2000-131716(JP,A)
特開平11-084422(JP,A)
特開平04-152574(JP,A)
特開平06-160899(JP,A)
特開2000-010120(JP,A)
特開2002-108248(JP,A)
特開2001-330856(JP,A)

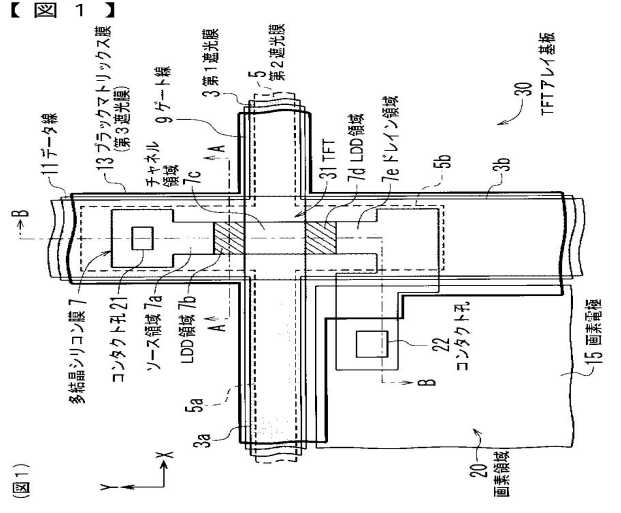
(58)調査した分野(Int.Cl.⁷, DB名)

G02F 1/1362
G02F 1/1343
G02F 1/1335
G02F 1/1333
H01L 29/78

专利名称(译)	薄膜晶体管阵列基板和有源矩阵型液晶显示装置		
公开(公告)号	JP3605823B2	公开(公告)日	2004-12-22
申请号	JP2002226054	申请日	2002-08-02
申请(专利权)人(译)	NEC公司		
当前申请(专利权)人(译)	NEC公司		
[标]发明人	世良賢二 奥村藤男		
发明人	世良 賢二 奥村 藤男		
IPC分类号	G02F1/1335 G02F1/1333 G02F1/1368 H01L21/336 H01L29/786		
FI分类号	G02F1/1368 G02F1/1333.505 G02F1/1335.500 H01L29/78.616.A H01L29/78.616.N H01L29/78.619.B		
F-TERM分类号	2H090/HB02 2H090/HB02X 2H090/HB04 2H090/HB06 2H091/FA34Y 2H091/FA35Y 2H091/FB01 2H091/FC22 2H091/FC26 2H091/GA07 2H091/GA13 2H091/KA10 2H091/LA03 2H091/LA12 2H091/LA17 2H091/LA18 2H091/MA07 2H092/GA29 2H092/GA59 2H092/JA25 2H092/JA46 2H092/JB33 2H092/JB51 2H092/JB52 2H092/JB53 2H092/JB54 2H092/KA04 2H092/KA05 2H092/KA10 2H092/MA05 2H092/MA07 2H092/MA08 2H092/MA13 2H092/MA17 2H092/MA27 2H092/MA30 2H092/NA01 2H092/NA22 2H092/NA25 2H092/NA27 2H092/PA09 2H092/RA05 2H190/HB02 2H191/FA13Y 2H191/FA14Y 2H191/FB01 2H191/FC32 2H191/FC36 2H191/GA10 2H191/GA19 2H191/KA10 2H191/LA03 2H191/LA13 2H191/LA22 2H191/LA24 2H191/MA11 2H192/AA24 2H192/BC31 2H192/CB02 2H192/CB08 2H192/CB53 2H192/CC05 2H192/EA04 2H192/EA13 2H192/EA15 2H192/FB02 2H192/FB34 2H192/GD45 2H192/JB02 2H291/FA13Y 2H291/FA14Y 2H291/FB01 2H291/FC32 2H291/FC36 2H291/GA10 2H291/GA19 2H291/KA10 2H291/LA03 2H291/LA13 2H291/LA22 2H291/LA24 2H291/MA11 5F110/AA06 5F110/AA21 5F110/AA30 5F110/BB01 5F110/CC02 5F110/DD02 5F110/DD12 5F110/DD13 5F110/DD17 5F110/EE05 5F110/EE09 5F110/EE14 5F110/EE30 5F110/FF02 5F110/FF29 5F110/GG02 5F110/GG13 5F110/GG45 5F110/GG47 5F110/HL03 5F110/HL07 5F110/HL23 5F110/HM15 5F110/NN03 5F110/NN23 5F110/NN35 5F110/NN42 5F110/NN44 5F110/NN45 5F110/NN46 5F110/NN48 5F110/NN54 5F110/NN55 5F110/NN72 5F110/PP03 5F110/QQ11		
代理人(译)	泉 克文		
优先权	2001235699 2001-08-03 JP		
其他公开文献	JP2003131261A		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过有效地中断朝向薄膜晶体管（TFT）的有源层的光来减少TFT的光泄漏电流。解决方案：第一遮光膜3布置在透光基板1和TFT 7之间，并且覆盖TFT 31的黑矩阵膜（第三遮光膜）13布置在透射基板1上。然后，第二遮光膜3在第一遮光膜和TFT 7之间设置能够吸收发光的遮光膜5。即使从TFT阵列基板30的背面入射的光被黑矩阵膜13和数据线11反射，通过第一遮光膜3进一步反射，任何反射光被发射到第二遮光膜5，并被第二遮光膜5吸收和中断。



(図1)