

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-282489

(P2009-282489A)

(43) 公開日 平成21年12月3日(2009.12.3)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G02F 1/133 (2006.01)	G02F 1/133 550	2H193
G09G 3/20 (2006.01)	G09G 3/20 612E	5C006
	G09G 3/20 624C	5C080
	G09G 3/20 624D	

審査請求 有 請求項の数 14 O L (全 15 頁) 最終頁に続く

(21) 出願番号 特願2008-268050 (P2008-268050)
 (22) 出願日 平成20年10月17日 (2008.10.17)
 (31) 優先権主張番号 10-2008-0046226
 (32) 優先日 平成20年5月19日 (2008.5.19)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 501426046
 エルジー ディスプレイ カンパニー リ
 ミテッド
 大韓民国 ソウル, ヨンドゥンポーク, ヨ
 イドードン 20
 (74) 代理人 100064447
 弁理士 岡部 正夫
 (74) 代理人 100085176
 弁理士 加藤 伸晃
 (74) 代理人 100094112
 弁理士 岡部 譲
 (74) 代理人 100096943
 弁理士 臼井 伸一
 (74) 代理人 100101498
 弁理士 越智 隆夫

最終頁に続く

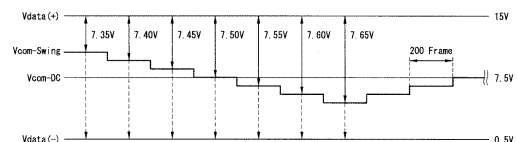
(54) 【発明の名称】 表示品位を高めることができる液晶表示装置とその駆動方法

(57) 【要約】

【課題】本発明は表示品位を高めることができる液晶表示装置とその駆動方法を提供する。

【解決手段】本発明に係る液晶表示装置は複数のデータラインと複数のゲートラインが交差されてマトリクス形態に配置される液晶セルを含む液晶表示パネルと、前記データラインにデータ電圧を供給して、前記ゲートラインにスキャンパルスを供給する駆動回路と、一画面が表示される1フレーム期間の内でスキャンが始まる開始水平ラインを指示するゲートスタートパルスを発生するタイミングコントローラと、前記ゲートスタートパルスを利用してフレーム数をカウントして、累算カウント値が予め決められた値の倍数になる度に制御クロックを発生する制御クロック発生部と、前記制御クロックに基づいて特定ビットの制御データを発生して、この制御データを利用して一定時間ごとにその電圧レベルが段階的に可変される共通電圧を発生して前記液晶表示パネルに供給する共通電圧発生回路を備える。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

マトリックスに配置された複数のデータラインと複数のゲートライン、及び該マトリックスの交差点各々に形成されそして画素電極と共通電極とを含む液晶セルとからなる液晶パネル(10)を有する液晶表示装置において、

該液晶セルの画素電極にスイッチ素子(TFT)を介して接続されている該データライン各々に、画像フレームを構成する画像信号から形成されたデータ電圧を与えるデータ駆動回路(13)、

10

該ゲートライン各々にゲート電圧を与えて、該スイッチ素子のオン・オフを制御して該マトリックス配置の液晶セルを線順次走査を行うゲート駆動回路(13)、及び

該液晶セルの共通電極に共通電圧を与える共通電圧発生回路(14)とからなり、

該共通電圧発生回路は、所定の期間毎にその電圧レベルが段階的に可変する共通電圧を発生していることを特徴とする液晶表示装置。

【請求項 2】

該共通電圧発生回路は、該画像信号に応答してフレーム数をカウントし、該カウント数が所定数に達したときに制御パルスを発生する制御クロック発生回路(141)、及び該制御パルスに
20
応答し、予め定められた複数の電圧レベルの1つを順次選択し、該選択された電圧レベルの共通電圧を発生し、該予め定められた複数の電圧レベルの間で該共通電圧を段階的に変化させる共通電圧生成回路(144, 145, 146)を含んでいることを特徴とする請求項1に記載の液晶表示装置。

20

【請求項 3】

該共通電圧は、中心共通電圧に対し正と負の両サイドにスイングされるよう可変されている請求項1に記載の液晶表示装置。

【請求項 4】

該共通電圧発生回路は、該画像信号の水平ラインをカウントし、同一フレーム内で垂直方向にn個に区分された水平ブロックの走査毎に第2の制御クロックを発生する第2クロック発生回路(241b)を含み、共通電圧生成回路は、該第2の制御クロックに
30
応答し該第1の制御クロックに
30
応答して選択された電圧レベルを水平ブロックの走査毎に異ならしめていることを特徴とする請求項2に記載の液晶表示装置。

30

【請求項 5】

前記共通電圧発生回路は、
前記制御クロックに同期して、そのデジタル値が前記一定時間ごとに段階的に増減される特定ビットの制御データを発生する制御データ発生部と、
前記制御クロックに同期して増減される制御データと該制御データに対応されるスイッチ制御信号をルックアップテーブルで貯蔵するメモリーと、
前記制御データをリードアドレスにして前記メモリーに貯蔵されたスイッチ制御信号を
40
読み出しするレジスターと、
前記読み出しされたスイッチ制御信号をデコーディングして出力するデコーダーと、
高電位電源電圧と低電位電源電圧を分圧してそのレベルがお互いに異なる複数の電圧を発生する抵抗ストリングと、
前記デコーディングされたスイッチ制御信号に
40
応答して前記抵抗ストリングに形成された複数の分圧電圧出力ノードの内
40
で何れかのひとつを前記共通電圧を供給するための供給配線に接続するスイッチアレイを備えることを特徴とする、請求項1に記載の液晶表示装置。

40

【請求項 6】

前記制御クロックの発生周期は、前記液晶表示パネルの液晶層に直流電圧が印加される

50

時間、温度によって前記液晶層内のイオンの分極及び蓄積量程度を考慮して決まることを特徴とする、請求項 1 記載の液晶表示装置。

【請求項 7】

複数のデータラインと複数のゲートラインが交差されてマトリクス形態に配置される液晶セルを含み、水平ブロック単位で分割駆動される液晶表示パネルと、前記データラインにデータ電圧を供給して、前記ゲートラインにスキャンパルスを供給する駆動回路と、

一画面が表示される 1 フレーム期間の中でスキャンが始まる開始水平ラインを指示するゲートスタートパルスを発生するタイミングコントローラと、

前記ゲートスタートパルスを利用してフレーム数をカウントして累算カウント値が予め決まった値の倍数になる度に第 1 制御クロックを発生して、外部からのデータインープル信号を利用して同一なフレーム内での水平ライン数をカウントして前記水平ブロックが変わる度に第 2 制御クロックを発生する制御クロック発生部と、

前記第 1 及び第 2 制御クロックに基づいて特定ビットの制御データを発生して、この制御データを利用して一定時間ごとにその電圧レベルが段階的に可変されて、隣合う水平ブロックの間そのレベルがお互いに異なる共通電圧を発生して前記液晶表示パネルに供給する共通電圧発生回路を備えることを特徴とする液晶表示装置。

【請求項 8】

前記共通電圧発生回路は、

前記第 1 及び第 2 制御クロックに同期して、そのデジタル値が前記一定時間ごとに段階的に増減されて、そのデジタル値が前記水平ブロックの変化時点を前後してお互いに異なる特定ビットの制御データを発生する制御データ発生部と、

前記第 1 及び第 2 制御クロックに同期して増減される制御データとこの制御データに対応されるスイッチ制御信号をルックアップテーブルで貯蔵するメモリと、

前記制御データをリードアドレスにして前記メモリに貯蔵されたスイッチ制御信号を読み出しするレジスタと、

前記読み出されたスイッチ制御信号をデコーディングして出力するデコーダと、

高電位電源電圧と低電位電源電圧を分圧してそのレベルがお互いに異なる複数の電圧を発生する抵抗ストリングと、

前記デコーディングされたスイッチ制御信号に応答して前記抵抗ストリングに形成された複数の分圧電圧出力ノードの中で何れかのひとつを前記共通電圧を供給するための供給配線に接続するスイッチアレイを備えることを特徴とする、請求項 7 記載の液晶表示装置。

【請求項 9】

前記第 1 及び第 2 制御クロックの発生周期は、前記液晶表示パネルの液晶層に直流電圧が印加される時間、温度によって前記液晶層内のイオンの分極及び蓄積量程度を考慮して決まることを特徴とする、請求項 7 記載の液晶表示装置。

【請求項 10】

前記制御クロック発生部は前記タイミングコントローラまたは前記共通電圧発生回路に内蔵されることを特徴とする、請求項 1 または請求項 7 記載の液晶表示装置。

【請求項 11】

複数のデータラインと複数のゲートラインが交差されてマトリクス形態に配置される液晶セルを含む液晶表示パネルと、前記データラインにデータ電圧を供給して前記ゲートラインにスキャンパルスを供給する駆動回路を持つ液晶表示装置の駆動方法において、

一画面が表示される 1 フレーム期間の中でスキャンが始まる開始水平ラインを指示するゲートスタートパルスを発生する段階と、

前記ゲートスタートパルスを利用してフレーム数をカウントして、累算カウント値が予め決まった値の倍数になる度に制御クロックを発生する段階と、

前記制御クロックに基づいて特定ビットの制御データを発生して、この制御データを利用して一定時間ごとにその電圧レベルが段階的に可変される共通電圧を発生して前記液晶

10

20

30

40

50

表示パネルに供給する段階を含むことを特徴とする液晶表示装置の駆動方法。

【請求項 1 2】

前記共通電圧を発生する段階は、

前記制御クロックに同期して、そのデジタル値が前記一定時間ごとに段階的に増減される特定ビットの制御データを発生する段階と、

前記制御クロックに同期して増減される制御データとこの制御データに対応されるスイッチ制御信号をルックアップテーブルで貯蔵する段階と、

前記制御データをリードアドレスにして前記メモリーに貯蔵されたスイッチ制御信号を読み出しする段階と、

前記読み出しされたスイッチ制御信号をデコーディングして出力する段階と、

前記デコーディングされたスイッチ制御信号に応答して、高電位電源電圧と低電位電源電圧を分圧してそのレベルがお互いに異なる複数の電圧を発生する抵抗ストリングに形成された複数の分圧電圧出力ノードの中で何れかのひとつを前記共通電圧を供給するための供給配線に接続させる段階を含むことを特徴とする、請求項 1 1 記載の液晶表示装置の駆動方法。

10

【請求項 1 3】

複数のデータラインと複数のゲートラインが交差されてマトリクス形態に配置される液晶セルを含み水平ブロック単位で分割駆動される液晶表示パネルと、前記データラインにデータ電圧を供給して前記ゲートラインにスキャンパルスを供給する駆動回路を持つ液晶表示装置の駆動方法において、

20

一画面が表示される 1 フレーム期間の中でスキャンが始まる開始水平ラインを指示するゲートスタートパルスを発生する段階と、

前記ゲートスタートパルスを利用してフレーム数をカウントして累算カウント値が予め決まれた値の倍数になる度に第 1 制御クロックを発生して、外部からのデータインーブル信号を利用して同一なフレーム内での水平ライン数をカウントして前記水平ブロックが変わる度に第 2 制御クロックを発生する段階と、

前記第 1 及び第 2 制御クロックに基づいて特定ビットの制御データを発生して、この制御データを利用して一定時間ごとにその電圧レベルが段階的に可変されて、隣合う水平ブロックの間そのレベルがお互いに異なる共通電圧を発生して前記液晶表示パネルに供給する段階を含むことを特徴とする液晶表示装置の駆動方法。

30

【請求項 1 4】

前記共通電圧を発生する段階は、

前記第 1 及び第 2 制御クロックに同期して、そのデジタル値が前記一定時間ごとに段階的に増減されて、そのデジタル値が前記水平ブロックの変化時点を前後してお互いに異なる特定ビットの制御データを発生する段階と、

前記第 1 及び第 2 制御クロックに同期して増減される制御データとこの制御データに対応されるスイッチ制御信号をルックアップテーブルで貯蔵する段階と、

前記制御データをリードアドレスにして前記メモリーに貯蔵されたスイッチ制御信号を読み出しする段階と、

前記読み出しされたスイッチ制御信号をデコーディングして出力する段階と、

40

前記デコーディングされたスイッチ制御信号に応答して、高電位電源電圧と低電位電源電圧を分圧してそのレベルがお互いに異なる複数の電圧を発生する抵抗ストリングに形成された複数の分圧電圧出力ノードの中で何れかのひとつを前記共通電圧を供給するための供給配線に接続させる段階を含むことを特徴とする、請求項 1 3 記載の液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は表示品位を高めることができる液晶表示装置とその駆動方法に関する。

【背景技術】

50

【 0 0 0 2 】

液晶表示装置はビデオ信号に対応して液晶層に印加される電界を通じて液晶層の光透過率を制御することで画像を表示する。このような液晶表示装置は小型及び薄型化と低消費電力の長所を持つ平板表示装置として、ノート・パソコンPCのようなポータブルコンピューター、事務自動化器機、オーディオ/ビデオ器機などに利用されている。特に、液晶セルごとにスイッチング素子が形成されたアクティブマトリックスタイプの液晶表示装置はスイッチング素子の能動的な制御が可能であるから動画具現に有利である。

【 0 0 0 3 】

アクティブマトリックスタイプの液晶表示装置に使われるスイッチング素子では図1のように主に薄膜トランジスタ(Thin Film Transistor; 以下“TF T”だと言う)が利用されている。

10

【 0 0 0 4 】

図1を参照すれば、アクティブマトリックスタイプの液晶表示装置は、デジタルビデオデータをガンマ基準電圧を基準にしてアナログデータ電圧に変換し、データライン(DL)に供給すると共にスキャンパルスゲートライン(GL)に供給して、データ電圧を液晶セル(Clc)に充電させる。このために、TF Tのゲート電極はゲートライン(GL)に接続されて、ソース電極はデータライン(DL)に接続されて、そしてTF Tのドレーン電極は液晶セル(Clc)の画素電極とストレージ(storage)キャパシター(Cst1)の一侧電極に接続される。液晶セル(Clc)の共通電極には共通電圧(Vcom)が供給される。ストレージキャパシター(Cst1)はTF Tがターン-オンされる時データライン(DL)から印加されるデータ電圧を充電して液晶セル(Clc)の電圧を一定に維持する役目をする。スキャンパルスがゲートライン(GL)に印加されればTF Tはターン-オンされてソース電極とドレーン電極の間のチャンネルを形成してデータライン(DL)上の電圧を液晶セル(Clc)の画素電極に供給する。

20

この時液晶セル(Clc)の液晶分子は画素電極と共通電極の間の電界によって配列が変わりながら入射光を変調するようになる。

【 0 0 0 5 】

ところが、このような液晶表示装置の液晶層に直流電圧を長期間印加すれば、液晶に印加される電界の極性に対し陰電荷を帯びたイオンが同一な動きベクトル方向に移動して陽電荷を帯びたイオンがその反対方向の動きベクトル方向に移動しながら分極化されて、時間が経つほど陰電荷を帯びたイオンの蓄積量と陽電荷を帯びたイオンの蓄積量が増加される。イオンの蓄積量が増加しながら背向膜が劣化されて、その結果液晶の背向特性が劣化される。これによって、液晶表示装置に直流電圧が長期間印加されれば表示画像で染みが現われてその染みが時間が経つほど大きくなる。このような染みを改善するために、誘電率が低い液晶物質を開発するとか背向物質や背向方法を改善する方法が試みされた事がある。大韓民国公開公報第2002-0056726号には画素電極の形状変更によりイオン不純物が抜ける空間を確保する方法が提案されている。又、大韓民国公開公報第2002-0071724号にはイオン性不純物を捕捉するための配向材料の改善が提案されている。しかしこのような方法は材料開発に多い時間と費用が必要であり、液晶の誘電率を低くすれば液晶の駆動特性が悪くなるまた他の問題点をもたらすことができる。実験的に明かされたことによれば、イオンの分極及び蓄積による染みの発現時点は液晶層内でイオン化される不純物が多いほど、そして加速ファクターが大きいほど早くなる。加速ファクターは温度、時間、液晶の直流駆動化などである。したがって、染みは温度が高いとか同一極性の直流電圧が液晶層に印加される時間が長いほど早く現われてその程度もひどくなる。さらに、染みは同じ製造ラインを通じて製作された同一モデルのパネルでもその形態や程度が異なるので新しい材料開発や工程の改善方法だけで解決することができない。

30

40

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 6 】

したがって、本発明の目的は特定フレーム(Frame)間隔で液晶層に印加される共

50

通電圧のレベルを順次に異ならしめてイオンの分極及び蓄積による染み現象を抑制することで表示品位を高めるようにした液晶表示装置とその駆動方法を提供するのにある。

【課題を解決するための手段】

【0007】

本発明の一側面に従う液晶表示装置は、マトリックスに配置された複数のデータラインと複数のゲートライン、及び該マトリックスの交差点各々に形成され、そして画素電極と共通電極とを含む液晶セルとからなる液晶パネルを有する液晶表示装置であって、該液晶セルの画素電極にスイッチ素子(TFT)を介して接続された該データライン各々に、画像フレームを構成する画像信号から形成されたデータ電圧を与えるデータ駆動回路、該ゲートライン各々にゲート電圧を与えて、該スイッチ素子のオン・オフを制御して該マトリックス配置の液晶セルを線順次走査を行うゲート駆動回路、及び該液晶セルの共通電極に共通電圧を与える共通電圧発生回路とからなり、該共通電圧発生回路は、所定の期間後にその電圧レベルが段階的に可変する共通電圧を発生していることを特徴とする。

該共通電圧発生回路の実施例では、該画像信号にตอบสนองしてフレーム数をカウントし、該カウント数が所定数に達したときに制御パルスを発生する制御クロック発生回路、及び該制御パルスにตอบสนองし、予め定められた複数の電圧レベルの1つを順次選択し、該選択された電圧レベルとに依じた共通電圧を発生し、該予め定められた複数の電圧レベルの間で該共通電圧を段階的に変化させる共通電圧生成回路を含んでいる。

又、共通電圧は、中心共通電圧に対し正と負の両サイドにスイングされるよう可変されている。

該共通電圧発生回路の他の実施例では、該画像信号の水平ラインをカウントし、同一フレーム内で垂直方向にn個の水平ブロックの走査毎に第2の制御クロックを発生する第2の制御クロック発生回路を含み、該共通電圧生成回路は、該第2の制御クロックにตอบสนองし該第1の制御クロックにตอบสนองし選択された電圧レベルを異ならしめている。

【0008】

共通電圧発生回路のより具体的構成は、前記制御クロックに同期して、そのデジタル値が前記一定時間ごとに段階的に増減される特定ビットの制御データを発生する制御データ発生部と、前記制御クロックに同期して増減される制御データとこの制御データに対応されるスイッチ制御信号をルックアップテーブルで貯蔵するメモリーと、前記制御データをリードアドレスにして前記メモリーに貯蔵されたスイッチ制御信号を読み出しするレジスタと、前記読み出しされたスイッチ制御信号をデコーディングして出力するデコーダーと、高電位電源電圧と低電位電源電圧を分圧してそのレベルがお互いに異なる複数の電圧を発生する抵抗ストリングと、前記デコーディングされたスイッチ制御信号にตอบสนองして前記抵抗ストリングに形成された複数の分圧電圧出力ノードの中で何れかのひとつを前記共通電圧を供給するための供給配線に接続するスイッチアレイを備える。

【0009】

前記制御クロックの発生周期は、前記液晶表示パネルの液晶層に直流電圧が印加される時間、温度によって前記液晶層内のイオンの分極及び蓄積量程度を考慮して決まれる。

【0010】

本発明の他の側面による液晶表示装置は複数のデータラインと複数のゲートラインが交差されてマトリックス形態に配置される液晶セルを含み水平ブロック単位で分割駆動される液晶表示パネルと、前記データラインにデータ電圧を供給して、前記ゲートラインにスキャンパルスを供給する駆動回路と、一画面が表示される1フレーム期間の中でスキャンが始まる開始水平ラインを指示するゲートスタートパルスを発生するタイミングコントローラと、前記ゲートスタートパルスを利用してフレーム数をカウントして累算カウント値が予め決まった値の倍数になる度に第1制御クロックを発生して、外部からのデータインペル信号を利用して同一なフレーム内での水平ライン数をカウントして前記水平ブロックが変わる度に第2制御クロックを発生する制御クロック発生部と、前記第1及び第2制御クロックに基づいて特定ビットの制御データを発生して、この制御データを利用して一定時間ごとにその電圧レベルが段階的に可変されて、隣合う水平ブロックの間そのレベル

10

20

30

40

50

がお互いに異なる共通電圧を発生して前記液晶表示パネルに供給する共通電圧発生回路を備える。

【0011】

前記共通電圧発生回路は、前記第1及び第2制御クロックに同期して、そのデジタル値が前記一定時間ごとに段階的に増減されて、そのデジタル値が前記水平ブロックの変化時点を前後してお互いに異なる特定ビットの制御データを発生する制御データ発生部と、前記第1及び第2制御クロックに同期して増減される制御データとこの制御データに対応されるスイッチ制御信号をルックアップテーブルで貯蔵するメモリーと、前記制御データをリードアドレスにして前記メモリーに貯蔵されたスイッチ制御信号を読み出しするレジスターと、前記読み出しされたスイッチ制御信号をデコーディングして出力するデコーダーと、高電位電源電圧と低電位電源電圧を分圧してそのレベルがお互いに異なる複数の電圧を発生する抵抗ストリングと、前記デコーディングされたスイッチ制御信号に応答して前記抵抗ストリングに形成された複数の分圧電圧出力ノードの中で何れかのひとつを前記共通電圧を供給するための供給配線に接続するスイッチアレイを備える。

10

【0012】

前記第1及び第2制御クロックの発生周期は、前記液晶表示パネルの液晶層に直流電圧が印加される時間、温度によって前記液晶層内のイオンの分極及び蓄積量程度を考慮して決まる。

【0013】

前記制御クロック発生部は前記タイミングコントローラまたは前記共通電圧発生回路に内蔵する。

20

【0014】

本発明の一つの実施形態によって複数のデータラインと複数のゲートラインが交差されてマトリクス形態に配置される液晶セルを含む液晶表示パネルと、前記データラインにデータ電圧を供給して前記ゲートラインにスキャンパルスを供給する駆動回路を持つ液晶表示装置の駆動方法は、一画面が表示される1フレーム期間の中でスキャンが始まる開始水平ラインを指示するゲートスタートパルスを発生する段階と、前記ゲートスタートパルスを利用してフレーム数をカウントして、累算カウント値が予め決まった値の倍数になる度に制御クロックを発生する段階と、前記制御クロックに基づいて特定ビットの制御データを発生して、この制御データを利用して一定時間ごとにその電圧レベルが段階的に可変される共通電圧を発生して前記液晶表示パネルに供給する段階を含む。

30

【0015】

本発明の他の実施形態によって複数のデータラインと複数のゲートラインが交差されてマトリクス形態に配置される液晶セルを含み水平ブロック単位で分割駆動される液晶表示パネルと、前記データラインにデータ電圧を供給して前記ゲートラインにスキャンパルスを供給する駆動回路を持つ液晶表示装置の駆動方法は、一画面が表示される1フレーム期間の中でスキャンが始まる開始水平ラインを指示するゲートスタートパルスを発生する段階と、前記ゲートスタートパルスを利用してフレーム数をカウントして累算カウント値が予め決まった値の倍数になる度に第1制御クロックを発生して、外部からのデータインペル信号を利用して同一なフレーム内での水平ライン数をカウントして前記水平ブロックが変わる度に第2制御クロックを発生する段階と、前記第1及び第2制御クロックに基づいて特定ビットの制御データを発生して、この制御データを利用して一定時間ごとにその電圧レベルが段階的に可変されて、隣合う水平ブロックの間そのレベルがお互いに異なる共通電圧を発生して前記液晶表示パネルに供給する段階を含む。

40

【発明の効果】

【0016】

本発明に係る液晶表示装置とその駆動方法は液晶層に印加される共通電圧のレベルを一定時間ごとに順次に異なりにして液晶層に形成される電界ベクトルの方向性と強さを分散させることができるし、これを通じてイオンの分極及び蓄積による染み現象を抑制することで表示品位を大きく高めることができる。

50

【 0 0 1 7 】

また、本発明に係る液晶表示装置とその駆動方法は液晶層に印加される共通電圧のレベルを一定時間ごとに順次に異ならしめると共に水平ブロック単位で異ならしめて液晶層に形成される電界ベクトルの方向性と強さをさらに効果的に分散させることができるし、これを通じてイオンの分極及び蓄積による染み現象を抑制することで表示品位を大きく高めることができる。

【 発明を実施するための最良の形態 】

【 0 0 1 8 】

以下では図 2 乃至図 1 0 を参照して本発明の望ましい実施形態に対して説明する。

【 0 0 1 9 】

図 2 を参照すれば、本発明の実施形態に係る液晶表示装置は液晶表示パネル 1 0、タイミングコントローラ 1 1、データ駆動回路 1 2、ゲート駆動回路 1 3 及び共通電圧発生回路 1 4 を備える。

10

【 0 0 2 0 】

液晶表示パネル 1 0 は二枚のガラス基板の間に液晶層が形成される。この液晶表示パネルは m 個のデータライン (DL) と n 個のゲートライン (GL) の交差構造によってマトリックス形態に配置された $m \times n$ 個の液晶セル (Clc) を含む。

【 0 0 2 1 】

液晶表示パネル 1 0 の下部ガラス基板にはデータライン (DL)、ゲートライン (GL)、TFT、及びストレージキャパシタ (Cst) が形成される。液晶セル (Clc) は TFT に接続されて画素電極 1 と共通電極 2 の間の電界によって駆動される。液晶表示パネル 1 0 の上部ガラス基板にはブラックマトリックス、カラーフィルタ及び共通電極 2 が形成される。共通電極 2 は TN モードと VA (Vertical Alignment) モードのような垂直電界駆動方式では上部ガラス基板上に形成できるが、IPS (In Plane Switching) モードと FFS (Fringe Field Switching) モードのような水平電界駆動方式では画素電極 1 と共に下部ガラス基板上に形成することができる。液晶表示パネル 1 0 の上部ガラス基板と下部ガラス基板それぞれには偏光板が附着して液晶のプレチルト角を設定するための背向膜が形成される。

20

【 0 0 2 2 】

タイミングコントローラ 1 1 はデータイネーブル信号、ドットクロック (CLK) などのタイミング信号を入力受けてデータ駆動回路 1 2 とゲート駆動回路 1 3 の動作タイミングを制御するための制御信号 (GDC、DDC) を発生する。

30

【 0 0 2 3 】

ゲート駆動回路 1 3 の動作タイミングを制御するためのゲートタイミング制御信号 (GDC) は一画面が表示される 1 垂直期間の内でスキャンが始まる開始水平ラインを指示するゲートスタートパルス (Gate Start Pulse : GSP)、ゲート駆動回路 1 3 内のシフトレジスタに入力されてゲートスタートパルス (GSP) を順次にシフトさせるためのタイミング制御信号として TFT のオン (ON) 期間に対応するパルス幅に発生されるゲートシフトクロック信号 (GSC)、及びゲート駆動回路 1 3 の出力を指示するゲート出力イネーブル信号 (GOE) などを含む。

40

【 0 0 2 4 】

データ駆動回路 1 2 の動作タイミングを制御するためのデータタイミング制御信号 (DDC) はライジング (立上り) またはフォールディング (立下り) エッジを基準してデータ駆動回路 1 2 内でデータのラッチ動作を指示するソースサンプリングクロック (SSC)、データ駆動回路 1 2 の出力を指示するソース出力イネーブル信号 (SOE)、及び液晶表示パネル 1 0 の液晶セル (Clc) に供給されるデータ電圧の極性を指示する極性制御信号 (POL) などを含む。

【 0 0 2 5 】

また、タイミングコントローラ 1 1 は外部システムボードから入力されるデジタルビデオ

50

オデータ (RGB) を液晶表示パネル 10 の解像度に対応して再整列してデータ駆動回路 12 に供給する。

【0026】

データ駆動回路 12 はタイミングコントローラ 11 からのデータ制御信号 (DDC) に応答して画像フレームを構成する画像信号であるデジタルビデオデータ (RGB) をガンマ基準電圧発生部 (図示せず) からのガンマ基準電圧 (GMA) を基盤してアナログガンマ補償電圧に変換して、そのアナログガンマ補償電圧をデータ電圧として液晶表示パネル 10 のデータライン (DL) に供給する。

このために、データ駆動回路 12 はクロック信号をサンプリングするためのシフトレジスタ、デジタルビデオデータ (RGB) を一時貯蔵するためのレジスタ、シフトレジスタからのクロック信号に応答してデータを 1 ライン分ずつ貯蔵して貯蔵された 1 ライン分のデータを同時に出力するためのラッチ、ラッチからのデジタルデータ値に対応してガンマ基準電圧の参照下に正極性/負極性のガンマ電圧を選択するためのデジタル/アナログ変換器、正極性/負極性ガンマ電圧によって変換されたアナログデータが供給されるデータライン (DL) を選択するためのマルチプレクサー、及びマルチプレクサーとデータライン (DL) の間に接続された出力バッファを含む複数のデータドライバ IC で構成される。

10

【0027】

ゲート駆動回路 13 はデータ電圧が供給される液晶表示パネル 10 の水平ラインを選択するスキャンパルスがゲートライン (GL) に順次に供給する。このために、ゲート駆動回路 13 はシフトレジスタ、シフトレジスタの出力信号を液晶セル (CLC) の TFT 駆動に対応したスイング幅に変換するためのレベルシフト、及びレベルシフトとゲートライン (GL) の間に接続される出力バッファをそれぞれ含む複数のゲートドライバ IC で構成される。

20

【0028】

共通電圧発生回路 14 は画像フレームを構成している画像信号に応答して、そのフレームをカウントするタイミングコントローラ 11 から供給されるゲートスタートパルス (GSP) を参照して予め決まった一定時間 (例えば、200 フレーム) ごとにその電圧レベルが段階的に可変される共通電圧を発生して液晶表示パネル 10 の共通電極 2 に供給する。また、共通電圧発生回路 14 はデータインエーブル信号 (DE) を参照して図 7 のように同一なフレーム内で隣合う水平ブロックの間で共通電圧を異なるように発生して液晶表示パネル 10 の共通電極 2 に供給する。このような共通電圧発生回路 14 に対しては図 3 及び図 8 を参照して詳しく説明する。

30

【0029】

図 3 は本発明の一つの実施形態に係る共通電圧発生回路 14 を詳しく示す。

【0030】

図 3 を参照すれば、共通電圧発生回路 14 は制御クロック発生部 141、制御データ発生部 142、レジスタ 143、メモリー 143a、デコーダ 144、スイッチアレイ 145、及び抵抗ストリング 146 を備える。

【0031】

制御クロック発生部 141 はフレームカウンタを含みタイミングコントローラ 11 から供給されるゲートスタートパルス (GSP) に同期してフレーム数をカウントして、累算カウント値が予め決まった値 (例えば、200) の倍数になる度に図 4 のような制御クロック (SCL) を発生する。制御クロック (SCL) は 200 フレーム間隔に発生される。ここで、予め決まった値 200 は同一極性の直流電圧が液晶層に印加されてイオンの分極及び蓄積による染みが発現される値として、温度影響などを考慮してこれより大きい又は小さく設定されることができるとは勿論である。したがって、制御クロック (SCL) は、例えば 10 フレーム、50 フレーム、100 フレーム、250 フレーム、500 フレーム、1000 フレームのような数のフレーム毎に生成される。

40

【0032】

50

このような制御クロック発生部 141 は共通電圧発生回路 14 に内蔵する代わりにタイミングコントローラ 11 に内蔵することもできる。

【0033】

制御データ発生部 142 は制御クロック発生部 141 からの制御クロック (SCL) に同期して特定数のビット (例えば、7ビット) の制御データ (SDA) を 200 フレーム毎に発生する。制御データ (SDA) が 7 ビットの場合、制御データ (SDA) の 2 進コード値は制御クロック (SCL) に同期して 1111110 と 0000000 の間で (0 ~ 127 レベル) 順次に増減を繰り返す。これによって、制御クロック (SCL) に同期して 200 フレーム毎に予め定められた電圧レベルである 0 ~ 127 レベルの間で順次に増減される制御データ (SDA) が発生されるようになる。このために、制御データ発生部 142 は線形フィードバックシフトレジスタ (LFSR) で具現可能である。この線形フィードバックシフトレジスタ (LFSR) は入力ビットが以前状態に対して線形的なシフトレジスタとして、フィードバック関数を適切に選択さえすれば任意の長い周期を持つビット数列を生成することができる。一方、制御データ (SDA) は 7 ビットに限定されないで、これより小さいか大きいビットを持つことができることは勿論である。制御クロック (SCL) に応答し、0 ~ 127 電圧レベルの 11 を順次選択し、共通電圧を順次段階的に変化させる。

10

【0034】

メモリー 143a はデータの更新及び消去が可能な非揮発性メモリー例えば、EEPROM (Electrically Erasable Programmable Read Only Memory) 及び/または EDID ROM (Extended Display Identification Data ROM) を含み、制御クロック (SCL) に同期して増減される制御データ (SDA) とこの制御データ (SDA) に対応されるスイッチ制御信号 () をルックアップテーブルを利用して貯蔵する。

20

【0035】

レジスタ 143 は制御クロック (SCL) によって制御データ発生部 142 からの制御データ (SDA) をリードアドレスにしてメモリー 143a に貯蔵されたスイッチ制御信号 () を読み出した後、この読み出されたスイッチ制御信号 () をデコーダ 144 に供給する。レジスタ 143 から出力されるスイッチ制御信号 () は 7 ビットのデジタル信号で構成されることができる。

30

【0036】

デコーダ 144 はレジスタ 143 からのスイッチ制御信号 () をデコーディングして、このスイッチ制御信号 () のデジタル値に対応される出力ピンを通じてデコーディングされたスイッチ制御信号 () を出力する。デコーダ 144 には 7 ビットのスイッチ制御信号 () に対応されるように 128 個の出力ピン (P0 乃至 P127) が備えている。出力ピン (P0 乃至 P127) はスイッチアレイ 145 を構成するスイッチ (T0 乃至 T127) それぞれのゲート端子 (G) と一対一に接続される。

【0037】

スイッチアレイ 145 は複数のスイッチ (T0 乃至 T127) を含む。スイッチ (T0 乃至 T127) のゲート端子 (G) はデコーダ 144 の出力ピン (P0 乃至 P127) に一対一に接続されてスイッチ制御信号 () を入力受ける。スイッチ (T0 乃至 T127) のドレーン端子 (D) は抵抗ストリング 146 から隣合う抵抗 (R1 乃至 R127) の間ごとに形成された分圧電圧出力ノード (n1 乃至 n127) に一対一に接続される。

40

スイッチ (T0 乃至 T127) のソース端子 (S) は共通電圧供給配線 (VSL) に共通接続される。したがって、スイッチ (T0 乃至 T127) はデコーダ 144 からのスイッチ制御信号 () に応答してその内で何れか一つがターン - オンされて複数の分圧電圧の内では何れかのひとつを共通電極 2 に供給される共通電圧 (Vcom) で選択する。

【0038】

抵抗ストリング 146 は前述のように高電位電源電圧 (VH) と低電位電源電圧 (VL) の間に直列で複数の抵抗 (R0 乃至 R127) を連結してその抵抗の間の分圧電圧出力

50

ノード (n 1 乃至 n 1 2 7) を通じてレベルがお互いに異なる複数の分圧電圧を発生する。

この分圧電圧は図 5 に示されたのように 0 ~ 1 2 7 レベルの間で 2 0 0 フレームごとに順次に増減される 1 2 8 段階のマルチステップ (S 0 乃至 S 1 2 7) を持つ共通電圧 (V c o m) になる。

【 0 0 3 9 】

図 6 は本発明のマルチステップに対する他の例として 7 段階のマルチステップを持って増減される共通電圧 (V c o m _ S w i n g) を示している。図 6 で、 V d a t a (+) は正極性データ電圧を、 V d a t a (-) は負極性データ電圧を、 V c o m _ D C は直流共通電圧をそれぞれ示す。

【 0 0 4 0 】

図 6 に示されたのように、本発明の一つの実施形態に係る共通電圧 (V c o m _ S w i n g) は 2 0 0 フレームごとにその段階が変わる 7 段階のマルチステップを利用してスイングされていることを分かる。したがって、データ電圧が長期間の間一定に液晶セルに供給されても、このような共通電圧 (V c o m _ S w i n g) のスイングによって液晶セルに充電される電圧は 2 0 0 フレームを周期に続いて可変されるようになる。例えば、 1 5 V の正極性データ電圧 (V d a t a (+)) が長期間の間一定に供給される場合、実際に該当の液晶セルに充電される電圧は共通電圧 (V c o m _ S w i n g) のスイングによって 1 段階から 7 段階までは 7 . 3 5 V ~ 7 . 6 5 V まで段階的に増加するようになって、 7 段階から 1 3 段階までは反対に 7 . 6 5 V ~ 7 . 3 5 V まで段階的に減少するようになる。一方、 0 . 5 V の負極性データ電圧 (V d a t a (-)) が長期間の間一定に供給される場合、実際に該当の液晶セルに充電される電圧は共通電圧 (V c o m _ S w i n g) のスイングによって 1 段階から 7 段階までは段階的に減少するようになり、 7 段階から 1 3 段階までは反対に段階的に増加するようになる。これによって、長期間の間液晶セルに印加される同一極性の直流電圧によるイオンの分極及び蓄積現象は防止される。即ち、順次段階的に変化する共通電圧の中心に対し、正と負の両サイドにスイングするよう共通電圧を変化させる。この実施例の共通電圧のスイング幅は 0 . 3 V でありデータ電圧の大きさに対し無視し得る。

【 0 0 4 1 】

図 7 はお互いに異なるレベルの共通電圧によって液晶表示パネルが同一なフレーム内で水平ブロック単位で分割駆動されることを示す図面である。そして、図 8 は図 7 のような分割駆動ができるようにする本発明の他の実施形態に係る共通電圧発生回路 1 4 を詳しく示す。図 7 で、一つの水平ブロックには少なくとも一つ以上の水平ラインが含まれる。

【 0 0 4 2 】

図 8 を参照すれば、共通電圧発生回路 1 4 は制御クロック発生部 2 4 1、制御データ発生部 2 4 2、レジスター 2 4 3、メモリー 2 4 3 a、デコーダー 2 4 4、スイッチアレイ 2 4 5、及び抵抗ストリング 2 4 6 を備える。

【 0 0 4 3 】

制御クロック発生部 2 4 1 はフレームカウンタ 2 4 1 a を含みタイミングコントローラ 1 1 から供給されるゲートスタートパルス (G S P) に同期してフレーム数をカウントして、累算カウント値が予め決まった値 (例えば、 2 0 0) の倍数になる度に第 1 制御クロック (S C L 1) を発生する。ここで、予め決まった値 2 0 0 は同一極性の直流電圧が液晶層に印加されてイオンの分極及び蓄積による染みが発現する値として、温度影響などを考慮してこれより大きい又は小さく設定されることができるとは勿論である。また、制御クロック発生部 2 4 1 はラインカウンタ 2 4 1 b を含みデータインーブル信号 (D E) に同期して同一なフレーム内での水平ライン数をカウントして、累算カウント値が予め決まった値すなわち、水平ブロックが変わる度に第 2 制御クロック (S C L 2) を発生する。これによって、第 1 制御クロック (S C L 1) は 2 0 0 フレーム間隔に発生されて、第 2 制御クロック (S C L 2) は同一なフレーム内で水平ブロックが変わる時点間隔に発生される。

10

20

30

40

50

【0044】

このような制御クロック発生部241は共通電圧発生回路14に内蔵する代わりにタイミングコントローラ11に内蔵することもできる。

【0045】

制御データ発生部242は制御クロック発生部241からの第1及び第2制御クロック(SCL1、SCL2)に同期して特定数のビット(例えば、3ビット)の制御データ(SDA)を発生する。制御データ(SDA)が3ビットの場合、制御データ(SDA)の2進コード値はそれぞれ第1及び第2制御クロック(SCL1、SCL2)に同期して100~000の間で順次に増減を繰り返す。これによって、第1制御クロック(SCL1)に同期して0~4レベルの間で順次に増減される制御データ(SDA)が発生されるようになる。この制御データ(SDA)は第2制御クロック(SCL2)に同期して0~4レベルの間で順次に増減される。このために、制御データ発生部242は線形フィードバックシフトレジスタで具現可能である。この線形フィードバックシフトレジスタ(LFSR)は入力ビットが以前状態に対して線形的なシフトレジスタとして、フィードバック関数を適切に選択さえすれば任意に長い周期を持つビット数列を生成することができる。一方、制御データ(SDA)は3ビットに限定されないで、これより小さいとか大きいビットを持つことができることは勿論である。

10

【0046】

メモリー243aはデータの更新及び消去が可能な非揮発性メモリー例えば、EEPROM及び/またはEDIDROMを含み、制御クロック(SCL)に同期して増減される制御データ(SDA)とこの制御データ(SDA)に対応されるスイッチ制御信号()をルックアップテーブルを利用して貯蔵する。

20

【0047】

レジスタ243は第1及び第2制御クロック(SCL1、SCL2)によって制御データ発生部242からの制御データ(SDA)をリードアドレスにしてメモリー243aに貯蔵されたスイッチ制御信号()を読み出した後、この読み出されたスイッチ制御信号()をデコーダ244に供給する。レジスタ243から出力されるスイッチ制御信号()は3ビットのデジタル信号で構成されることができる。

【0048】

デコーダ244はレジスタ243からのスイッチ制御信号()をデコーディングして、このスイッチ制御信号()のデジタル値に対応される出力ピンを通じてデコーディングされたスイッチ制御信号()を出力する。デコーダ244には3ビットのスイッチ制御信号()に対応されるように5個の出力ピン(P0乃至P4)が備えている。出力ピン(P0乃至P4)はスイッチアレイ245を構成するスイッチ(T0乃至T4)それぞれのゲート端子(G)と一対一に接続される。

30

【0049】

スイッチアレイ245は複数のスイッチたち(T0乃至T4)を含む。スイッチ(T0乃至T4)のゲート端子(G)はデコーダ244の出力ピン(P0乃至P4)に一対一に接続されてスイッチ制御信号()を入力受ける。スイッチ(T0乃至T4)のドレーン端子(D)は抵抗ストリング246で隣合う抵抗(R1乃至R4)の間ごとに形成された分圧電圧出力ノード(n1乃至n4)に一対一に接続される。スイッチたち(T0乃至T4)のソース端子(S)は共通電圧供給配線(VSL)に共通接続される。したがって、スイッチ(T0乃至T4)はデコーダ244からのスイッチ制御信号()に応答してその内で何れか一つがターン・オンされて複数の分圧電圧の中で何れかのひとつを共通電極2に供給される共通電圧(Vcom)で選択する。

40

【0050】

抵抗ストリング246は前述のように高電位電源電圧(VHと低電位電源電圧(VL)の間に直列で複数の抵抗(R0乃至R4)を連結してその抵抗の間の分圧電圧出力ノード(n1乃至4)を通じてレベルがお互いに異なる複数の分圧電圧を発生する。したがって、この分圧電圧を通じて具現される共通電圧(Vcom)は図9に示されたのように図9

50

レベルの間で200フレームごとに順次に増減される5段階のマルチステップ(S0乃至S4)を持つ。この0~4レベルを持つ共通電圧(Vcom)は図10に示されたように水平ブロックに(BL1乃至BL5)それぞれに供給されるが、同一なフレーム内で隣合う水平ブロックの走査期間にはお互いに異なるレベルに供給される。同一な水平ブロックには、0~4レベルレベルの間で増減される5段階のマルチステップ(S0乃至S4)を持つ共通電圧(Vcom)が段階的に供給される。これによって、所定のフレーム数期間(例えば200フレーム期間)内で液晶層に形成される電界ベクトルの方向性と強さは液晶パネル上で位置別に固定されないで毎フレームごとに水平ブロック単位で続いて可変されるので、イオンの分極及び蓄積による染み現象がさらに効果的に防止される。

【0051】

以上説明した内容を通じて当業者であると本発明の技術思想を逸脱しない範囲で多様な変更及び修正が可能であることが分かる。したがって、本発明の技術的範囲は明細書の詳細な説明に記載した内容に限定されるのではなく特許請求の範囲によって決められなければならない。

【図面の簡単な説明】

【0052】

【図1】一般的な液晶表示装置の画素の等価回路図。

【図2】本発明の実施形態に係る液晶表示装置のブロック図。

【図3】本発明の一つの実施形態に係る共通電圧発生回路を詳しく見せてくれる図。

【図4】本発明の一つの実施形態に係る制御クロックの波形図。

【図5】本発明の一つの実施形態によって128段階のマルチステップを持って増減される共通電圧を見せてくれる図。

【図6】本発明の一つの実施形態によって7段階のマルチステップを持って増減される共通電圧を見せてくれる図。

【図7】本発明の他の実施形態によって水平ブロック単位で分割駆動される液晶表示パネルを見せてくれる図面。

【図8】本発明の他の実施形態に係る共通電圧発生回路を詳しく見せてくれる図。

【図9】本発明の他の実施形態によって5段階のマルチステップを持って増減される共通電圧を見せてくれる図。

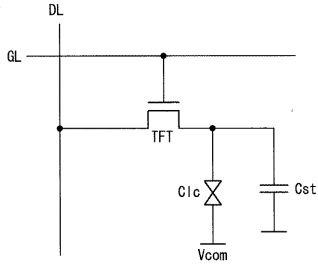
【図10】本発明の他の実施形態によって水平ブロックに供給されるフレーム別に共通電圧のレベルを見せてくれる図。

10

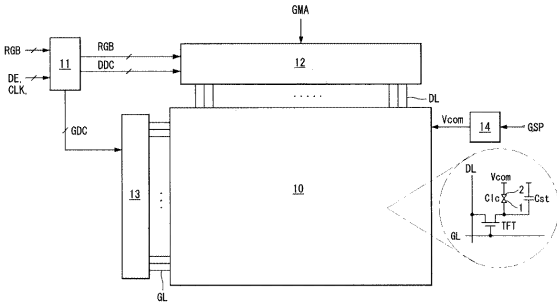
20

30

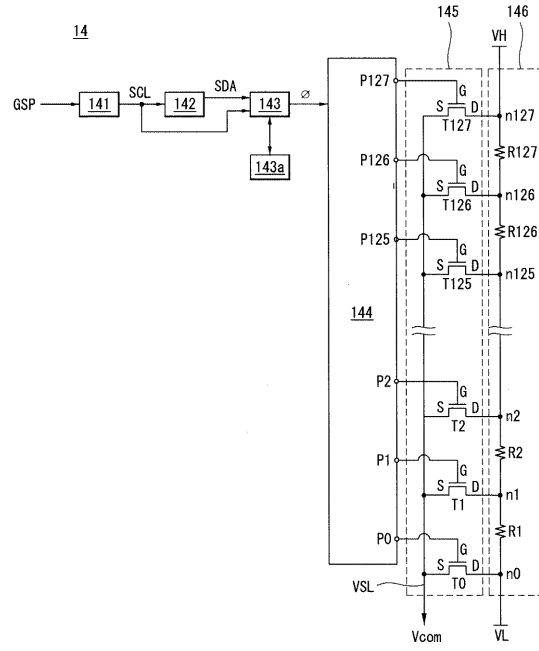
【 図 1 】



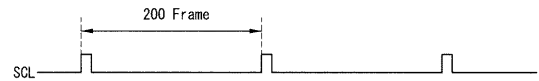
【 図 2 】



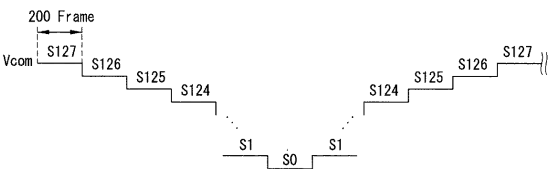
【 図 3 】



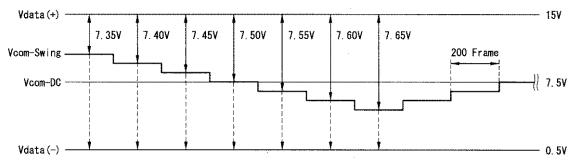
【 図 4 】



【 図 5 】



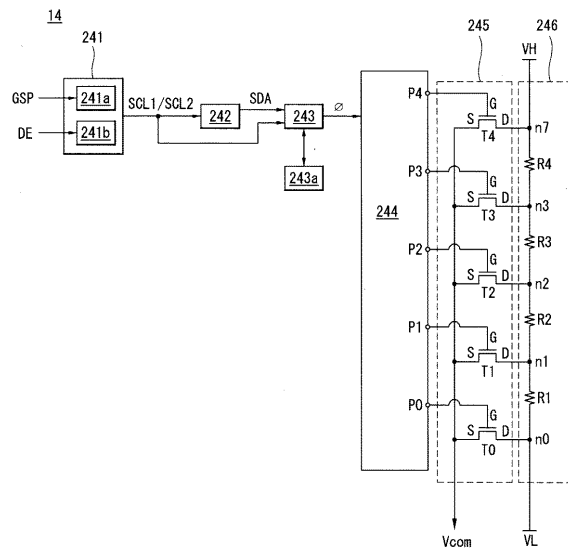
【 図 6 】



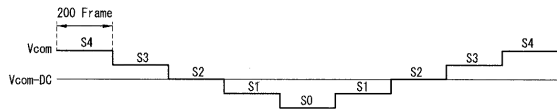
【 図 7 】

BL1
BL2
BL3
BL4
BL5

【 図 8 】



【 図 9 】



【 図 10 】

Block	Frame	N - N+199th Frame	N+200 - N+399th Frame	N+400 - N+599th Frame	N+600 - N+799th Frame	N+800 - N+999th Frame	N+1000 - N+1199th Frame
BL1	S2	S3	S4	S3	S2	S1	S0
BL2	S3	S4	S3	S2	S1	S0	S1
BL3	S4	S3	S2	S1	S0	S1	S2
BL4	S3	S2	S1	S0	S1	S2	S3
BL5	S2	S1	S0	S1	S2	S3	S4

フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 7 0 J
	G 0 9 G 3/20	6 7 0 K
	G 0 9 G 3/20	6 3 1 V
(74)代理人	100104352	
	弁理士 朝日 伸光	
(74)代理人	100128657	
	弁理士 三山 勝巳	
(72)発明者	ソン ホンスン	
	大韓民国 キョンブク クミシ グピョンドン 474-7 プヨン アパートメント 803-706	
(72)発明者	ミン ウンキ	
	大韓民国 デグ ブック ドンチョンドン 891 ドンワゴールデンヴィル 103-1205	
(72)発明者	ソン ヨンギ	
	大韓民国 キュンナム ミルヤンシ サノイミュン ダジュリ 156	
(72)発明者	チャン シュウク	
	大韓民国 デグ ブック ドンチョンドン ヨンナム セカンド タウン 103-902	
Fターム(参考)	2H093 NA16 NA33 NC02 NC10 NC12 NC16 NC22 NC29 NC34 NC35	
	ND12	
	2H193 ZA04 ZC15 ZF02 ZF22 ZF36	
	5C006 AC25 AF13 AF42 AF44 BB16 BF22 BF43 FA33	
	5C080 AA10 BB05 DD01 DD29 FF11 FF12 JJ02 JJ03 JJ04	

专利名称(译)	能够提高显示质量的液晶显示装置及其驱动方法		
公开(公告)号	JP2009282489A	公开(公告)日	2009-12-03
申请号	JP2008268050	申请日	2008-10-17
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	ソンホンスン ミンウンキ ソンヨンギ チャンシュウク		
发明人	ソン ホンスン ミン ウンキ ソン ヨンギ チャン シュウク		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3655 G09G2320/0204 G09G2320/0257		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.612.E G09G3/20.624.C G09G3/20.624.D G09G3/20.670.J G09G3/20.670.K G09G3/20.631.V		
F-TERM分类号	2H093/NA16 2H093/NA33 2H093/NC02 2H093/NC10 2H093/NC12 2H093/NC16 2H093/NC22 2H093/NC29 2H093/NC34 2H093/NC35 2H093/ND12 2H193/ZA04 2H193/ZC15 2H193/ZF02 2H193/ZF22 2H193/ZF36 5C006/AC25 5C006/AF13 5C006/AF42 5C006/AF44 5C006/BB16 5C006/BF22 5C006/BF43 5C006/FA33 5C080/AA10 5C080/BB05 5C080/DD01 5C080/DD29 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA05 2H193/ZB07 2H193/ZD12 2H193/ZD23 2H193/ZF04 2H193/ZF13 2H193/ZF16 2H193/ZF34 2H193/ZF35 2H193/ZF59 2H193/ZH49 2H193/ZH52 2H193/ZQ06 2H193/ZQ11 2H193/ZQ16		
代理人(译)	臼井伸一 朝日 伸光		
优先权	1020080046226 2008-05-19 KR		
其他公开文献	JP5031712B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供用于提高显示质量的液晶显示器及其驱动方法。该解决方案：该液晶显示器具有：液晶显示板，包括通过以矩阵形式排列多条栅极线的多条数据线而形成的液晶单元；用于向数据线提供数据电压以向栅极线提供扫描脉冲的驱动电路，用于产生栅极起始脉冲的定时控制器，用于在一个帧周期内指示扫描开始水平线以显示一个屏幕；控制时钟产生部分，用于使用栅极起始脉冲对帧数进行计数，以在每次累积计数值变为预定值的倍数时产生控制时钟；公共电压产生电路，用于根据控制时钟产生指定位的控制数据，并用于在每个固定时间内逐步产生变化电压电平的公共电压，使用控制数据提供给液晶显示器面板。 Z

