

(19) 日本国特許庁 (JP)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号
特開2009-25788
(P2009-25788A)

(43) 公開日 平成21年2月5日 (2009. 2. 5)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H092
HO1L 29/786 (2006.01)	HO1L 29/78 616U	5F110
HO1L 21/336 (2006.01)	HO1L 29/78 612D	
GO2F 1/1345 (2006.01)	HO1L 29/78 619A	
	GO2F 1/1345	

審査請求 有 請求項の数 26 O L (全 38 頁)

(21) 出願番号	特願2007-339204 (P2007-339204)	(71) 出願人	501426046 エルジー ディスプレイ カンパニー リ ミテッド 大韓民国 ソウル, ヨンドウンポーク, ヨ イドードン 20
(22) 出願日	平成19年12月28日 (2007. 12. 28)	(74) 代理人	100064447 弁理士 岡部 正夫
(31) 優先権主張番号	10-2007-0073047	(74) 代理人	100085176 弁理士 加藤 伸晃
(32) 優先日	平成19年7月20日 (2007. 7. 20)	(74) 代理人	100094112 弁理士 岡部 譲
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100096943 弁理士 臼井 伸一
		(74) 代理人	100101498 弁理士 越智 隆夫

最終頁に続く

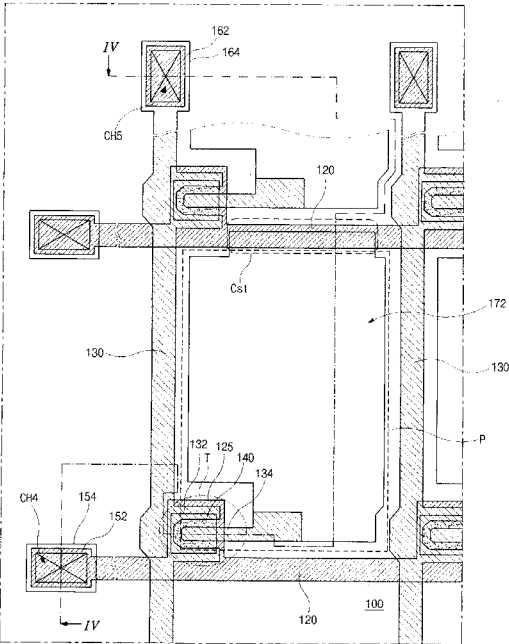
(54) 【発明の名称】 液晶表示装置用アレイ基板及びその製造方法

(57) 【要約】

【課題】本発明は、3マスク工程による液晶表示装置用アレイ基板で島状に半導体層を構成することにより、マスク数の減少と信頼性を向上する。また、マスク数の減少のために3マスク工程で液晶表示装置用アレイ基板を製作する過程で、リフトオフ工程による不良を最小化することができる。

【解決手段】本発明は液晶表示装置及びその製造方法に係り、3マスク工程の核心工程であるリフトオフ工程時スパターリング法を利用して保護膜パターンを形成することによってリフトオフ不良を最小化する。また、アクティブ及びオーミックコンタクト層を含む半導体層をデータ配線、ソース及びドレイン電極と別個のマスクを利用して島状にゲート電極内に形成することによって漏れ電流を防止する。

【選択図】図3



【特許請求の範囲】

【請求項 1】

基板と；

前記基板上部のゲート配線と；

前記ゲート配線と交差して画素領域を定義するデータ配線と；

前記ゲート配線及びデータ配線に連結された薄膜トランジスタを含み、前記薄膜トランジスタは、前記ゲート配線に連結されるゲート電極と、その境界が前記ゲート電極内に配置される半導体層と、前記データ配線に連結されるソース電極と、前記ソース電極と離隔されたドレイン電極とを含み；さらに、

前記データ配線と前記薄膜トランジスタを覆う保護パターンと；

前記ドレイン電極から延長される画素電極とを含む液晶表示装置用アレイ基板。

10

【請求項 2】

前記データ配線の一端のゲートパッドと、前記ゲート配線の一端のデータパッドをさらに含み、前記ゲートパッドは前記データパッドと同一物質及び同一層で構成されることを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板。

【請求項 3】

前記ゲートパッドと接触するゲートパッド電極と、前記データパッドに接触するデータパッド電極をさらに含み、前記ゲートパッド電極及びデータパッド電極は前記保護パターンを介して露出することを特徴とする請求項 2 に記載の液晶表示装置用アレイ基板。

【請求項 4】

前記ゲート配線に平行に離隔される共通配線と；
前記画素領域に形成され、前記画素電極と離隔される共通電極とをさらに含むことを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板。

20

【請求項 5】

前記データ配線と、前記ソース電極と、前記ドレイン電極とは、それぞれ第 1 導電物質層と、前記第 1 導電物質層上部の第 2 金属層の二重層構造であることを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板。

【請求項 6】

前記画素電極は、前記保護パターンを介して露出する前記第 1 導電物質層を含むことを特徴とする請求項 5 に記載の液晶表示装置用アレイ基板。

30

【請求項 7】

前記第 1 導電物質層は、インジウム - スズ - オキサイド (ITO) とインジウム - ジンク - オキサイド (IZO) からなる透明物質グループのうちから選択された一つで構成されることを特徴とする請求項 5 に記載の液晶表示装置用アレイ基板。

【請求項 8】

前記半導体層と前記ソース電極との間、及び前記半導体層と前記ドレイン電極と間に形成されたバッファ金属層をさらに含み、前記半導体層は、純粹非晶質シリコンで構成されたアクティブ層と、不純物非晶質シリコンで構成されたオーミックコンタクト層とを含むことを特徴とする請求項 7 に記載の液晶表示装置用アレイ基板。

【請求項 9】

前記バッファ金属層はモリブデンで構成されることを特徴とする請求項 8 に記載の液晶表示装置用アレイ基板。

40

【請求項 10】

前記第 2 導電物質層は、銅、モリブデン、モリブデン合金、アルミニウム、アルミニウム合金、クロムからなる不透明物質グループのうちから選択された一つで構成されることを特徴とする請求項 7 に記載の液晶表示装置用アレイ基板。

【請求項 11】

前記画素電極は、前記ドレイン電極から延長された延長部と、前記延長部から垂直に分岐した複数の垂直部を含み、前記共通電極は、前記画素電極の複数の垂直部と交互に配置される複数の垂直部を含むことを特徴とする請求項 4 に記載の液晶表示装置用アレイ基板

50

。

【請求項 1 2】

前記ゲート配線を覆うゲート絶縁膜をさらに含み、前記共通電極は、前記ゲート絶縁膜に形成された共通コンタクトホールを介して前記共通配線に連結されることを特徴とする請求項 1 1 に記載の液晶表示装置用アレイ基板。

【請求項 1 3】

前記画素電極及び共通電極は、それぞれ前記保護パターンを介して露出する第 1 導電物質層を含むことを特徴とする請求項 5 に記載の液晶表示装置用アレイ基板。

【請求項 1 4】

前記第 1 導電物質層は、インジウム - スズ - オキサイド (ITO) とインジウム - ジンク - オキサイド (IZO) からなる透明物質グループのうちから選択された一つ、またはモリブデン合金からなる不透明物質グループのうちから選択された一つで構成されることを特徴とする請求項 5 に記載の液晶表示装置用アレイ基板。

【請求項 1 5】

前記第 2 導電物質層は、銅、モリブデン、モリブデン合金、アルミニウム、アルミニウム合金、クロムで構成される不透明物質グループのうちから選択された一つで構成されることを特徴とする請求項 1 4 に記載の液晶表示装置用アレイ基板。

【請求項 1 6】

前記画素電極は隣接した画素領域の隣接したゲート配線に重り、前記隣接したゲート配線の重畳部を第 1 キャパシタ電極として含み、前記画素電極の重畳部を第 2 キャパシタ電極として含むストレージキャパシタを定義することを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板。

【請求項 1 7】

基板上部に、ゲート配線と、前記ゲート配線に連結されるゲート電極と、前記ゲート配線の一端のゲートパッドとを形成する第 1 マスク工程段階と；

前記ゲート配線、ゲート電極及びゲートパッド上部にゲート絶縁膜を形成する段階と；

前記ゲート絶縁膜上部に、その境界が前記ゲート電極内に配置される半導体層を形成する第 2 マスク工程段階と；

前記ゲート配線と交差するデータ配線と、前記データ配線に連結されるソース電極と、前記ソース電極と離隔されるドレイン電極と、前記ドレイン電極から延長される画素電極と、前記ゲートパッドに接触するゲートパッド電極と、前記データ配線に連結されるデータパッド電極とを形成して、前記データ配線、ソース電極及びドレイン電極上部に保護パターンを形成する第 3 マスク工程段階とを含む液晶表示装置用アレイ基板の製造方法。

【請求項 1 8】

前記第 1 マスク工程段階は、前記基板上部にデータパッドを形成する段階をさらに含み、そして、

前記第 2 マスク工程段階は、前記ゲート絶縁膜にデータパッドコンタクトホールを形成する段階をさらに含み、

前記データパッド電極は、前記データパッドコンタクトホールを介して前記データパッドと接触することを特徴とする請求項 1 7 に記載の液晶表示装置用アレイ基板の製造方法

。

【請求項 1 9】

前記第 2 マスク工程段階は、

前記ゲート絶縁膜上部に純粋シリコン層及び不純物シリコン層を連続的に形成する段階と；

前記不純物シリコン層上部に、第 1 部分と、前記第 1 部分より大きい厚さを有する第 2 部分を含んで、前記ゲートパッド及びデータパッドに対応するゲート絶縁膜を露出する第 1 感光パターンを形成する段階と；

前記第 1 感光パターンをエッチングマスクとして利用して前記不純物シリコン層と前記純粋シリコン層をパターニングする段階と；

10

20

30

40

50

前記第 1 感光パターンを部分的に除去して前記ゲート電極に対応する第 2 感光パターンを形成する段階と；

前記第 2 感光パターンをエッチングマスクとして利用して前記不純物シリコン層、純粋シリコン層及びゲート絶縁膜をパターンングして前記半導体層を形成し、前記ゲートパッドを露出するゲートパッドコンタクトホールを前記ゲート絶縁膜に形成する段階とをさらに含むことを特徴とする請求項 17 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 20】

前記第 1 感光パターンを形成する段階は、

前記不純物シリコン層上部に感光層を形成する段階と；

前記感光層上部に、前記ゲートパッド及びデータパッドに対応する透過部と、前記ゲート電極に対応する遮断部と、透過率が前記遮断部より大きくて前記透過部より小さい半透過部を含むマスクを配置する段階と；

前記マスクを介して前記感光層を露光する段階と；

前記感光層を現像して前記第 1 感光パターンを形成する段階とを含むことを特徴とする請求項 19 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 21】

前記第 3 マスク工程段階は、

前記半導体層上部に第 1 及び第 2 導電物質層を連続的に形成する段階と；

前記第 2 導電物質層上部に、第 1 部分と、前記第 1 部分より大きい厚さを有する第 2 部分を含んで、前記ゲート電極に対応する前記第 2 導電物質層を露出する第 1 感光パターンを形成する段階と；

前記第 1 感光パターンをエッチングマスクとして利用して前記第 2 導電物質層と前記第 1 導電物質層をエッチングして、前記データ配線と、前記ソース電極と、前記ドレイン電極と、画素電極パターンとを形成する段階と；

前記第 1 感光パターンを部分的に除去して、前記画素電極パターンに対応する第 2 感光パターンを形成する段階と；

前記第 2 感光パターン、データ配線、ソース電極及びデータ電極上部に保護層を形成する段階と；

前記第 2 感光パターンと、前記第 2 感光パターン上部の保護層とを除去して保護パターンを形成する段階と；

前記画素電極パターンの前記第 2 導電物質層を除去して前記画素電極を形成する段階とを含むことを特徴とする請求項 17 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 22】

前記第 1 感光パターンを形成する段階は、

前記第 2 導電物質層上部に感光層を形成する段階と；

前記感光層上部に、前記半導体層の中央部に対応する透過部と、前記画素電極に対応する遮断部と、前記データ配線、ソース電極及びドレイン電極に対応して、透過率が前記遮断部より大きくて前記透過部より小さい半透過部を含むマスクを配置する段階と；

前記マスクを介して前記感光層を露光する段階と；

前記感光層を現像して前記第 1 感光パターンを形成する段階とを含むことを特徴とする請求項 21 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 23】

前記保護パターンはスパターリング法によって形成されることを特徴とする請求項 17 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 24】

前記第 1 マスク工程段階を通じて、前記基板上部に共通配線を形成する段階と；

前記第 3 マスク工程段階を通じて共通電極を形成する段階とをさらに含み、前記共通電極は、前記共通配線に連結され、前記画素領域で前記画素電極と交互に配置されることを特徴とする請求項 17 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 25】

10

20

30

40

50

前記第２マスク工程段階は、前記共通配線を露出する共通コンタクトホールを、前記ゲート絶縁膜に形成する段階をさらに含むことを特徴とする請求項２４に記載の液晶表示装置用アレイ基板の製造方法。

【請求項２６】

カラーフィルター基板と、第１項のアレイ基板と、前記カラーフィルター基板と前記アレイ基板間に介在された液晶層を含むことを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、液晶表示装置及びその製造方法に係り、詳細には３マスク工程の核心工程であるリフトオフ工程時スパターリング法を利用して保護膜パターンを形成することを介してリフトオフ不良を最小化することに関する。

10

【背景技術】

【０００２】

一般的に、液晶表示装置の駆動原理は、液晶の光学的異方性と分極性質を利用する。前記液晶は構造が細くて長いため分子の配列に方向性を有しており、人為的に液晶に電界を印加して分子配列の方向を制御することができる。

【０００３】

したがって、前記液晶の分子配列方向を任意に調節すると、液晶の分子配列が変わり、光学的異方性によって前記液晶の分子配列方向に光が屈折して画像情報を表現することができる。

20

【０００４】

現在、薄膜トランジスタと前記薄膜トランジスタに連結された画素電極とがマトリックス方式で配列されたアクティブマトリックス液晶表示装置（Active Matrix LCD：AM-LCD）は、解像度及び動映像具現能力が優秀であって、最も注目されている。

【０００５】

以下、添付した図面を参照して、従来の４マスク工程による液晶表示装置用アレイ基板について説明する。

【０００６】

30

図１は、従来の液晶表示装置用アレイ基板の単位画素を示した平面図である。

【０００７】

図示したように、基板１０上に一方向にその終端にゲートパッド５２を有するゲート配線２０と、前記ゲート配線２０から延長されたゲート電極２５とが構成される。

【０００８】

前記ゲート配線２０と垂直交差して画素領域（P）を定義し、その終端にデータパッド６２を有するデータ配線３０と、前記データ配線３０から延長されたソース電極３２と、前記ソース電極３２と離隔されたドレイン電極３４とが構成される。

【０００９】

この時、前記ゲートパッド５２は、ゲートパッドコンタクトホール（CH２）を介してゲートパッド電極５４と、そして前記データパッド６２はデータパッドコンタクトホール（CH３）を介してデータパッド電極６４とそれぞれ接触する。

40

【００１０】

前記ゲート配線２０とデータ配線３０との交差点に薄膜トランジスタ（T）が構成されるので、前記薄膜トランジスタ（T）は、ゲート電極２５と、前記ゲート電極２５とその一部が重なった半導体層（図２Iの４２）と、前記半導体層と接触して互いに離隔されたソース及びドレイン電極３２、３４とを含んで構成される。

【００１１】

前記半導体層は、純粋非晶質シリコン（a-Si：H）で構成されたアクティブ層４０と、不純物非晶質シリコン（n+a-Si：H）で構成されたオーミックコンタクト

50

層（図 2 I の 4 1）とを含む。

【 0 0 1 2 】

この時、前記半導体層は、データ配線 3 0 とソース及びドレイン電極 3 2、3 4 の下部で同一パターンで延長構成され、特に前記アクティブ層 4 0 は、データ配線 3 0 とソース及びドレイン電極 3 2、3 4 の下部でその一部が外部に突出した構造を有する。

【 0 0 1 3 】

そして、前記ソース及びドレイン電極 3 2、3 4 の離隔された間に露出されたオーミックコンタクト層（図示せず）を除去してその下部のアクティブ層 4 0 を露出することによって、この部分をチャンネルで活用する。

【 0 0 1 4 】

前記ドレイン電極 3 4 に対応した保護膜（図示せず）の一部が除去されたドレインコンタクトホール（CH 1）を介して前記ドレイン電極 3 4 と接触した画素電極 7 0 が画素領域（P）に構成される。

【 0 0 1 5 】

この時、前記画素電極 7 0 は前段のゲート配線 2 0 と重なるように延長構成して、前記前段のゲート配線 2 0 を第 1 電極として、これと重なった画素電極 7 0 を第 2 電極とするストレージキャパシタ（C s t）が構成される。

【 0 0 1 6 】

以下、添付した図面を参照して、従来の 4 マスク工程による液晶表示装置用アレイ基板の製造方法について説明する。

【 0 0 1 7 】

図 2 A ないし図 2 I は図 1 の II - II 線に沿ってそれぞれ切断して工程順序によって示した工程断面図である。

【 0 0 1 8 】

図 2 A は第 1 マスク工程段階を示した断面図である。

【 0 0 1 9 】

図 2 A に示したように、基板 1 0 上に銅（Cu）、モリブデン（Mo）、アルミニウム（Al）、アルミニウム合金（AlNd）及びクロム（Cr）のような導電性金属グループのうちから選択された一つでゲート金属層（図示せず）を形成してこれをパターニングすると、ゲート配線 2 0 と、前記ゲート配線 2 0 から延長されたゲート電極 2 5 と、前記ゲート配線 2 0 の一端のゲートパッド領域（GP）にはゲートパッド 5 2 が形成される。

【 0 0 2 0 】

次に、前記ゲート電極 2 5、ゲート配線 2 0 とゲートパッド 5 2 が形成された基板 1 0 上部全面に窒化シリコン（SiNx）と酸化シリコン（SiO₂）等のような無機絶縁物質グループのうちから選択された一つでゲート絶縁膜 4 5 が形成される。

【 0 0 2 1 】

図 2 B ないし図 2 G は第 2 マスク工程段階を示した断面図である。

【 0 0 2 2 】

図 2 B に示したように、前記ゲート絶縁膜 4 5 が形成された基板 1 0 上に純粋非晶質シリコン（a-Si:H）で構成された純粋非晶質シリコン層 4 0 a を形成して、前記純粋非晶質シリコン層 4 0 a 上に不純物非晶質シリコン層 4 1 a を形成する。

【 0 0 2 3 】

この時、一例で前記純粋及び不純物非晶質シリコン層 4 0 a、4 1 a はプラズマ化学気相蒸着法で前記ゲート絶縁膜 4 5 と同じチャンバー内で連続的に形成することができる。

【 0 0 2 4 】

次に、前記純粋及び不純物非晶質シリコン層 4 0 a、4 1 a が形成された基板 1 0 上に前述した導電性金属グループのうちから選択された一つを蒸着してソース及びドレイン金属層 7 5 を形成する。

【 0 0 2 5 】

10

20

30

40

50

ここで、前記ゲート絶縁膜 4 5 上には純粋及び不純物非晶質シリコン層 4 0 a、4 1 a とソース及びドレイン金属層 7 5 が連続的に積層された状態である。

【0026】

図 2 C に示したように、前述した純粋及び不純物非晶質シリコン層 4 0 a、4 1 a とソース及びドレイン金属層 7 5 が形成された基板 1 0 上にフォトリソを塗布して感光層 8 0 を形成して、これと離隔された上部に透過部 (A)、半透過部 (B) 及び遮断部 (C) で構成されたハーフトーンマスク (H T M) を整列する段階を行う。

【0027】

前記ハーフトーンマスク (H T M) は、前記半透過部 (B) に半透明膜を形成して光の強度を低めたり光の透過量を低めて、前記感光層 8 0 を不完全露光する機能を有する。この時、前記ハーフトーンマスク (H T M) 以外に、前記半透過部 (B) にスリット形状を設けて光の透過量を調節するスリットマスクを利用することができる。

【0028】

また、前記遮断部 (C) は光を完全に遮断する機能を有し、前記透過部 (A) は、光を透過させて、光に露出した感光層 8 0 が化学的变化を起こして完全露光されることができるようにする機能をする。

【0029】

この時、前記ゲート電極 2 5 の両端には遮断部 (C) が位置するようにし、前記遮断部 (C) の間には半透過部 (B) が位置するようにし、後述するデータ配線 (図 2 E の 3 0) に対応する領域及びデータパッド領域 (D P) には遮断部 (C) が位置するようにし、そしてこれを除いた残り領域には透過部 (A) が位置するようにする。

【0030】

次に、前述したハーフトーンマスク (H T M) と離隔された上部で露光及び現像する工程を行う。

【0031】

図 2 D に示したように、前述した露光及び現像する工程を行うと、前記ゲート電極 2 5 に対応する両遮断部 (図 2 C の C) に対応した感光層 (図 2 C の 8 0) はそのまま存在して、前記両遮断部 (図 2 C の C) 間の半透過部 (図 2 C の B) に対応した感光層 (図 2 C の 8 0) は半分程度が除去されて第 1 感光パターン 8 2 が残される。

【0032】

そして、後述するデータ配線 (図 2 E の 3 0) 及びデータパッド領域 (D P) に対応した感光層 (図 2 C の 8 0) はそのまま存在して第 2 及び第 3 感光パターン 8 4、8 6 がそれぞれ残されて、これを除いた全領域の感光層 (図 2 C の 8 0) は全て除去されてその下部のソース及びドレイン金属層 7 5 が露出される。

【0033】

次に、前記第 1 ないし第 3 感光パターン 8 2、8 4、8 6 をマスクとして利用して、前記露出したソース及びドレイン金属層 7 5 をパターンニングする段階を行う。

【0034】

図 2 E に示したように、前述したソース及びドレイン金属層 (図 2 D の 7 5) をパターンニングする段階を行うと、前記ゲート電極 2 5 に対応するソース及びドレイン金属パターン 7 2 と、データ配線 3 0 と、データ配線の終端のデータパッド領域 (D P) にはデータパッド 6 2 が形成される。

【0035】

そして、これを除いた残り全領域のソース及びドレイン金属層 (図 2 D の 7 5) が全て除去されてその下部の不純物非晶質シリコン層 4 1 a が露出される。

【0036】

この時、前記ソース及びドレイン金属パターン 7 2 はデータ配線 3 0 と電氣的に連結される。

【0037】

また、前述した乾式エッチング工程を行うと、前記ソース及びドレイン金属パターン 7

10

20

30

40

50

2とデータ配線30及びデータパッド62下部にはこれらとそれぞれ等しい幅に積層されたアクティブ層40とオーミックコンタクトパターン41bが形成され、これを除いた全領域の純粋及び不純物非晶質シリコン層(図2Eの40a、41a)は全て除去される。

【0038】

図2Fに示したように、前記残された第1ないし第3感光パターン82、84、86をアッシング(ashing)する段階を行うと、前記第1ないし第3感光パターン82、84、86の厚さが半分程度に低くなる。

【0039】

特に、前記ゲート電極25に対応する第1感光パターン82の両端間にソース及びドレイン金属パターン72が露出される。

10

【0040】

この時、前記データ配線30とデータパッド62とソース及びドレイン金属パターン72の両側末端(F)を覆う第1ないし第3感光パターン82、84、86と、前記ソース及びドレイン電極32、34の離隔された間の区間(G)を覆う第1感光パターン82の一部が共に除去されて、この部分に対応した配線の一部がそれぞれ露出される。

【0041】

図2Gに示したように、前記残された第1ないし第3感光パターン82、84、86をマスクとして利用して、前記露出したソース及びドレイン金属パターン72をパターニングする段階を行う。

20

【0042】

前述したソース及びドレイン金属パターン(図2Fの72)をパターニングする段階を行うと、前記ゲート電極25に対応して互いに離隔されたソース電極32とドレイン電極34が形成される。

【0043】

この時、前記露出したFとG部分(図2F参照)に対応したソース及びドレイン金属パターン(図2Fの75)が共に除去されて、その下部のオーミックコンタクト層41も露出される。

【0044】

次に、前記ソース及びドレイン電極32、34の離隔された間で露出したオーミックコンタクト層41を乾式エッチング工程で除去して、前記オーミックコンタクト層41の下部に露出したアクティブ層40をオーバーエッチングしてこの部分をチャネル(ch)で活用する。

30

【0045】

ここで、前記アクティブ層40及びオーミックコンタクト層41を半導体層42と定義することができるが、前記半導体層42は前記ゲート電極25とその一部が重なった島状に構成されることが望ましいが、マスク工程数の節減のために半導体層42とデータ配線30とソース及びドレイン金属パターン72を連続的に積層した三重層を一括的にパターニングする過程でデータ配線30及びデータパッド62の下部に前記半導体層42が延長された形態で構成されることが一般的である。

40

【0046】

この時、前記FとG部分(図2F参照)に対応したオーミックコンタクト層41が共に除去されてその下部のアクティブ層40がデータ配線30とソース及びドレイン電極32、34とデータパッド62の外部に突出される。

【0047】

ここで、前記G部分(図2F参照)に対応したソース及びドレイン金属パターン(図2Fの72)の場合、希望する離隔距離を外れた状態でソース及びドレイン電極32、34が形成される。

【0048】

この時、既に希望する離隔距離を外れたソース及びドレイン電極32、34と第1感光

50

パターン（図 2 F の 8 2）の下部に対応したオーミックコンタクトパターン（図 2 F の 4 1 b）もこれと同じ長さに除去されて互いに両分されるので、結論的にチャネル（c h）の長さを長くなるしかなく、設計された薄膜トランジスタ（T）の駆動特性を確保することができない問題がある。

【0049】

ここで、前記ゲート電極 2 5 と半導体層 4 2 とソース及びドレイン電極 3 2、3 4 は薄膜トランジスタ（T）を形成する。

【0050】

次に、残された第 1 ないし第 3 感光パターン 8 2、8 4、8 6 をストリップ工程で除去する。

10

【0051】

図 2 H は第 3 マスク工程段階を示した断面図である。

【0052】

図 2 H に示したように、前記データ配線 3 0 と薄膜トランジスタ（T）等が形成された基板 1 0 上部全面に窒化シリコン（SiNx）と酸化シリコン（SiO₂）を含む無機絶縁物質グループのうちから選択された一つ、またはアクリル系樹脂とベンゾシクロブテン（benzocyclobutene：BCB）を含む有機絶縁物質グループのうちから選択された一つで保護膜 5 5 が形成される。

【0053】

次に、前記ドレイン電極 3 4 とゲート及びデータパッド 5 2、6 2 に対応した保護膜 5 5 の一部をパターンニングすると、前記ドレイン電極 3 4 の一部が露出されたドレインコンタクトホール（CH1）と、前記ゲート及びデータパッド 5 2、6 2 の一部が露出されたゲート及びデータパッドコンタクトホール（CH2、CH3）がそれぞれ形成される。

20

【0054】

しかし、前述したドレインコンタクトホール（CH1）とゲート及びデータパッドコンタクトホール（CH2、CH3）を形成する過程で、前記ゲートパッド 5 2 上部にはゲート絶縁膜 4 5 と保護膜 5 5 が積層された状態であって、前記ドレイン電極 3 2 とデータパッド 6 2 上部には保護膜 5 5 が存在する。この時、前記ドレインコンタクトホール（CH1）とゲート及びデータパッドコンタクトホール（CH2、CH3）を同時に形成する過程で、各配線を覆う絶縁膜の相異なった厚さ差でエッチングされる比率が変わっていずれか一つの配線が完全に露出されない時、後続工程で製作される配線との接触不良を引き起こす。

30

【0055】

図 2 I は第 4 マスク工程段階を示した断面図である。

【0056】

図 2 I に示したように、前記ドレインコンタクトホール（CH1）とゲート及びデータパッドコンタクトホール（CH2、CH3）を含む保護膜 5 5 上にインジウム - スズ - オキサイド（ITO）またはインジウム - ジンク - オキサイド（IZO）のような透明な導電性金属グループのうちから選択された一つで透明金属層（図示せず）を形成してこれをパターンニングすれば、前記ドレイン電極 3 4 と接触した画素電極 7 0 と、前記ゲート及びデータパッド 5 2、6 2 とそれぞれ接触したゲート及びデータパッド電極 5 4、6 4 が形成される。

40

【0057】

この時、前記画素電極 7 0 は、前段のゲート配線 2 0 と重なるように延長構成して、前記前段のゲート配線 2 0 を第 1 電極として、前記画素電極 7 0 を第 2 電極として、その間に介在されたゲート絶縁膜 4 5 と保護膜 5 5 を誘電体層とするストレージキャパシタ（Cst）が形成される。

【0058】

以上で、前述した工程を通じて、従来の 4 マスク工程による液晶表示装置用アレイ基板を製作することができる。

50

【発明の開示】

【発明が解決しようとする課題】

【0059】

しかし、4マスク工程で製作された液晶表示装置用アレイ基板では、データ配線30、ソース及びドレイン電極32、34と半導体層42を同一マスクで形成する過程で前記半導体層42、特にアクティブ層40がデータ配線30とソース及びドレイン電極32、34の下部でその外部に突出した形態で構成されることが一般的である。

【0060】

このような構成は前記薄膜トランジスタ(T)のアクティブ層40がデータ配線30下部のアクティブ層40と連結されるので、ゲート電極25によって遮られないで下部のバックライトの光に露出して光電流を誘発することができ、前記光電流は薄膜トランジスタ(T)で漏れ電流で作用して薄膜トランジスタ(T)の駆動に致命的な副作用を引き起こす。

10

【0061】

そして、データ配線30の下部に位置したアクティブ層40はデータ配線30から突出しており、データ配線30下部のアクティブ層40と画素電極70間のカップリングキャップが予想外に大きくなり、これにより液晶の再配列に悪影響を及ぼし、表示映像に波形の線が現われるウェイビーノイズ(wavy noise)が発生する。

【0062】

また、従来の4マスク工程はマスク数の増加をもたらしたのであり、前記マスク数の増加は装備初期投資額と製造原価を上昇させる問題を引き起こす。

20

【課題を解決するための手段】

【0063】

本発明は前述した問題を解決するために案出されたことで、3マスク工程による液晶表示装置用アレイ基板で島状に半導体層を構成することにより、マスク数の減少と信頼性を向上することを目的にする。

【0064】

また、マスク数の減少のために3マスク工程で液晶表示装置用アレイ基板を製作する過程で、リフトオフ工程による不良を最小化することができることをまた他の目的にする。

【0065】

30

前述した目的を達成するために、本発明による液晶表示装置用アレイ基板は、基板と；前記基板上部のゲート配線と；前記ゲート配線と交差して画素領域を定義するデータ配線と；前記ゲート配線及びデータ配線に連結されて、前記ゲート配線に連結されるゲート電極と、その境界が前記ゲート電極内に配置される半導体層と、前記データ配線に連結されるソース電極と、前記ソース電極と離隔されたドレイン電極を含む薄膜トランジスタと；前記データ配線と前記薄膜トランジスタを覆う保護パターンと；前記ドレイン電極から延長される画素電極を含む。

【0066】

前記液晶表示装置用アレイ基板は前記データ配線の一端のゲートパッドと、前記ゲート配線の一端のデータパッドをさらに含んで、前記ゲートパッドは前記データパッドと同一物質及び同一層で構成されることを特徴とする。

40

【0067】

そして、前記液晶表示装置用アレイ基板は前記ゲートパッドと接触するゲートパッド電極と、前記データパッドに接触するデータパッド電極をさらに含んで、前記ゲートパッド電極及びデータパッド電極は前記保護パターンを介して露出することを特徴とする。

【0068】

また、前記液晶表示装置用アレイ基板は前記ゲート配線に平行に離隔される共通配線と；前記画素領域に形成されて、前記画素電極と離隔される共通電極をさらに含む。

【0069】

前記データ配線と、前記ソース電極と、前記ドレイン電極はそれぞれ第1導電物質層と

50

、前記第 1 導電物質層上部の第 2 金属層の二重層構造であることを特徴としており、前記画素電極は前記保護パターンを介して露出する前記第 1 導電物質層を含むことを特徴としており、前記第 1 導電物質層はインジウム - スズ - オキサイド (ITO) とインジウム - ジンク - オキサイド (IZO) で構成される透明物質グループのうちから選択された一つで構成されることを特徴とする。

【0070】

この時、前記液晶表示装置用アレイ基板は前記半導体層と前記ソース電極間と、前記半導体層と前記ドレイン電極間に形成されるバッファ金属層をさらに含んで、前記半導体層は純粋非晶質シリコンで構成されたアクティブ層と、不純物非晶質シリコンで構成されたオーミックコンタクト層を含むことを特徴として、前記バッファ金属層はモリブデンで構成されることを特徴としており、前記第 2 導電物質層は銅、モリブデン、モリブデン合金、アルミニウム、アルミニウム合金、クロムで構成される不透明物質グループのうちから選択された一つで構成されることを特徴とする。

10

【0071】

そして、前記画素電極は前記ドレイン電極から延長された延長部と、前記延長部から垂直に分岐した複数の垂直部を含んで、前記共通電極は前記画素電極の複数の垂直部と交互に配置される複数の垂直部を含むことを特徴として、前記液晶表示装置用アレイ基板は前記ゲート配線を覆うゲート絶縁膜をさらに含んで、前記共通電極は前記ゲート絶縁膜に形成された共通コンタクトホールを介して前記共通配線に連結されることを特徴とする。

20

【0072】

また、前記画素電極及び共通電極はそれぞれ前記保護パターンを介して露出する第 1 導電物質層を含むことを特徴として、前記第 1 導電物質層はインジウム - スズ - オキサイド (ITO) とインジウム - ジンク - オキサイド (IZO) で構成される透明物質グループのうちから選択された一つまたはモリブデン合金で構成される不透明物質グループのうちから選択された一つで構成されることを特徴としており、前記第 2 導電物質層は銅、モリブデン、モリブデン合金、アルミニウム、アルミニウム合金、クロムで構成される不透明物質グループのうちから選択された一つで構成されることを特徴とする。

【0073】

そして、前記画素電極は隣接した画素領域の隣接したゲート配線に重なって、前記隣接したゲート配線の重畳部を第 1 キャパシタ電極として含んで前記画素電極の重畳部を第 2 キャパシタ電極として含むストレージキャパシタを定義する。

30

【0074】

一方、本発明による液晶表示装置用アレイ基板の製造方法は、基板上部に、ゲート配線と、前記ゲート配線に連結されるゲート電極と、前記ゲート配線の一端のゲートパッドを形成する第 1 マスク工程段階と；前記ゲート配線、ゲート電極及びゲートパッド上部にゲート絶縁膜を形成する段階と；前記ゲート絶縁膜上部に、その境界が前記ゲート電極内に配置される半導体層を形成する第 2 マスク工程段階と；前記ゲート配線と交差するデータ配線と、前記データ配線に連結されるソース電極と、前記ソース電極と離隔されるドレイン電極と、前記ドレイン電極から延長される画素電極と、前記ゲートパッドに接触するゲートパッド電極と、前記データ配線に連結されるデータパッド電極を形成して、前記データ配線、ソース電極及びドレイン電極上部に保護パターンを形成する第 3 マスク工程段階を含む。

40

【0075】

そして、前記第 1 マスク工程段階は前記基板上部にデータパッドを形成する段階をさらに含んで、前記第 2 マスク工程段階は前記ゲート絶縁膜にデータパッドコンタクトホールを形成する段階をさらに含んで、前記データパッド電極は前記データパッドコンタクトホールを介して前記データパッドと接触することを特徴とする。

【0076】

また、前記第 2 マスク工程段階は、前記ゲート絶縁膜上部に純粋シリコン層及び不純物シリコン層を連続的に形成する段階と；前記不純物シリコン層上部に、第 1 部分と

50

、前記第 1 部分より大きい厚さを有する第 2 部分を含んで、前記ゲートパッド及びデータパッドに対応するゲート絶縁膜を露出する第 1 感光パターンを形成する段階と；前記第 1 感光パターンをエッチングマスクとして利用して前記不純物シリコン層と前記純粋シリコン層をパターンニングする段階と；前記第 1 感光パターンを部分的に除去して前記ゲート電極に対応する第 2 感光パターンを形成する段階と；前記第 2 感光パターンをエッチングマスクとして利用して前記不純物シリコン層、純粋シリコン層及びゲート絶縁膜をパターンニングして前記半導体層を形成して前記ゲートパッドを露出するゲートパッドコンタクトホールを前記ゲート絶縁膜に形成する段階をさらに含むことを特徴とする。

【0077】

ここで、前記第 1 感光パターンを形成する段階は、前記不純物シリコン層上部に感光層を形成する段階と；前記感光層上部に、前記ゲートパッド及びデータパッドに対応する透過部と、前記ゲート電極に対応する遮断部と、透過率が前記遮断部より大きくて前記透過部より小さい半透過部を含むマスクを配置する段階と；前記マスクを介して前記感光層を露光する段階と；前記感光層を現像して前記第 1 感光パターンを形成する段階を含むことを特徴とする。

【0078】

そして、前記第 3 マスク工程段階は、前記半導体層上部に第 1 及び第 2 導電物質層を連続的に形成する段階と；前記第 2 導電物質層上部に、第 1 部分と、前記第 1 部分より大きい厚さを有する第 2 部分を含んで、前記ゲート電極に対応する前記第 2 導電物質層を露出する第 1 感光パターンを形成する段階と；前記第 1 感光パターンをエッチングマスクとして利用して前記第 2 導電物質層と前記第 1 導電物質層をエッチングして前記データ配線と、前記ソース電極と、前記ドレイン電極と、画素電極パターンを形成する段階と；前記第 1 感光パターンを部分的に除去して前記画素電極パターンに対応する第 2 感光パターンを形成する段階と；前記第 2 感光パターン、データ配線、ソース電極及びデータ電極上部に保護層を形成する段階と；前記第 2 感光パターンと、前記第 2 感光パターン上部の保護層を除去して保護パターンを形成する段階と；前記画素電極パターンの前記第 2 導電物質層を除去して前記画素電極を形成する段階を含むことを特徴とする。

【0079】

この時、前記第 1 感光パターンを形成する段階は、前記第 2 導電物質層上部に感光層を形成する段階と；前記感光層上部に、前記半導体層の中央部に対応する透過部と、前記画素電極に対応する遮断部と、前記データ配線、ソース電極及びドレイン電極に対応して、透過率が前記遮断部より大きくて前記透過部より小さい半透過部を含むマスクを配置する段階と；前記マスクを介して前記感光層を露光する段階と；前記感光層を現像して前記第 1 感光パターンを形成する段階を含むことを特徴とする。

【0080】

一方、前記保護パターンはスパターリング法によって形成されることを特徴として、前記液晶表示装置用アレイ基板の製造方法は、前記第 1 マスク工程段階を通じて、前記基板上部に共通配線を形成する段階と；前記第 3 マスク工程段階を通じて、前記共通配線に連結されて、前記画素領域で前記画素電極と交互に配置される共通電極を形成する段階をさらに含むことを特徴とする。

【0081】

この時、前記第 2 マスク工程段階は、前記共通配線を露出する共通コンタクトホールを前記ゲート絶縁膜に形成する段階をさらに含むことを特徴とする。

【0082】

他の一方、本発明による液晶表示装置は、カラーフィルター基板と、第 1 項のアレイ基板と、前記カラーフィルター基板と前記アレイ基板間に介在された液晶層を含む。

【発明の効果】

【0083】

本発明では第一に、スパターリング法を利用して保護膜パターンを形成することを介してリフトオフ工程による不良を最小化することができる長所がある。

10

20

30

40

50

【 0 0 8 4 】

第二に、半導体層をデータ配線、ソース及びドレイン電極と別個のマスクを利用して島状に構成することによって、光漏れ電流による画質不良を防止して画質を改善することができる効果がある。

【 0 0 8 5 】

第三に、前述した半導体層及びデータ配線の構造は過度に設計されたブラックマトリックスの線幅を減らすことができ開口率が改善される長所がある。

【 0 0 8 6 】

第四に、誘電体層としてゲート絶縁膜が利用されるのでストレージキャパシタの面積を最小化することができる長所がある。

10

【 0 0 8 7 】

第五に、本発明ではデータ配線と薄膜トランジスタを包む保護膜パターンにより信頼性を向上することができる効果がある。

【発明を実施するための最良の形態】

【 0 0 8 8 】

以下、添付した図面を参照して本発明による液晶表示装置について説明する。

【実施例 1】

【 0 0 8 9 】

本発明の第 1 実施形態では、3 マスク工程で製作された液晶表示装置用アレイ基板で、アクティブ層とオーミックコンタクト層とバッファパターンを含む半導体層を島状に構成することを特徴とする。

20

【 0 0 9 0 】

また、3 マスク工程時、リフトオフ工程の不良を最小化するためにスパターリング法を利用して保護膜パターンを形成することを特徴とする。

【 0 0 9 1 】

図 3 は、本発明の第 1 実施形態による液晶表示装置用アレイ基板の単位画素を示した平面図である。

【 0 0 9 2 】

図示したように、基板 1 0 0 上に一方向にその終端にゲートパッド 1 5 2 を有するゲート配線 1 2 0 と前記ゲート配線 1 2 0 から延長されたゲート電極 1 2 5 を構成する。

30

【 0 0 9 3 】

前記ゲート配線 1 2 0 と垂直交差して画素領域 (P) を定義し、その終端にデータパッド 1 6 2 を有するデータ配線 1 3 0 と、前記データ配線 1 3 0 から延長された U 字状のソース電極 1 3 2 と、前記ソース電極 1 3 2 と離隔して互いに噛み合うようにドレイン電極 1 3 4 を構成する。この時、前記データ配線 1 3 0 とソース及びドレイン電極 1 3 2 、 1 3 4 は透明な導電性金属と不透明な導電性金属が順に積層された二重層で構成される。

【 0 0 9 4 】

前記ゲートパッド 1 5 2 とデータパッド 1 6 2 は前記ゲート配線 1 2 0 と同一層同一物質で構成されて、前記ゲート及びデータパッド 1 5 2 、 1 6 2 はこれらの一部をそれぞれ露出するゲート及びデータパッドコンタクトホール (C H 4 、 C H 5) を介してゲートパッド電極 1 5 4 及びデータパッド電極 1 6 4 にそれぞれ接触する。この時、前記ゲートパッド電極 1 5 4 とデータパッド電極 1 6 4 は透明な導電性金属物質で構成される。

40

【 0 0 9 5 】

前記ゲート配線 1 2 0 とデータ配線 1 3 0 の交差点には薄膜トランジスタ (T) が構成されるので、前記薄膜トランジスタ (T) は、ゲート電極 1 2 5 と、前記ゲート電極 1 2 5 とその一部が重なった半導体層 (図 4 K の 1 4 3) と、前記半導体層 (図 4 K の 1 4 3) と接触して互いに離隔されたソース及びドレイン電極 1 3 2 、 1 3 4 を含んで構成される。

【 0 0 9 6 】

前記半導体層 (図 4 K の 1 4 3) は純粋非晶質シリコン (a - S i : H) で構成され

50

たアクティブ層 140 と、不純物非晶質シリコン ($n+a-Si:H$) で構成されたオーミックコンタクト層 (図 4 K の 141) を含む。

【0097】

前記半導体層 (図 4 K の 143) は、データ配線 130、ソース及びドレイン電極 132、134 と別途のマスクを利用して前記ゲート電極 125 上部でゲート電極 125 内部に配置されるように島状に構成する。したがって、半導体層 (図 4 K の 143) は、下部のバックライト (図示せず) の光に露出しなく、薄膜トランジスタ (T) には光電流が生成されない。その結果光電流による薄膜トランジスタ (T) の電気的特性低下が防止される。

【0098】

この時、前記ソース及びドレイン電極 132、134 として透明な導電性金属と不透明な導電性金属が順に積層されて用いられる場合、前記不透明な導電性金属に比べて仕事関数が高い透明な導電性金属がオーミックコンタクト層 (図 4 K の 141) と直接的に接触するようになるが、透明な導電性金属層とオーミックコンタクト層 (図 4 K の 141) との仕事関数差によって薄膜トランジスタ (T) のコンタクト抵抗が大きくなって、透明な導電性金属層とオーミックコンタクト層 (図 4 K の 141) がオーミックコンタクトではない整流 (rectifying) 接触を形成するようになる。したがって、本発明では、透明な導電性金属とオーミックコンタクト層 (図 4 K の 141) 間のコンタクト抵抗を低めてオーミックコンタクトを形成するために、前記ソース及びドレイン電極 132、134 とオーミックコンタクト層 (図 4 K の 141) 間に金属物質のバッファー金属層 (図 4 K の 142) を構成する。前記バッファー金属層 (図 4 K の 142) はモリブデンを 50 の厚さに構成することが望ましい。

【0099】

ところが、他の実施形態で、ソース及びドレイン電極 132、134 とオーミックコンタクト層 (図 4 K の 141) 間を低い接触抵抗のオーミックコンタクトに作ることができるならば、バッファー金属層 (図 4 K の 142) は省略することができる。例えば、オーミックコンタクト層 (図 4 K の 141) を形成した後、プラズマ処理を行ってオーミックコンタクト層 (図 4 K の 141) 上部に非常に薄いシリコン窒化層 ($SiNx$) を形成してバッファー離隔層として利用することができる。その場合、ソース及びドレイン電極 132、134 はバッファー離隔層上部に形成されてオーミックコンタクト層 (図 4 K の 141) と直接接触しないでバッファー離隔層と接触するので、バッファー金属層を用いなくても低い接触抵抗とオーミックコンタクトを得ることができる。

【0100】

そして、前記ソース及びドレイン電極 132、134 の離隔された間に露出されたバッファー金属層 (図 4 K の 142) とオーミックコンタクト層 (図 4 K の 141) を順に除去してその下部のアクティブ層 140 をオーバーエッチングしてこの部分をチャネル (図示せず) で活用する。

【0101】

ここで、前記データ配線 130 とソース及びドレイン電極 132、134 を覆う保護層 (図 4 L の 158a) を構成するので、前記保護層 (図 4 L の 158a) はスパターリング法のような物理気相蒸着 (physical vapor deposition: PVD) 法で構成されたことを特徴とする。

【0102】

前記ドレイン電極 134 と同一パターンで延長された画素電極 172 を画素領域 (P) に対応して構成する。この時、前記画素電極 172 は不透明な導電性金属は除去されて透明な導電性金属だけが存在する状態である。

【0103】

そして、前記画素電極 172 は前段のゲート配線 120 と重なるように延長構成して、前記前段のゲート配線 120 を第 1 電極として、これに重なった前記画素電極 172 を第 2 電極とするストレージキャパシタ (Cst) を構成する。

10

20

30

40

50

【 0 1 0 4 】

前述した構成は3マスク工程による液晶表示装置用アレイ基板で半導体層を島状に構成することを特徴とする。

【 0 1 0 5 】

また、前記保護膜パターンをスパターリング法で構成したことを特徴とするので、これに対しては、以下本発明の第1実施形態による液晶表示装置用アレイ基板の製造方法を介して詳細に説明するようにする。

【 0 1 0 6 】

本発明の第1実施形態による液晶表示装置用アレイ基板の製造方法は3マスク工程段階に進める。

【 0 1 0 7 】

図4Aないし図4Mは図3のIV-IV線に沿ってそれぞれ切断して工程順序によって示した工程断面図である。

【 0 1 0 8 】

図4Aは第1マスク工程段階を示した断面図である。

【 0 1 0 9 】

図4Aに示したように、基板100上には画素領域(P)、ゲートパッド領域(GP)とデータパッド領域(DP)が定義される。

【 0 1 1 0 】

前記複数の領域(P、GP、DP)が定義された基板100上に銅(Cu)、アルミニウム(Al)、アルミニウム合金(AlNd)及びクロム(Cr)のような導電性金属グループのうちから選択された一つでゲート金属層(図示せず)を形成してこれを第1マスク(図示せず)を利用してパターンングすることによって、前記ゲート領域(G)の一方にゲート配線120と、前記ゲート配線120から延長されたゲート電極125と、前記ゲート配線120の一端に位置したゲートパッド領域(GP)にゲートパッド152を形成する。

【 0 1 1 1 】

これと同時に、前記データ領域(D)の一端に位置したデータパッド領域(DP)に対応してデータパッド162を形成する。この時、前記データパッド162は電氣的に絶縁された状態である。

【 0 1 1 2 】

ここで、前記データパッド162の場合、後続工程で形成されるデータ配線(図5の230)と同一層同一物質で形成することができる。

【 0 1 1 3 】

次に、前記ゲート電極125、ゲート配線120とゲート及びデータパッド152、162が形成された基板100上に窒化シリコン(SiNx)と酸化シリコン(SiO₂)等のような無機絶縁物質グループのうちから選択された一つを蒸着してゲート絶縁膜145を形成する。

【 0 1 1 4 】

図4Bは第2マスク工程段階を示した断面図である。

【 0 1 1 5 】

図4Bに示したように、前記ゲート絶縁膜145が形成された基板100上に純粋非晶質シリコン(a-Si:H)で構成された純粋非晶質シリコン層140aを形成して、前記純粋非晶質シリコン層140a上に不純物非晶質シリコン層141aを形成する。

【 0 1 1 6 】

この時、一例で前記純粋及び不純物非晶質シリコン層140a、141aはプラズマ化学気相蒸着法で前記ゲート絶縁膜145と同じチャンバー内で連続的に形成することができる。

【 0 1 1 7 】

10

20

30

40

50

次に、前記純粋及び不純物非晶質シリコン層 1 4 0 a、1 4 1 a が形成された基板 1 0 0 上にモリブデン (M o) を 5 0 の厚に蒸着してバッファー金属物質層 1 4 2 a を形成する。

【 0 1 1 8 】

図 4 C に示したように、前記バッファー金属物質層 1 4 2 a が形成された基板 1 0 0 上にフォトリソストを塗布して第 1 感光層 1 8 0 を形成して、これとは離隔された上部に透過部 (A) と半透過部 (B) と遮断部 (C) で構成された第 2 マスク (M 1 2) を配置整列する段階を行う。

【 0 1 1 9 】

前記第 2 マスク (M 1 2) は、前記半透過部 (B) に半透明膜またはスリットパターンを形成して光の強度を低めたり光の透過量を低めて前記第 1 感光層 1 8 0 が不完全露光されることができるようにする機能をする。

10

【 0 1 2 0 】

また、前記遮断部 (C) は光を完全に遮断する機能をして、前記透過部 (A) は光を透過させて光に露出した第 1 感光層 1 8 0 が化学的变化を起こして完全露光されることができるようにする機能をする。

【 0 1 2 1 】

この時、前記ゲート電極 1 2 5 に対応して遮断部 (C) が位置して、前記ゲートパッド領域 (G P) とデータパッド領域 (D P) それぞれに対応して透過部 (A) が位置して、そしてこれらを除いた全領域は半透過部 (B) が位置するようにする。

20

【 0 1 2 2 】

次に、図 4 D に示したように、前記第 2 マスク (図 4 C の M 1 2) を利用して前記第 1 感光層 1 8 0 を露光した後、現像して、第 1 感光パターン 1 8 2 を形成する。

【 0 1 2 3 】

第 1 感光パターン 1 8 2 は、前記第 2 マスク (図 4 C の M 1 2) の半透過部 (図 4 C の B) に対応する第 1 部分 1 8 2 a と、第 2 マスク (図 4 C の M 1 2) の遮断部 (図 4 C の C) に対応する第 2 部分 1 8 2 b で構成される。

【 0 1 2 4 】

すなわち、第 1 感光層 1 8 0 の露光及び現像によって、ゲート電極 1 2 5 に対応した第 1 感光層 (図 4 C の 1 8 0) はそのまま存在して第 1 感光パターン 1 8 2 の第 2 部分 1 8 2 b になって、前記ゲート及びデータパッド領域 (G P 、 D P) に対応した第 1 感光層 (図 4 C の 1 8 0) は全て除去されてその下部のバッファー金属物質層 1 4 2 a が露出され、これを除いた全領域に対応する第 1 感光層 (図 4 C の 1 8 0) はその一部が除去されて高さが半分程度に低くなった状態で第 1 感光パターン 1 8 2 の第 1 部分 1 8 2 a になる。

30

【 0 1 2 5 】

次に、図 4 E に示したように、前記第 1 感光パターン 1 8 2 をエッチングマスクとして利用して、前記ゲート及びデータパッド領域 (G P 、 D P) それぞれの一部に対応して露出したバッファー金属物質層 1 4 2 a と不純物及び純粋非晶質シリコン層 1 4 1 a、1 4 0 a とゲート絶縁膜 1 4 5 を順に除去する段階を行う。

【 0 1 2 6 】

この時、前記ゲート及びデータパッド領域 (G P 、 D P) それぞれに対応したゲート絶縁膜 1 4 5 は一部分が除去されてその下部に一部分が残る。例えば、残されたゲート絶縁膜 1 4 5 の厚さは最初形成された厚さの半分以下であることができる。

40

【 0 1 2 7 】

ゲート絶縁膜 1 4 5 が一部除去されるので、後続するゲートパッド及びデータパッド 1 5 2、1 6 2 のパッドオープニング工程が安定的に進められることができる。例えば、シリコン窒化膜 (S i N x) やシリコン酸化膜 (S i O ₂) のようなゲート絶縁膜 1 4 5 のエッチング率 (e t c h r a t e) は不純物及び純粋非晶質シリコン層 1 4 1 a、1 4 0 a のエッチング率より低いので、ゲート絶縁膜 1 4 5 をあらかじめ一部除去しない場合、後続するパッドオープニング工程でゲート絶縁膜 1 4 5 が一部残ってゲートパッ

50

ド及びデータパッド 1 5 2、1 6 2 が露出されなかったりパッドオープニング工程の工程時間が過度に長くなる。また、ゲート絶縁膜 1 4 5 をあらかじめ完全に除去する場合、後続するパッドオープニング工程でゲートパッド及びデータパッド 1 5 2、1 6 2 が劣化する。

【0 1 2 8】

次に、図 4 F に示したように、前記第 1 感光パターン 1 8 2 をアッシングする段階を行うと、前記第 1 感光パターン 1 8 2 の第 1 部分 1 8 2 a は全て除去されてその下部のバッファ金属物質層 1 4 2 a が露出されて、第 1 感光パターン 1 8 2 の第 2 部分 1 8 2 b は一部除去されてその高さが半分程度に低くなった第 2 感光パターン 1 8 4 になる。

【0 1 2 9】

次に、図 4 G に示したように、前記第 2 感光パターン 1 8 4 をエッチングマスクとして利用して、前記露出したバッファ金属物質層 1 4 2 a と不純物非晶質シリコン層 1 4 1 a と純粋非晶質シリコン層 1 4 0 a を一括的にパターニングする段階を通じて、前記ゲート電極 1 2 5 の内部で重なった島状の半導体パターン 1 4 4 とバッファパターン 1 4 2 b が形成される。

【0 1 3 0】

この時、前記半導体パターン 1 4 4 は、純粋非晶質シリコンで構成されたアクティブ層 1 4 0 と、不純物非晶質シリコンで構成されたオーミックコンタクトパターン 1 4 1 b を含む。

【0 1 3 1】

これと同時に、前記ゲート及びデータパッド領域 (G P、D P) に対応して残された一部ゲート絶縁膜 1 4 5 が共に除去されて、前記ゲート及びデータパッド 1 5 2、1 6 2 それぞれの一部を露出するゲートパッドコンタクトホール (C H 4) とデータパッドコンタクトホール (C H 5) が形成される。

【0 1 3 2】

本発明の第 1 実施形態では、第 2 マスク工程段階で前記ゲート電極 1 2 5 とその一部が重なった半導体パターン 1 4 4 を島状に構成することを特徴とするので、このような構成はバックライトに半導体パターン 1 4 4 の露出に起因した光漏れ電流を防止して、画質不良を防止することができる長所がある。

【0 1 3 3】

また、図 1 のような従来技術では、データ配線 3 0 とソース及びドレイン電極 3 2、3 4 の下部で、これら外部に突出して構成されたアクティブ層 4 0 を遮るためにアレイ基板と対向合着されるカラーフィルター基板 (図示せず) に構成されたブラックマトリックス (図示せず) の線幅を過度に設計するしかない構造であったが、本発明では、データ配線 1 3 0 とソース及びドレイン電極 1 3 2、1 3 4 の下部に半導体パターン 2 4 4 が存在しないため、ブラックマトリックス (図示せず) の線幅を最小化することができてその結果開口率を改善することができる長所がある。

【0 1 3 4】

次に、前記残された第 2 感光パターン 1 8 4 をストリップ工程で除去することを介して第 2 マスク工程段階が完了する。

【0 1 3 5】

図 4 H ないし図 4 M は第 3 マスク工程段階を示した断面図である。

【0 1 3 6】

図 4 H に示したように、前記半導体パターン 1 4 4 とゲート及びデータパッドコンタクトホール (図 4 G の C H 4、C H 5) を含む基板 1 0 0 上にインジウム - スズ - オキサイド (I T O) またはインジウム - ジンク - オキサイド (I Z O) のような透明な導電性金属グループのうちから選択された一つで透明導電物質層 1 7 0 a を形成する。

【0 1 3 7】

連続的に、前記透明導電物質層 1 7 0 a が形成された基板 1 0 0 上に銅 (C u)、モリブデン (M o)、モリブデン合金 (M o T i)、アルミニウム (A l)、アルミニウム合

10

20

30

40

50

金（ＡｌＮｄ）及びクロム（Ｃｒ）のような導電性金属グループのうちから選択された一つまたはそれ以上に不透明導電物質層１７５を形成するので、抵抗が低く電気伝導度が優秀な銅を利用することが望ましい。

【０１３８】

次に、前記透明導電物質層１７０ａと不透明導電物質層１７５とが形成された基板１００上にフォトリソを塗布して第２感光層１９０を形成して、これと離隔された上部に第３マスク（Ｍ１３）を配置整列する段階を行う。

【０１３９】

この時、第３マスク（Ｍ１３）は透過部（Ａ）、半透過部（Ｂ）、遮断部（Ｃ）を含み、前記画素領域（Ｐ）とゲート及びデータパッド領域（ＧＰ、ＤＰ）に対応して遮断部（Ｃ）が位置し、前記半導体パターン１４４に対応して両端の半透過部（Ｂ）及び半透過部（Ｂ）間の透過部（Ａ）が位置し、後続される工程でデータ配線（図３の１３０）が形成される領域に対応して半透過部（Ｂ）が位置し、そしてこれらを除いた残り領域には透過部（Ａ）が位置するように整列される。

10

【０１４０】

次に、図４Ｉに示したように、前記第３マスク（図４ＨのＭ１３）を利用して第２感光層（図４Ｈの１９０）を露光した後現像して、第３感光パターン１９２を形成する。

【０１４１】

第３感光パターン１９２は、第３マスク（図４ＨのＭ１３）の半透過部（図４ＨのＢ）に対応する第１部分１９２ａと、第３マスク（図４ＨのＭ１３）の遮断部（図４ＨのＣ）に対応する第２部分１９２ｂを含む。

20

【０１４２】

すなわち、第２感光層（図４Ｈの１９０）の露光現像によって、前記半導体パターン１４４両端の半透過部（図４ＨのＢ）間の透過部（図４ＨのＡ）に対応した第２感光層（図４Ｈの１９０）は完全に除去されてその下部の不透明導電物質層１７５が露出され、前記両端の半透過部（図４ＨのＢ）に対応した第２感光層（図４Ｈの１９０）は、その一部が除去されて高さが低くなった状態で第３感光パターン１９２の第１部分１９２ａになる。

【０１４３】

そして、前記画素領域（Ｐ）と前記ゲート及びデータパッド領域（ＧＰ、ＤＰ）で前記遮断部（Ｃ）に対応した第２感光層（図４Ｈの１９０）はそのまま存在して第３感光パターン１９２の第２部分１９２ｂになり、後続工程で形成されるデータ配線（図３の１３０）に対応した第２感光層（図４Ｈの１９０）は、その一部が除去されて高さが低くなった状態で第３感光パターン１９２の第１部分１９２ａになり、これを除いた残り領域の第２感光層（図４Ｈの１９０）は全て除去されてその下部の不透明導電物質層１７５が露出される。

30

【０１４４】

次に、図４Ｊに示したように、前記第３感光パターン１９２をエッチングマスクとして利用して、前記露出した不透明導電物質層１７５とその下部の透明導電物質層１７０ａを一括的にパターニングする段階を行う。

【０１４５】

この時、等方性を有する湿式エッチングを利用して第３感光パターン１９２の下部に位置する不透明導電物質層１７５と透明導電物質層１７０ａがオーバーエッチングされるようにして、前記第３感光パターン１９２の縁下部面が部分的に露出するようにする。

40

【０１４６】

上のような構成は、前記第３感光パターン１９２の露出した下部面上部に保護層を形成した後、前記第３感光パターン１９２とこれを覆う前記保護層を同時に除去する後続リフトオフ（ｌｉｆｔ－ｏｆｆ）工程で、前記第３感光パターン１９２の露出した縁下部面にストリッパー（ｓｔｒｉｐｐｅｒ）が容易に浸透することができるよう誘導するためである。

【０１４７】

50

以後、前記第3感光パターン192をエッチングマスクとして利用して、等方性を有する湿式エッチングを利用したパターンニング工程を行って、前記半導体パターン144に対応して両側に離隔されたソース電極132とドレイン電極134を形成して、前記画素領域(P)に対応して画素電極パターン172aを形成する。

【0148】

これと同時に、前記ソース電極132に連結されるデータ配線130を形成して、前記ゲートパッド領域(GP)とデータパッド領域(DP)には前記ゲートパッド152と接触するゲートパッド電極パターン154aと、データパッド162と接触するデータパッド電極パターン164aをそれぞれ形成する。

【0149】

ここで、前記ソース及びドレイン電極132、134、画素電極パターン172a、データ配線130とゲート及びデータパッド電極パターン154a、164aは、透明導電物質層170aと不透明導電物質層175が積層された二重層で形成される。そして、前記画素電極パターン172aは前段のゲート配線120と重なるように延長された状態である。

【0150】

この時、前記ソース及びドレイン電極132、134、画素電極パターン172a、データ配線130とゲートパッド電極パターン及びデータパッド電極パターン154a、164aは、前述した等方性を有する湿式エッチング工程により各配線の両側終端の一部がオーバーエッチングされ、前記第3感光パターン192は、前記両端にオーバーエッチングされた部分により第3感光パターン192の縁下部面が部分的に露出した状態である。

【0151】

次に、図4Kに示したように、前記第3感光パターン(図4Jの192)をエッチングマスクとして利用して、前記ソース及びドレイン電極132、134の離隔区間を介して露出したバッファパターン142bとオーミックコンタクトパターン141bをパターンニングする段階を行う。

【0152】

前述したパターンニング工程を行うと、前記ソース及びドレイン電極132、134と等しい幅でバッファパターン142bとオーミックコンタクトパターン141bが両側に分離されて、それぞれバッファ金属層142とオーミックコンタクト層141になる。この時、前記両側に分離されたオーミックコンタクト層141下部に露出したアクティブ層140の一部をオーバーエッチングしてこの部分をチャネル(ch)で活用し、前記アクティブ層140及びオーミックコンタクト層141を半導体層143として定義できる。

【0153】

ここで、前記ゲート電極125と、ソース及びドレイン電極132、134と、バッファ金属層142とアクティブ層及びオーミックコンタクト層140、141は薄膜トランジスタ(T)を形成する。

【0154】

この時、前記ソース及びドレイン電極132、134と前記オーミックコンタクト層141間に形成されたバッファ金属層142は、前記ソース及びドレイン電極132、134の透明導電物質層170aとオーミックコンタクト層141との仕事関数差を低める役割をするので、薄膜トランジスタ(T)の駆動特性が改善される長所がある。

【0155】

次に、前記第3感光パターン(図4Jの192)をアッシング(ashing)する段階を行う。

【0156】

前述したアッシング工程を行うと、前記画素領域(P)とゲート及びデータパッド領域(GP、DP)に対応した第3感光パターン(図4Jの192)の第2部分(図4Jの192b)は高さが半分程度低くなった状態で第4感光パターン194にり、前記薄膜トラ

10

20

30

40

50

ンジスタ（Ｔ）とデータ配線１３０に対応した第３感光パターン（図４Ｊの１９２）の第１部分（図４Ｊの１９２ａ）は全て除去され、下部のソース及びドレイン電極１３２、１３４とデータ配線１３０がそれぞれ露出される。

【０１５７】

次に、図４Ｌに示したように、前記第４感光パターン１９４を含む基板１００上に酸化シリコンと窒化シリコンを含む無機絶縁物質グループのうちから選択された一つで保護層１５８ａを形成する段階を行う。

【０１５８】

前記保護層１５８ａを、無機絶縁物質グループのうちから選択された一つをプラズマ化学気相蒸着（*plasma chemical vapor deposition: P C V D*）法を利用して形成する場合、前記プラズマ化学気相蒸着法を利用した蒸着工程時３５０以上の高温工程を必要とするので、前記保護層１５８ａの下部に感光特性を有する有機絶縁物質で形成された第４感光パターン１９４の耐熱性が１５０程度までしかなく、前記第４感光パターン１９４がつぶれたり、変形する問題が生じることがある。

【０１５９】

前述した問題が生じた状態で前記保護層１５８ａを続いて蒸着して行くと、結局、第４感光パターン１９４が前記保護層１５８ａにより完全に覆われる結果をもたらし、リフトオフ（*lift-off*）工程時ストリッパが円滑に浸透することができず、前記第４感光パターン１９４と保護層１５８ａが残留するリフトオフ不良を引き起こす。

【０１６０】

また、液晶表示装置用アレイ基板を完成した状態で前述した問題が生じる場合、残留する第４感光パターン１９４が液晶と反応して残像のような画質不良が発生する。

【０１６１】

これを防止するために、本発明では、スパターリング法（*sputtering method*）のような物理気相蒸着法（*physical vapor deposition: P V D*）法を利用して保護層１５８ａを形成することを特徴とする。

【０１６２】

前記スパターリング法を利用する場合、前記第４感光パターン１９４を１５０以下の低温工程で形成することができるので、前記第４感光パターン１９４がつぶれたり変形する心配がなく、副次的にはガラス基板ではないプラスチックのようなフレキシブルな基板に適用することができる長所がある。

【０１６３】

この時、前記保護層１５８ａは、前記第４感光パターン１９４それぞれに対応してその上部面の一部分を覆って、前記第４感光パターン１９４の段差により両側面縁に対応した部分と、これらの縁下部面には保護層１５８ａが連結されて形成されなくて断絶された状態である。

【０１６４】

そして、前記保護層１５８ａは、前記第４感光パターン１９４が形成されていない前記データ配線１３０とソース及びドレイン電極１３２、１３４を覆って形成される。

【０１６５】

次に、図４Ｍに示したように、ストリッパ（*stripper*）を利用したリフトオフ工程を行うと、前記第４感光パターン１９４の縁下部面の露出部にストリッパが浸透して、第４感光パターン１９４と、第４感光パターン１９４を覆う保護層１５８ａが共に除去されて画素電極パターン１７２ａとゲートパッド電極パターン及びデータパッド電極パターン１５４ａ、１６４ａがそれぞれ露出される。そして、前記データ配線１３０とソース及びドレイン電極１３２、１３４を覆って形成された前記保護層１５８ａは除去されなくてそのまま残って保護パターン１５８になる。

【０１６６】

以後、保護パターン１５８をエッチングマスクとして利用して画素電極パターン１７２ａ、ゲートパッド電極パターン１５４ａ、データパッド電極パターン１６４ａの不透明導

10

20

30

40

50

電物質層 175 を除去することによって、透明導電物質層 170a の単一層で構成される画素電極 172、ゲートパッド電極 154、データパッド電極 164 を形成する。

【0167】

したがって、本発明では、3 マスク工程で製作されながら、保護パターン 158 により前記データ配線 130 と、ソース及びドレイン電極 132、134 が覆われる構造で、異物からの不良を事前に防止することができて信頼性が改善される長所がある。

【0168】

この時、前記画素電極 172 とゲート及びデータパッド電極 154、164 は、透明導電物質層 170a と不透明導電物質層 175 が積層された状態である。

【0169】

次に、前記保護パターン 158 をエッチングマスクとして利用して、前記画素電極 172 とゲート及びデータパッド電極 154、164 それぞれの最上層である不透明導電物質層 175 を除去する段階を行う。

【0170】

前述した不透明導電物質層 175 を除去する段階を通じて、前記画素電極 172 と、ゲート及びデータパッド電極 154、164 は透明な導電性金属で構成された単一層で形成される。

【0171】

言い換えると、前記ドレイン電極 134 は、不透明導電物質層 175 と透明導電物質層 170a が積層された状態であって、前記ドレイン電極 134 から延長された前記画素電極 172 は透明な導電性金属層が存在する状態である。

【0172】

この時、前記画素電極 172 は、前段のゲート配線 120 と重なるように延長されて、前記前段のゲート配線 120 を第 1 電極として、これと重なった前記画素電極 172 を第 2 電極として、前記第 1 及び第 2 電極間に介在されたゲート絶縁膜 145 を誘電体層とするストレージキャパシタ (Cst) が構成される。

【0173】

前述したストレージキャパシタ (Cst) の構成は、従来と違い、第 1 及び第 2 電極間に介在されたゲート絶縁膜 145 が誘電体層として利用されるので、誘電体層の厚さ減少による第 1 及び第 2 電極の重畳面積を縮小設計することができる長所がある。

【0174】

以上で、前述した工程を介して本発明の第 1 実施形態による液晶表示装置用アレイ基板を製作することができる。

【0175】

上述のように、本発明の第 1 実施形態では、半導体層を島状に形成することを介して薄膜トランジスタの素子特性と開口率を改善することができ、前記データ配線とソース及びドレイン電極の上部を覆う保護膜パターンにより信頼性を確保することができる。

【0176】

また、スパターリング法を利用して保護膜パターンを形成することを介してリフトオフ工程による不良を最小化することができる長所がある。

【0177】

しかし、本発明の第 1 実施形態の場合、画素領域に対応して大面積に形成された画素電極の場合ストリッパーが浸透することができる空間上の制約が伴う。

【0178】

これで対し、横電界方式の場合、アレイ基板上の画素領域に共通電極と画素電極を棒状で交互に構成することが一般的であるので、前述したスパターリング法を利用したリフトオフ工程に最適化した画素設計と言える。

【実施例 2】

【0179】

以下、添付した図面を参照して、本発明の第 2 実施形態による横電界方式液晶表示装置

10

20

30

40

50

ついて説明する。

【0180】

本発明の第2実施形態では、画素領域に対応して共通電極と画素電極が棒状で互い違いに構成された画素設計でリフトオフ工程をさらに効率に行うことができることを特徴とする。

【0181】

また、前記画素電極と共通電極を透明な導電性金属で製作することを介して輝度を改善することができることをまた他の特徴とする。

【0182】

図5は、本発明の第2実施形態による横電界方式液晶表示装置用アレイ基板の単位画素を示した平面図である。

10

【0183】

図示したように、基板200上に一方向にその終端にゲートパッド252を有するゲート配線220と前記ゲート配線220から延長されたゲート電極225と、前記ゲート配線220と平行に離隔された共通配線250を構成する。

【0184】

前記ゲート配線220及び共通配線250と垂直交差して画素領域(P)を定義し、その終端にデータパッド262を有するデータ配線230と、前記データ配線230から延長されたU字状のソース電極232と、前記ソース電極232と離隔して互いに噛み合うようにドレイン電極234を構成する。この時、前記データ配線230とソース及びドレイン電極232、234は透明な導電性金属と不透明な導電性金属が順に積層された二重層で構成される。

20

【0185】

前記ゲートパッド252とデータパッド262は、前記ゲート配線220と同一層同一物質で構成され、前記ゲート及びデータパッド252、262は、これらの一部をそれぞれ露出するゲート及びデータパッドコンタクトホール(CH6、CH7)を介してゲートパッド電極254及びデータパッド電極264にそれぞれ接触する。この時、前記ゲートパッド電極254とデータパッド電極264は透明な導電性金属物質で構成される。

【0186】

前記ゲート配線220とデータ配線230の交差点に薄膜トランジスタ(T)を構成するので、前記薄膜トランジスタ(T)は、ゲート電極225と、前記ゲート電極225とその一部が重なった半導体層(図6Kの243)と、前記半導体層(図6Kの243)と接触して互いに離隔されたソース及びドレイン電極232、234を含んで構成される。

30

【0187】

前記半導体層(図6Kの243)は、純粋非晶質シリコン(a-Si:H)で構成されたアクティブ層240と、不純物非晶質シリコン(n+a-Si:H)で構成されたオーミックコンタクト層(図6Kの241)を含む。

【0188】

前記半導体層(図6Kの243)は、データ配線230、ソース及びドレイン電極232、234と別途のマスクを利用して前記ゲート電極225とその一部が重なるように島状パターンで構成する。したがって、半導体層(図6Kの243)は下部のバックライト(図示せず)の光に露出しなく、薄膜トランジスタ(T)には光電流が生成されない。その結果光電流による薄膜トランジスタ(T)の電気的特性低下が防止される。

40

【0189】

この時、前記ソース及びドレイン電極232、234が透明な導電性金属と不透明な導電性金属が順に積層されて用いられる場合、前記不透明な導電性金属に比べて仕事関数が高い透明な導電性金属がオーミックコンタクト層(図6Kの241)と直接的に接触するようになるが、前記透明な導電性金属とオーミックコンタクト層(図6Kの241)との仕事関数差によって薄膜トランジスタ(T)のコンタクト抵抗が大きくなって、透明な

50

導電性金属層とオーミックコンタクト層（図6Kの241）がオーミックコンタクトではない整流（rectifying）接触を形成するようになる。したがって、本発明では、透明な導電性金属とオーミックコンタクト層（図6Kの241）間のコンタクト抵抗を低めてオーミックコンタクトを形成するために、前記ソース及びドレイン電極232、234とオーミックコンタクト層（図6Kの241）との間に金属物質のバッファ金属層（図6Kの242）を構成する。前記バッファ金属層（図6Kの242）はモリブデンを50の厚さに構成することが望ましい。

【0190】

ところが、他の実施形態でソース及びドレイン電極232、234とオーミックコンタクト層（図6Kの241）との間を低い接触抵抗のオーミックコンタクトに作ることができるならば、バッファ金属層（図6Kの242）は省略することができる。例えば、オーミックコンタクト層（図6Kの241）を形成した後、プラズマ処理を行ってオーミックコンタクト層（図6Kの241）上部に非常に薄いシリコン窒化層（SiNx）を形成してバッファ離隔層として利用することができる。その場合、ソース及びドレイン電極232、234は、バッファ離隔層上部に形成されてオーミックコンタクト層（図6Kの241）と直接接触しないでバッファ離隔層と接触するので、バッファ金属層を用いなくても低い接触抵抗とオーミックコンタクトを得ることができる。

10

【0191】

そして、前記ソース及びドレイン電極232、234の離隔された間に露出されたバッファ金属層（図6Kの242）とオーミックコンタクト層（図6Kの241）を順に除去してその下部のアクティブ層240をオーバーエッチングしてこの部分をチャンネル（図示せず）で活用する。

20

【0192】

ここで、前記データ配線230とソース及びドレイン電極232、234の上部にはこれを覆う保護層（図6Lの258a）が構成されるので、前記保護層（図6Lの258a）はスパターリング法のような物理気相蒸着（physical vapor deposition：PVD）法で構成されたことを特徴とする。

【0193】

この時、前記ドレイン電極234と同一パターンで延長された画素電極272を画素領域（P）に対応して構成する。前記画素電極272は、前記ドレイン電極234から延長された延長部272bと、前記延長部272bから画素領域（P）に垂直に分岐した複数の垂直部272cと、前記複数の垂直部272cを一つに連結する連結部272dを含む。

30

【0194】

そして、前記共通配線250の一部を露出する共通コンタクトホール（CMH）を介して前記共通配線250と接触した複数の共通電極260を構成するので、前記共通電極260は前記画素電極垂直部272cと互いに交互に一定間隔で平行するように離隔して構成する。

【0195】

前記画素電極272と共通電極260は透明な導電性金属だけが存在する状態である。そして、前記共通配線250を第1電極として、これに重なった前記画素電極連結部272dを第2電極とするストレージキャパシタ（Cst）を構成する。

40

【0196】

前述した構成は、3マスク工程による液晶表示装置用アレイ基板で半導体層を島状に構成することを特徴とする。

【0197】

また、前述した構成は画素領域に対応して共通電極と画素電極が平行するように離隔して棒状で構成されるので、このような構成は棒状のコーナー部にストリッパーの浸透が容易であってリフトオフ工程に最適化した画素設計と言える。

【0198】

50

これに対して、以下本発明の第2実施形態による横電界方式液晶表示装置用アレイ基板の製造方法を介して詳細に説明するようにする。

【0199】

本発明の第2実施形態による横電界方式液晶表示装置用アレイ基板は、3マスク工程段階で製作される。

【0200】

図6Aないし図6Mは図5のVI-VI線に沿ってそれぞれ切断して工程順序によって示した工程断面図である。

【0201】

図6Aは第1マスク工程段階を示した断面図である。

10

【0202】

図6Aに示したように、画素領域(P)、ゲートパッド領域(GP)とデータパッド領域(DP)が定義された基板200上に銅(Cu)、銅合金(AlNd)、アルミニウム(Al)、アルミニウム合金(AlNd)及びクロム(Cr)のような導電性金属グループのうちから選択された一つでゲート金属層(図示せず)を形成して第1マスク(図示せず)を利用してパターンングすることによって、ゲート配線220と、前記ゲート配線220から延長されたゲート電極225を形成して、前記ゲート配線220の一端に位置したゲートパッド領域(GP)にはゲートパッド252を形成する。

【0203】

これと同時に、前記データパッド領域(DP)にはデータパッド262を形成して、前記画素領域(P)に隣接した領域には共通配線250を形成する。この時、前記共通配線250の一部分は画素領域(P)に延長された状態である。

20

【0204】

ここで、前記データパッド262は、後続工程で形成されるデータ配線(図5の230)と同一層同一物質で形成することができる。

【0205】

次に、前記ゲート電極225、ゲート配線220、共通配線250とゲートパッド252とデータパッド262が形成された基板200上に窒化シリコン(SiNx)と酸化シリコン(SiO₂)等のような無機絶縁物質グループのうちから選択された一つを蒸着してゲート絶縁膜245を形成する。

30

【0206】

図6Bは第2マスク工程段階を示した断面図である。

【0207】

図6Bに示したように、前記ゲート絶縁膜245が形成された基板200上に純粋非晶質シリコン(a-Si:H)で構成された純粋非晶質シリコン層240aを形成して、前記純粋非晶質シリコン層240a上に不純物非晶質シリコン層241aを形成する。

【0208】

この時、一例では、前記純粋及び不純物非晶質シリコン層240a、241aはプラズマ化学気相蒸着法で前記ゲート絶縁膜245と同じチャンバー内で連続的に形成することができる。

40

【0209】

次に、前記純粋及び不純物非晶質シリコン層240a、241aが形成された基板200上にモリブデン(Mo)を50の厚に蒸着してバッファ金属物質層242aを形成する。

【0210】

図6Cに示したように、前記バッファ金属物質層242aが形成された基板200上にフォトリソを塗布して第1感光層280を形成して、これとは離隔された上部に第2マスク(M22)を配置整列する段階を行う。

【0211】

50

第2マスク(M22)は、透過部(A)、半透過部(B)、遮断部(C)を含んで、前記ゲート電極225に対応して遮断部(C)が位置して、前記ゲートパッド領域(GP)とデータパッド領域(DP)と共通配線250の一部に対応して透過部(A)が位置して、これらを除いた残りの領域には半透過部(B)が位置するように整列される。

【0212】

次に、図6Dに示したように、前記第2マスク(図6CのM22)を利用して第1感光層280を露光した後、現像して、第1感光パターン282を形成する。

【0213】

第1感光パターン282は、前記第2マスク(図6CのM22)の半透過部(図6CのB)に対応する第1部分282aと、第2マスク(図6CのM22)の遮断部(図6CのC)に対応する第2部分282bで構成される。

10

【0214】

すなわち、第1感光層280の露光及び現像によって、ゲート電極225に対応した第1感光層(図6Cの280)はそのまま存在して第1感光パターン282の第2部分282bになり、前記ゲート及びデータパッド領域(GP、DP)に対応した第1感光層(図6Cの280)は全て除去されてその下部のバッファ金属物質層242aが露出されて、これを除いた全領域に対応する第1感光層(図6Cの280)はその一部が除去されて高さが半分程度に低くなった状態で第1感光パターン282の第1部分282aになる。

【0215】

次に、図6Eに示したように、前記第1感光パターン282をエッチングマスクとして利用して、前記ゲート及びデータパッド領域(GP、DP)と前記共通配線250それぞれの一部に対応して露出したバッファ金属物質層242aと不純物及び純粋非晶質シリコン層241a、240aとゲート絶縁膜245を順に除去する段階を行う。

20

【0216】

この時、前記ゲート及びデータパッド領域(GP、DP)と共通配線250それぞれに対応したゲート絶縁膜245は一部分が除去されてその下部に一部分が残る。例えば、残されたゲート絶縁膜245の厚さは最初形成された厚さの半分以下であることができる。

【0217】

ゲート絶縁膜245が一部除去されるので、後続するゲートパッド及びデータパッド252、262のパッドオープニング工程が安定的に進められることができる。例えば、シリコン窒化膜(SiNx)やシリコン酸化膜(SiO₂)のようなゲート絶縁膜245のエッチング率(etch rate)は不純物及び純粋非晶質シリコン層241a、240aのエッチング率より低いので、ゲート絶縁膜245をあらかじめ一部除去しない場合後続するパッドオープニング工程でゲート絶縁膜245が一部残ってゲートパッド及びデータパッド252、262が露出されなかったりパッドオープニング工程の工程時間が過度に長くなる。また、ゲート絶縁膜245をあらかじめ完全に除去する場合後続するパッドオープニング工程でゲートパッド及びデータパッド252、262が劣化する。

30

【0218】

次に、図6Fに示したように、前記第1感光パターン282をアッシングする段階を行うと、前記第1感光パターン282の第1部分280aは全て除去されてその下部のバッファ金属物質層242aが露出されて、第1感光パターン282の第2部分282bは一部除去されてその高さが半分程度に低くなった第2感光パターン284になる。

40

【0219】

次に、図6Gに示したように、前記第2感光パターン284をエッチングマスクとして利用して、前記露出したバッファ金属物質層242aと不純物非晶質シリコン層241aと純粋非晶質シリコン層240aを順に除去する段階を通じて、前記ゲート電極225とその一部が重なった島状の半導体パターン244とバッファパターン242bが形成される。

【0220】

この時、前記半導体パターン244は、純粋非晶質シリコンで構成されたアクティブ

50

層 2 4 0 と、不純物非晶質シリコンで構成されたオーミックコンタクトパターン 2 4 1 b を含む。

【 0 2 2 1 】

これと同時に、前記ゲート及びデータパッド領域 (G P 、 D P) と共通配線 2 5 0 に対応して残したゲート絶縁膜 2 4 5 が共に除去されて、前記ゲート及びデータパッド 2 5 2 、 2 6 2 それぞれの一部を露出するゲートパッドコンタクトホール (C H 6) とデータパッドコンタクトホール (C H 7) と、前記共通配線 2 5 0 の一部を露出する共通コンタクトホール (C M H) がそれぞれ形成される。

【 0 2 2 2 】

本発明の第 2 実施形態では、第 2 マスク工程段階で前記ゲート電極 2 2 5 とその一部が重なった半導体パターン 2 4 4 を島状に構成することを特徴とするので、このような構成はバックライトに半導体パターン 2 4 4 の露出に起因した光漏れ電流を防止して、画質不良を防止することができる長所がある。

10

【 0 2 2 3 】

データ配線 2 3 0 とソース及びドレイン電極 2 3 2 、 2 3 4 の下部に半導体パターン 2 4 4 が存在しないため、ブラックマトリックス (図示せず) の線幅を最小化することができて、その結果開口率を改善することができる長所がある。

【 0 2 2 4 】

次に、前記残された第 2 感光パターン 2 8 4 をストリップ工程で除去することを介して第 2 マスク工程段階が完了する。

20

【 0 2 2 5 】

図 6 H ないし図 6 M は第 3 マスク工程段階を示した断面図である。

【 0 2 2 6 】

図 6 H に示したように、前記半導体パターン 2 4 4 とゲート及びデータパッドコンタクトホール (図 6 G の C H 6 、 C H 7) と共通コンタクトホール (C M H) が形成された基板 2 0 0 上にインジウム - スズ - オキサイド (I T O) またはインジウム - ジンク - オキサイド (I Z O) のような透明な導電性金属グループのうちから選択された一つで透明導電物質層 2 7 0 a を形成する。

【 0 2 2 7 】

連続的に、前記透明導電物質層 2 7 0 a が形成された基板 2 0 0 上に銅 (C u) 、モリブデン (M o) 、モリブデン合金 (M o T i) 、アルミニウム (A l) 、アルミニウム合金 (A l N d) 及びクロム (C r) のような導電性金属グループのうちから選択された一つまたはそれ以上に不透明導電物質層 2 7 5 を形成するので、抵抗が低く電気伝導度が優秀な銅を利用することが望ましい。

30

【 0 2 2 8 】

次に、前記透明導電物質層 2 7 0 a と不透明導電物質層 2 7 5 が形成された基板 2 0 0 上にフォトレジストを塗布して第 2 感光層 2 9 0 を形成して、これと離隔された上部に第 3 マスク (M 2 3) を配置整列する段階を行う。

【 0 2 2 9 】

この時、第 3 マスク (M 2 3) は、透過部 (A) 、半透過部 (B) 、遮断部 (C) を含んで、前記画素領域 (P) に対応して一定間隔で遮断部 (C) と透過部 (A) が交互に位置し、前記ゲート及びデータパッド領域 (G P 、 D P) に対応して透過部 (A) が位置し、前記共通配線 2 5 0 に対応して両端の遮断部 (A) 及び遮断部 (A) 間の透過部 (C) が位置し、前記半導体パターン 1 4 4 に対応して両端の半透過部 (B) 及び半透過部 (B) 間の透過部 (A) が位置して、後続される工程でデータ配線 (図 5 の 2 3 0) が形成される領域に対応して半透過部 (B) が位置し、これらを除いた残り領域には透過部 (A) が位置するように整列される。

40

【 0 2 3 0 】

次に、図 6 I に示したように、前記第 3 マスク (図 6 H の M 2 3) を利用して第 2 感光層 (図 6 H の 2 9 0) を露光した後、現像して、第 3 感光パターン 2 9 2 を形成する。

50

【0231】

第3感光パターン292は、第3マスク(図6HのM23)の半透過部(図6HのB)に対応する第1部分292aと、第3マスク(図6HのM23)の遮断部(図6HのC)に対応する第2部分292bを含む。

【0232】

すなわち、第2感光層(図6Hの290)の露光現像によって、前記半導体パターン244両端の半透過部(図6HのB)間の透過部(図6HのA)に対応した第2感光層(図6Hの290)は完全に除去されてその下部の不透明導電物質層275が露出されて、前記両端の半透過部(図6HのB)に対応した第2感光層(図6Hの290)はその一部が除去されて高さが低くなった状態で第3感光パターンの第1部分292aになる。

10

【0233】

そして、前記画素領域(P)と共通配線250それぞれの透過部(A)に対応した第2感光層(図10Fの290)は全て除去されてその下部の不透明導電物質層275が露出されて、前記画素領域(P)と共通配線250それぞれの遮断部(C)に対応した第2感光層(図6Hの290)はそのまま存在して一定間隔で離隔された第3感光パターンの第2部分292bになる。

【0234】

また、前記ゲート及びデータパッド領域(GP、DP)で前記遮断部(C)に対応した第2感光層(図6Hの290)はそのまま存在して第3感光パターンの第2部分292bになって、前記データ配線(図5の230)に対応した第2感光層(図6Hの290)はその一部が除去されて高さが低くなった状態で第3感光パターンの第1部分292aになって、これを除いた全領域の第2感光層(図6Hの290)は全て除去されてその下部の不透明導電物質層275が露出される。

20

【0235】

次に、図6Jに示したように、前記第3感光パターン292をエッチングマスクとして利用して、前記露出した不透明導電物質層275とこの下部の透明導電物質層270aを一括的にパターンニングする段階を行う。

【0236】

この時、等方性を有する湿式エッチングを利用して第3感光パターン292の下部に位置する不透明導電物質層275と透明導電物質層270aがオーバーエッチングされるようにして、前記第3感光パターン292の縁下部面が部分的に露出するようにする。

30

【0237】

上のような構成は、前記第3感光パターン292の露出した下部面上部に保護層を形成した後、前記第3感光パターン292とこれを覆う前記保護層を同時に除去するリフトオフ(lift-off)工程で、前記第3感光パターン292の露出した縁下部面にストリッパー(stripper)が容易に浸透することができるよう誘導するためである。

【0238】

以後、第3感光パターン292をエッチングマスクとして利用して、等方性を有する湿式エッチングを利用したパターンニング工程を行って、前記半導体パターン244に対応して両側に離隔されたソース電極232とドレイン電極234を形成して、画素領域(P)に対応して互いに交互に配置された画素電極パターン272aと共通電極パターン260bを形成する。

40

【0239】

これと同時に、ソース電極232に連結されるデータ配線230を形成して、前記ゲートパッド領域(GP)とデータパッド領域(DP)には前記ゲートパッド252と接触したゲートパッド電極パターン254aと、データパッド262と接触したデータパッド電極パターン264aをそれぞれ形成する。

【0240】

ここで、前記ソース及びドレイン電極232、234、画素電極パターン272a、共

50

通電極パターン 260b、データ配線 230 とゲートパッド電極パターン及びデータパッド電極パターン 252a、264a は、透明導電物質層 270a と不透明導電物質層 275 が積層された二重層で形成される。

【0241】

この時、前記ソース及びドレイン電極 232、234、画素電極パターン 272a、共通電極パターン 260b、データ配線 230 とゲートパッド電極パターン及びデータパッド電極パターン 252a、264a は、前述した等方性を有する湿式エッチング工程により各配線の両側終端の一部がオーバーエッチングされて、前記第 3 感光パターン 292 は、前記両端にオーバーエッチングされた部分により第 3 感光パターン 292 の縁下部面が部分的に露出した状態である。

10

【0242】

次に、図 6K に示したように、前記第 3 感光パターン 292 をマスクとして利用して、ソース及びドレイン電極 232、234 の離隔区間を介して露出したバッファパターン 242b とオーミックコンタクトパターン 241b をパターンニングする段階を行う。

【0243】

前述したパターンニング工程を行うと、前記ソース及びドレイン電極 232、234 と等しい幅でバッファパターン 242b とオーミックコンタクトパターン 241b が両側に分離されてそれぞれバッファ金属層 242 とオーミックコンタクト層 241 になる。この時、前記両側に分離されたオーミックコンタクト層 241 下部に露出したアクティブ層 240 の一部をオーバーエッチングしてこの部分をチャネル (ch) で活用し、前記アクティブ層 240 及びオーミックコンタクト層 241 を半導体層 243 として定義できる。

20

【0244】

ここで、前記ゲート電極 225 と、ソース及びドレイン電極 232、234 と、バッファ金属層 242 とアクティブ及びオーミックコンタクト層 240、241 は薄膜トランジスタ (T) を形成する。

【0245】

この時、前記ソース及びドレイン電極 232、234 と前記オーミックコンタクト層 241 間に形成されたバッファ金属層 242 は前記ソース及びドレイン電極 232、234 の透明導電物質層 270a とオーミックコンタクト層 241 との仕事関数差を低める役割をするので、薄膜トランジスタ (T) の駆動特性が改善される長所がある。

30

【0246】

次に、第 3 感光パターン 292 をアッシング (ashing) する段階を行う。

【0247】

前述したアッシング工程を行うと、前記画素領域 (P) 及び共通配線 250 とゲート及びデータパッド領域 (GP、DP) に対応した第 3 感光パターン 292 の第 2 部分 292b は高さが半分程度低くなった状態で第 4 感光パターン 294 になって、前記薄膜トランジスタ (T) とデータ配線 230 に対応した第 3 感光パターン 292 の第 1 部分 292a は全て除去されて下部のソース及びドレイン電極 232、234 とデータ配線 230 がそれぞれ露出される。

【0248】

40

次に、図 6L に示したように、第 4 感光パターン 294 を含む基板 200 上に酸化シリコンと窒化シリコンを含む無機絶縁物質グループのうちから選択された一つで保護層 258a を形成する段階を行う。

【0249】

前記保護層 258a を無機絶縁物質グループのうちから選択された一つをプラズマ化学気相蒸着 (PCVD) 法を利用して形成する場合、前記プラズマ化学気相蒸着法を利用した蒸着工程時 350 以上の高温工程を必要とするので、保護層 258a の下部に感光特性を有する有機絶縁物質で形成された第 4 感光パターン 294 の耐熱性が 150 程度までしかなく、前記第 4 感光パターン 294 がつぶれたり、変形する問題が生じる。

【0250】

50

前述した問題が生じた状態で前記保護層 2 5 8 a を続いて蒸着して行くと、結局には第 4 感光パターン 2 9 4 が前記保護層 2 5 8 a により完全に覆われる結果をもたらして、リフトオフ (l i f t - o f f) 工程時ストリッパが円滑に浸透することができず、前記第 4 感光パターン 2 9 4 と保護層 2 5 8 a が残留するリフトオフ不良を引き起こす。

【 0 2 5 1 】

また、液晶表示装置用アレイ基板を完成した状態で、前述した問題が生じる場合残留する第 4 感光パターン 2 9 4 が液晶と反応して残像のような画質不良が発生する。

【 0 2 5 2 】

これを防止するために、本発明ではスパターリング法 (s p u t t e r i n g m e t h o d) のような物理気相蒸着法 (P V D) を利用して保護層 2 5 8 a を形成することを特徴とする。

【 0 2 5 3 】

前記スパターリング法を利用する場合第 4 感光パターン 2 9 4 を 1 5 0 以下の温度で形成することができるので、前記第 4 感光パターン 2 9 4 が変形する心配がなくて、副次的にはガラス基板ではないプラスチックのようなフレキシブルな基板に適用することができる長所がある。

【 0 2 5 4 】

この時、前記保護層 2 5 8 a は、前記第 4 感光パターン 2 9 4 それぞれに対応してその上部面の一部分を覆って、前記第 4 感光パターン 2 9 4 の段差により両側面縁に対応した部分と、これらの縁下部面には保護層 2 8 4 a が連結できなくて断絶された状態である。

【 0 2 5 5 】

そして、前記保護層 2 5 8 a は、前記第 4 感光パターン 2 9 4 が形成されていないデータ配線 2 3 0 とソース及びドレイン電極 2 3 2、2 3 4 を覆って形成される。

【 0 2 5 6 】

次に、図 6 M に示したように、ストリッパ (s t r i p p e r) を利用したリフト - オフ工程を行うと、第 4 感光パターン 2 9 4 の縁下部面の露出部にストリッパが浸透して、第 4 感光パターン 2 9 4 と、第 4 感光パターン 2 9 4 を覆う第 1 ないし保護層 2 5 8 a が共に除去されて画素電極パターン 2 7 2 a、共通電極パターン 2 6 0 b とゲートパッド電極パターン及びデータパッド電極パターン 2 5 4 a、2 6 4 a がそれぞれ露出される。そして、前記第 4 感光パターン 2 9 4 なくデータ配線 2 3 0 とソース及びドレイン電極 2 3 2、2 3 4 を覆っていた保護層 2 5 8 a はそのまま残って保護パターン 2 5 8 になる。

【 0 2 5 7 】

以後、保護パターン 2 5 8 をエッチングマスクとして利用して画素電極パターン 2 7 2 a、共通電極パターン 2 6 0 b、ゲートパッド電極パターン 2 5 4 a、データパッド電極パターン 2 6 4 a の不透明導電物質層 2 7 5 を除去することによって、透明導電物質層 2 7 0 a の単一層で構成される画素電極 2 7 2、ゲートパッド電極 2 5 4、データパッド電極 2 6 4 を形成する。

【 0 2 5 8 】

ここで、図 5 に示したように、画素電極 2 7 2 は、ドレイン電極 2 3 4 から延長された延長部 2 7 2 b と、前記延長部 2 7 2 b から垂直に複数個分岐した垂直部 2 7 2 c と、前記複数の垂直部 2 7 2 c を一つに連結する連結部 2 7 2 d を含む。そして、前記共通電極 2 6 0 は複数の垂直部 2 6 0 a を含んで、共通電極 2 6 0 の複数の垂直部 2 6 0 a それぞれは共通コンタクトホール (C M H) を介して共通配線 2 5 0 とそれぞれ接触して、画素電極 2 7 2 の垂直部 2 7 2 c と平行するように離隔して互いに交互に配置される。

【 0 2 5 9 】

また、共通配線 2 5 0 を第 1 電極として、これと重なった前記画素電極連結部 2 7 0 d を第 2 電極として、前記第 1 及び第 2 電極間に介在されたゲート絶縁膜 2 4 5 を誘電体層とするストレージキャパシタ (C s t) が形成される。

【 0 2 6 0 】

10

20

30

40

50

前述したストレージキャパシタ (C s t) の構成は、従来と違い、第 1 及び第 2 電極間に介在されたゲート絶縁膜 2 4 5 が誘電体層として利用されるので、誘電体層の厚さ減少による第 1 及び第 2 電極の重畳面積を縮小設計することができる長所がある。

【 0 2 6 1 】

したがって、本発明の第 2 実施形態では、3 マスク工程で製作されながら、前記第 4 保護膜パターン 2 5 8 により前記データ配線 2 3 0 と、ソース及びドレイン電極 2 3 2、2 3 4 が覆われる構造で、異物からの不良を事前に防止することができて信頼性が改善される長所がある。

【 0 2 6 2 】

また、本発明の第 2 実施形態では、画素領域 (図 3 の P) に対応して板状の画素電極 (図 5 の 1 7 2) を形成する第 1 実施形態と別に、前記共通電極 2 6 0 と画素電極 2 7 2 を棒状のパターンで平行するように交互に配置されるように構成するので、リフトオフ工程時ストリッパの浸透をさらに容易に誘導することができてリフトオフ不良を最小化することができる長所がある。

【 0 2 6 3 】

以上で、前述した工程を介して本発明の第 2 実施形態による液晶表示装置用アレイ基板を製作することができる。

【 0 2 6 4 】

したがって、本発明の第 2 実施形態は第 1 実施形態と同じ効果を得ることができて、これにさらに棒状の共通電極と画素電極の画素設計でリフトオフ工程をさらに効率的に進行することを介して生産収率を改善することができる長所がある。

【 実施例 3 】

【 0 2 6 5 】

本発明の第 3 実施形態は第 2 実施形態を多少変形したことであって、共通電極と画素電極を不透明な導電性金属で形成することを介してコントラスト比 (c o n t r a s t r a t i o) を改善することに関する。

【 0 2 6 6 】

図 7 は、本発明の第 3 実施形態による横電界方式液晶表示装置用アレイ基板の単位画素を示した平面図であって、図 8 は図 7 の V I I I - V I I I 線に沿って切断した断面図である。

【 0 2 6 7 】

図 7 及び図 8 に示したように、基板 3 0 0 上に一方向にその終端にゲートパッド 3 5 2 を有するゲート配線 3 2 0 と前記ゲート配線 3 2 0 から延長されたゲート電極 3 2 5 と、前記ゲート配線 3 2 0 と平行に離隔された共通配線 3 5 0 を構成する。

【 0 2 6 8 】

前記ゲート配線 3 2 0 及び共通配線 3 5 0 と垂直交差して画素領域 (P) を定義し、その終端にデータパッド 3 6 2 を有するデータ配線 3 3 0 と、前記データ配線 3 3 0 から延長された U 字状のソース電極 3 3 2 と、前記ソース電極 3 3 2 と離隔して互いに噛み合うようにドレイン電極 3 3 4 を構成する。

【 0 2 6 9 】

前記ゲートパッド 3 5 2 とデータパッド 3 6 2 は前記ゲート配線 3 2 0 と同一層同一物質で構成されて、前記ゲート及びデータパッド 3 5 2、3 6 2 はこれらの一部をそれぞれ露出するゲート及びデータパッドコンタクトホール (C H 8、C H 9) を介してゲートパッド電極 3 5 4 とデータパッド電極 3 6 4 にそれぞれ接触する。この時、前記ゲートパッド電極 3 5 4 とデータパッド電極 3 6 4 はモリブデン合金 (M o T i) のような第 1 不透明導電物質からなる。

【 0 2 7 0 】

前記ゲート配線 3 2 0 とデータ配線 3 3 0 の交差点に薄膜トランジスタ (T) を構成するので、前記薄膜トランジスタ (T) はゲート電極 3 2 5 と、前記ゲート電極 3 2 5 とその一部が重なった半導体層 3 4 4 と、前記半導体層 3 4 4 と接触して互いに離隔された

10

20

30

40

50

ソース及びドレイン電極 332、334 を含んで構成される。

【0271】

前記半導体層 344 は、純粋非晶質シリコン (a-Si:H) で構成されたアクティブ層 340 と、不純物非晶質シリコン (n+a-Si:H) で構成されたオーミックコンタクト層 341 を含む。

【0272】

本発明では、前記半導体層 344 を別途のマスクを利用して前記ゲート電極 325 とその一部が重なるように島状パターンで構成することを特徴とする。また、ソース及びドレイン電極 332、334 の下部層を仕事関数が比較的低い不透明導電物質で形成するので、オーミックコンタクト層 341 とソース及びドレイン電極 332、334 間の仕事関数差がそんなに大きくなって別途の層や処理がなくてもオーミックコンタクトを確保することができる。

10

【0273】

そして、前記ソース及びドレイン電極 332、334 の離隔された間に露出されたオーミックコンタクト層 341 を除去してその下部のアクティブ層 340 をオーバーエッチングしてこの部分をチャンネル (図示せず) で活用する。

【0274】

前記ドレイン電極 334 と同一パターンで延長された画素電極 372 を画素領域 (P) に対応して構成する。この時、前記画素電極 372 は前記ドレイン電極 334 から延長された延長部 372b と、前記延長部 372b から画素領域 (P) に垂直に複数個分岐した垂直部 372c と、前記複数の垂直部 372c を一つに連結する連結部 372d を含む。

20

【0275】

この時、前記共通配線 350 の一部を露出する共通コンタクトホール (CMH) を介して前記共通配線 350 と接触した共通電極 360 を構成するので、前記共通電極 360 は複数の垂直部 360a を含んで、共通電極 360 の複数の垂直部 360a は前記画素電極垂直部 370c と互いに交互に一定間隔で平行に離隔されて配置される。

【0276】

この時、データ配線 330 とソース及びドレイン電極 332、334 は、第 1 不透明導電物質層 370a と第 2 不透明導電物質層 375 を順に積層した後パターニングして形成される反面、画素電極 372 と共通電極 360 は、第 1 不透明導電物質層 370a と第 2 不透明導電物質層 375 を順に積層した後パターニングして最終工程段階で上部の第 2 不透明導電物質層 375 を除去することによって形成される。

30

【0277】

したがって、画素電極 372 と共通電極 360 は第 1 不透明導電物質層 375 の単一層で構成される。

【0278】

ここで、第 1 不透明導電物質層 375 はモリブデン合金 (MoTi) で構成することができて、第 2 不透明導電物質層 375 は銅 (Cu)、アルミニウム (Al)、アルミニウム合金 (AlNd) 及びクロム (Cr) のような導電性金属グループのうちから選択された一つまたはそれ以上で構成することができるが、抵抗が低く電気伝導度が優秀な銅を利用することが望ましい。

40

【0279】

前記画素電極 372 と共通電極 360 が不透明な物質からなるので、液晶表示装置のブラック輝度が低くなって、その結果液晶表示装置のコントラスト比 (contrast ratio) が改善される。

【0280】

そして、前記前段の共通配線 350 を第 1 電極として、これに重なった前記画素電極連結部 370d を第 2 電極とするストレージキャパシタ (Cst) が構成される。

【0281】

本発明の第 3 実施形態による横電界方式液晶表示装置用アレイ基板の製造方法は、前述

50

した第２実施形態の製造方法と大きい差を見せないで、残りの詳細な説明は省略するようにする。

【０２８２】

したがって、本発明の第３実施形態では、画素電極と共通電極を不透明な導電性物質層で構成することを介してコントラスト比が改善される長所がある。

【０２８３】

しかし、本発明は前記実施形態に限定されないし、本発明の趣旨を外れない限度内で多様に変形及び変更することができるということは自明な事実であることである。

【図面の簡単な説明】

【０２８４】

10

【図１】従来の液晶表示装置用アレイ基板の単位画素を示した平面図。

【図２Ａ】図１のⅡ－Ⅱ線に沿ってそれぞれ切断して工程順序によって示した工程断面図

。

【図２Ｂ】図１のⅡ－Ⅱ線に沿ってそれぞれ切断して工程順序によって示した工程断面図

。

【図２Ｃ】図１のⅡ－Ⅱ線に沿ってそれぞれ切断して工程順序によって示した工程断面図

。

【図２Ｄ】図１のⅡ－Ⅱ線に沿ってそれぞれ切断して工程順序によって示した工程断面図

。

【図２Ｅ】図１のⅡ－Ⅱ線に沿ってそれぞれ切断して工程順序によって示した工程断面図

20

。

【図２Ｆ】図１のⅡ－Ⅱ線に沿ってそれぞれ切断して工程順序によって示した工程断面図

。

【図２Ｇ】図１のⅡ－Ⅱ線に沿ってそれぞれ切断して工程順序によって示した工程断面図

。

【図２Ｈ】図１のⅡ－Ⅱ線に沿ってそれぞれ切断して工程順序によって示した工程断面図

。

【図２Ｉ】図１のⅡ－Ⅱ線に沿ってそれぞれ切断して工程順序によって示した工程断面図

。

【図３】本発明の第１実施形態による液晶表示装置用アレイ基板の単位画素を示した平面図。

30

【図４Ａ】図３のⅠⅤ－ⅠⅤ線に沿ってそれぞれ切断して工程順序によって示した工程断面図。

【図４Ｂ】図３のⅠⅤ－ⅠⅤ線に沿ってそれぞれ切断して工程順序によって示した工程断面図。

【図４Ｃ】図３のⅠⅤ－ⅠⅤ線に沿ってそれぞれ切断して工程順序によって示した工程断面図。

【図４Ｄ】図３のⅠⅤ－ⅠⅤ線に沿ってそれぞれ切断して工程順序によって示した工程断面図。

【図４Ｅ】図３のⅠⅤ－ⅠⅤ線に沿ってそれぞれ切断して工程順序によって示した工程断面図。

40

【図４Ｆ】図３のⅠⅤ－ⅠⅤ線に沿ってそれぞれ切断して工程順序によって示した工程断面図。

【図４Ｇ】図３のⅠⅤ－ⅠⅤ線に沿ってそれぞれ切断して工程順序によって示した工程断面図。

【図４Ｈ】図３のⅠⅤ－ⅠⅤ線に沿ってそれぞれ切断して工程順序によって示した工程断面図。

【図４Ｉ】図３のⅠⅤ－ⅠⅤ線に沿ってそれぞれ切断して工程順序によって示した工程断面図。

【図４Ｊ】図３のⅠⅤ－ⅠⅤ線に沿ってそれぞれ切断して工程順序によって示した工程断

50

面図。

【図 4 K】図 3 の I V - I V 線に沿ってそれぞれ切断して工程順序によって示した工程断面図。

【図 4 L】図 3 の I V - I V 線に沿ってそれぞれ切断して工程順序によって示した工程断面図。

【図 4 M】図 3 の I V - I V 線に沿ってそれぞれ切断して工程順序によって示した工程断面図。

【図 5】本発明の第 2 実施形態による横電界方式液晶表示装置用アレイ基板の単位画素を示した平面図。

【図 6 A】図 5 の V I - V I 線に沿ってそれぞれ切断して工程順序によって示した工程断面図。

【図 6 B】図 5 の V I - V I 線に沿ってそれぞれ切断して工程順序によって示した工程断面図。

【図 6 C】図 5 の V I - V I 線に沿ってそれぞれ切断して工程順序によって示した工程断面図。

【図 6 D】図 5 の V I - V I 線に沿ってそれぞれ切断して工程順序によって示した工程断面図。

【図 6 E】図 5 の V I - V I 線に沿ってそれぞれ切断して工程順序によって示した工程断面図。

【図 6 F】図 5 の V I - V I 線に沿ってそれぞれ切断して工程順序によって示した工程断面図。

【図 6 G】図 5 の V I - V I 線に沿ってそれぞれ切断して工程順序によって示した工程断面図。

【図 6 H】図 5 の V I - V I 線に沿ってそれぞれ切断して工程順序によって示した工程断面図。

【図 6 I】図 5 の V I - V I 線に沿ってそれぞれ切断して工程順序によって示した工程断面図。

【図 6 J】図 5 の V I - V I 線に沿ってそれぞれ切断して工程順序によって示した工程断面図。

【図 6 K】図 5 の V I - V I 線に沿ってそれぞれ切断して工程順序によって示した工程断面図。

【図 6 L】図 5 の V I - V I 線に沿ってそれぞれ切断して工程順序によって示した工程断面図。

【図 6 M】図 5 の V I - V I 線に沿ってそれぞれ切断して工程順序によって示した工程断面図。

【図 7】本発明の第 3 実施形態による横電界方式液晶表示装置用アレイ基板の単位画素を示した平面図。

【図 8】図 7 の V I I I - V I I I 線に沿って切断した断面図。

【符号の説明】

【 0 2 8 5 】

2 0 0 : 基板

2 2 0 : ゲート配線

2 2 5 : ゲート電極

2 3 0 : データ配線

2 4 5 : ゲート絶縁膜

2 5 0 : 共通配線

2 5 8 : 保護パターン

2 6 0 : 共通電極

2 7 2 : 画素電極

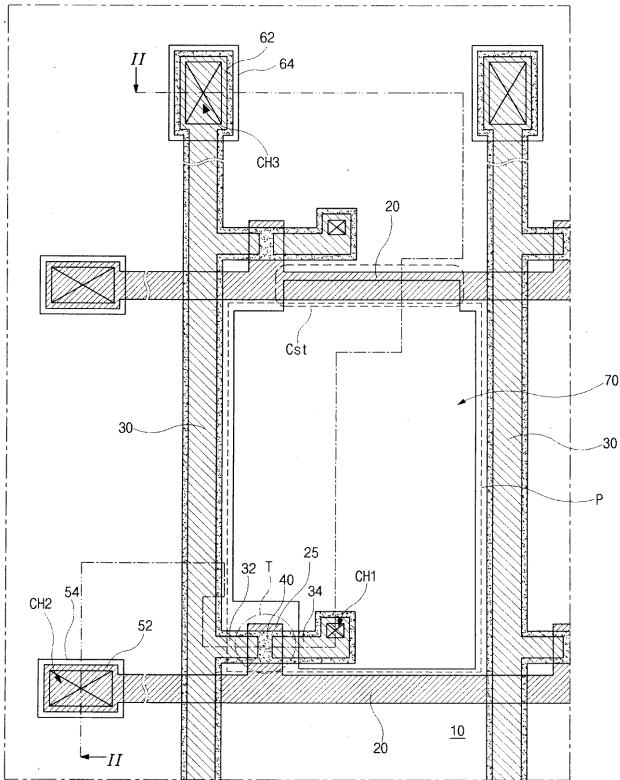
10

20

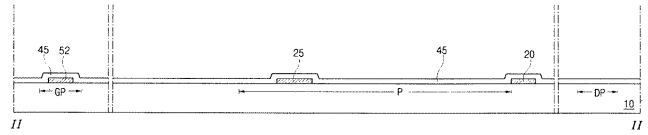
30

40

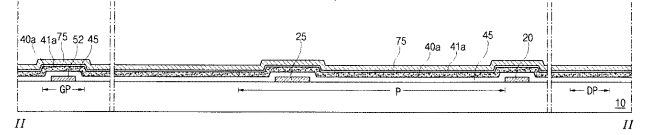
【図 1】



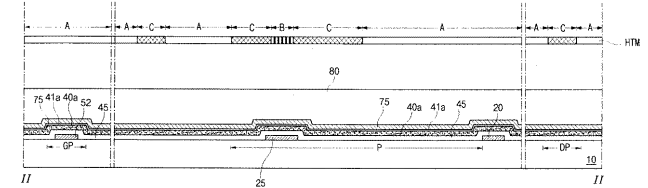
【図 2 A】



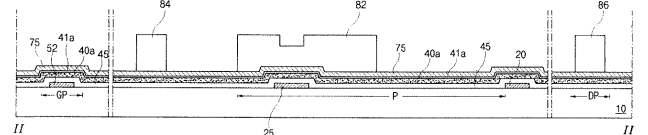
【図 2 B】



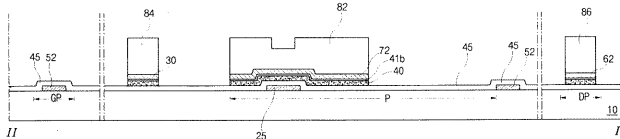
【図 2 C】



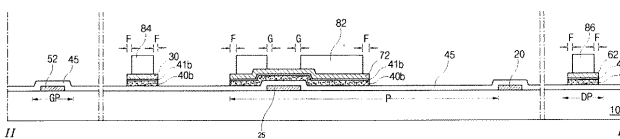
【図 2 D】



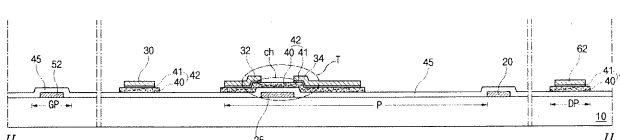
【図 2 E】



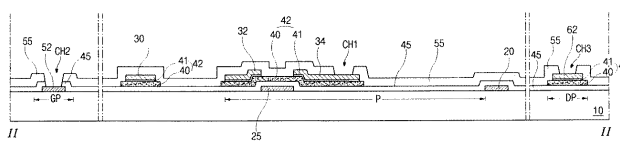
【図 2 F】



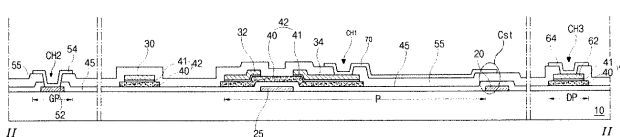
【図 2 G】



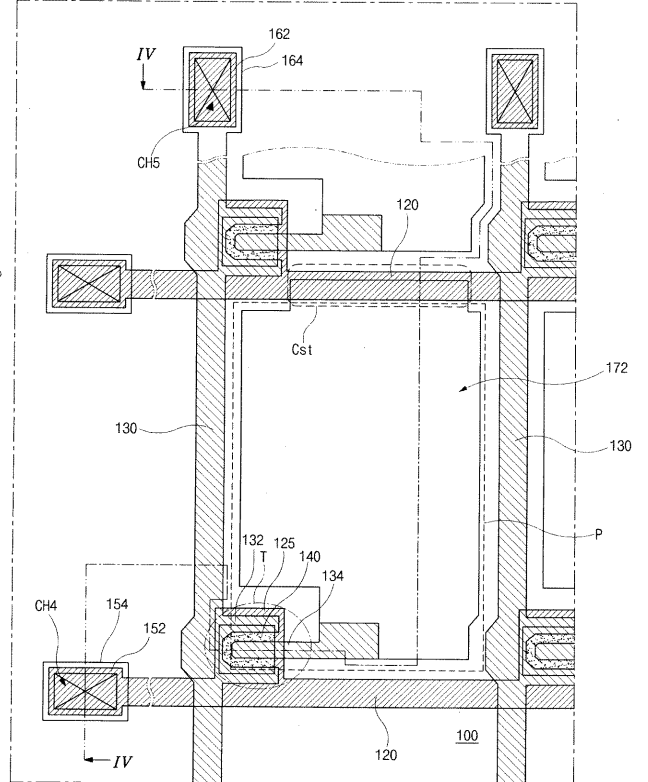
【図 2 H】



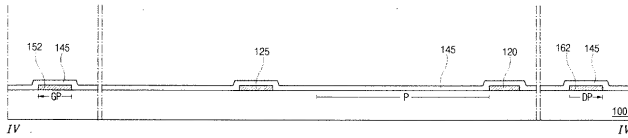
【図 2 I】



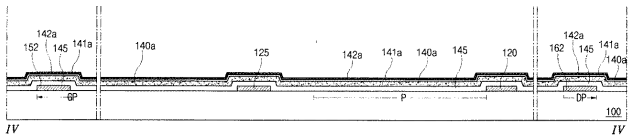
【図 3】



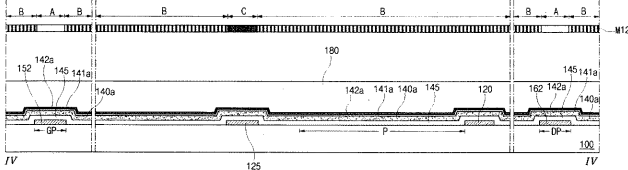
【図 4 A】



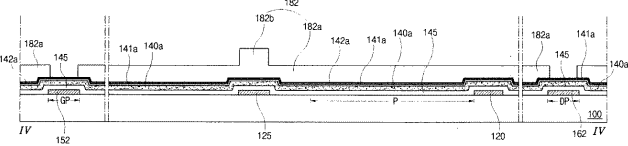
【図 4 B】



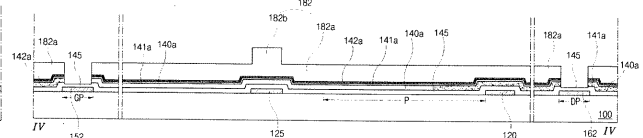
【図 4 C】



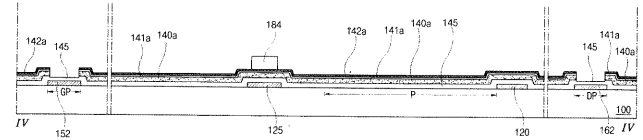
【図 4 D】



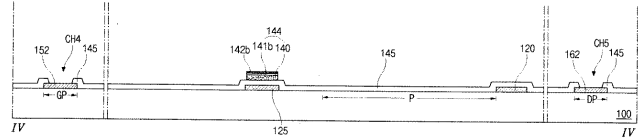
【図 4 E】



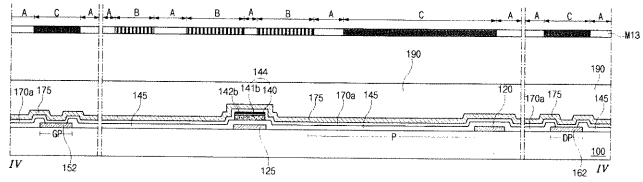
【図 4 F】



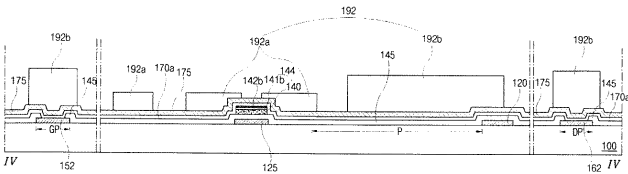
【図 4 G】



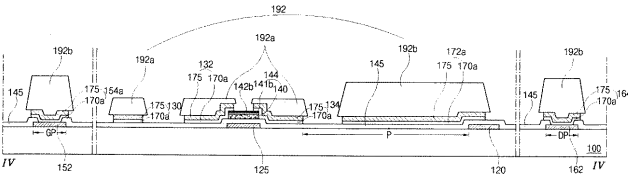
【図 4 H】



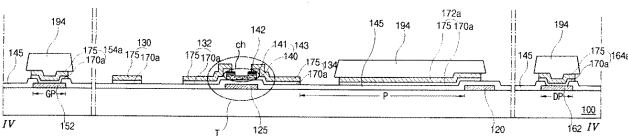
【図 4 I】



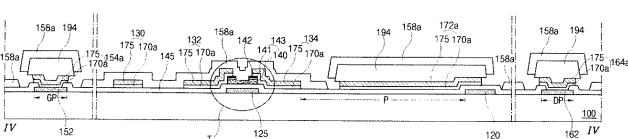
【図 4 J】



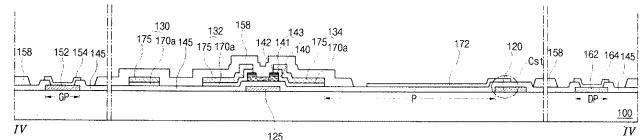
【図 4 K】



【図 4 L】



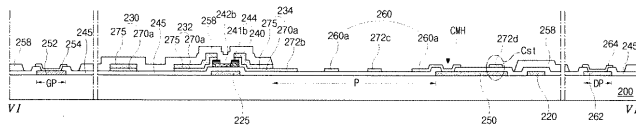
【図 4 M】



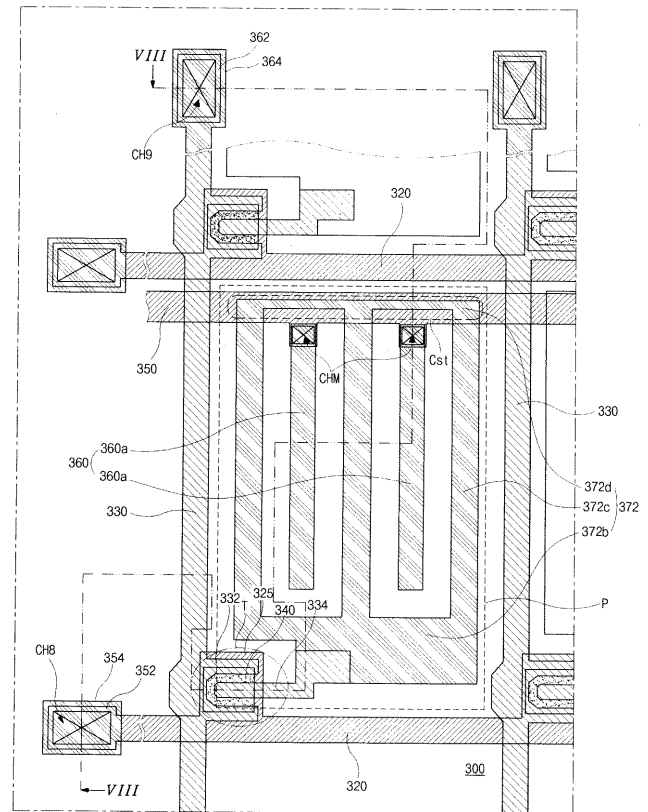
[illegible][illegible][illegible]

Fig. 10 is a cross-sectional view of a semiconductor device. It shows a substrate with a top layer 200. Below this, there are several layers and structures. On the left, there is a structure with layers 252, CH6, and 245. In the center, there is a structure with layers 242b, 241b, 240, and 244, and a layer 245 above it. To the right of this, there is a layer 245, followed by a structure with layers OMH, 250, and 220. On the far right, there is a structure with layers 262, 245, and 200. Arrows indicate directions 'V1' and 'P'.

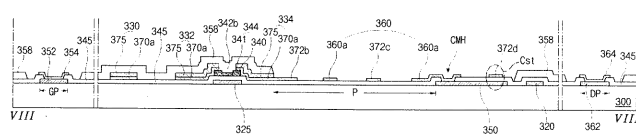
【図 6 M】



【図 7】



【図 8】



フロントページの続き

(74)代理人 100104352

弁理士 朝日 伸光

(74)代理人 100128657

弁理士 三山 勝巳

(72)発明者 リン ジョソ

大韓民国 730-200 キョンサンブット クミシ ポンゴクトン ヒョンジンベオビル 1
03/1103

(72)発明者 キム ワン

大韓民国 705-836 デグ ナムグ イチョンドン 361-16 デソン ウニド アパ
ートメント 105-1406

(72)発明者 キム ヒョウク

大韓民国 730-300 キョンブック クミシ グピョンドン 454 グピョン3チャ ブ
ヨン アpartment 601/301

(72)発明者 リン ビョンホ

大韓民国 730-200 キョンサンブット クミシ ポンゴクトン 528ボンジ ヨンナム
ネオビルシティ 201/1402

F ターム(参考) 2H092 GA43 JA26 JA29 JA42 JA46 JA47 JA48 JB24 JB33 JB56
JB64 JB66 KA05 KA18 KA19 KA24 KB04 KB05 KB14 MA05
MA14 MA16 MA37 NA11 NA22 NA27 NA28
5F110 AA06 AA16 BB01 CC07 DD01 EE02 EE03 EE04 EE06 FF02
FF03 FF27 GG02 GG35 GG45 HK02 HK03 HK04 HK06 HK07
HK09 HK16 HK22 HK32 HK35 HK41 HM04 HM12 NN02 NN34
NN44 NN72 NN73 QQ02 QQ05 QQ09 QQ14

专利名称(译)	用于液晶显示装置的阵列基板及其制造方法		
公开(公告)号	JP2009025788A	公开(公告)日	2009-02-05
申请号	JP2007339204	申请日	2007-12-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	リンジョソ キムワン キムヒョウク リンビョンホ		
发明人	リン ジョソ キム ワン キム ヒョウク リン ビョンホ		
IPC分类号	G02F1/1368 H01L29/786 H01L21/336 G02F1/1345		
CPC分类号	G02F1/1368 G02F1/13458 G02F2001/136231		
FI分类号	G02F1/1368 H01L29/78.616.U H01L29/78.612.D H01L29/78.619.A G02F1/1345		
F-TERM分类号	2H092/GA43 2H092/JA26 2H092/JA29 2H092/JA42 2H092/JA46 2H092/JA47 2H092/JA48 2H092/JB24 2H092/JB33 2H092/JB56 2H092/JB64 2H092/JB66 2H092/KA05 2H092/KA18 2H092/KA19 2H092/KA24 2H092/KB04 2H092/KB05 2H092/KB14 2H092/MA05 2H092/MA14 2H092/MA16 2H092/MA37 2H092/NA11 2H092/NA22 2H092/NA27 2H092/NA28 5F110/AA06 5F110/AA16 5F110/BB01 5F110/CC07 5F110/DD01 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/FF02 5F110/FF03 5F110/FF27 5F110/GG02 5F110/GG35 5F110/GG45 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HK07 5F110/HK09 5F110/HK16 5F110/HK22 5F110/HK32 5F110/HK35 5F110/HK41 5F110/HM04 5F110/HM12 5F110/NN02 5F110/NN34 5F110/NN44 5F110/NN72 5F110/NN73 5F110/QQ02 5F110/QQ05 5F110/QQ09 5F110/QQ14 2H192/AA24 2H192/BB03 2H192/BB73 2H192/BC31 2H192/CB05 2H192/CB14 2H192/CB35 2H192/CB44 2H192/CB54 2H192/CB61 2H192/CC72 2H192/DA02 2H192/DA32 2H192/EA43 2H192/EA74 2H192/FA65 2H192/HA13 2H192/HA44 2H192/HA70		
代理人(译)	臼井伸一 朝日 伸光		
优先权	1020070073047 2007-07-20 KR		
其他公开文献	JP5080239B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过3掩模工艺在用于液晶显示器的阵列基板上构成岛状半导体层，减少掩模数量并提高可靠性，并且最小化剥离工艺中的缺陷用于液晶显示器的阵列基板通过3掩模工艺制造，用于减少掩模的数量。ŽSOLUTION：在液晶显示器及其制造方法中，通过在剥离工艺时使用溅射方法形成保护层图案来最小化剥离缺陷，这是3掩模工艺的核心工艺。通过使用具有数据布线，源极和漏极的各个掩模在栅电极中形成包含岛状有源和欧姆接触层的半导体层来防止漏电流。Ž

