

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-134593
(P2008-134593A)

(43) 公開日 平成20年6月12日(2008.6.12)

(51) Int.Cl.	F I	テーマコード(参考)
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H092
GO2F 1/1343 (2006.01)	GO2F 1/1343	5F033
HO1L 29/786 (2006.01)	HO1L 29/78 616U	5F110
HO1L 21/336 (2006.01)	HO1L 29/78 616V	
HO1L 21/3205 (2006.01)	HO1L 29/78 612D	

審査請求 有 請求項の数 29 O L (全 35 頁) 最終頁に続く

(21) 出願番号 特願2007-173016 (P2007-173016)
 (22) 出願日 平成19年6月29日(2007.6.29)
 (31) 優先権主張番号 10-2006-0118593
 (32) 優先日 平成18年11月28日(2006.11.28)
 (33) 優先権主張国 韓国(KR)
 (31) 優先権主張番号 10-2007-0039312
 (32) 優先日 平成19年4月23日(2007.4.23)
 (33) 優先権主張国 韓国(KR)

(71) 出願人 501426046
 エルジー・フィリップス エルシーデー
 カンパニー, リミテッド
 大韓民国 ソウル, ヨンドゥンポーク, ヨ
 イドードン 20
 (74) 代理人 100064447
 弁理士 岡部 正夫
 (74) 代理人 100085176
 弁理士 加藤 伸晃
 (74) 代理人 100094112
 弁理士 岡部 譲
 (74) 代理人 100096943
 弁理士 臼井 伸一
 (74) 代理人 100101498
 弁理士 越智 隆夫

最終頁に続く

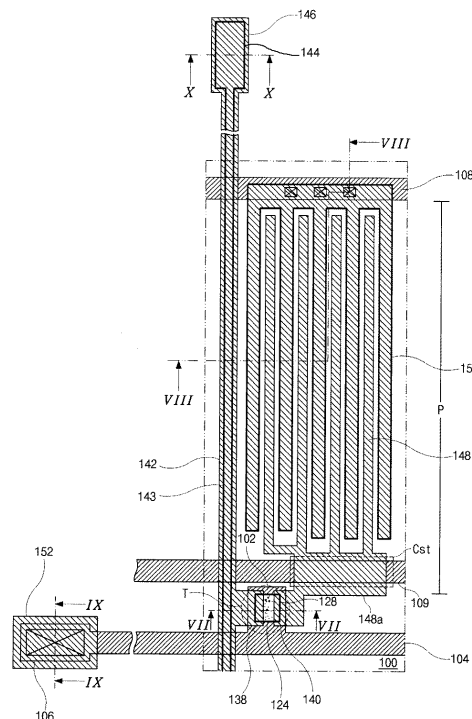
(54) 【発明の名称】 液晶表示装置用アレイ基板とその製造方法

(57) 【要約】

【課題】本発明は、液晶表示装置に係り、特に、液晶表示装置用アレイ基板とその製造方法に関する。

【解決手段】本発明は、液晶表示装置用アレイ基板にデータ配線と薄膜トランジスタを構成する時、アクティブ層がデータ配線の外側及びゲート電極の外側へと露出されないように構成することを特徴とする。また、前述した構成を含む液晶表示装置用アレイ基板を、3マスク工程によって製作する。従って、本発明による液晶表示装置は、前記アクティブ層に光による光電流が発生しないので、波状ノイズ及び薄膜トランジスタの漏洩電流の特性を最小化する長所があって、マスク工程の単純化により費用及び時間を節約することができる。

【選択図】図7



【特許請求の範囲】

【請求項 1】

基板と；

前記基板の上部のゲート配線と；

前記ゲート配線に連結されたゲート電極、前記ゲート電極の上部のゲート絶縁膜、前記ゲート絶縁膜の上部のアクティブ層、前記アクティブ層の上部のオーミックコンタクト層及び前記オーミックコンタクト層の上部のソース電極及びドレイン電極を含む薄膜トランジスタと；

前記ドレイン電極に電氣的に連結された画素電極と；

前記ソース電極に電氣的に連結されて、前記ゲート配線と交差するデータ配線と；

前記画素電極と離隔されている共通電極；及び

前記画素電極と前記共通電極間及び前記ソース電極と前記ドレイン電極間に位置する保護膜とを含むことを特徴とする液晶表示装置用アレイ基板。

10

【請求項 2】

前記アクティブ層は、その端部が前記ゲート電極の端部を覆わず、前記ゲート電極の上部に形成されるアイランド (I s l a n d) 状であることを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板。

【請求項 3】

前記データ配線の下部に、前記オーミックコンタクト層から延長された第 1 層と前記アクティブ層から延長された第 2 層を有する延長部をさらに含むことを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板。

20

【請求項 4】

前記オーミックコンタクト層と前記ソース電極間及び前記オーミックコンタクト層と前記ドレイン電極間に、バッファ金属層をさらに含むことを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板。

【請求項 5】

前記ソース電極及びドレイン電極と前記共通電極及び前記画素電極は、透明であることを特徴とする請求項 4 に記載の液晶表示装置用アレイ基板。

【請求項 6】

前記データ配線の上部に、前記ソース電極から延長された補助データ配線をさらに含むことを特徴とする請求項 4 に記載の液晶表示装置用アレイ基板。

30

【請求項 7】

前記補助データ配線の下部に、前記バッファ金属層から延長された前記データ配線と、前記オーミックコンタクト層から延長された第 1 層及び前記アクティブ層から延長された第 2 層を有する延長部をさらに含むことを特徴とする請求項 6 に記載の液晶表示装置用アレイ基板。

【請求項 8】

前記データ配線の下部に、前記アクティブ層及び前記オーミックコンタクト層と同一層を有して前記アクティブ層及び前記オーミックコンタクト層と分離された延長部をさらに含むことを特徴とする請求項 4 に記載の液晶表示装置用アレイ基板。

40

【請求項 9】

前記バッファ金属層は、少なくとも 3 層の多重層構造であることを特徴とする請求項 4 に記載の液晶表示装置用アレイ基板。

【請求項 10】

前記少なくとも 3 層の中間層は、銅を含むことを特徴とする請求項 9 に記載の液晶表示装置用アレイ基板。

【請求項 11】

前記ドレイン電極から延長されて、前記画素電極に連結される画素電極連結部をさらに含むことを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板。

【請求項 12】

50

基板にスイッチング領域と画素領域とゲート領域とデータ領域と共通信号領域とを定義する段階と；

前記スイッチング領域と前記ゲート領域と前記共通信号領域に、ゲート電極とゲート配線及び共通配線を各々形成する段階と；

前記ゲート電極の上部に、ゲート絶縁膜とアクティブ層とオーミックコンタクト層を形成する段階と；

前記オーミックコンタクト層の上部に、ソース電極及びドレイン電極を形成する段階と；

前記ソース電極と電氣的に連結されて、前記ゲート配線と交差するデータ配線を形成する段階と；

前記ドレイン電極と電氣的に連結される画素電極及び前記画素電極と離隔されている共通電極を形成する段階と；

前記画素電極と前記共通電極間の前記ゲート絶縁膜の上部及び前記ソース電極及びドレイン電極間の前記アクティブ層の上部に保護膜を形成する段階とを含むことを特徴とする液晶表示装置用アレイ基板の製造方法。

【請求項 13】

前記ゲート絶縁膜と、前記アクティブ層と前記オーミックコンタクト層を形成する段階と前記データ配線を形成する段階は、一つのマスクを利用することを特徴とする請求項 12 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 14】

前記データ配線の上部に補助データ配線を形成する段階をさらに含み、前記ソース電極と、前記ドレイン電極と、前記共通電極と、前記画素電極及び前記補助データ配線は、同一マスク工程で形成されることを特徴とする請求項 12 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 15】

前記保護膜は、リフトオフ工程によって形成されることを特徴とする請求項 12 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 16】

前記ゲート絶縁膜と前記アクティブ層と前記オーミックコンタクト層を形成する段階は、前記オーミックコンタクト層の上部にパツファ金属層を形成する段階を含むことを特徴とする請求項 12 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 17】

基板上にゲート電極とゲート配線を形成する第 1 マスク工程段階と；

前記ゲート電極と前記ゲート配線を含む前記基板上にゲート絶縁膜とアクティブ層とオーミックコンタクト層及びデータ配線を順に形成する第 2 マスク工程段階と；

前記基板上にソース電極とドレイン電極、共通電極及び画素電極を形成する第 3 マスク工程段階と；

前記ソース電極と前記ドレイン電極間の前記アクティブ層の上部及び前記共通電極と前記画素電極間に保護膜を形成する段階とを含むことを特徴とする液晶表示装置用アレイ基板の製造方法。

【請求項 18】

前記第 1 マスク工程段階は、前記ゲート配線の一端にゲートパッドを形成する段階を含み、前記第 2 マスク工程段階は、前記データ配線の一端にデータパッドを形成する段階を含み、前記第 3 マスク工程段階は、前記データ配線の上部の補助データ配線と、前記ゲートパッドの上部のゲートパッド電極及び前記データパッドの上部のデータパッド電極を形成する段階とを含むことを特徴とする請求項 17 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 19】

前記第 2 マスク工程段階は、前記ゲート電極と前記ゲート配線及び前記ゲートパッドを含む前記基板上に前記ゲート絶縁膜と、純粋な非晶質シリコン層と不純物を含む非晶質シ

10

20

30

40

50

リコン層及び金属層を順に形成する段階と；

前記金属層の上部に、前記ゲートパッドに対応する前記金属層を露出して、前記アクティブ層と前記データ配線及び前記データパッドに対応する第1部分と、前記アクティブ層と前記データ配線及び前記データパッドを除いた領域に対応して、前記第1部分より厚い第2部分とで構成される感光パターンを形成する段階と；

前記露出された金属層と前記不純物を含む非晶質シリコン層、前記純粋な非晶質シリコン層及び前記ゲート絶縁膜を除去して前記ゲートパッドを露出する段階と；

前記感光パターンの第2部分を除去する段階と；

前記感光パターンの第1部分をエッチングマスクとして利用して、前記金属層と、前記不純物を含む非晶質シリコン層及び前記純粋な非晶質シリコン層を除去する段階と；

前記感光パターンの第1部分を除去する段階とを含むことを特徴とする請求項18に記載の液晶表示装置用アレイ基板の製造方法。

【請求項20】

前記感光パターンを形成する段階は、透過部と遮断部及び半透過部を含むマスクを利用して、前記透過部は、前記ゲートパッドに対応し、前記遮断部は、前記アクティブ層と前記データ配線及び前記データパッドに対応して、前記半透過部は、前記アクティブ層と前記データ配線、前記データパッド及び前記ゲートパッドを除いた領域に対応することを特徴とする請求項19に記載の液晶表示装置用アレイ基板の製造方法。

【請求項21】

前記第2マスク工程段階は、前記補助データ配線及び前記データパッド電極の下部に延長部を形成する段階を含み、前記延長部は、純粋な非晶質シリコンパターンと不純物を含む非晶質シリコンパターンを含むことを特徴とする請求項20に記載の液晶表示装置用アレイ基板の製造方法。

【請求項22】

前記第1マスク工程段階は、前記ゲート配線と平行な共通配線を形成する段階を含み、前記共通配線は、前記共通電極と電気的に連結されることを特徴とする請求項19に記載の液晶表示装置用アレイ基板の製造方法。

【請求項23】

前記第2マスク工程段階は、前記露出された金属層と前記不純物を含む非晶質シリコン層、前記純粋な非晶質シリコン層及び前記ゲート絶縁膜を除去して前記共通配線を露出する段階を含むことを特徴とする請求項22に記載の液晶表示装置用アレイ基板の製造方法。

【請求項24】

前記第3マスク工程段階は、前記データ配線及び前記データパッドを含む前記基板上に導電性層を形成する段階と；

前記導電性層の上部に、前記ソース電極及びドレイン電極に対応する第1感光パターンと、前記補助データ配線及び前記データパッド電極に対応する第2感光パターンと、前記画素電極及び前記共通電極に対応する第3感光パターン、前記ゲートパッド電極に対応する第4感光パターンを形成する段階と；

前記第1乃至第4感光パターンをエッチングマスクで前記導電性層をパターンニングして、前記ソース電極及びドレイン電極と、前記補助データ配線、前記データパッド電極、前記画素電極、前記共通電極、前記ゲートパッド電極を形成する段階と；

前記ソース電極及びドレイン電極間の前記オーミックコンタクト層を除去して前記ソース電極及びドレイン電極間の前記アクティブ層を露出する段階と；

前記第1乃至第4感光パターンを除去する段階とを含むことを特徴とする請求項18に記載の液晶表示装置用アレイ基板の製造方法。

【請求項25】

前記保護膜を形成する段階は、前記第1乃至第4感光パターンを含む前記基板上に絶縁膜を形成する段階と、前記第1乃至第4感光パターンと共に前記絶縁膜を選択的に除去する段階を含むことを特徴とする請求項24に記載の液晶表示装置用アレイ基板の製造方法

10

20

30

40

50

。

【請求項 26】

前記導電性層をパターンニングする段階は、湿式エッチングを利用して前記導電性層をオーバーエッチングすることによって、前記第1乃至第4感光パターンの端側の下部面を2000ないし5000露出する段階を含むことを特徴とする請求項25に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 27】

前記保護膜を形成する段階は、前記ゲートパッド電極及び前記データパッド電極を覆うシャドーマスクを配置する段階と、前記ゲートパッド電極及び前記データパッド電極を除いた前記基板の上に、絶縁物質を蒸着する段階を含むことを特徴とする請求項24に記載の液晶表示装置用アレイ基板の製造方法。

10

【請求項 28】

前記第2マスク工程段階は、前記オーミックコンタクト層の上部にバッファ金属層を形成する段階を含むことを特徴とする請求項17に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 29】

前記バッファ金属層を形成する段階は、モリブデン-チタン合金と、銅、モリブデン-チタン合金を順に蒸着してパターンニングする段階を含むことを特徴とする請求項28に記載の液晶表示装置用アレイ基板の製造方法。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、液晶表示装置に係り、特に、生産性及び画質の特性が改善できる液晶表示装置用アレイ基板とその製造方法に関する。

【背景技術】

【0002】

一般的な液晶表示装置の駆動原理は、液晶の光学的異方性と分極性質を利用する。液晶は、構造が細く長いために、分子の配列において方向性を有しており、任意に液晶に電界を加えると、分子配列の配列方向が制御できる。従って、液晶の分子配列方向を任意に調節すると、光学的異方性によって液晶の分子配列方向に光が屈折して画像情報を表示する

30

。

【0003】

現在は、薄膜トランジスタとこの薄膜トランジスタに接続された画素電極がマトリックス状に配列されたアクティブマトリックス型の液晶表示装置（AM-LCD、以下、液晶表示装置と称する）が解像度及び動画像の表示能力が優れていて最も注目を浴びている。

【0004】

液晶表示装置は、共通電極が形成されたカラーフィルタ基板（上部基板）と画素電極が形成されたアレイ基板（下部基板）と、両基板間に充填された液晶とで構成されるが、このような液晶表示装置は、共通電極と画素電極に印加される電圧により生じる垂直方向の電界によって液晶を駆動する方式であり、透過率と開口率等の特性が優れる。

40

【0005】

ところが、上下に印加される電場によって液晶駆動は、視野角の特性が優れないという短所がある。従って、前述した短所を克服するために、新しい技術が提案されている。後述する液晶表示装置は、横電界による液晶駆動方法によって視野角の特性が優れるという長所がある。

【0006】

以下、図1を参照して、一般的な横電界方式の液晶表示装置を説明する。

図1に示したように、透明な下部基板10に定義された多数の画素Pごとに薄膜トランジスタTと共通電極30と画素電極32が構成される。

【0007】

50

薄膜トランジスタTは、ゲート電極14と、ゲート電極14の上部に絶縁膜16を間に構成された半導体層18と、半導体層18の上部に相互に離隔して構成されたソース電極20及びドレイン電極22とを含む。

【0008】

前述した構成で、共通電極30と画素電極32は、下部基板10上に相互に平行に離隔して構成される。

【0009】

図面には示していないが、画素Pの一側に沿って延長されたゲート配線(図示せず)と、これとは垂直な方向に延長されたデータ配線(図示せず)が構成されて、共通電極30に電圧を印加する共通配線(図示せず)が構成される。

10

【0010】

下部基板10と離隔された透明な上部基板40が位置して、上部基板40の内側面には、ゲート配線(図示せず)とデータ配線(図示せず)と薄膜トランジスタTに対応する部分にブラックマトリクス42が構成され、画素Pに対応してカラーフィルタ34a、34bが構成される。

【0011】

液晶層LCは、共通電極30と画素電極32の水平電界45によって動作される。

【0012】

以下、図2を参照して、従来による横電界方式の液晶表示装置用アレイ基板の構成を説明する。

20

図2は、従来4マスク工程によって製作された横電界方式の液晶表示装置用アレイ基板の構成を概略的に示した平面図である。

【0013】

図2に示したように、絶縁基板50上に一方向に延長されたゲート配線54と、これとは交差して画素領域Pを定義するデータ配線92が構成される。

【0014】

ゲート配線54の一端にゲートパッド56が構成されて、データ配線92の一端にはデータパッド94が構成される。

【0015】

ゲート配線54と平行に離隔された画素領域Pの一側には共通配線58が構成される。

30

【0016】

ゲートパッド56とデータパッド94の上部には、各々これと接触する透明なゲートパッド電極GPと、データパッド電極DPが構成される。

【0017】

ゲート配線54とデータ配線92の交差点には、ゲート配線54と接触するゲート電極52と、ゲート電極52の上部に位置したアクティブ層(非晶質シリコン層、84)とオーミックコンタクト層(図示せず)と、オーミックコンタクト層(図示せず)の上部に離隔され位置して、データ配線92に連結されたソース電極88と、これとは離隔されたドレイン電極90とを含む薄膜トランジスタTが構成される。

40

【0018】

画素領域Pには、ドレイン電極90と接触する画素電極PXLが構成されて、共通配線58に連結され画素電極PXLと離隔して構成された共通電極Vcomが構成される。

また、純粋な非晶質シリコンパターン72がデータ配線92の下部に位置する。

【0019】

この時、従来による横電界方式の液晶表示装置用アレイ基板は、ソース電極89及びドレイン電極90とデータ配線92とアクティブ層84を同一なマスク工程によって形成するために、必然的にアクティブ層84とソース電極89及びドレイン電極90、また、純粋な非晶質シリコンパターン72とデータ配線92が積層された形態になって、この時、電極及び配線の外部にアクティブ層84と純粋な非晶質シリコンパターン72が延長された形態で構成される。

50

【 0 0 2 0 】

このような構成は、アクティブ層 8 4 が光に露出され光電流(photo current)が発生されて、このような光電流は、薄膜トランジスタ T で漏洩電流(off current)として作用して薄膜トランジスタ T の動作不良を誘発する。

【 0 0 2 1 】

また、データ配線 9 2 の下部に位置した純粋な非晶質シリコンパターン 7 2 によって漏洩電流が発生すると、データ配線 9 2 に近接した電極とカップリング(coupling)が発生され液晶(図示せず)の動きを歪曲させる。

【 0 0 2 2 】

これにより、液晶パネルの画面には、波状の細かい線が示される波状ノイズ(wavy noise)が発生する。

10

【 0 0 2 3 】

前述したように、薄膜トランジスタの漏洩電流及び画面の波状ノイズは、ソース電極及びドレイン電極とアクティブ層を同時にパターンニングする汎用的な方式から発生する。

【 0 0 2 4 】

以下、図面を参照して、従来による横電界方式の液晶表示装置用アレイ基板の製造工程を説明する。

【 0 0 2 5 】

図 3 A 乃至図 3 H と図 4 A 乃至図 4 H と図 5 A 乃至図 5 H と図 6 A 乃至図 6 H は、図 2 の I I - I I 線、I I I - I I I 線、I V - I V 線、V - V 線に沿って切断して、従来の工程順に示した工程断面図である。

20

【 0 0 2 6 】

図 3 A と図 4 A と図 5 A と図 6 A は、第 1 マスク工程を示した図である。

図 3 A と図 4 A と図 5 A と図 6 A に示したように、基板 5 0 上にスイッチング領域 S と画素領域 P とゲート領域 G とデータ領域 D と共通信号領域 C S とを定義する。

【 0 0 2 7 】

多数の領域(S、P、G、D、CS)が定義された基板 5 0 上に、ゲート領域 G に対応して一方向に延長されて、一端にゲートパッド 5 6 を含むゲート配線(図 2 の 5 4)と、ゲート配線 5 4 に連結されスイッチング領域 S に位置するゲート電極 5 2 を形成して、ゲート配線 5 4 と平行に離隔された共通信号領域 C S には共通配線 5 8 を形成する。

30

【 0 0 2 8 】

この時、ゲートパッド 5 6 及びゲート配線 5 4 とゲート電極 5 2 と共通配線 5 8 は、アルミニウム A l、アルミニウム合金 A l N d、タングステン W、クロム C r、モリブデン M o 等の単一金属やアルミニウム A l /クロム C r (または、モリブデン M o)等を含む導電性金属グループのうちから選択された一つまたはそれ以上の物質を蒸着して形成する。

【 0 0 2 9 】

図 3 B 乃至図 3 F と図 4 B 乃至図 4 F と図 5 B 乃至図 5 F と図 6 B 乃至図 6 F は、第 2 マスク工程を示した図である。

【 0 0 3 0 】

図 3 B と図 4 B と図 5 B と図 6 B に示したように、ゲート電極 5 2 とゲートパッド 5 6 を含むゲート配線 5 4 と、共通配線 5 8 が形成された基板 5 0 全面にゲート絶縁膜 6 0 と、純粋な非晶質シリコン層(a-Si:H) 6 2 と不純物を含む非晶質シリコン層(n+または p+a-Si:H) 6 4 と導電性金属層 6 6 を形成する。

40

【 0 0 3 1 】

ゲート絶縁膜 6 0 は、窒化シリコン S i N x と酸化シリコン S i O 2 等を含む無機絶縁物質グループのうちから選択された一つまたは一つ以上の物質を蒸着して形成し、導電性金属層 6 6 は、前述した導電性金属グループのうちから選択された一つまたはそれ以上の物質を蒸着して形成する。

【 0 0 3 2 】

導電性金属層 6 6 が形成された基板 5 0 全面に、フォトレジストを塗布して感光層 6 8

50

を形成する。

【0033】

感光層68の離隔された上部に、透過部B1と遮断部B2と半透過部B3とで構成されたマスクMを位置させる。

【0034】

この時、半透過部B3は、マスクMにスリット状または半透明膜を形成して、光の強度を低めたり、光の透過量を低めたりして感光層を不完全露光させる機能を有する。

【0035】

また、遮断部B2は、光を完全に遮断する機能をして、透過部B1は、光を透過させ光によって感光層68が完全な化学的变化、すなわち、完全露光させる機能を有する。

10

【0036】

一方、スイッチング領域Sには、半透過部B3と、半透過部B3の両側に遮断部B2を位置させて、ゲート領域Gと交差する方向であるデータ領域Dには、遮断部B2を位置させる。

【0037】

マスクMの上部に光を照射して、下部の感光層68を露光して現像する工程を行う。

【0038】

図3Cと図4Cと図5Cと図6Cに示したように、スイッチング領域Sとデータ領域Dに、第1感光パターン70a及び第2感光パターン70bを形成する。

【0039】

この時、第1感光パターン70aは、ゲート電極52に対応する第1部分と、第1部分より厚い第2部分を含む。

20

【0040】

第1感光パターン70a及び第2感光パターン70bの周辺に露出された導電性金属層66と、その下部の不純物を含む非晶質シリコン層64と、純粋な非晶質シリコン層62を除去する工程を行う。

【0041】

この時、導電性金属層66の種類によって導電性金属層66とその下部層64、62を同時に除去したり、金属層を先にエッチングした後、乾式エッチング工程によって下部の純粋非晶質シリコン層62と不純物を含む非晶質シリコン層64を除去したりすることもできる。

30

【0042】

図3Dと図4Dと図5Dと図6Dに示したように、前述した除去工程を完了すると、第1感光パターン70aの下部には、純粋な非晶質シリコンパターン72と不純物を含む非晶質シリコンパターン74が積層された第1半導体パターン76が形成されて、第1半導体パターン76の上部に第1金属パターン78が構成される。

【0043】

データ領域Dに対応する第2感光パターン70bの下部には、第1半導体パターン76から延長された第2半導体パターン80と、第2半導体パターン80の上部に、第1金属パターン78から延長された第2金属パターン82が形成される。

40

【0044】

次に、第1感光パターン70aのうち、ゲート電極52の中心に対応する第1部分を除去して下部の第1金属パターン78を露出するためのアッシング工程を行う。

【0045】

図3Eと図4Eと図5Eと図6Eに示したように、ゲート電極52の中心に対応する第1金属パターン78の一部が露出されて、この時、第1感光パターン70a及び第2感光パターン70bの周辺に第1金属パターン78及び第2金属パターン82の一部が同時に露出される。

【0046】

アッシング工程を行った後、第1金属パターン78の露出された部分とその下部の不純

50

物を含む非晶質シリコン層 7 4 を除去する工程を行う。

【 0 0 4 7 】

図 3 F と図 4 F と図 5 F と図 6 F に示したように、除去工程を完了すると、ゲート電極 5 2 の上部に位置した第 1 半導体パターン 7 6 のうち、下部の純粋な非晶質シリコンパターン(図 3 E の 7 2)は、アクティブ層 8 4 として機能し、アクティブ層 8 4 の上部で一部が除去され離隔された上部の不純物を含む非晶質シリコンパターン(図 3 E の 7 4)は、オーミックコンタクト層 8 6 として機能をする。

【 0 0 4 8 】

この時、アクティブ層 8 4 と上部のオーミックコンタクト層 8 6 を除去する際に、下部のアクティブ層 8 4 をオーバーエッチングしてアクティブ層 8 4 の表面(アクティブチャンネル)に不純物が残らないようにする。

10

【 0 0 4 9 】

一方、オーミックコンタクト層 8 6 の上部に位置して区分された金属パターンは、各々ソース電極 8 8 とドレイン電極 9 0 と称する。

【 0 0 5 0 】

この時、ソース電極 8 8 と接触する第 2 金属パターン(図 4 E の 8 2)は、データ配線 9 2 と称して、データ配線 9 2 の一端は、データパッド 9 4 と称する。

【 0 0 5 1 】

残留した感光パターン 7 0 a、7 0 b を除去する工程を行うことによって、第 2 マスク工程が完了される。

20

【 0 0 5 2 】

図 3 G と図 4 G 図 5 G と図 6 G は、第 3 マスク工程を示した図であって、ソース電極 8 8 及びドレイン電極 9 0 とデータパッド 9 4 を含むデータ配線 9 2 が構成された基板 5 0 全面に、窒化シリコン SiN_x または酸化シリコン SiO_2 を含む無機絶縁物質グループのうちから選択された一つを蒸着し、場合によって、ベンゾシクロブテン BCB とアクリル系樹脂を含む有機絶縁物質グループのうちから選択された一つを塗布して保護膜 9 6 を形成する。

【 0 0 5 3 】

連続的に、保護膜 9 6 をパターンニングしてドレイン電極 9 0 の一部を露出するドレインコンタクトホール 9 8 a と、共通配線 5 8 の一部を露出する共通配線コンタクトホール 9 8 b と、ゲートパッド 5 6 を露出するゲートパッドコンタクトホール 9 8 c と、データパッド 9 4 を露出するデータパッドコンタクトホール 9 8 d を形成する。

30

【 0 0 5 4 】

図 3 H と図 4 H と図 5 H と図 6 H は、第 4 マスク工程を示した図であって、保護膜 9 6 が形成された基板 5 0 全面に、インジウムスズオキサイド ITO とインジウムジニクオキサイド IZO を含む透明な導電性金属グループのうちから選択された一つを蒸着してパターンニングし、画素領域 P に画素電極 PXL と共通電極 Vcom を形成する。

【 0 0 5 5 】

この時、画素電極 PXL は、ドレイン電極 9 0 と接触しながらデータ配線 9 2 と平行な多数の垂直部で構成される。共通電極 Vcom は、共通配線 5 8 と接触しながらデータ配線 9 2 と平行な多数の垂直部に延長され画素電極 PXL と離隔されるように構成して、ゲートパッド 5 6 と接触するゲートパッド電極 GP と、データパッド 9 4 と接触するデータパッド電極 DP を形成する。

40

【 0 0 5 6 】

以上、従来による 4 マスク工程によって横電界方式の液晶表示装置用アレイ基板を製作することができる。

【 0 0 5 7 】

前述した工程は、第 2 マスク工程によって純粋な非晶質シリコンのアクティブ層 8 4 及び不純物を含む非晶質シリコンのオーミックコンタクト層 8 6 と、上部のソース電極 8 8 及びドレイン電極 9 0 とデータ配線 9 2 を同時に形成する工程で、データ配線 9 2 の下部

50

に第2半導体パターン80が残り、特に、第2半導体パターン80の下部の純粋な非晶質シリコンパターン72がデータ配線92の両側に延長された形態でパターンニングされる。

【0058】

前述したように、データ配線92の両側に下部の純粋な非晶質シリコンパターン72が拡張された形態であるために、これによって、画面に波状ノイズが発生する問題がある。

【0059】

また、ゲート電極52の上部に位置したアクティブ層84も、ゲート電極52の外部に延長された形態で構成されるために、光によって露出され光電流、すなわち、漏洩電流が発生して、これによって、薄膜トランジスタの動作不良を誘発する問題がある。

【発明の開示】

10

【発明が解決しようとする課題】

【0060】

本発明は、前述したような問題を解決するために提案されており、非晶質シリコン層が配線の外方に露出されないようにして光電流による薄膜トランジスタの漏洩電流の特性を最小化すると同時に、波状ノイズを防いで高画質を具現することを第1目的とする。

また、3マスク工程で製作することによって、工程を単純化し、工程費用及び工程時間を短縮して生産性を改善することを第2目的とする。

【課題を解決するための手段】

【0061】

前述したような目的を達成するための本発明の液晶表示装置用アレイ基板は、基板と、前記基板の上部のゲート配線と、前記ゲート配線に連結されたゲート電極、前記ゲート電極の上部のゲート絶縁膜、前記ゲート絶縁膜の上部のアクティブ層、前記アクティブ層の上部のオーミックコンタクト層及び前記オーミックコンタクト層の上部のソース電極及びドレイン電極を含む薄膜トランジスタと、前記ドレイン電極に電気的に連結された画素電極と、前記ソース電極に電気的に連結されて、前記ゲート配線と交差するデータ配線と、前記画素電極と離隔されている共通電極及び前記画素電極と前記共通電極間及び前記ソース電極と前記ドレイン電極間に位置する保護膜とを含むことを特徴とする。

20

【0062】

前記アクティブ層は、その端部が前記ゲート電極の端部を覆わず、前記ゲート電極の上部に形成されるアイランド(Island)状である。

30

【0063】

前記データ配線の下部に、前記オーミックコンタクト層から延長された第1層と前記アクティブ層から延長された第2層を有する延長部を含む。

【0064】

前記オーミックコンタクト層と前記ソース電極間及び前記オーミックコンタクト層と前記ドレイン電極間に、バッファ金属層をさらに含む。

【0065】

前記ソース電極及びドレイン電極と前記共通電極及び前記画素電極は、透明である。

【0066】

前記データ配線の上部に、前記ソース電極から延長された補助データ配線をさらに含む

40

【0067】

前記補助データ配線の下部に、前記バッファ金属層から延長された前記データ配線と、前記オーミックコンタクト層から延長された第1層及び前記アクティブ層から延長された第2層を有する延長部をさらに含む。

【0068】

前記データ配線の下部に、前記アクティブ層及び前記オーミックコンタクト層と同一層を有して前記アクティブ層及び前記オーミックコンタクト層と分離された延長部をさらに含む。

【0069】

50

前記バッファ金属層は、少なくとも3層の多重層構造であって、前記少なくとも3層の中間層は、銅を含む。

【0070】

前記ドレイン電極から延長されて、前記画素電極に連結される画素電極連結部をさらに含む。

【0071】

本発明の液晶表示装置用アレイ基板の製造方法は、基板にスイッチング領域と画素領域とゲート領域とデータ領域と共通信号領域とを定義する段階と、前記スイッチング領域と前記ゲート領域と前記共通信号領域に、ゲート電極とゲート配線及び共通配線を各々形成する段階と、前記ゲート電極の上部に、ゲート絶縁膜とアクティブ層とオーミックコンタクト層を形成する段階と、前記オーミックコンタクト層の上部に、ソース電極及びドレイン電極を形成する段階と、前記ソース電極と電氣的に連結されて、前記ゲート配線と交差するデータ配線を形成する段階と、前記ドレイン電極と電氣的に連結される画素電極及び前記画素電極と離隔されている共通電極を形成する段階と、前記画素電極と前記共通電極間の前記ゲート絶縁膜の上部及び前記ソース電極及びドレイン電極間の前記アクティブ層の上部に保護膜を形成する段階とを含むことを特徴とする。

10

【0072】

前記ゲート絶縁膜と、前記アクティブ層と前記オーミックコンタクト層を形成する段階と前記データ配線を形成する段階は、一つのマスクを利用する。

【0073】

前記データ配線の上部に補助データ配線を形成する段階をさらに含み、前記ソース電極と、前記ドレイン電極と、前記共通電極と、前記画素電極及び前記補助データ配線は、同一マスク工程で形成される。

20

【0074】

前記保護膜は、リフトオフ工程によって形成される。

【0075】

前記ゲート絶縁膜と前記アクティブ層と前記オーミックコンタクト層を形成する段階は、前記オーミックコンタクト層の上部にバッファ金属層を形成する段階を含む。

【0076】

本発明の他の液晶表示装置用アレイ基板の製造方法は、基板上にゲート電極とゲート配線を形成する第1マスク工程段階と、前記ゲート電極と前記ゲート配線を含む前記基板上にゲート絶縁膜とアクティブ層とオーミックコンタクト層及びデータ配線を順に形成する第2マスク工程段階と、前記基板上にソース電極とドレイン電極、共通電極及び画素電極を形成する第3マスク工程段階と、前記ソース電極と前記ドレイン電極間の前記アクティブ層の上部及び前記共通電極と前記画素電極間に保護膜を形成する段階とを含むことを特徴とする。

30

【0077】

前記第1マスク工程段階は、前記ゲート配線の一端にゲートパッドを形成する段階を含み、前記第2マスク工程段階は、前記データ配線の一端にデータパッドを形成する段階を含み、前記第3マスク工程段階は、前記データ配線の上部の補助データ配線と、前記ゲートパッドの上部のゲートパッド電極及び前記データパッドの上部のデータパッド電極を形成する段階とを含む。

40

【0078】

前記第2マスク工程段階は、前記ゲート電極と前記ゲート配線及び前記ゲートパッドを含む前記基板上に前記ゲート絶縁膜と、純粋な非晶質シリコン層と不純物を含む非晶質シリコン層及び金属層を順に形成する段階と、前記金属層の上部に、前記ゲートパッドに対応する前記金属層を露出して、前記アクティブ層と前記データ配線及び前記データパッドに対応する第1部分と、前記アクティブ層と前記データ配線及び前記データパッドを除いた領域に対応して、前記第1部分より厚い第2部分とで構成される感光パターンを形成する段階と、前記露出された金属層と前記不純物を含む非晶質シリコン層、前記純粋な非晶

50

質シリコン層及び前記ゲート絶縁膜を除去して前記ゲートパッドを露出する段階と、前記感光パターンの第2部分を除去する段階と、前記感光パターンの第1部分をエッチングマスクとして利用して、前記金属層と、前記不純物を含む非晶質シリコン層及び前記純粋な非晶質シリコン層を除去する段階と、前記感光パターンの第1部分を除去する段階とを含む。

【0079】

前記感光パターンを形成する段階は、透過部と遮断部及び半透過部を含むマスクを利用して、前記透過部は、前記ゲートパッドに対応し、前記遮断部は、前記アクティブ層と前記データ配線及び前記データパッドに対応して、前記半透過部は、前記アクティブ層と前記データ配線、前記データパッド及び前記ゲートパッドを除いた領域に対応する。

10

【0080】

前記第2マスク工程段階は、前記補助データ配線及び前記データパッド電極の下部に延長部を形成する段階を含み、前記延長部は、純粋な非晶質シリコンパターンと不純物を含む非晶質シリコンパターンを含む。

【0081】

前記第1マスク工程段階は、前記ゲート配線と平行な共通配線を形成する段階を含み、前記共通配線は、前記共通電極と電気的に連結されて、前記第2マスク工程段階は、前記露出された金属層と前記不純物を含む非晶質シリコン層、前記純粋な非晶質シリコン層及び前記ゲート絶縁膜を除去して前記共通配線を露出する段階を含む。

20

【0082】

前記第3マスク工程段階は、前記データ配線及び前記データパッドを含む前記基板上に導電性層を形成する段階と、前記導電性層の上部に、前記ソース電極及びドレイン電極に対応する第1感光パターンと、前記補助データ配線及び前記データパッド電極に対応する第2感光パターンと、前記画素電極及び前記共通電極に対応する第3感光パターン、前記ゲートパッド電極に対応する第4感光パターンを形成する段階と、前記第1乃至第4感光パターンをエッチングマスクで前記導電性層をパターンニングして、前記ソース電極及びドレイン電極と、前記補助データ配線、前記データパッド電極、前記画素電極、前記共通電極、前記ゲートパッド電極を形成する段階と、前記ソース電極及びドレイン電極間の前記オーミックコンタクト層を除去して前記ソース電極及びドレイン電極間の前記アクティブ層を露出する段階と、前記第1乃至第4感光パターンを除去する段階とを含む。

30

【0083】

前記保護膜を形成する段階は、前記第1乃至第4感光パターンを含む前記基板上に絶縁膜を形成する段階と、前記第1乃至第4感光パターンと共に前記絶縁膜を選択的に除去する段階を含む。前記導電性層をパターンニングする段階は、湿式エッチングを利用して前記導電性層をオーバーエッチングすることによって、前記第1乃至第4感光パターンの端側の下部面を2000 ないし5000 露出する段階を含む。

【0084】

前記保護膜を形成する段階は、前記ゲートパッド電極及び前記データパッド電極を覆うシャドーマスクを配置する段階と、前記ゲートパッド電極及び前記データパッド電極を除いた前記基板上に、絶縁物質を蒸着する段階を含む。

40

【0085】

前記第2マスク工程段階は、前記オーミックコンタクト層の上部にバッファ金属層を形成する段階を含み、前記バッファ金属層を形成する段階は、モリブデン-チタン合金と、銅、モリブデン-チタン合金を順に蒸着してパターンニングする段階を含む。

【0086】

以下、添付した図面を参照して、本発明の望ましい実施例を説明する。

【発明の効果】

【0087】

本発明による横電界方式の液晶表示装置用アレイ基板は、アクティブ層がバックライトの光によって露出される構造ではないので、光電流発生が抑制できるため、薄膜トランジ

50

スタの動作不良が防げて、パネルに波状ノイズが発生されずに高画質を具現する。

【0088】

また、3マスク工程によって製作されるために、生産費用を削減し、生産時間が短縮されるので、工程収率を改善して、製品の競争力を改善する。

【0089】

さらに、抵抗の低い銅層を配線として使用するために、信号遅延が防げて、液晶パネルの動作の特性を改善する。

【0090】

[第1実施例]

本発明の第1実施例は、アクティブ層の端側がデータ配線及びゲート電極の外部に拡張されない形態の横電界型のアレイ基板を3マスク工程によって製作することを特徴とする。

【0091】

以下、平面図と断面図を参照して、本発明による横電界型のアレイ基板の構成を詳しく説明する。

【0092】

図7は、本発明の第1実施例による横電界方式の液晶表示装置用アレイ基板の一部を拡大した平面図であって、図8A乃至図8Dは、各々図7のVII-VII線、VIII-VIII線、IX-IX線、X-X線に沿って切断した断面図である。

【0093】

図7と図8A乃至図8Dに示したように、絶縁基板100上に、一方向に延長され一端にゲートパッド106が構成されたゲート配線104と、ゲート配線104と交差し画素領域Pを定義して、一端にデータパッド144を含むデータ配線143を構成する。データ配線143の上部には、補助データ配線142が形成されており、データパッド144の上部には、データパッド電極146が形成されている。また、ゲート配線104と離隔された共通配線109と共通電極連結部108を構成する。ゲートパッド106の上部には、ゲートパッド106に連結されるゲートパッド電極152が形成されている。

【0094】

ゲート配線104とデータ配線143の交差点には、ゲート電極102と、オーミックコンタクト層126とアクティブ層124とバッファ金属層128と、バッファ金属層128と接触するソース電極138とドレイン電極140とを含む薄膜トランジスタTを構成する。ゲート配線104とゲート電極102及びゲートパッド106の上部には、ゲート絶縁膜110が形成され、これらを覆っている。

【0095】

バッファ金属層128とアクティブ層124とオーミックコンタクト層126とデータ配線143及びデータパッド144を同一なマスクでパターニングして、オーミックコンタクト層126及びアクティブ層124と同一層に位置して同一物質で構成された層等を含む延長部Bをデータ配線143及びデータパッド144の下部に構成した構造である。

【0096】

この時、バッファ金属層128とデータ配線143及びデータパッド144は、銅Cu層を間にモリチタン合金MoTi層を上下に構成した最小限3層の積層構造であって、ソース電極138及びドレイン電極140は、モリチタン合金MoTi層やインジウムスズオキサイドITOまたはインジウム-ジンク-オキサイドIZOのような透明な金属層で構成する。

【0097】

ここで、銅Cu層は、抵抗が非常に低いために、配線の抵抗による信号遅延が防げる長所がある。

【0098】

画素領域Pには、ドレイン電極140と電氣的に接触する画素電極148と、画素電極148と平行に離隔され共通配線109と電氣的に連結される共通電極150を構成する

10

20

30

40

50

。画素電極 148 は、ドレイン電極 140 に連結される画素電極連結部 148a から延長される。共通電極 150 は、共通電極連結部 108 と接触して、図面には示していないが、共通電極連結部 108 は、共通配線 109 に連結されて、共通配線 109 からの信号を共通電極 150 に印加する。従って、共通電極 150 は、隣接した画素領域の共通電極(図示せず)と電氣的に連結される。

【0099】

一方、共通電極 150 は、共通配線 109 に直接連結されることもできる。画素電極連結部 148a は、共通配線 109 と重なって、ストレージキャパシター Cst を形成する。

【0100】

この時、画素電極 148 と共通電極 150 は、ソース電極 138 及びドレイン電極 140 と同一工程で製作して、これも、モリチタン合金 MoTi 層やインジウムスズオキサイド ITO またはインジウムジunkerオキサイド IZO のような透明な金属層で構成することができる。

【0101】

薄膜トランジスタ T の露出されたアクティブ層 124 の上部と、共通電極 150 と画素電極 148 間のゲート絶縁膜 110 上には、保護膜 154 を構成して、保護膜 154 は、別途のマスク工程を使用せず、蒸着工程とリフトオフ (lift off) 工程によってゲートパッド電極 152 とデータパッド電極 146 の一部を露出しながら形成することができる。

【0102】

また、前述した構成で、アクティブ層 124 が示していない下部の背光装置に露出される構造ではないため、従来とは異なり、漏洩電流による波状ノイズまたは薄膜トランジスタ TFT の動作不良が誘発されない構成である。

【0103】

以下、工程断面図を参照して、本発明の第 1 実施例による横電界方式の液晶表示装置用アレイ基板の製造工程を説明する。

【0104】

図 9A 乃至図 9I と図 10A 乃至図 10I と図 11A 乃至図 11I と図 12A 乃至図 12I は、本発明の第 1 実施例による工程順に示した工程断面図である。図 9A 乃至図 9I は、図 7 の V I I - V I I 線、図 10A 乃至図 10I は、図 7 の V I I I - V I I I 線、図 11A 乃至図 11I は、図 7 の I X - I X 線、図 12A 乃至図 12I は、図 7 の X - X 線に対応する。

図 9A と図 10A と図 11A と図 12A は、第 1 マスク工程を示した工程断面図である。

【0105】

図 9A と図 10A と図 11A と図 12A に示したように、基板 100 上に、スイッチング領域 S と画素領域 P とゲート領域 G とデータ領域 D と共通信号領域 CS とを定義する。

【0106】

多数の領域 (S、P、G、D、CS) を定義した基板 100 上に、アルミニウム Al、アルミニウム合金 AlNd、クロム Cr、モリブデン Mo、タングステン W、チタン Ti、銅 Cu、タンタル Ta 等を含む導電性金属グループのうちから選択された一つまたは一つ以上の金属を蒸着して第 1 導電性金属層 (図示せず) を形成し、これを第 1 マスク工程によってパターンニングして、スイッチング領域 S にゲート電極 102 を形成し、ゲート領域 G に対応して一端にゲートパッド 106 を含むゲート配線 (図 7 の 104) を形成して、ゲート配線 (図 7 の 104) と平行に離隔された位置の画素領域 P の両側、すなわち、共通信号領域 CS に共通配線 (図 7 の 109) と共通電極連結部 108 を各々形成する。

【0107】

以下、図 9B 乃至図 9F と図 10B 乃至図 10F と図 11B 乃至図 11f と図 12A 乃至図 12F は、第 2 マスク工程を工程順に示した工程断面図である。

【0108】

10

20

30

40

50

図9Bと図10Bと図11Bと図12Bに示したように、ゲート電極102とゲートパッド106及びゲート配線(図7の104)と共通配線(図7の109)、また、共通電極連結部108が形成された基板100全面に、ゲート絶縁膜110と、純粋な非晶質シリコン層(a-Si:H)112と不純物を含む非晶質シリコン層(n+a-Si:H)114と、不純物を含む非晶質シリコン層114の上部に第2導電性金属層116と、第2導電性金属層116の上部にフォトレジストを塗布して感光層118を形成する。

【0109】

ゲート絶縁膜110は、窒化シリコン SiN_x と酸化シリコン SiO_2 を含む無機絶縁物質グループのうちから選択された一つまたは一つ以上の物質を蒸着して形成する。

【0110】

この時、第2導電性金属層116は、多層で構成されて、第1層にモリチタン合金MoTi層と第2層に銅Cu層と第3層にモリチタン合金MoTi層を積層して形成する。

【0111】

ここで、銅Cuは、抵抗率が非常に低いので、信号遅延を最小化するために使用する。但し、銅Cuは、シリコンSiまたは酸素と反応して抵抗率の高い物質になれるために、前述したように、銅の上部と下部にモリブデンMoとチタンTiの合金をさらに構成する。

【0112】

一方、感光層118を形成した後、感光層118が形成された基板100の離隔された上部に、透過部B1と遮断部B2と半透過部B3とで構成されたマスクMを位置させる。

【0113】

この時、スイッチング領域Sとデータ領域Dに対応して遮断部B2と、共通信号領域CSとゲートパッド106に対応して透過部B1を位置させて、それ以外の領域には、半透過部B3を位置させる。

【0114】

ここで、スイッチング領域Sに対応する遮断部B2の面積は、ゲート電極102の面積を越えない範囲内に限定する。

【0115】

次に、マスクMの上部に光を照射して下部の感光層116を露光する工程と、連続的に現像工程を行う。

【0116】

図9Cと図10Cと図11Cと図12Cに示したように、感光パターン120が形成される。感光パターン120は、共通信号領域CSとゲートパッド106のためのゲート領域Gの一部に対応して完全に除去され、下部の第2導電性金属層116を露出して、スイッチング領域Sとデータ領域Dに元々の高さに対応する第1厚さd1の第1部分及び共通信号領域CSとゲートパッド106のためのゲート領域G、スイッチング領域S、また、データ領域Dを除いた残りの領域に、第1厚さd1より薄い第2厚さd2の第2部分を含む。

【0117】

図9Dと図10Dと図11Dと図12Dに示したように、共通信号領域CSとゲートパッド106に対応して露出された第2導電性金属層116と、その下部の不純物を含む非晶質シリコン層114と純粋な非晶質シリコン層112とゲート絶縁膜110を除去して、下部の共通電極連結部108とゲートパッド106の一部を露出する工程を行う。

【0118】

次に、スイッチング領域S及びデータ領域Dを除いた感光パターン120の第2部分を、アッシング工程を利用して除去する。

【0119】

図9Eと図10Eと図11Eと図12Eに示したように、基板100のスイッチング領域Sとデータ領域Dを除いた基板100全面に対する第2導電性金属層116が露出されて、ゲートパッド106と共通電極連結部108の一部が露出される。

10

20

30

40

50

【0120】

一方、スイッチング領域 S とデータ領域 D に対応して高さが低くなった感光パターン 122 が残された状態になる。

【0121】

感光パターン 122 の外部に露出された第 2 導電性金属層 116 と、その下部の不純物を含む非晶質シリコン層 114 と、その下部の純粋な非晶質シリコン層 112 を除去する工程を行う。

【0122】

次に、残された感光パターン 122 を除去する工程を行う。

【0123】

図 9 F と図 10 F と図 11 F と図 12 F に示したように、スイッチング領域 S に対応するゲート電極 102 の上部に、アクティブ層 124 とオーミックコンタクト層 126 とバッファ金属層 128 が形成される。

10

【0124】

この時、データ配線 143 及びデータパッド 144 及び延長部 B がデータ領域 D に形成される。延長部 B は、データ配線 143 及びデータパッド 144 の下部に位置して、オーミックコンタクト層 126 及びバッファ金属層 128 と同一層に、同一物質で構成された層等を含む。

【0125】

図 9 G 乃至図 9 I と図 10 G 乃至図 10 I と図 11 G 乃至図 11 I と図 12 G 乃至図 12 I は、第 3 マスク工程を示した図である。

20

図 9 G と図 10 G と図 11 G と図 12 G に示したように、バッファ金属層 128 と、アクティブ層 124 とオーミックコンタクト層 126、データ配線 143 及びデータパッド 144 が形成された基板 100 全面に、第 3 導電性金属層(図示せず)と感光層を積層して、感光層を第 3 マスク工程によって露光して現像し、スイッチング領域 S に対応して離隔された第 1 感光パターン 130 と、データ領域 D に対応して第 2 感光パターン 132 と、画素領域 P に対応して多数の垂直な棒状の第 3 感光パターン 134 を形成して、ゲートパッド 106 の一部を覆う第 4 感光パターン 136 を形成する。

【0126】

この時、第 3 導電性金属層(図示せず)は、望ましくは、モリチタン合金 MoTi 層である。

30

【0127】

第 1 乃至第 4 感光パターン 130、132、134、136 の周辺に露出された第 3 導電性金属層(図示せず)を除去して、離隔された第 1 感光パターン 130 の下部に、離隔されたソース電極 138 とドレイン電極 140 と、第 2 感光パターン 132 の下部にデータ配線 143 及びデータパッド 144 と延長部 B を覆うと同時に、一端にデータパッド電極 146 を含む補助データ配線 142 と、第 3 感光パターン 134 の下部には、ドレイン電極 140 と接触する画素電極連結部(図 7 の 148 a)及びこれから画素領域 P に垂直に延長された多数の垂直な棒状で構成された画素電極 148 と、共通電極連結部 108 と接触しながら画素電極 148 間に位置した多数の垂直な棒状の共通電極 150 を形成する。

40

【0128】

この時、第 4 感光パターン 136 の下部には、ゲートパッド 106 と接触するゲートパッド電極 152 を形成する。

【0129】

次に、離隔された第 1 感光パターン 130 間に露出されたバッファ金属層 128 とオーミックコンタクト層 126 を除去して下部のアクティブ層 124 を露出する工程を行う。

【0130】

前述した構成で、アクティブ層 124 とオーミックコンタクト層 126 は、ゲート電極 102 の上部に位置して、ゲート電極 102 によって遮られる形態であり、延長部 B も上部の補助データ配線 142 に覆われた形態で構成されるので、光から遮断される。

50

【0131】

従って、アクティブ層124では、光による光漏洩電流が発生しない長所があって、これにより、薄膜トランジスタは、動作不良が発生せず、パネルの全体からすると、光漏洩電流による波状ノイズが発生しない長所がある。

【0132】

図9Hと図10Hと図11Hと図12Hに示したように、第1乃至第4感光パターン130、132、134、136を残した状態で、基板100全面に、窒化シリコン SiN_x と酸化シリコン SiO_2 を含む無機絶縁膜を蒸着して保護膜154を形成する。

【0133】

この時、保護膜154は、第1ないし第4感光パターン130、132、134、136の上部と、露出されたアクティブ層124の上部と、共通電極150と画素電極148間を埋める形態で形成される。

10

【0134】

次に、第1ないし第4感光パターン130、132、134、136を除去するリフトオフ工程を行う。

【0135】

図9Iと図10Iと図11Iと図12Iに示したように、保護膜154は、アクティブ層124の表面を覆うと同時に、共通電極150と画素電極148間を埋める形態で形成されて、この時、ゲートパッド電極152とデータパッド電極146は、露出された状態で製作される。

20

【0136】

一方、図9Gと図10Gと図11Gと図12Gに示したように、第3導電性金属層を除去する時、等方性を有する湿式エッチングを利用して第1乃至第4感光パターン130、132、134、136の下部の第3導電性金属層をオーバーエッチングさせる。従って、第1乃至第4感光パターン130、132、134、136の端側の下部面を部分的に露出させる。このような第1乃至第4感光パターン130、132、134、136の露出された下部面は、保護膜154を蒸着した後、第1乃至第4感光パターン130、132、134、136を除去するリフトオフ工程で、ストリッパー(stripper)が第1乃至第4感光パターン130、132、134、136の下部に円滑に浸透して第1乃至第4感光パターン130、132、134、136を容易に除去するためである。この時、ストリッパーの浸透を円滑にするために、第1乃至第4感光パターン130、132、134、136の露出された下部面は、望ましくは、2,000ないし5,000の幅である。

30

【0137】

以上、リフトオフ工程を含む3マスク工程によって、本発明による横電界方式の液晶表示装置用アレイ基板を製作することができる。

【0138】

前述した第1実施例の構成は、共通電極150と画素電極148を不透明な金属で形成する場合を説明しており、共通電極と画素電極は、インジウムスズオキサイドITOとインジウムジンカーオキサイドIZOのような透明な導電性金属層で形成することもできる。

40

【0139】

[第2実施例]

本発明の第2実施例による横電界方式の液晶表示装置用アレイ基板は、共通電極と画素電極とソース電極及びドレイン電極を透明な材質で形成することを特徴とする。

【0140】

以下、図13A乃至図13Dを参照して説明する。

図13A乃至図13Dは、各々図7のVII-VII線、VIII-VIII線、IX-IX線、X-X線に沿って切断した断面図である。

【0141】

50

図13A乃至図13Dに示したように、本発明の第2実施例は、スイッチング領域Sで定義した基板100の一面に、ゲート電極102とアクティブ層124とオーミックコンタクト層126とバッファ金属層128と、バッファ金属層128と接触する透明なソース電極138'とドレイン電極140'とで構成された薄膜トランジスタTを構成する。

【0142】

また、画素領域Pで定義した基板100の一面には、相互に離隔して構成された棒状の透明な画素電極148'と透明な共通電極150'を構成して、画素領域Pの一侧に定義したデータ領域Dには、アクティブ層124及びオーミックコンタクト層126と同一層及び同一物質の延長部Bを構成して、延長部Bの上部には、バッファ金属層128と同一層及び同一物質のデータ配線143及びデータ配線143の一端のデータパッド144を形成する。データ配線143及びデータパッド144の上部には、データ配線143及びデータパッド144と延長部Bを覆って一端にデータパッド電極146'を含む透明な補助データ配線142'を形成する。

10

【0143】

さらに、画素領域Pの他側のゲート領域Gには、一端にゲートパッド106を含むゲート配線(図7の104)を構成して、ゲートパッド106の上部には、これと接触する透明なゲートパッド電極152を形成する。共通信号領域CSには、画素電極連結部108を形成する。

【0144】

この時、バッファ金属層128は、前述したように、抵抗の低い銅Cu層を間に、上下にモリチタン合金MoTi層を積層して形成する。

20

【0145】

従って、ソース電極138'及びドレイン電極140'を抵抗の大きい透明な導電性金属層で形成しても、信号遅延が発生しない長所がある。

【0146】

また、共通電極150'と画素電極148'を透明な材質で形成することによって、輝度をさらに改善して、特に、ドレイン電極140が透明であって、下部のバックライトから出射した光がドレイン電極140を通過するために、ドレイン電極140'によって反射される光がアクティブ層124に照射される現象が発生しない。

【0147】

前述したような本発明の第2実施例による横電界方式の液晶表示装置用アレイ基板の製造方法は、第1実施例に比べて、第3導電性金属層をインジウムスズオキサイドITOまたはインジウムジunkerオキサイドIZOで形成する差のみが異なり、それ以外の工程は、同一であって、これを省略する。

30

【0148】

ここで、バッファ金属層128は、省略される場合があって、第2実施例でのように、第3導電性金属層をインジウムスズオキサイドITOまたはインジウムジunkerオキサイドIZOで形成する場合は、信号遅延の発生を防ぐために、望ましくは、バッファ金属層128を形成する。

【0149】

以上、リフトオフ工程を含む3マスク工程によって、本発明の第1及び第2実施例による横電界方式の液晶表示装置を製作することができる。

40

【0150】

この時、第1及び第2実施例は、絶縁膜を形成する工程でリフトオフ工程を使用して、マスク工程を省略することを特徴としたが、以下、第3実施例によって他の変形例を説明する。

【0151】

[第3実施例]

本発明の第3実施例は、シャドーマスクを使用して、ゲートパッドとデータパッドを除いた全ての領域に保護膜を形成することを特徴とする。

50

【 0 1 5 2 】

以下、工程断面図を参照して、本発明の第3実施例による横電界方式の液晶表示装置用アレイ基板の製造工程を説明する。

【 0 1 5 3 】

この時、第2マスク工程までは、第1実施で説明した段階と同一であるため、これを省略して、第3マスク工程から説明する。

【 0 1 5 4 】

図14A乃至図14Cと図15A乃至図15Cと図16A乃至図16Cと図17A乃至図17Cは、本発明の第3実施例による工程順に示した工程断面図である。図14A乃至図14Cは、図7のV I I - V I I線、図15A乃至図15Cは、図7のV I I I - V I I I線、図16A乃至図16Cは、図7のI X - I X線、図17A乃至図17Cは、図7のX - X線に対応する。

10

【 0 1 5 5 】

図14Aと図15Aと図16Aと図17Aに示したように、基板100上に、画素領域Pとスイッチング領域Sと共通信号領域CSとデータ領域Dとゲート領域Gとを定義する。

【 0 1 5 6 】

第1マスク工程で、スイッチング領域Sにゲート電極102を形成して、ゲート電極102と接触しながらゲート領域Gに延長されて、一端にゲートパッド106を含むゲート配線(図7の104)を形成して、ゲート配線(図7の104)と平行な位置に共通配線(図7の109)と共通電極連結部108を形成する。

20

【 0 1 5 7 】

次に、ゲート電極102とゲート配線(図7の104)とゲートパッド106が形成された基板100全面に、ゲート絶縁膜110を形成する。

【 0 1 5 8 】

第2マスク工程で、ゲートパッド106と共通電極連結部108の一部を露出する工程を行い、スイッチング領域Sに対応するゲート絶縁膜110の上部に、アクティブ層124とオーミックコンタクト層126と、バッファ金属層128を形成する。データ領域Dには、延長部Bとデータ配線143及びデータパッド144を形成する。データ配線143及びデータパッド144は、バッファ金属層128と同一層及び同一物質で構成された層等含む。

30

【 0 1 5 9 】

次に、アクティブ層124とオーミックコンタクト層126とバッファ金属層128とデータ配線143及びデータパッド144が形成された基板100全面に、第3導電性金属層MLと感光層(図示せず)を積層して、感光層を第3マスク工程によって露光して現像し、スイッチング領域Sに対応して離隔された第1感光パターン130と、データ領域Dに対応して第2感光パターン132と、画素領域Pに対応して多数の垂直な棒状の第3感光パターン134とを形成して、ゲートパッド106の一部を覆う第4感光パターン136を形成する。

【 0 1 6 0 】

次に、第1乃至第4感光パターン130、132、134、136の周辺に露出された第3導電性金属層MLを除去して、上部の第1乃至第4感光パターン130、132、134、136を除去する工程を行う。

40

【 0 1 6 1 】

この時、第3導電性金属層MLは、第1及び第2実施例のように、モリチタン合金M o T i層で形成したり、インジウム-スズ-オキサイドI T O及びインジウム-ジunker-オキサイドI Z Oのような透明な導電性金属層で形成したりすることもできる。

【 0 1 6 2 】

図14Bと図15Bと図16Bと図17Bに示したように、スイッチング領域Sには、離隔されたソース電極138とドレイン電極140と、データ領域Dには、延長部Bとデ

50

ータ配線 143 及びデータパッド 144 を覆うと同時に、一端にデータパッド電極 146 を含む補助データ配線 142 が形成される。

【0163】

画素領域 P には、ドレイン電極 140 と電氣的に連結され画素領域 P に垂直に延長された多数の垂直な棒状で構成された画素電極 148 と、共通電極連結部 108 と接触しながら画素電極 148 間に位置した多数の垂直な棒状の共通電極 150 を形成して、ゲートパッド 106 と接触するゲートパッド電極 152 を形成する。

【0164】

次に、ソース電極 138 及びドレイン電極 140 間に露出されたバッファ金属層 128 とオーミックコンタクト層 126 を除去して、下部のアクティブ層 124 を露出する工程を行う。

【0165】

図 14C と図 15C と図 16C と図 17C に示したように、ゲートパッド電極 152 とデータパッド電極 146 の上部に、シャドーマスク SM を位置させた後、基板 100 全面に、窒化シリコン SiN_x と酸化シリコン SiO_2 を含む無機絶縁物質グループのうちから選択された一つを蒸着して保護膜 154 を形成する。

【0166】

従って、追加的なマスク工程なしに、単純にシャドーマスクでゲートパッド電極及びデータパッドを遮断する工程のみ、ゲートパッド電極 152 とデータパッド電極 146 を除いた全ての領域に保護膜 154 を形成することができる。

【0167】

前述したように、本発明の第 1 乃至第 3 実施例において、3 工程で横電界方式の液晶表示装置用アレイ基板を製作することができる。

【0168】

本発明の第 1 乃至第 3 実施例で、データ配線 143 は、バッファ金属層 128 と分離されて、延長部 B の各層は、アクティブ層 124 及びオーミックコンタクト層 126 と分離されているが、相互に連結されるように形成することもできる。

【0169】

このような他の例を図 18 に示す。図 18 は、本発明によるアレイ基板の他の例を示した断面図である。図 18 の構造は、データ配線 143 がバッファ金属層 128 に連結されて、延長部 B の各パターンがアクティブ層 124 及びオーミックコンタクト層 126 に連結されている点を除いては、前述した第 1 乃至第 3 実施例の構造と同一であるために、同一部分には、同一符号を付与して、これに対する説明は、省略する。

【0170】

図 18 に示したように、アクティブ層 124 及びオーミックコンタクト層 126 に連結されて、これと同一な積層構造の層で構成された延長部 B がデータ領域 D に位置する。延長部 B の上部には、データ配線 143 が形成されており、データ配線 143 は、バッファ金属層 128 に連結されている。補助データ配線 142 がデータ配線 143 及び延長部 B を覆っており、ソース電極 138 が補助データ配線 142 から延長されている。

【0171】

図 18 のアレイ基板は、第 1 乃至第 3 実施例に提示した同一な工程によって製造される。

【0172】

以下、本発明による工程を簡単に説明する。

【0173】

第 1 マスク工程：ゲート電極とゲート配線及びゲートパッドと共通配線を形成する。

【0174】

第 2 マスク工程：第 1 絶縁膜の下部にゲートパッドと共通配線を露出して、ゲート電極の上部に、アクティブ層とオーミックコンタクト層とバッファ金属層、データ配線の及びデータパッドを形成する。

10

20

30

40

50

【 0 1 7 5 】

第3マスク工程：離隔されたバッファ金属層と接触するソース電極とドレイン電極と、画素領域に画素電極と共通電極と、ゲートパッドと接触するゲートパッド電極と、データ領域の一端にデータパッド電極を含む補助データ配線を形成する。

【 0 1 7 6 】

次に、第1及び第2実施例で説明したリフトオフ工程を利用して、ゲートパッド電極とデータパッド電極を露出する保護膜を形成することができる。

【 0 1 7 7 】

他の例として、第3実施例で説明したように、シャドーマスクを利用してゲートパッド電極とデータパッド電極を露出する保護膜を形成することができる。

10

【 図面の簡単な説明 】

【 0 1 7 8 】

【 図 1 】 一般的な横電界方式の液晶表示装置の一部を概略的に示した断面図である。

【 図 2 】 従来による横電界方式の液晶表示装置用アレイ基板の画素を示した拡大平面図である。

【 図 3 A 】 図 2 の I I - I I 線に沿って切断して、従来の工程順に示した工程断面図である。

【 図 3 B 】 図 3 A に続く製造工程を示す断面図である。

【 図 3 C 】 図 3 B に続く製造工程を示す断面図である。

【 図 3 D 】 図 3 C に続く製造工程を示す断面図である。

20

【 図 3 E 】 図 3 D に続く製造工程を示す断面図である。

【 図 3 F 】 図 3 E に続く製造工程を示す断面図である。

【 図 3 G 】 図 3 F に続く製造工程を示す断面図である。

【 図 3 H 】 図 3 G に続く製造工程を示す断面図である。

【 図 4 A 】 図 2 の I I I - I I I 線に沿って切断して、従来の工程順に示した工程断面図である。

【 図 4 B 】 図 4 A に続く製造工程を示す断面図である。

【 図 4 C 】 図 4 B に続く製造工程を示す断面図である。

【 図 4 D 】 図 4 C に続く製造工程を示す断面図である。

【 図 4 E 】 図 4 D に続く製造工程を示す断面図である。

30

【 図 4 F 】 図 4 E に続く製造工程を示す断面図である。

【 図 4 G 】 図 4 F に続く製造工程を示す断面図である。

【 図 4 H 】 図 4 G に続く製造工程を示す断面図である。

【 図 5 A 】 図 2 の I V - I V 線に沿って切断して、従来の工程順に示した工程断面図である。

【 図 5 B 】 図 5 A に続く製造工程を示す断面図である。

【 図 5 C 】 図 5 B に続く製造工程を示す断面図である。

【 図 5 D 】 図 5 C に続く製造工程を示す断面図である。

【 図 5 E 】 図 5 D に続く製造工程を示す断面図である。

【 図 5 F 】 図 5 E に続く製造工程を示す断面図である。

40

【 図 5 G 】 図 5 F に続く製造工程を示す断面図である。

【 図 5 H 】 図 5 G に続く製造工程を示す断面図である。

【 図 6 A 】 図 2 の V - V 線に沿って切断して、従来の工程順に示した工程断面図である。

【 図 6 B 】 図 6 A に続く製造工程を示す断面図である。

【 図 6 C 】 図 6 B に続く製造工程を示す断面図である。

【 図 6 D 】 図 6 C に続く製造工程を示す断面図である。

【 図 6 E 】 図 6 D に続く製造工程を示す断面図である。

【 図 6 F 】 図 6 E に続く製造工程を示す断面図である。

【 図 6 G 】 図 6 F に続く製造工程を示す断面図である。

【 図 6 H 】 図 6 G に続く製造工程を示す断面図である。

50

【図 7】本発明による横電界方式の液晶表示装置用アレイ基板の一画素を拡大した平面図である。

【図 8 A】図 7 の V I I - V I I 線に沿って切断して、本発明の第 1 実施例による構成を示した断面図である。

【図 8 B】図 7 の V I I I - V I I I 線に沿って切断して、本発明の第 1 実施例による構成を示した断面図である。

【図 8 C】図 7 の I X - I X 線に沿って切断して、本発明の第 1 実施例による構成を示した断面図である。

【図 8 D】図 7 の X - X 線に沿って切断して、本発明の第 1 実施例による構成を示した断面図である。

10

【図 9 A】本発明の第 1 実施例による工程順に示した工程断面図である。

【図 9 B】図 9 A に続く製造工程を示す断面図である。

【図 9 C】図 9 B に続く製造工程を示す断面図である。

【図 9 D】図 9 C に続く製造工程を示す断面図である。

【図 9 E】図 9 D に続く製造工程を示す断面図である。

【図 9 F】図 9 E に続く製造工程を示す断面図である。

【図 9 G】図 9 F に続く製造工程を示す断面図である。

【図 9 H】図 9 G に続く製造工程を示す断面図である。

【図 9 I】図 9 H に続く製造工程を示す断面図である。

【図 10 A】本発明の第 1 実施例による工程順に示した工程断面図である。

20

【図 10 B】図 10 A に続く製造工程を示す断面図である。

【図 10 C】図 10 B に続く製造工程を示す断面図である。

【図 10 D】図 10 C に続く製造工程を示す断面図である。

【図 10 E】図 10 D に続く製造工程を示す断面図である。

【図 10 F】図 10 E に続く製造工程を示す断面図である。

【図 10 G】図 10 F に続く製造工程を示す断面図である。

【図 10 H】図 10 G に続く製造工程を示す断面図である。

【図 10 I】図 10 H に続く製造工程を示す断面図である。

【図 11 A】本発明の第 1 実施例による工程順に示した工程断面図である。

30

【図 11 B】図 11 A に続く製造工程を示す断面図である。

【図 11 C】図 11 B に続く製造工程を示す断面図である。

【図 11 D】図 11 C に続く製造工程を示す断面図である。

【図 11 E】図 11 D に続く製造工程を示す断面図である。

【図 11 F】図 11 E に続く製造工程を示す断面図である。

【図 11 G】図 11 F に続く製造工程を示す断面図である。

【図 11 H】図 11 G に続く製造工程を示す断面図である。

【図 11 I】図 11 H に続く製造工程を示す断面図である。

【図 12 A】本発明の第 1 実施例による工程順に示した工程断面図である。

【図 12 B】図 12 A に続く製造工程を示す断面図である。

【図 12 C】図 12 B に続く製造工程を示す断面図である。

40

【図 12 D】図 12 C に続く製造工程を示す断面図である。

【図 12 E】図 12 D に続く製造工程を示す断面図である。

【図 12 F】図 12 E に続く製造工程を示す断面図である。

【図 12 G】図 12 F に続く製造工程を示す断面図である。

【図 12 H】図 12 G に続く製造工程を示す断面図である。

【図 12 I】図 12 H に続く製造工程を示す断面図である。

【図 13 A】本発明の第 2 実施例によるアレイ基板を示した断面図である。

【図 13 B】本発明の第 2 実施例によるアレイ基板を示した断面図である。

【図 13 C】本発明の第 2 実施例によるアレイ基板を示した断面図である。

【図 13 D】本発明の第 2 実施例によるアレイ基板を示した断面図である。

50

- 【図 1 4 A】本発明の第 3 実施例による工程順に示した工程断面図である。
 【図 1 4 B】図 1 4 A に続く製造工程を示す断面図である。
 【図 1 4 C】図 1 4 B に続く製造工程を示す断面図である。
 【図 1 5 A】本発明の第 3 実施例による工程順に示した工程断面図である。
 【図 1 5 B】図 1 5 A に続く製造工程を示す断面図である。
 【図 1 5 C】図 1 5 B に続く製造工程を示す断面図である。
 【図 1 6 A】本発明の第 3 実施例による工程順に示した工程断面図である。
 【図 1 6 B】図 1 6 A に続く製造工程を示す断面図である。
 【図 1 6 C】図 1 6 B に続く製造工程を示す断面図である。
 【図 1 7 A】本発明の第 3 実施例による工程順に示した工程断面図である。
 【図 1 7 B】図 1 7 A に続く製造工程を示す断面図である。
 【図 1 7 C】図 1 7 B に続く製造工程を示す断面図である。
 【図 1 8】本発明の他の例によるアレイ基板を示した断面図である。

10

【符号の説明】

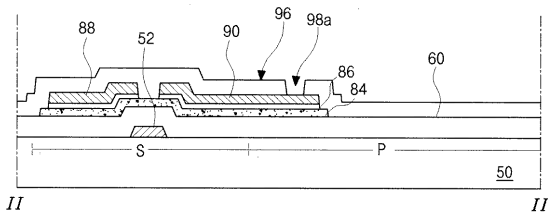
【 0 1 7 9 】

- 1 0 0 : 基板
 1 0 2 : ゲート電極
 1 0 4 : ゲート配線
 1 0 6 : ゲートパッド電極
 1 0 8 : 共通電極連結部
 1 2 4 : アクティブ層
 1 2 8 : バッファ金属層
 1 3 8 : ソース電極
 1 4 0 : ドレイン電極
 1 4 2 : データ配線
 1 4 8 : 画素電極
 1 5 0 : 共通電極
 1 5 2 : ゲートパッド電極
 1 4 8 a : 画素電極連結部
 1 0 9 : 共通配線

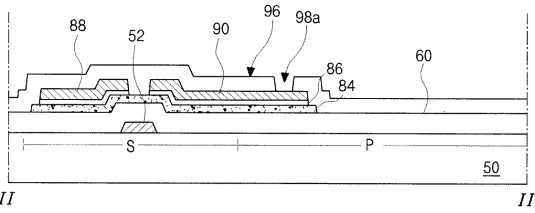
20

30

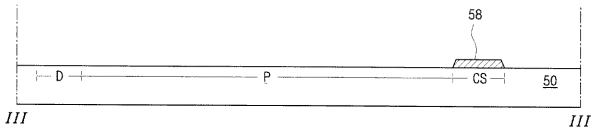
【 図 3 G 】



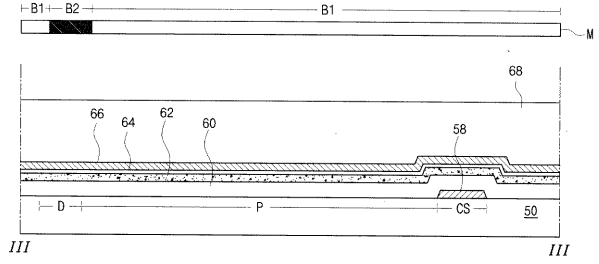
【 図 3 H 】



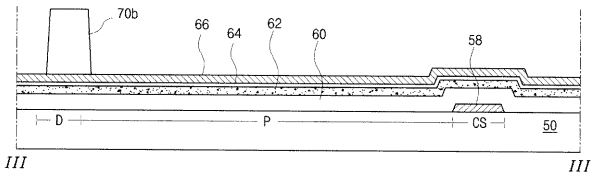
【 図 4 A 】



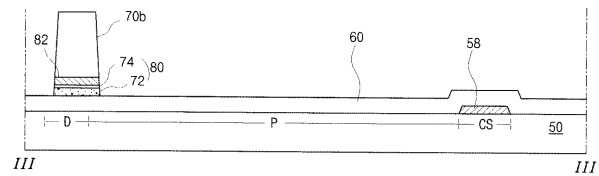
【 図 4 B 】



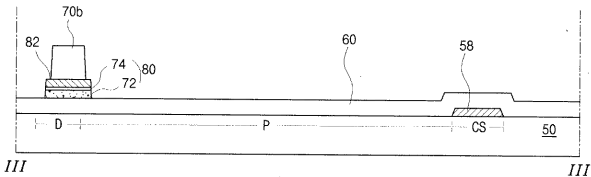
【 図 4 C 】



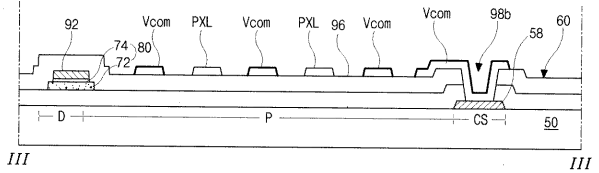
【 図 4 D 】



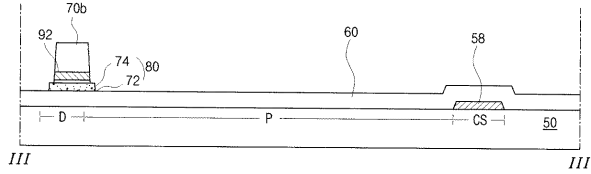
【 図 4 E 】



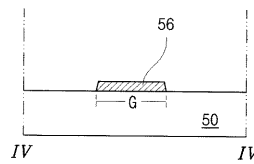
【 図 4 H 】



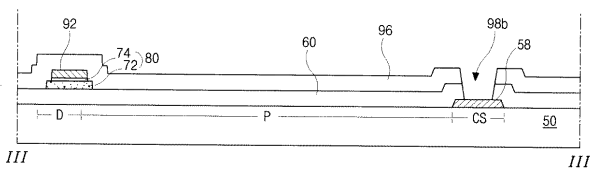
【 図 4 F 】



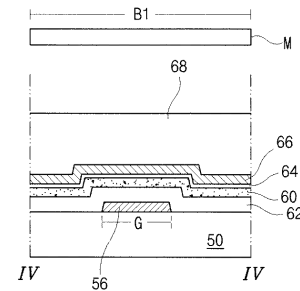
【 図 5 A 】



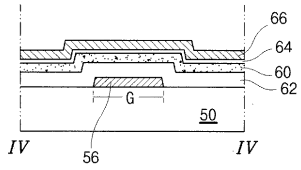
【 図 4 G 】



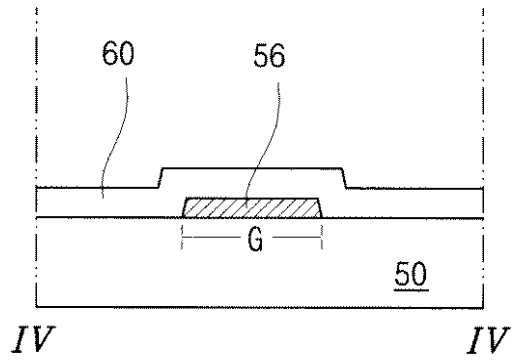
【 図 5 B 】



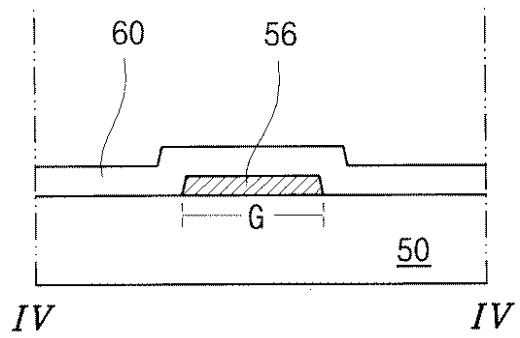
【図 5 C】



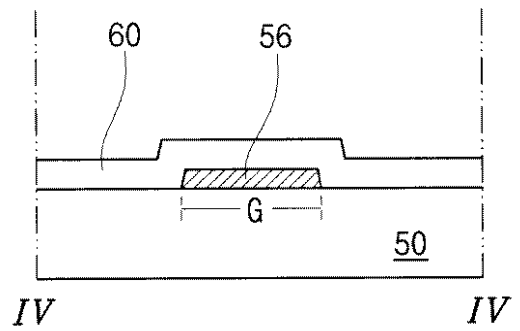
【図 5 D】



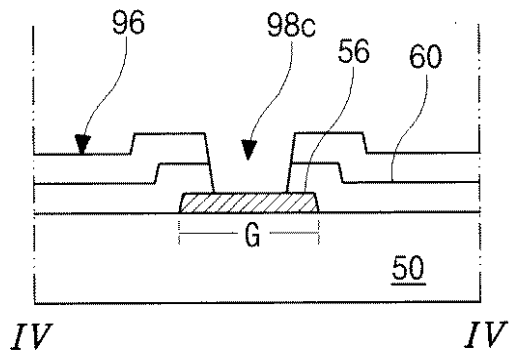
【図 5 E】



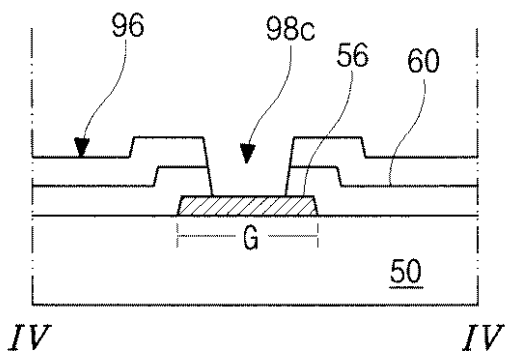
【図 5 F】



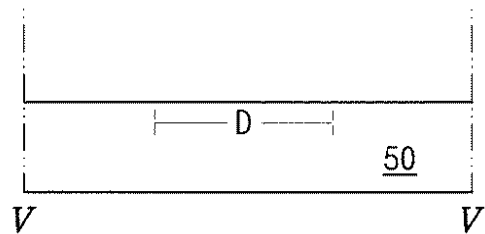
【図 5 G】



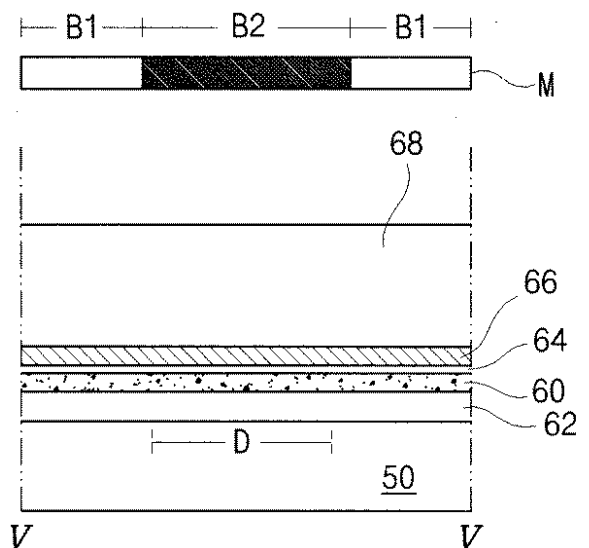
【図 5 H】



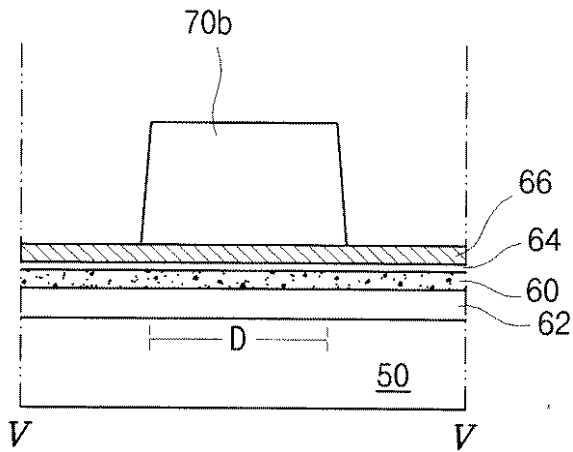
【図 6 A】



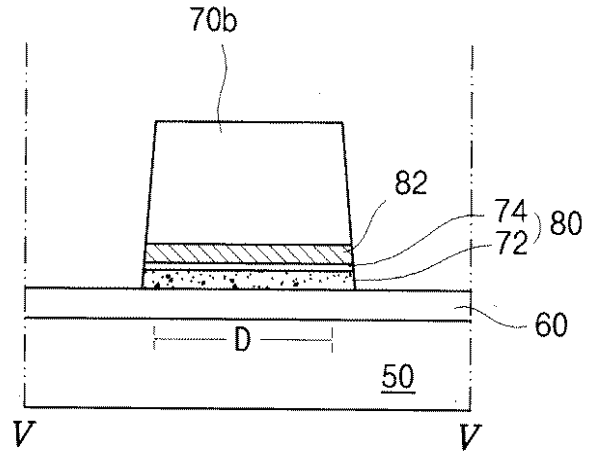
【図 6 B】



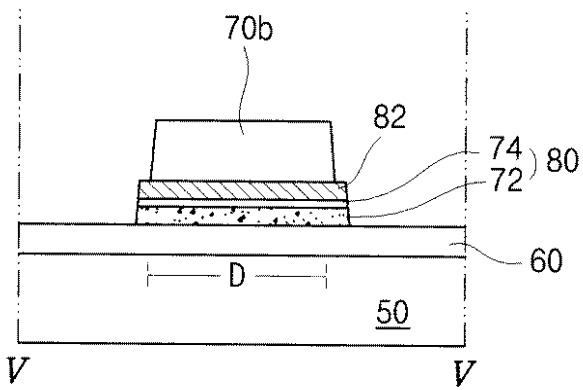
【図 6 C】



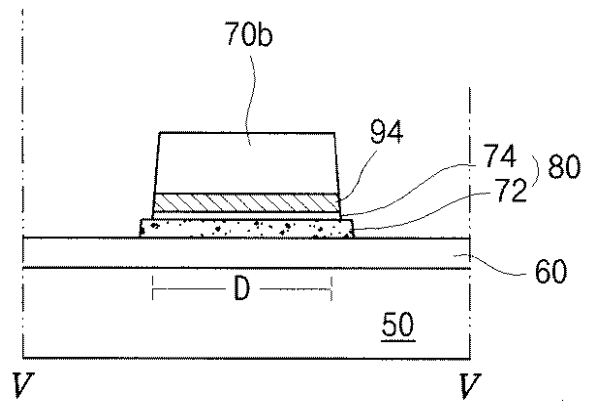
【図 6 D】



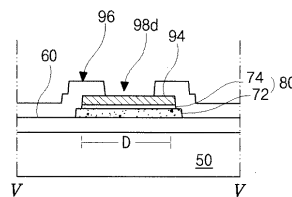
【図 6 E】



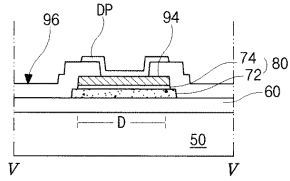
【図 6 F】



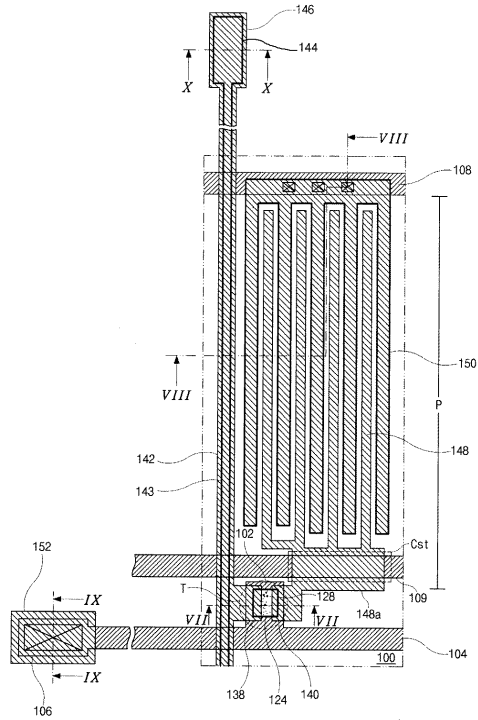
【図 6 G】



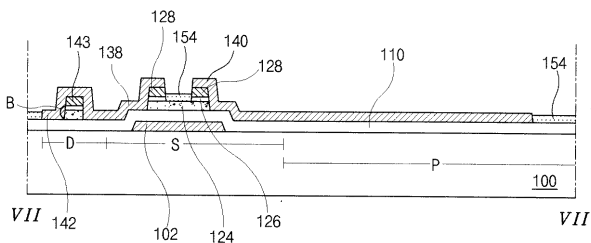
【 図 6 H 】



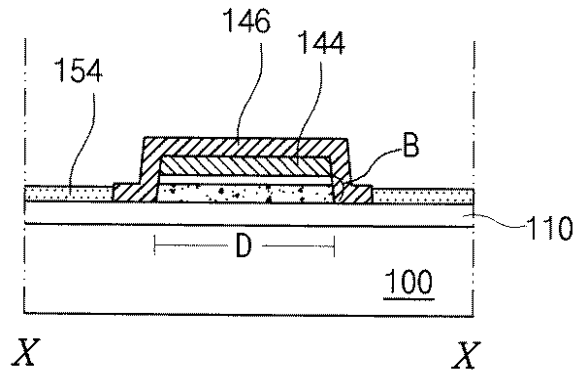
【 図 7 】



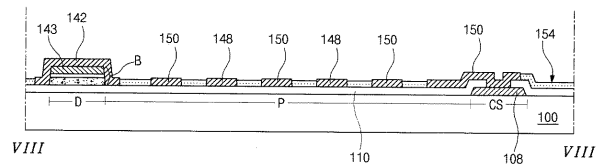
【 図 8 A 】



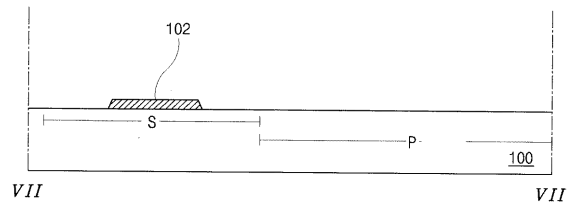
【 図 8 D 】



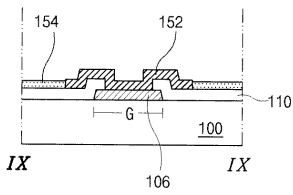
【 図 8 B 】



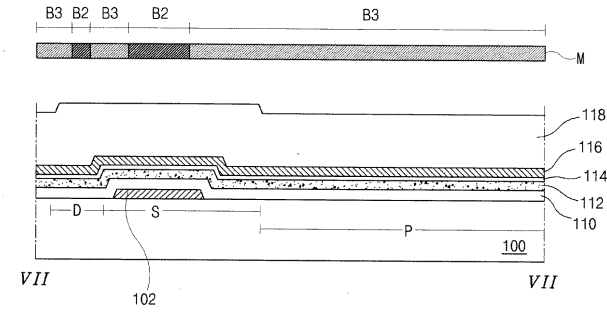
【 図 9 A 】



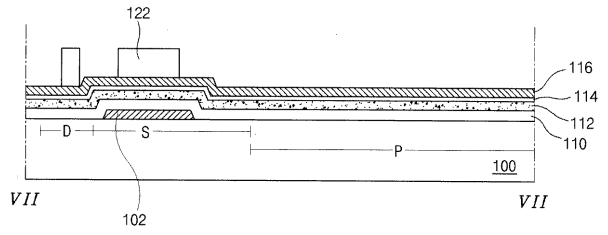
【 図 8 C 】



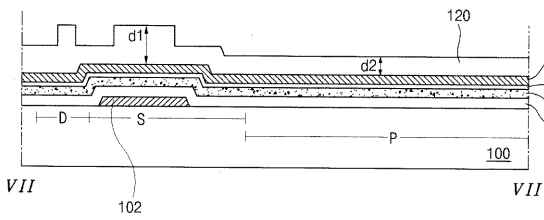
【図 9 B】



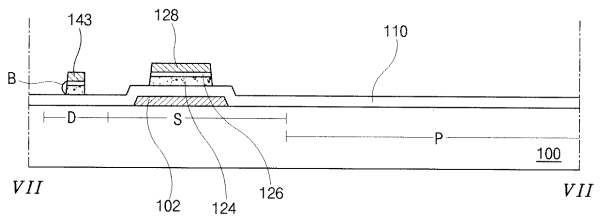
【図 9 E】



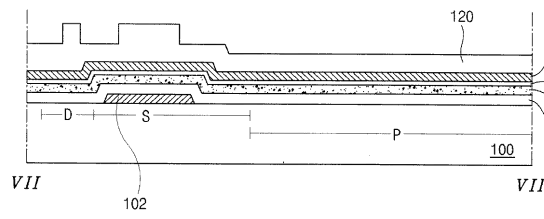
【図 9 C】



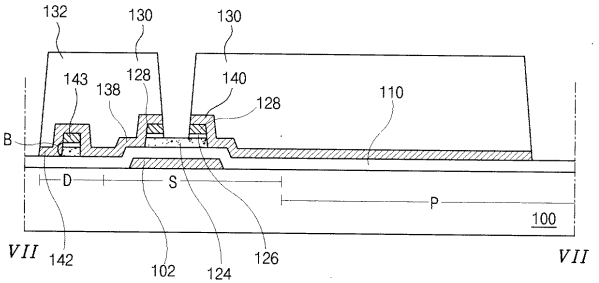
【図 9 F】



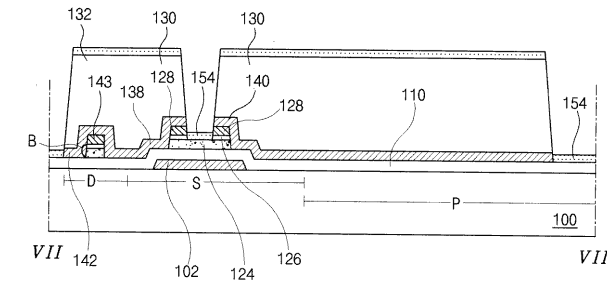
【図 9 D】



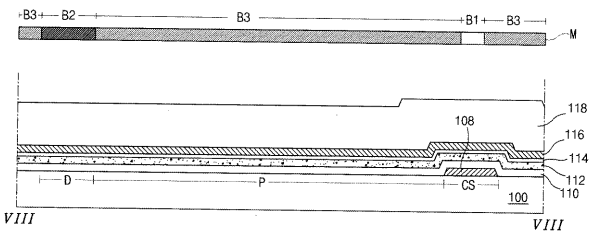
【図 9 G】



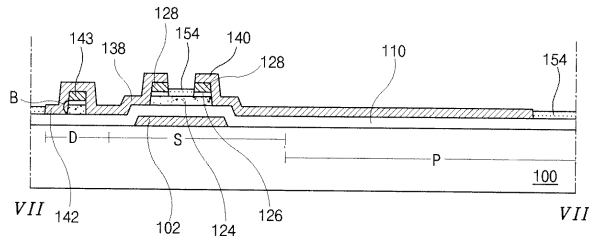
【図 9 H】



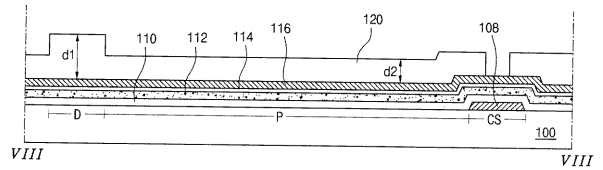
【図 10 B】



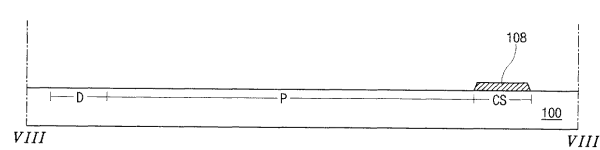
【図 9 I】



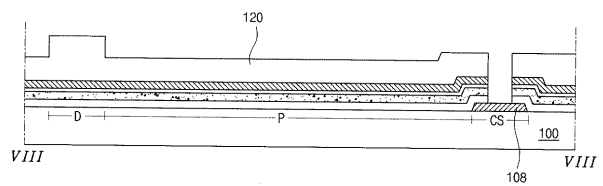
【図 10 C】



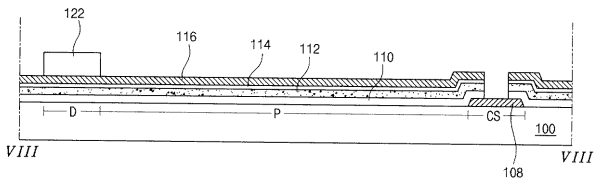
【図 10 A】



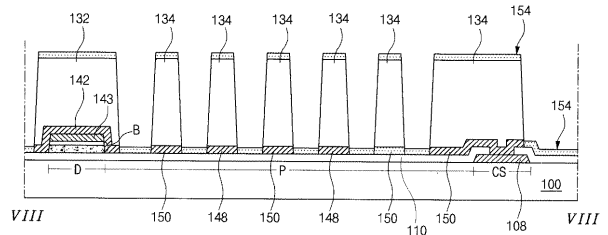
【図 10 D】



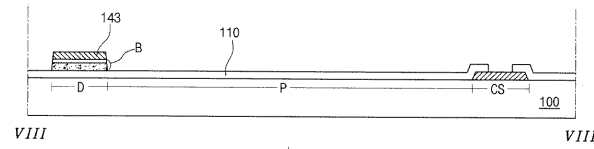
【図10E】



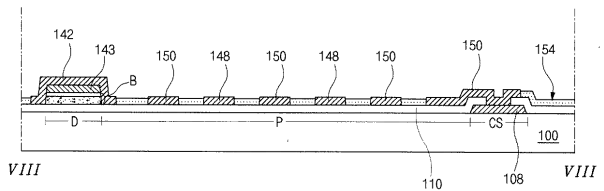
【図10H】



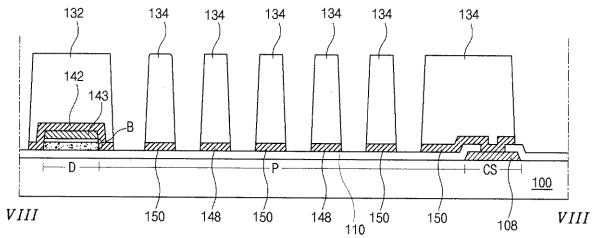
【図10F】



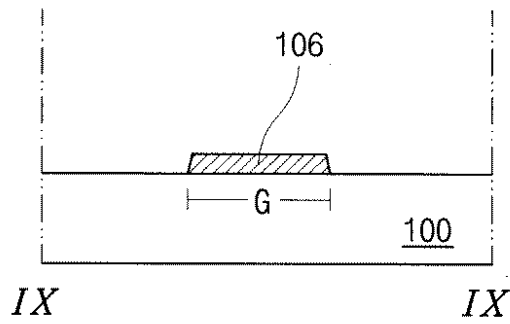
【図10I】



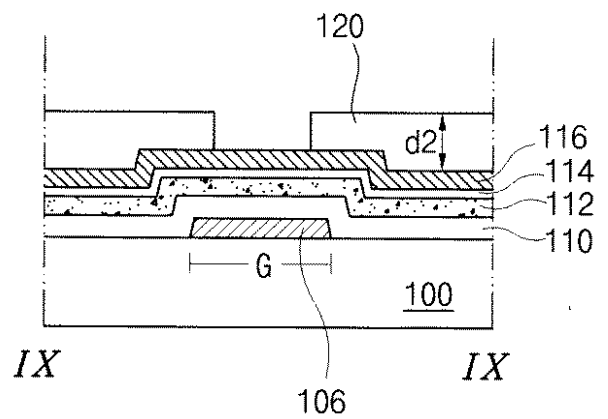
【図10G】



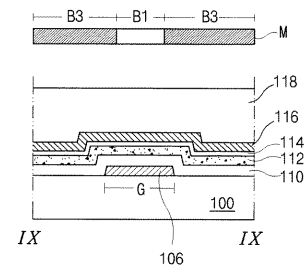
【図11A】



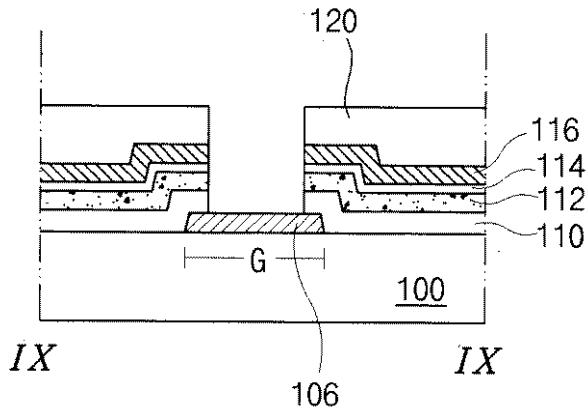
【図11C】



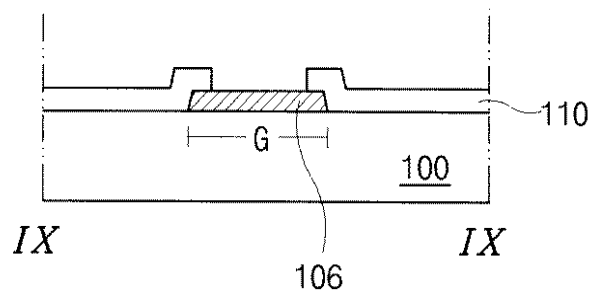
【図11B】



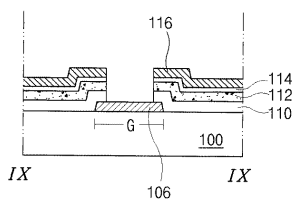
【図 1 1 D】



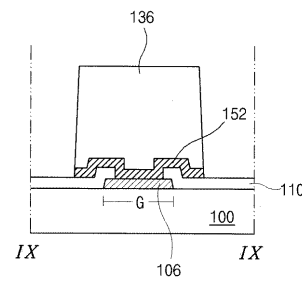
【図 1 1 F】



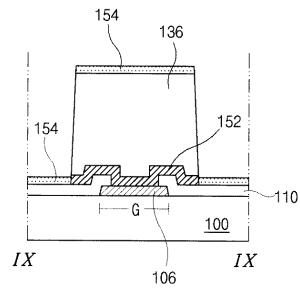
【図 1 1 E】



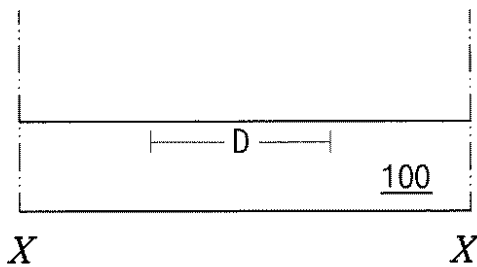
【図 1 1 G】



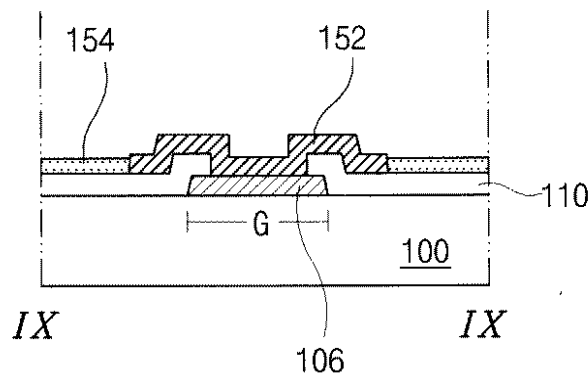
【図 1 1 H】



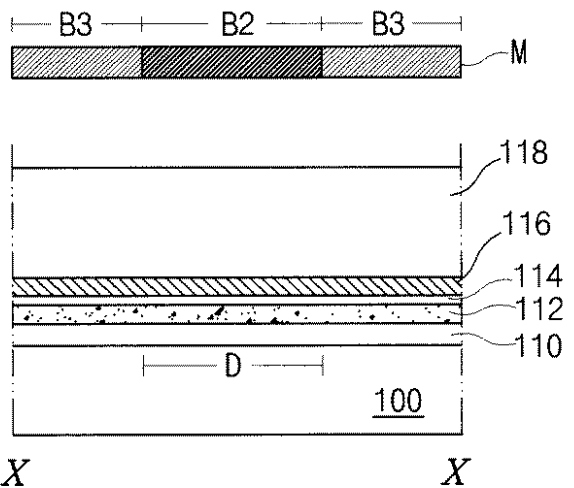
【図 1 2 A】



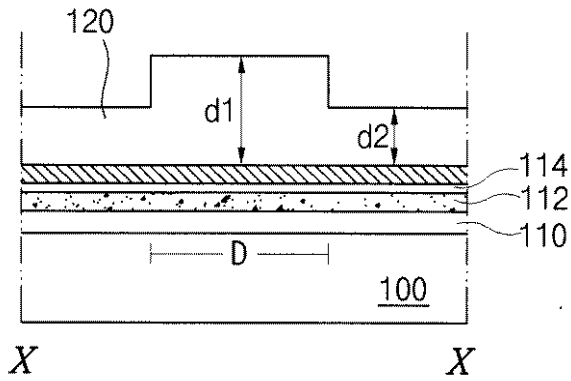
【図 1 1 I】



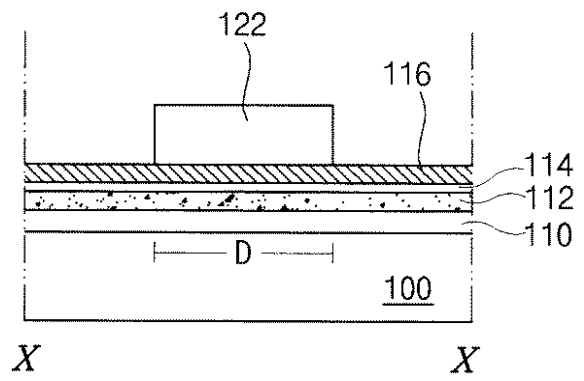
【図 1 2 B】



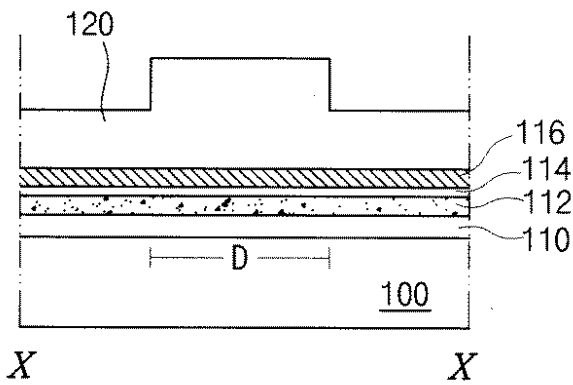
【図 1 2 C】



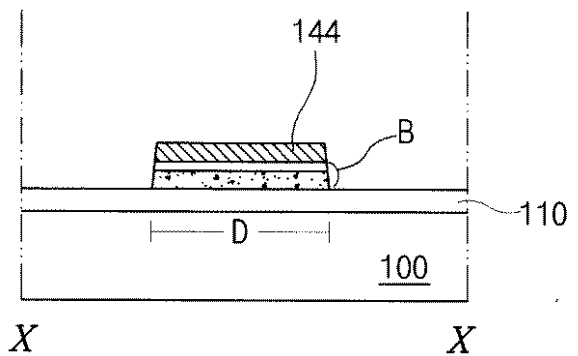
【図 1 2 E】



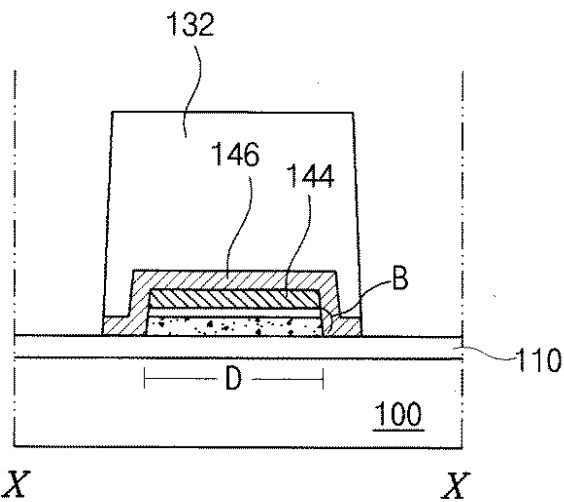
【図 1 2 D】



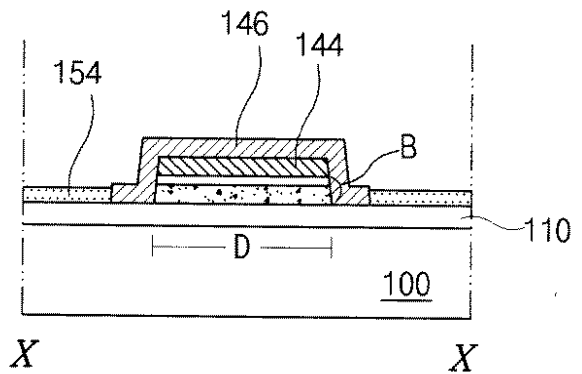
【図 1 2 F】



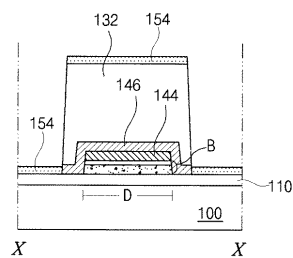
【図 1 2 G】



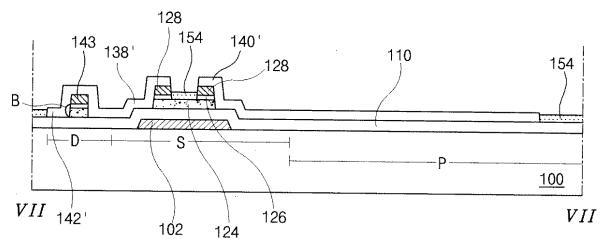
【図 1 2 I】



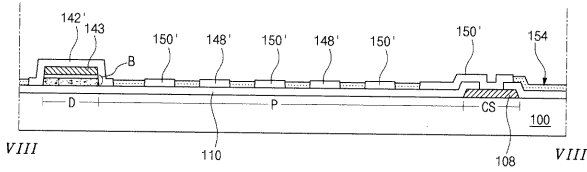
【図 1 2 H】



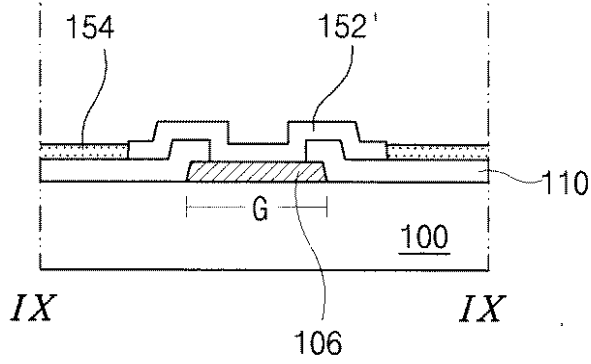
【図 1 3 A】



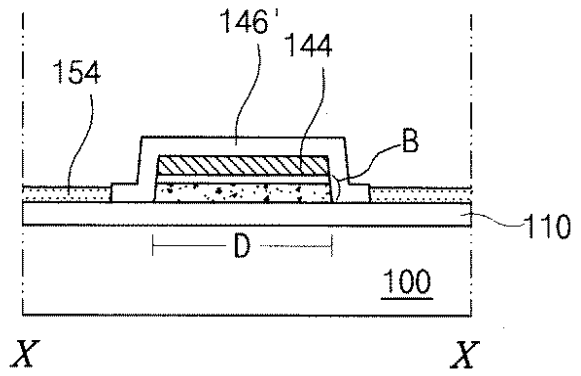
【図13B】



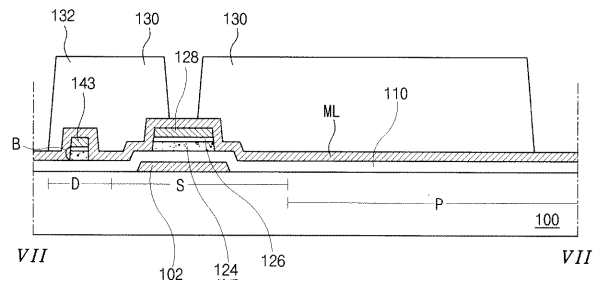
【図13C】



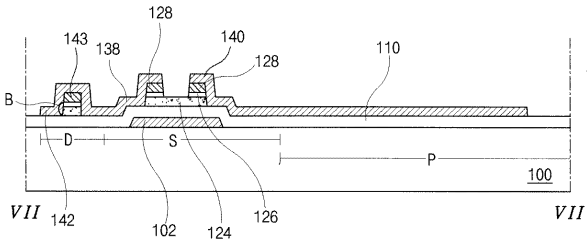
【図13D】



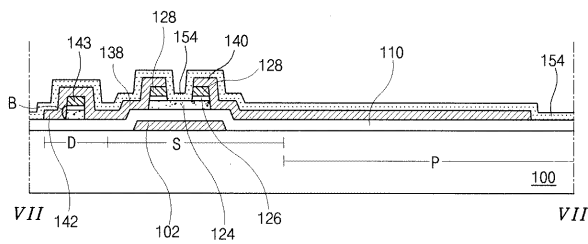
【図14A】



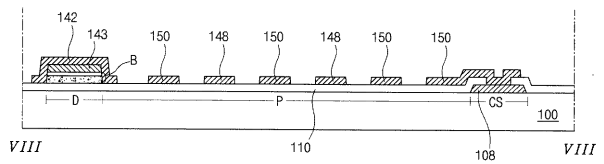
【図14B】



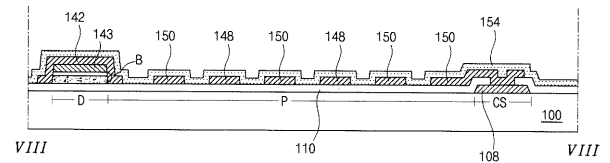
【図14C】



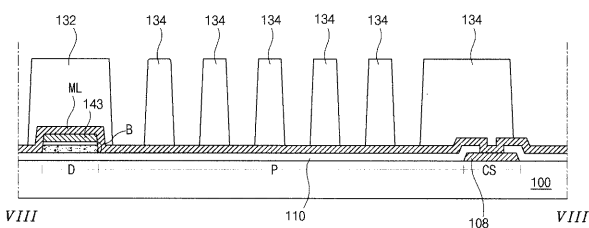
【図15B】



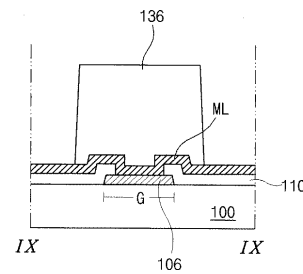
【図15C】



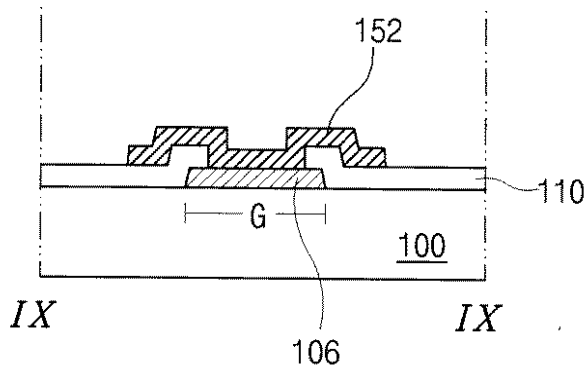
【図15A】



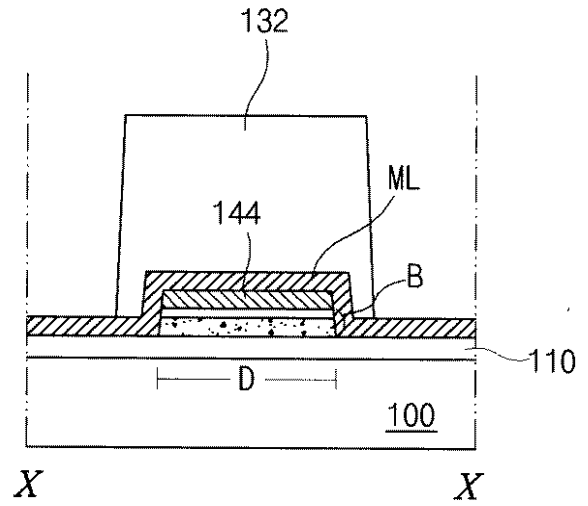
【図16A】



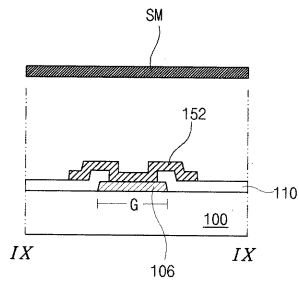
【図 16 B】



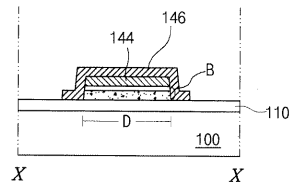
【図 17 A】



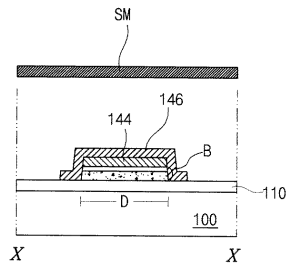
【図 16 C】



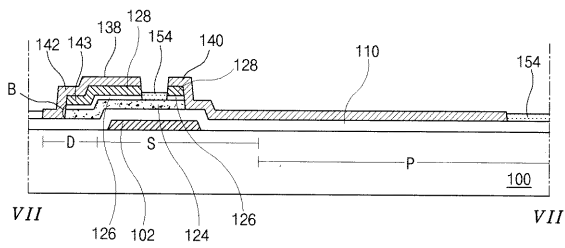
【図 17 B】



【図 17 C】



【図 18】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
H 0 1 L 23/52 (2006.01)	H 0 1 L 29/78	6 1 6 K
	H 0 1 L 29/78	6 1 9 A
	H 0 1 L 29/78	6 1 9 B
	H 0 1 L 29/78	6 2 7 C
	H 0 1 L 21/88	A
(74)代理人 100104352 弁理士 朝日 伸光		
(74)代理人 100128657 弁理士 三山 勝巳		
(72)発明者 リン ジュソ 大韓民国 730-200 キョンサンブット クミシ ポンゴクトン ヒョンジンベオビル 1 03/1103		
(72)発明者 キム ヒョウク 大韓民国 730-300 キョンブック クミシ グピョンドン 454 グピョン3チャ プ ヨン アパート 601/301		
(72)発明者 クワック ヘヨン 大韓民国 143-190 ソウル クワンジング チャヤンドン 759-28		
(72)発明者 ホン ヒュンソク 大韓民国 411-370 キョンギド コヤンシ イルサング チュヨンドン ギャンソンメウ ル 109/502		
(72)発明者 アン ビュンチュル 大韓民国 137-827 ソウル ソチョグ パンベポンドン 725ポンジ シンサンホ エ ー. ラドン 404ホ		
(72)発明者 リン ビュンホ 大韓民国 730-200 キョンサンブット クミシ ポンゴクトン 528ポンジ ヨンナム ネオビルシティ 201/1402		
Fターム(参考) 2H092 GA14 JA24 JA47 JA48 JB05 JB24 JB33 JB57 KA05 KA24 MA04 MA13 MA17 MA21 NA22 NA27 5F033 GG04 HH04 HH11 HH22 HH38 LL04 MM08 MM11 QQ01 VV15 XX10 XX33 XX34 5F110 AA03 AA06 AA16 AA21 CC07 EE02 EE03 EE04 EE06 EE14 EE43 FF02 FF03 FF09 FF27 GG02 GG15 HK02 HK06 HK07 HK09 HK16 HK22 HM19 NN02 NN23 NN24 NN33 NN44 NN46 NN47 NN53 NN72 NN73 QQ02 QQ14		

专利名称(译)	用于液晶显示装置的阵列基板及其制造方法		
公开(公告)号	JP2008134593A	公开(公告)日	2008-06-12
申请号	JP2007173016	申请日	2007-06-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji.菲利普斯杜天公司, 有限公司		
[标]发明人	リンジュソ キムヒョウク クワックヘヨン ホンヒュンソク アンビュンチュル リンビュンホ		
发明人	リン ジュソ キム ヒョウク クワック ヘヨン ホン ヒュンソク アン ビュンチュル リン ビュンホ		
IPC分类号	G02F1/1368 G02F1/1343 H01L29/786 H01L21/336 H01L21/3205 H01L23/52		
CPC分类号	H01L27/1288 G02F1/134363 G02F2001/136231 H01L27/1214		
FI分类号	G02F1/1368 G02F1/1343 H01L29/78.616.U H01L29/78.616.V H01L29/78.612.D H01L29/78.616.K H01L29/78.619.A H01L29/78.619.B H01L29/78.627.C H01L21/88.A		
F-TERM分类号	2H092/GA14 2H092/JA24 2H092/JA47 2H092/JA48 2H092/JB05 2H092/JB24 2H092/JB33 2H092/JB57 2H092/KA05 2H092/KA24 2H092/MA04 2H092/MA13 2H092/MA17 2H092/MA21 2H092/NA22 2H092/NA27 5F033/GG04 5F033/HH04 5F033/HH11 5F033/HH22 5F033/HH38 5F033/LL04 5F033/MM08 5F033/MM11 5F033/QQ01 5F033/VV15 5F033/XX10 5F033/XX33 5F033/XX34 5F110/AA03 5F110/AA06 5F110/AA16 5F110/AA21 5F110/CC07 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE14 5F110/EE43 5F110/FF02 5F110/FF03 5F110/FF09 5F110/FF27 5F110/GG02 5F110/GG15 5F110/HK02 5F110/HK06 5F110/HK07 5F110/HK09 5F110/HK16 5F110/HK22 5F110/HM19 5F110/NN02 5F110/NN23 5F110/NN24 5F110/NN33 5F110/NN44 5F110/NN46 5F110/NN47 5F110/NN53 5F110/NN72 5F110/NN73 5F110/QQ02 5F110/QQ14 2H192/AA24 2H192/BB03 2H192/BB73 2H192/CB05 2H192/CB35 2H192/CB45 2H192/CB61 2H192/CB71 2H192/CC72 2H192/DA32 2H192/DA43 2H192/EA04 2H192/EA64 2H192/EA74 2H192/FA65 2H192/HA44 2H192/HA47 2H192/HA64 2H192/HA70		
代理人(译)	臼井伸一 朝日 伸光		
优先权	1020060118593 2006-11-28 KR 1020070039312 2007-04-23 KR		
其他公开文献	JP4885805B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置，更具体地说，提供一种用于液晶显示装置的阵列基板和制造该基板的方法。解决方案：本发明的特征在于，当在用于液晶显示装置的阵列基板上制造数据布线和薄膜晶体管时，有源层不会暴露在数据布线之外并且不会暴

露在栅电极之外。包括上述配置的用于液晶显示装置的阵列基板以三种掩模工艺制造。因此，液晶显示装置在光学活性层中没有产生光电流，这有利于最小化薄膜晶体管中的波状噪声和漏电流特性，并且通过简化可以节省成本和时间。掩码过程。之

