

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-129607

(P2008-129607A)

(43) 公開日 平成20年6月5日(2008.6.5)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H092
G02F 1/133 (2006.01)	G02F 1/133 550	2H093
G02F 1/1368 (2006.01)	G02F 1/1368	5C006
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
	G09G 3/20 621M	

審査請求 未請求 請求項の数 18 O L (全 21 頁) 最終頁に続く

(21) 出願番号 特願2007-303647 (P2007-303647)
 (22) 出願日 平成19年11月22日(2007.11.22)
 (31) 優先権主張番号 10-2006-0116487
 (32) 優先日 平成18年11月23日(2006.11.23)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839
 三星電子株式会社
 SAMSUNG ELECTRONICS
 CO., LTD.
 大韓民国京畿道水原市靈通区梅灘洞416
 416, Maetan-dong, Yeongtong-gu, Suwon-si,
 Gyeonggi-do 442-742
 (KR)
 (74) 代理人 110000671
 八田国際特許業務法人
 (72) 発明者 金 希 駿
 大韓民国忠清南道天安市龍谷洞 ドンギル
 ハイビル, 103-201

最終頁に続く

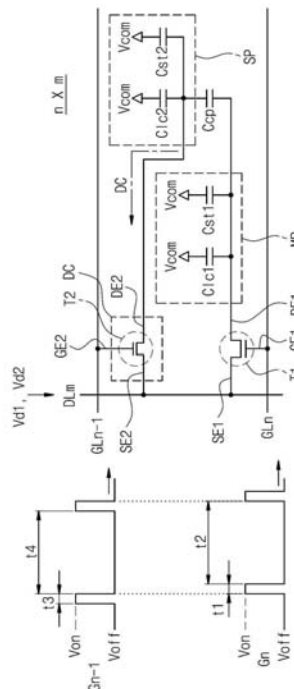
(54) 【発明の名称】 表示パネル

(57) 【要約】

【課題】輝度を向上させて側面視認性を改善した表示パネルを提供する。

【解決手段】複数の画素の各々は、第1薄膜トランジスタT1、第1及び第2液晶キャパシタC1c1、C1c2、カップリングキャパシタCcp及び放電回路DCを含む。第1液晶キャパシタC1c1は、第1薄膜トランジスタT1を介してデータラインDLmに接続される。第2液晶キャパシタC1c2は、カップリングキャパシタCcpを介して第1液晶キャパシタC1c1と並列に接続した構造を有する。そして、放電回路DCは、記カップリングキャパシタCcpと第2液晶キャパシタC1c2との間に接続されており、第2液晶キャパシタC1c2に蓄積された電荷をデータラインDLmに放電する。この表示パネルは、第2液晶キャパシタC1c2に蓄積された電荷を放電させ得る放電経路を提供する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

ゲートオン電圧とゲートオフ電圧とを含むゲートパルスを受信する複数のゲートラインと、

前記複数のゲートラインと絶縁されるようにして交差し、データ電圧を受信する複数のデータラインと、

前記複数のゲートラインと前記複数のデータラインとにより画定される複数の画素領域に備えられた複数の画素と、を含み、

前記複数の画素の各々は、

n (ここで、 n は自然数) 番目のゲートラインと m (ここで、 m は自然数) 番目のデータラインに接続され、前記ゲートオン電圧を維持するゲートパルスに 응답して前記データ電圧を出力する第 1 薄膜トランジスタと、

前記第 1 薄膜トランジスタに電氣的に接続されて、前記データ電圧をメインピクセル電圧に充電する第 1 液晶キャパシタと、

前記第 1 液晶キャパシタと並列に接続されて、前記データ電圧を受信するカップリングキャパシタと、

前記カップリングキャパシタと直列に接続されて、前記カップリングキャパシタより前記データ電圧よりも低いデータ電圧をサブピクセル電圧に充電する第 2 液晶キャパシタと

、

前記カップリングキャパシタと前記第 2 液晶キャパシタとの間に接続されて、前記第 2 液晶キャパシタに蓄積された電荷の放電経路を形成する放電回路と、

を含むことを特徴とする表示パネル。

【請求項 2】

前記放電回路は、第 2 薄膜トランジスタからなることを特徴とする請求項 1 に記載の表示パネル。

【請求項 3】

前記第 1 薄膜トランジスタは、

n 番目のゲートラインに電氣的に接続されて、前記ゲートオン電圧を維持するゲートパルスを受信する第 1 ゲート電極と、

m 番目のデータラインに電氣的に接続されて、前記データ電圧を受信する第 1 ソース電極と、

前記第 1 ソース電極を介して入力された前記データ電圧を出力する第 1 ドレイン電極と、を含み、

前記第 2 薄膜トランジスタは、

$n - 1$ 番目のゲートラインに電氣的に接続した第 2 ゲート電極と、

前記 m 番目のデータラインに電氣的に接続した第 2 ソース電極と、

前記カップリングキャパシタと前記第 2 液晶キャパシタとの間に電氣的に接続した第 2 ドレイン電極と、を含むことを特徴とする請求項 1 に記載の表示パネル。

【請求項 4】

前記第 2 液晶キャパシタに蓄積された電荷は、前記第 2 薄膜トランジスタを介して前記 m 番目のデータラインに放電されることを特徴とする請求項 3 に記載の表示パネル。

【請求項 5】

ゲートオフ電圧を維持するゲートパルスに 응답して、前記第 1 薄膜トランジスタがターンオフするとき、前記第 2 液晶キャパシタに蓄積された電荷が放電を始めることを特徴とする請求項 3 に記載の表示パネル。

【請求項 6】

前記第 1 薄膜トランジスタは、

n 番目のゲートラインに電氣的に接続されて、前記ゲートパルスを受信する第 1 ゲート電極と、

m 番目のデータラインに電氣的に接続されて、前記データ電圧を受信する第 1 ソース電

10

20

30

40

50

極と、

前記第 1 ソース電極を介して入力された前記データ電圧を出力する第 1 ドレイン電極と、
を含み、

前記第 2 薄膜トランジスタは、

n - 1 番目のゲートラインに電氣的に接続した第 2 ゲート電極と、

m + 1 番目のデータラインに電氣的に接続した第 2 ソース電極と、

前記カップリングキャパシタと前記第 2 液晶キャパシタとの間に電氣的に接続した第 2
ドレイン電極と、を含むことを特徴とする請求項 1 に記載の表示パネル。

【請求項 7】

前記第 2 液晶キャパシタに蓄積された電荷は、前記第 2 薄膜トランジスタを介して前記
m + 1 番目のデータラインに放電されることを特徴とする請求項 6 に記載の表示パネル。

【請求項 8】

前記第 2 薄膜トランジスタの W / L (ここで、W はチャネル幅で、L はチャネルの長さ
である) は、前記第 1 薄膜トランジスタの W / L の 20 % 以下であることを特徴とする請
求項 2 に記載の表示パネル。

【請求項 9】

前記各画素は、

前記第 1 液晶キャパシタと並列に接続した第 1 ストレージキャパシタと、

前記第 2 液晶キャパシタと並列に接続した第 2 ストレージキャパシタと、

をさらに含むことを特徴とする請求項 1 に記載の表示パネル。

【請求項 10】

ゲートオン電圧とゲートオフ電圧とを含むゲートパルスを受信する複数のゲートラ
イン、前記複数のゲートラインと絶縁されるように交差し、データ電圧を受信する複数の
データライン、及び前記複数のゲートラインと前記複数のデータラインにより画定される
複数の画素領域に備えられた複数の画素を含むアレイ基板と、

前記アレイ基板と対向して結合し、共通電極が備えられた対向基板と、

前記アレイ基板と前記対向基板との間に介在した液晶層と、を含み、

前記複数の画素各々は、

n (ここで、n は自然数) 番目のゲートラインと m (ここで、m は自然数) 番目のデー
タラインに接続されて、前記ゲートオン電圧を維持する前記ゲートパルスに応答して前記
データ電圧を出力する第 1 薄膜トランジスタと、

前記第 1 薄膜トランジスタの第 1 ドレイン電極に電氣的に接続されて、前記データ電圧
をメインピクセル電圧として受信するメイン画素電極と、

前記メイン画素電極と一定間隔に離隔して形成され、前記第 1 ドレイン電極から延びた
部分と部分的にオーバーラップされて、前記データ電圧よりも低いデータ電圧をサブピク
セル電圧として受信するサブ画素電極と、

前記サブ画素電極に電氣的に接続されて、前記サブ画素電極の電圧の放電経路を形成す
る第 2 薄膜トランジスタと、を含むことを特徴とする表示パネル。

【請求項 11】

前記第 1 薄膜トランジスタは、

n 番目のゲートラインから分岐された第 1 ゲート電極と、

前記第 1 ゲート電極上に形成され、前記 m 番目のデータラインから分岐された第 1 ソー
ス電極と、をさらに含み、

前記第 2 薄膜トランジスタは、

n - 1 番目のゲートラインから分岐された第 2 ゲート電極と、

前記第 2 ゲート電極上に形成され、m 番目のデータラインから分岐された第 2 ソース電
極と、

前記第 2 ソース電極と一定距離に離隔して形成され、前記サブ画素電極に電氣的に接続
した第 2 ドレイン電極と、を含むことを特徴とする請求項 10 に記載の表示パネル。

【請求項 12】

10

20

30

40

50

ゲートオフ電圧を維持するゲートパルスに応答して、前記第 1 薄膜トランジスタがターンオフするとき、前記サブ画素電極に現れる電圧は、前記第 2 薄膜トランジスタを介して前記 m 番目のデータラインに放電されることを特徴とする請求項 1 1 に記載の表示パネル。

【請求項 1 3】

前記第 1 薄膜トランジスタは、
n 番目のゲートラインから分岐された第 1 ゲート電極と、
前記第 1 ゲート電極上に形成され、前記 m 番目のデータラインから分岐された第 1 ソース電極と、をさらに含み、
前記第 2 薄膜トランジスタは、
n - 1 番目のゲートラインから分岐された第 2 ゲート電極と、
前記第 2 ゲート電極上に形成され、m + 1 番目のデータラインから分岐された第 2 ソース電極と、
前記第 2 ソース電極と一定距離に離隔して形成され、前記サブ画素電極に電氣的に接続した第 2 ドレイン電極と、を含むことを特徴とする請求項 1 0 に記載の表示パネル。

10

【請求項 1 4】

前記サブ画素電極の電圧は、前記第 2 薄膜トランジスタを介して前記 m + 1 番目のデータラインに放電されることを特徴とする請求項 1 3 に記載の表示パネル。

【請求項 1 5】

前記メイン画素電極と部分的にオーバーラップされるメインストレージ電極と、
前記サブ画素電極と部分的にオーバーラップされるサブストレージ電極と、
をさらに含むことを特徴とする請求項 1 0 に記載の表示パネル。

20

【請求項 1 6】

前記メインストレージ電極と前記サブストレージ電極とは、一体に形成されることを特徴とする請求項 1 5 に記載の表示パネル。

【請求項 1 7】

前記第 1 薄膜トランジスタと前記第 2 薄膜トランジスタは、同じ工程により同時に形成されることを特徴とする請求項 1 0 に記載の表示パネル。

【請求項 1 8】

前記第 2 薄膜トランジスタの W / L (ここで、W はチャンネル幅で、L はチャンネルの長さである) は、前記第 1 薄膜トランジスタの W / L の 2 0 % 以下であることを特徴とする請求項 1 7 に記載の表示パネル。

30

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、表示パネルに関し、特に、画素に蓄積された電荷を効果的に放電させることができる表示パネルに関する。

【背景技術】

【0 0 0 2】

液晶表示装置 (Liquid Crystal Display device) は、
薄膜トランジスタが形成されている薄膜トランジスタ基板、カラーフィルター層が形成されているカラーフィルター基板、及びこれらの間に備えられた液晶層を含む液晶表示パネルを含む。この液晶表示パネルは、非発光素子であるから、薄膜トランジスタ基板の後面に配置されて光を照射するバックライトユニットを含む。このバックライトユニットから照射された光は、液晶層の配列状態に応じてその透過量が調節される。

40

【0 0 0 3】

液晶表示装置は、薄型、小型、低消費電力には有利であるが、大型化、フルカラーの具現、コントラストの向上及び視野角などで脆弱な点がある。

【0 0 0 4】

この視野角を改善するために、PVA (Patterned Vertically Al

50

igned)モードの液晶表示装置(以下、「PVAモード」と略す)が開発された。このPVAモードは、ピクセル電極と共通電極に各々切開パターンが形成されており、これらの切開パターンにより形成されるフリンジフィールド(fringe field)を用いて、液晶分子の横になる方向を調節することによって視野角を向上させようとするモードである。

【0005】

PVAモードは液晶が垂直方向に挙動するので、正面と側面から観察するとき、液晶分子を通過する光の位相遅延(retardation)の差が視野角に応じて大きく変わる。このため、側面から低い階調の輝度が急激に上昇して、コントラスト比(contrast ratio)の低下を伴った視認性の低下を引き起こす。これを改善するために、ピクセル電極をデータ電圧が直接印加される第1区域と電氣的にフローティングされている第2区域とに分けるSPVA(super-PVA)方式の液晶表示装置が開発された。

10

【0006】

一方、液晶表示パネルのオフ時には、ゲートラインを介して接地電圧が印加され、これにより薄膜トランジスタのゲート電極にも接地電圧が印加される。この場合、通常の薄膜トランジスタは、約10pA~1nAの電流が流れるため、数百ms内に画素に充電された電荷が全てデータラインを介して外部に放電される。

【0007】

ところが、上述のSPVAの第2区域は、第1区域、薄膜トランジスタ、及びデータラインと電氣的に分離されているフローティング状態であるから、液晶表示パネルの第2区域に蓄積された電荷は適切に放電されない。

20

【0008】

このように第2区域の放電が円滑に行われないと、液晶に同じ極性の電圧が印加され続けて、オフされた状態でも液晶表示パネルに残像が残ってしまうか、または液晶表示パネルの駆動時にフリッカー(flicker)現象が発生してしまう。

【特許文献1】米国特許第7265802号明細書

【発明の開示】

【発明が解決しようとする課題】

【0009】

本発明は、上述の問題点を鑑みてなされたもので、その目的は、画素に蓄積された電荷を効果的に放電させることができるようにして、輝度を向上させ、側面視認性が改善された表示パネルを提供することにある。

30

【課題を解決するための手段】

【0010】

上記の目的を達成すべく、本発明による表示パネルは、複数のゲートラインと、複数のデータラインとを含む。前記複数のゲートラインは、ゲートオン電圧とゲートオフ電圧を含むゲートパルスを順次受信する。前記複数のデータラインは、前記複数のゲートラインと絶縁するようにして交差し、データ電圧を受信する。また、前記表示パネルは、前記複数のゲートラインと前記複数のデータラインとにより画定される複数の画素領域に備えられた複数の画素を含む。前記複数の画素各々は、第1薄膜トランジスタ、第1液晶キャパシタ、カップリングキャパシタ、第2液晶キャパシタ及び放電回路を含む。

40

【0011】

前記第1薄膜トランジスタは、n(ここで、nは自然数)番目のゲートラインとm(ここで、mは自然数)番目のデータラインに接続され、前記ゲートオン電圧を維持するゲートパルスに応答して、前記データ電圧を出力する。前記第1液晶キャパシタは、前記第1薄膜トランジスタに電氣的に接続されて、前記データ電圧をメインピクセル電圧に充電する。前記カップリングキャパシタは、前記第1液晶キャパシタと並列に接続されて、前記データ電圧を受信する。前記第2液晶キャパシタは、前記カップリングキャパシタと直列に接続されて、前記カップリングキャパシタより前記データ電圧よりも低いデータ電圧を

50

サブピクセル電圧に充電する。前記放電回路は、前記カップリングキャパシタと前記第2液晶キャパシタとの間に接続されて、前記第2液晶キャパシタに蓄積された電荷の放電経路を形成する。好ましくは、前記放電回路は、第2薄膜トランジスタからなる。

【0012】

さらに詳細に、前記第1薄膜トランジスタは、 n 番目のゲートラインに電氣的に接続されて、前記ゲートオン電圧を維持するゲートパルスを受信する第1ゲート電極、 m 番目のデータラインに電氣的に接続されて前記データ電圧を受信する第1ソース電極と、前記第1ソース電極を介して入力された前記データ電圧を出力する第1ドレイン電極と、を含む。

【0013】

前記第2薄膜トランジスタは、 $n-1$ 番目のゲートラインに電氣的に接続した第2ゲート電極、前記 m 番目のデータラインに電氣的に接続した第2ソース電極と、前記カップリングキャパシタと前記第2液晶キャパシタとの間に電氣的に接続した第2ドレイン電極と、を含む。結果的に、前記第2液晶キャパシタに蓄積された電荷は、前記第2薄膜トランジスタを介して前記 m 番目のデータラインに放電される。

【0014】

上述のように、本発明の表示パネルによれば、電氣的にフローティングされている第2液晶キャパシタの放電経路を形成することによって、前記第2液晶キャパシタに蓄積された電荷を効果的に放電することができる。これにより、本発明による表示パネルは、前記第2液晶キャパシタに蓄積された電荷により発生する表示画面上の残像を除去することによって、また、側面視認性を改善することによって、表示パネルの表示品質を向上させることができる。

【発明の効果】

【0015】

本発明の表示パネルによれば、電氣的にフローティングされている第2液晶キャパシタの放電経路を形成することによって、前記第2液晶キャパシタに蓄積された電荷を効果的に放電することができる。

【0016】

したがって、本発明による表示パネルは、前記第2液晶キャパシタに蓄積された電荷により発生する表示画面上の残像を除去することによって、表示パネルの表示品質を向上させることができる。

【発明を実施するための最良の形態】

【0017】

以下、本発明の好ましい実施の形態を、添付図面に基づき詳細に説明する。

【0018】

図1は、本発明の一実施の形態による表示パネルに備えられた $n \times m$ 画素の等価回路図であり、図2は、図1に示す等価回路に対する波形図である。

【0019】

図1及び図2に示すように、 $n \times m$ 画素は、 n 番目のゲートライン GL_n 、 m 番目のデータライン DL_m 、第1薄膜トランジスタ T_1 及び放電回路 DC (Discharge Circuit)を含む。第1薄膜トランジスタ T_1 は、 n 番目のゲートライン GL_n と m 番目のデータライン DL_m とに電氣的に接続される。

【0020】

具体的に説明すると、前記第1薄膜トランジスタ T_1 の第1ゲート電極 GE_1 は、前記 n 番目のゲートライン GL_n に電氣的に接続され、第1ソース電極 SE_1 は、前記 m 番目のデータライン DL_m に電氣的に接続される。また、前記第1薄膜トランジスタ T_1 は、第1ドレイン電極 DE_1 を備える。

【0021】

前記 n 番目のゲートライン GL_n にはゲートパルス G_n が印加され、前記 m 番目のデータライン DL_m にはデータ電圧 V_d が印加される。前記ゲートパルス G_n は、第1区間 t

10

20

30

40

50

1 の間に維持されるゲートオン電圧 V_{on} と前記第 1 区間 t_1 に時間順に連続した第 2 区間 t_2 の間に維持されるゲートオフ電圧 V_{off} とからなる。

【0022】

前記第 1 区間 t_1 に該当するゲートオン電圧に維持されるゲートパルス G_n に応答して、前記第 1 薄膜トランジスタ T_1 がターンオンすると、前記ソース電極 SE_1 に印加された前記データ電圧 V_{d1} は、前記第 1 ドレイン電極 DE_1 に出力される。

【0023】

前記第 1 区間 t_1 以後、前記第 2 区間 t_2 に該当するゲートオフ電圧 V_{off} に維持されるゲートパルスに反応して、前記第 1 薄膜トランジスタ T_1 はターンオフする。

【0024】

前記放電回路 DC は、 $n - 1$ 番目のゲートライン GL_{n-1} と m 番目のデータライン DL_m に電氣的に接続される。

【0025】

具体的に説明すると、前記放電回路 DC は、第 2 薄膜トランジスタ T_2 を含む。第 2 薄膜トランジスタ T_2 の第 2 ゲート電極 GE_2 は、 $n - 1$ 番目のゲートライン GL_{n-1} に接続され、第 2 ソース電極 SE_2 は、 m 番目のデータライン DL_m に接続される。また、前記第 2 薄膜トランジスタ T_2 は、第 2 ドレイン電極 DE_2 を備える。

【0026】

前記 $n - 1$ 番目のゲートライン GL_{n-1} には、ゲートパルス G_{n-1} が印加され、前記 m 番目のデータライン DL_m には、データ電圧 V_{d2} が印加される。前記ゲートパルス G_{n-1} は、第 3 区間 t_3 の間に維持されるゲートオン電圧 V_{on} と前記第 3 区間 t_3 に時間順に連続した第 4 区間 t_4 の間に維持されるゲートオフ電圧 V_{off} とからなる。

【0027】

前記第 3 区間 t_3 に該当するゲートオン電圧 V_{on} に維持されるゲートパルス G_{n-1} に反応して、前記第 2 薄膜トランジスタ T_2 がターンオンすると、前記第 2 ソース電極 SE_2 に印加された前記データ電圧 V_{d2} は、前記第 2 ドレイン電極 DE_1 に出力される。

【0028】

前記第 3 区間 t_3 以後、前記第 4 区間 t_4 に該当するゲートオフ電圧 V_{off} に維持されるゲートパルス G_{n-1} に反応して、前記第 2 薄膜トランジスタ T_2 はターンオフする。

【0029】

前記 $n \times m$ 画素は、メインピクセル MP 、カップリングキャパシタ C_{cp} 及びサブピクセル SP をさらに含む。前記メインピクセル MP とカップリングキャパシタ C_{cp} は、前記第 1 薄膜トランジスタ T_1 の第 1 ドレイン電極 DE_1 を介して並列に接続され、前記カップリングキャパシタ C_{cp} と前記サブピクセル SP とは直列に接続される。

【0030】

前記メインピクセル MP は、第 1 ドレイン電極 DE_1 に並列に接続した第 1 液晶キャパシタ C_{lc1} と第 1 ストレージキャパシタ C_{st1} とからなる。

【0031】

具体的に説明すると、前記第 1 液晶キャパシタ C_{lc1} の一方は、前記第 1 薄膜トランジスタ T_1 のドレイン電極 DE_1 に電氣的に接続され、他方は、共通電圧 V_{com} が印加される共通電極に電氣的に接続される。前記第 1 ストレージキャパシタ C_{st1} の一方は、前記第 1 液晶キャパシタ C_{lc1} の一方に電氣的に接続され、他方は、共通電圧 V_{com} が印加される共通電極に電氣的に接続される。

【0032】

前記カップリングキャパシタ C_{cp} は、メインピクセル MP とサブピクセル SP との間に位置する。具体的に説明すると、前記カップリングキャパシタ C_{cp} の一方は、前記第 1 ドレイン電極 DE_1 に接続され、他方は、前記サブピクセル SP に接続される。

【0033】

前記サブピクセル SP は、前記カップリングキャパシタ C_{cp} の他方に並列に接続した

10

20

30

40

50

第2液晶キャパシタC1c2と第2ストレージキャパシタCst2とからなる。

【0034】

具体的に説明すると、前記第2液晶キャパシタCLc2の一方は、前記カップリングキャパシタCcpの他方に電氣的に接続され、他方は、前記共通電圧Vcomが印加される前記共通電極に電氣的に接続される。前記第2ストレージキャパシタCst2の一方は、前記カップリングキャパシタCcpの他方に電氣的に接続され、他方は、前記共通電圧Vcomが印加される共通電極に電氣的に接続される。そして、前記カップリングキャパシタCcpの他方に接続した前記第2液晶キャパシタC1c2の一方は、前記放電回路DCに含まれた第2薄膜トランジスタT2の第2ドレイン電極DE2に電氣的に接続される。

【0035】

n番目のゲートラインGLnにゲートオン電圧Gnが入力されれば、第1薄膜トランジスタT1がターンオンし、前記データラインDLmに印加されたデータ電圧Vd1は、第1ドレイン電極DE1に出力される。第1薄膜トランジスタT1のドレイン電極DE1に出力されたデータ電圧Vd1は、メインピクセルMPの第1液晶キャパシタC1c1とサブピクセルSPの第2液晶キャパシタC1c2に印加され、第1液晶キャパシタC1c1と第2液晶キャパシタC1c2をそれぞれ充電する。このとき、前記サブピクセルSPの第1液晶キャパシタC1c1に充電される電圧は、前記カップリングキャパシタCcpにより前記メインピクセルMPの第2液晶キャパシタC1c2に充電される電圧よりも小さい。

【0036】

このように、前記第1液晶キャパシタC1c1と前記第2液晶キャパシタC1c2にそれぞれ充電される電圧の差によって、前記第2液晶キャパシタC1c2に含まれた液晶分子は、前記第1液晶キャパシタC1c1に含まれた液晶分子よりの横に傾く程度が小さくなる。したがって、前記メインピクセルMPと前記サブピクセルSPにおいて透過される光の量が合成されることになり、正面では従来と同じ輝度を表し、かつ側面視野角を向上させることができる。

【0037】

一方、図1に示す実施の形態とは異なり、従来の表示パネルでは、n番目のゲートラインGLnにゲートオフ電圧のゲートパルスGnが入力されると、第1薄膜トランジスタT1がターンオフして抵抗として機能する。この抵抗として機能する第1薄膜トランジスタT1のために、第1液晶キャパシタC1c1の電荷は、m番目のデータラインDLmを介して外部に放電される。しかしながら、第2液晶キャパシタC1c2は、カップリングキャパシタCcpによりフローティングされているので、外部には放電されない。

【0038】

しかしながら、本発明による表示パネルでは、前述のように、第2液晶キャパシタC1c2の一方が放電回路DCの第2薄膜トランジスタT2に接続されているため、第2液晶キャパシタC1c2の放電経路を提供する。

【0039】

具体的に説明すると、n番目のゲートラインGLnにゲートオフ電圧Voffを維持するゲートパルスGnが入力されると、第1薄膜トランジスタT1がターンオフする。このとき、n-1番目のゲートラインGLn-1も、ゲートオフ電圧Voffに維持されている状態であるから、放電回路DCに備えられた第2薄膜トランジスタT2もターンオフしている。

【0040】

このような状態になっていると、第2薄膜トランジスタT2も、第2液晶キャパシタC1c2の一方とm番目のデータラインDLmとを接続する抵抗として機能するようになる。この抵抗として機能する第2薄膜トランジスタT2により、第2液晶キャパシタC1c2の電荷も外部に放電できるようになる。

【0041】

一方、n-1番目のゲートラインGLn-1にゲートオン電圧Vonが維持されるゲ-

10

20

30

40

50

トパルス $G_n - 1$ が入力されると、放電回路に備えられた第 2 薄膜トランジスタ T_2 がターンオンする。したがって、第 2 液晶キャパシタ C_{1c2} は、データ電圧 V_{d2} により一定量の電荷が予め充電される。ここで、第 2 液晶キャパシタ C_{1c2} にあまりにも多量の電荷が予め充電されてしまうと、 n 番目のゲートライン GL_n のゲートオフ電圧 V_{off} が維持される短い時間 t_2 の間に十分な放電が行われなくなる。したがって、第 2 液晶キャパシタ C_{1c2} に予め充電される電荷の量を最小にするために、第 2 薄膜トランジスタ T_2 のサイズ、すなわち、駆動能力を適切に調節しなければならない。好ましくは、前記第 2 薄膜トランジスタ T_2 は、第 1 薄膜トランジスタ T_1 のサイズの 20% 以下のサイズに設計することが好ましい。ここで、トランジスタのサイズは、チャンネルの幅 (W) をチャンネルの長さ (L) で割った値 (W/L) で定義される。

10

【0042】

図 2 及び図 3 は、本発明による表示パネルに備えられたメインピクセル MP とサブピクセル SP に現れる電圧波形図である。図 2 には、図 1 に示す放電回路 DC が備えられていない $n \times m$ の画素での正常動作時におけるメインピクセル電圧 V_{mp} 及びサブピクセル電圧 V_{sp} の波形と、放電回路が備えられた $n \times m$ の画素での正常動作時におけるメインピクセル電圧 V_{mp}' 及びサブピクセル電圧 V_{sp}' の電圧波形が共に示される。特に、図 2 に示すメインピクセル電圧 V_{mp}' 及びサブピクセル電圧 V_{sp}' の電圧波形は、放電回路 DC に備えられた第 2 薄膜トランジスタ T_2 のサイズを第 1 薄膜トランジスタ T_1 のサイズの 20% 以下に設計した時に現れる電圧波形である。図 3 には、図 1 に示す放電回路 DC が備えられていない $n \times m$ の画素での正常動作時におけるメインピクセル電圧 V_{mp} 及びサブピクセル電圧 V_{sp} の波形と、放電回路 DC が備えられた $n \times m$ の画素での正常動作時におけるメインピクセル電圧 V_{mp}' 及びサブピクセル電圧 V_{sp}' の電圧波形が共に示される。このとき、図 3 に示すメインピクセル電圧 V_{mp}' 及びサブピクセル電圧 V_{sp}' の電圧波形は、第 2 薄膜トランジスタ T_2 のサイズを第 1 薄膜トランジスタ T_1 のサイズの 20% 以上に設計した時に現れる電圧波形である。

20

【0043】

図 2 に示すように、各画素別に第 2 薄膜トランジスタ T_2 が備えられた放電回路 DC を備えても、正常動作に全く問題がないことが分かる。ただし、第 2 薄膜トランジスタ T_2 のサイズ設計時に第 2 薄膜トランジスタ T_2 のサイズを第 1 薄膜トランジスタ T_1 のサイズの 20% より大きく設計したとき、図 3 に示すように、サブピクセル電圧 V_{sp}' 、 V_{sp} 間に電圧差が発生し得る。したがって、前述のように、第 2 薄膜トランジスタ T_2 のサイズ設計時に第 2 薄膜トランジスタ T_2 のサイズを第 1 薄膜トランジスタ T_1 のサイズの 20% より小さく設計することが好ましい。

30

【0044】

図 4 は、図 1 に示す表示パネルのレイアウトであり、図 5 は、図 4 に示す切断線 $I - I'$ に沿う断面図であり、図 6 は、図 4 に示す切断線 $II - II'$ に沿う断面図であり、図 7 は、図 4 に示す切断線 $III - III'$ に沿う断面図である。

【0045】

図 5 に示すように、表示パネル 100 は、アレイ基板 110、前記アレイ基板 110 と対向して結合する対向基板 120、及び前記アレイ基板 110 と前記対向基板 120 との間に介在された液晶層 130 からなる。

40

【0046】

前記アレイ基板 110 は、第 1 ベース基板 111 を含み、前記第 1 ベース基板 111 上には、複数のゲートラインと複数のデータラインとが形成される。具体的に説明すると、図 4 に示すように、前記ゲートライン GL_n は第 1 方向 D_1 に延び、前記データライン DL_m は前記第 1 方向 D_1 と直交する第 2 方向 D_2 に延び、前記データライン DL_m は前記ゲートライン GL_n と絶縁されて交差する。そして、前記ゲートライン GL_n と前記データライン DL_m とにより、複数の画素領域が画定される。また、図 5 に示すように、前記第 1 ベース基板 111 には、ゲート絶縁膜、半導体層 113 及びオーム層 114 が順次積層される。前記半導体層 113 は、水素化非晶質シリコン層またはポリシリコン層であり

50

得る。オーム層 (Ohmic contact islands) 114 は、高濃度にドーピングされたポリシリコン層、シリサイド層であり得る。前記オーム層 114 は、前記半導体層 113 上で対となるように配置される。

【0047】

各画素領域上には、図 4 に示すように、第 1 薄膜トランジスタ T1、第 2 薄膜トランジスタ T2、メインピクセル MP 及びサブピクセル SP が提供される。

【0048】

図 4 に示すように、第 1 薄膜トランジスタ T1 は、前記ゲートライン GLn と前記データライン D L m とに電氣的に接続される。具体的に説明すると、前記薄膜トランジスタ T1 のゲート電極 GEN は、前記ゲートライン GLn から分岐され、ソース電極 SEN は、前記データライン D L m から分岐される。前記第 1 薄膜トランジスタ T1 の第 1 ドレイン電極 DE1 は、前記メインピクセル MP に電氣的に接続される。

10

【0049】

第 1 薄膜トランジスタ T1 は、前記ゲートライン GLn に印加されたゲートパルス Gn (図 2 参照) に応答して、前記データライン D L m に印加されたデータ電圧 V d 1 (図 2 参照) を前記第 1 ドレイン電極 DE1 に出力する。

【0050】

前記メインピクセル MP は、メイン画素電極 MPE 及びメインストレージ電極 MSE からなり、前記サブピクセル SP は、サブ画素電極 SPE 及びサブストレージ電極 SSE からなる。前記メイン画素電極 MPE と前記サブ画素電極 SPE は互いに異なる大きさからなる。前記メイン画素電極 MPE と前記サブ画素電極 SPE の中で前記データライン D L m と平行したいずれか一辺は、前記ゲートライン GLn が延びる前記第 1 方向 D 1 に折り曲げられた形状を有する。

20

【0051】

前記メイン画素電極 MPE は、第 1 コンタクト孔 C 1 を介して、第 1 薄膜トランジスタ T1 の第 1 ドレイン電極 DE1 に電氣的に接続されて、前記データ電圧 V d 1 (図 2 参照) を受信する。

【0052】

前記サブ画素電極 SPE は、前記第 1 薄膜トランジスタ T1 の第 1 ドレイン電極 DE1 の延びた部分 A (図 4 参照) と部分的にオーバーラップされて、カップリングキャパシタ C c p を形成する。

30

【0053】

前記メイン画素電極 MPE とサブ画素電極 SPE は、互いに所定の間隔に離隔して形成される。したがって、前記ゲートオン電圧 Von に維持されるゲートパルス Gn が印加される第 1 区間 t 1 (図 1 を参照) の間には、前記薄膜トランジスタ T1 を介して前記メイン及びサブ画素電極 MPE、SPE は電氣的に接続されるが、第 1 区間以後、第 2 区間の間に前記薄膜トランジスタ T1 がターンオフすると、前記メイン及びサブ画素電極 MPE、SPE は互いに電氣的に分離される。ここで、一つの画素領域内で前記メイン及びサブ画素電極 MPE、SPE が互いに離隔された領域は、画素電極が除去された領域であって、第 1 開口部 O 1 と画定される。

40

【0054】

メインストレージ電極 MSE とサブストレージ電極 SSE は一体に形成されて、メイン画素電極 MPE 及びサブ画素電極 SPE にそれぞれオーバーラップされる。具体的に説明すると、前記メインストレージ電極 MSE は、第 1 方向 D 1 に延び、前記メイン画素電極 MPE と部分的にオーバーラップされる。メイン画素電極 MPE とメインストレージ電極 MSE とが部分的にオーバーラップされた領域により、第 1 ストレージキャパシタ C s t 1 が形成される。

【0055】

前記サブストレージ電極 SSE は、メインストレージ電極 MSE を隔てて第 2 方向 D 2 に延び、前記サブ画素電極 SPE と部分的にオーバーラップされる。サブ画素電極 SPE

50

とサブストレージ電極 SSE とがオーバーラップされた領域により、第2ストレージキャパシタが形成される。メインストレージ電極 MSE とサブストレージ電極 SSE とには、共通電圧 V_{com} が印加される。

【0056】

次に、図4及び図6～図7に示すように、第2薄膜トランジスタ T_2 は、 n 番目のゲートライン GL_{n-1} とデータライン DL_m に電氣的に接続される。

【0057】

前記第2薄膜トランジスタ T_2 のゲート電極 GE_{n-1} は、 $n-1$ 番目のゲートライン GL_{n-1} から分岐され、ソース電極 SE_{n-1} は、前記データライン DL_m から分岐される。そして、第2薄膜トランジスタの第2ドレイン電極 DE_2 は、前記ソース電極 SE_{n-1} から一定の距離に離隔するように形成される。また、第2ドレイン電極 DE_2 は、その一部が延びて、第2コンタクトホール C_2 を介してサブ画素電極 SPE に電氣的に接続される。このようにすることによって、サブ画素電極 SPE を含む第2液晶キャパシタ C_{lc2} と第2薄膜トランジスタ T_2 とが電氣的に接続されることによって、前記第2液晶キャパシタ C_{lc2} の放電経路が提供される。

10

【0058】

前記第2薄膜トランジスタ T_2 は、第1薄膜トランジスタ T_1 の $n-1$ 番目のゲートライン GL_{n-1} に接続した第1薄膜トランジスタ T_1 のゲート電極 GE_{n-1} 、ソース電極 SE_{n-1} 及び半導体層 113 を共有する。したがって、第2薄膜トランジスタ T_2 と第1薄膜トランジスタ T_1 とは、同じ工程で同時に形成されるので、第2薄膜トランジスタを形成するための更なる追加工程は要求されない。

20

【0059】

また、図5に示すように、前記対向基板 120 上には、第2ベース基板 121 、ブラックマトリクス 122 、カラーフィルター層 123 及び共通電極 124 が備えられる。

【0060】

前記ブラックマトリクス 122 は遮光性物質からなって、前記第2ベース基板 121 上に備えられる。前記ブラックマトリクス 122 は、一つの画素の非有効領域に備えられて、光漏れ現象を防止する。

【0061】

前記カラーフィルター層 123 は、レッド、グリーン及びブルー色画素からなって、一つの画素の有効領域に備えられる。

30

【0062】

前記共通電極 124 は、前記ブラックマトリクス 122 及びカラーフィルター層 123 上に全体的に形成される。以後、パターンニング工程によって、前記共通電極 124 には、複数の第2開口部 02 が形成される。前記複数の第2開口部 02 は、前記第1開口部 01 と互いに異なる位置に形成される。具体的に説明すると、互いに隣接する2個の第2開口部 02 の間に前記第1開口部 01 が位置する。

【0063】

前記第1及び第2開口部 01 、 02 によって一つの画素領域には、液晶分子が互いに異なる方向に配列される複数のドメインが形成される。このように、各ドメインに応じて、液晶分子の配列方向を互いに異なるようにすることによって、各ドメインの相互補償効果によって、視野角に応じる視認性の変化を減少させることができる。これにより、表示装置の光視野角を確保することができる。

40

【0064】

図8は、本発明の他の実施の形態による表示パネルに備えられた $n \times m$ 画素の等価回路図であり、図9は、図8に示す表示パネルのレイアウトを示した図である。

【0065】

本実施の形態において、上述の実施の形態と重複する部分に対しては、同じ図面符号を付し、前記重複する部分についての詳細説明は省略する。

【0066】

50

図 8 及び図 9 に示すように、 $n \times m$ 画素は、 n 番目のゲートライン GL_n 、 m 番目のデータライン DL_m 、第 1 薄膜トランジスタ T_1 及び放電回路を含む。第 1 薄膜トランジスタ T_1 は、 n 番目のゲートライン GL_n と m 番目のデータライン DL_m とに電氣的に接続される。前記放電回路は、第 2 薄膜トランジスタ T_2 を含む。

【0067】

本発明の他の実施の形態による表示パネルは、上述の実施の形態とは異なる第 2 液晶キャパシタ C_{1c2} の放電経路を提供する。

【0068】

具体的に説明すると、 $n - 1$ 番目のゲートラインと $m + 1$ 番目のデータラインとに接続した第 2 薄膜トランジスタを介して、前記第 2 液晶キャパシタの放電経路が形成される。すなわち、第 1 薄膜トランジスタ T_1 がゲートオフ電圧の維持されるゲートパルスに 응답してターンオフするとき、前記第 2 液晶キャパシタ C_{1c2} に蓄積された電荷は、 $m + 1$ 番目のデータラインを介して放電を開始する。

10

【0069】

上述した本発明の好ましい実施形態は、本発明の説明を目的として開示されたものであり、本発明の属する技術の分野における通常の知識を有する者であれば、本発明の技術的思想を逸脱しない範囲内で、様々な置換、変形、及び変更が可能であり、このような置換、変更などは、本発明の技術的範囲に属するものである。

【産業上の利用可能性】

【0070】

本発明は、表示パネルの製造に利用することができる。

20

【図面の簡単な説明】

【0071】

【図 1】本発明の一実施の形態による表示パネルに備えられた $m \times n$ 画素の等価回路図である。

【図 2】図 1 に示す等価回路に対する波形図である。

【図 3】図 1 に示す等価回路に対する波形図である。

【図 4】図 1 に示す表示パネルのレイアウトである。

【図 5】図 4 に示す切断線 I - I' に沿う断面図である。

【図 6】図 4 に示す切断線 II - II' に沿う断面図である。

30

【図 7】図 4 に示す切断線 III - III' に沿う断面図である。

【図 8】本発明の他の実施の形態による表示パネルに備えられた $m \times n$ 画素の等価回路図である。

【図 9】図 8 に示す表示パネルのレイアウトである。

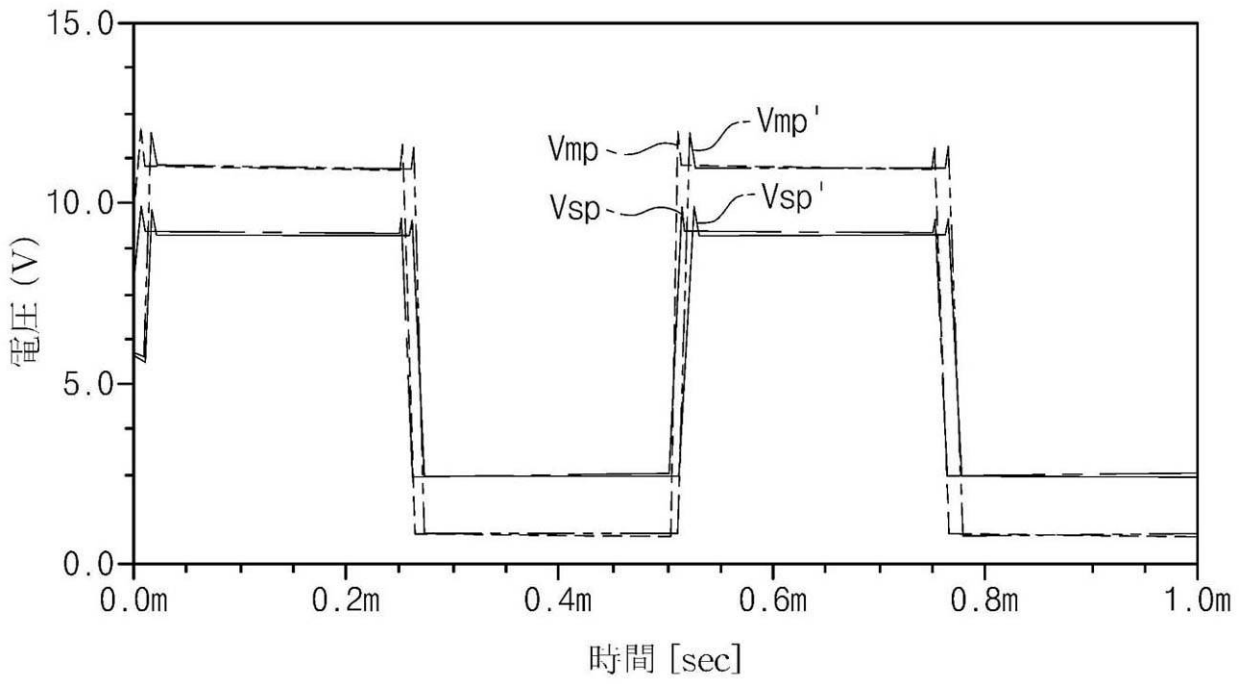
【符号の説明】

【0072】

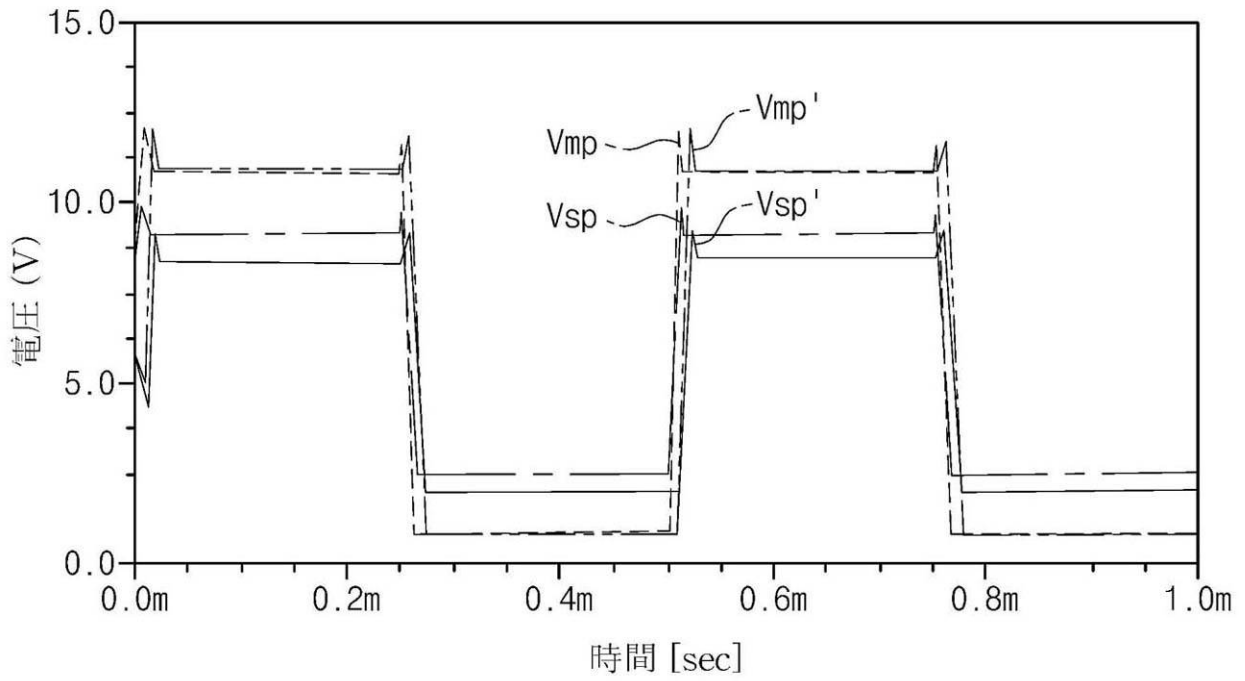
GL_n n 番目のゲートライン、
 DL_m m 番目のデータライン、
 T_1 第 1 薄膜トランジスタ、
 DC 放電回路、
 DE_1 第 1 ドレイン電極、
 G_n ゲートパルス、
 V_d データ電圧、
 V_{on} ゲートオン電圧、
 V_{off} ゲートオフ電圧。

40

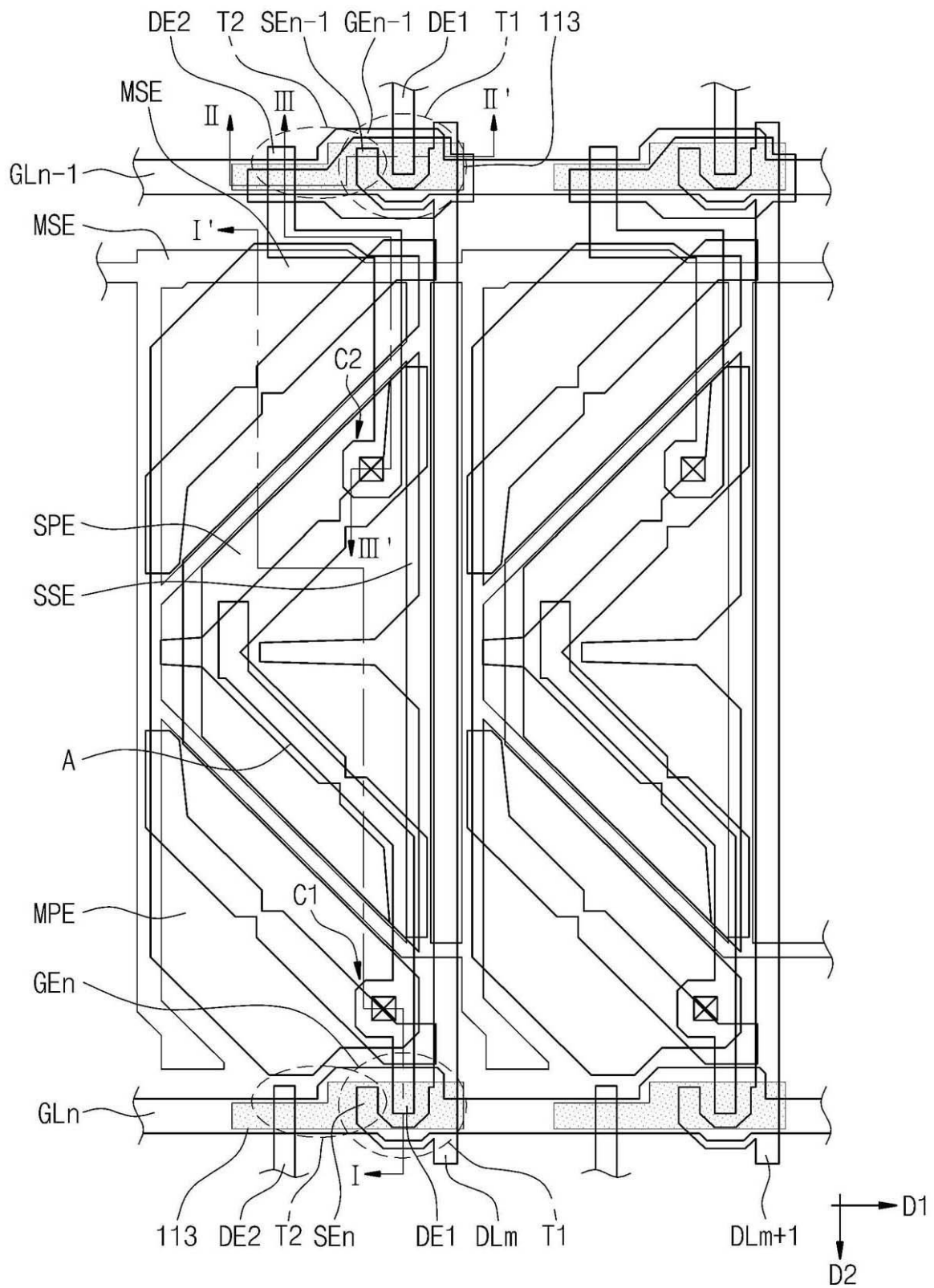
【 図 2 】



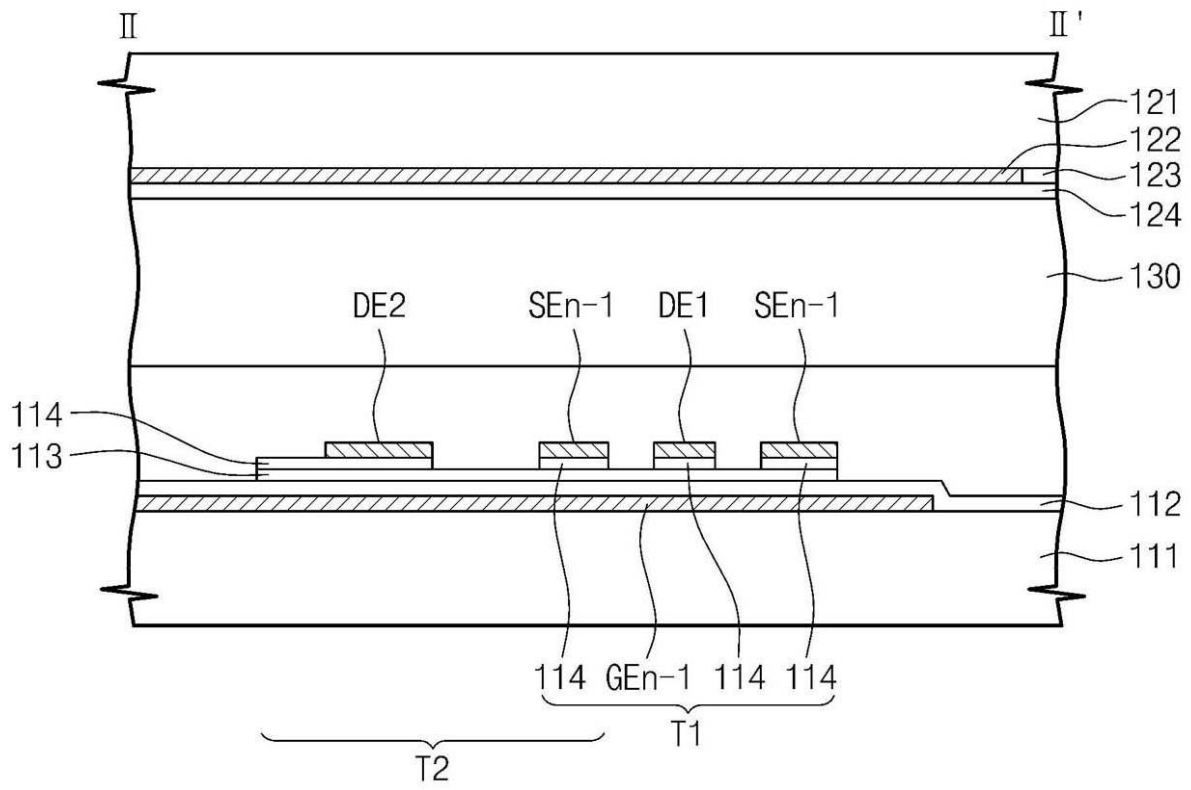
【 図 3 】



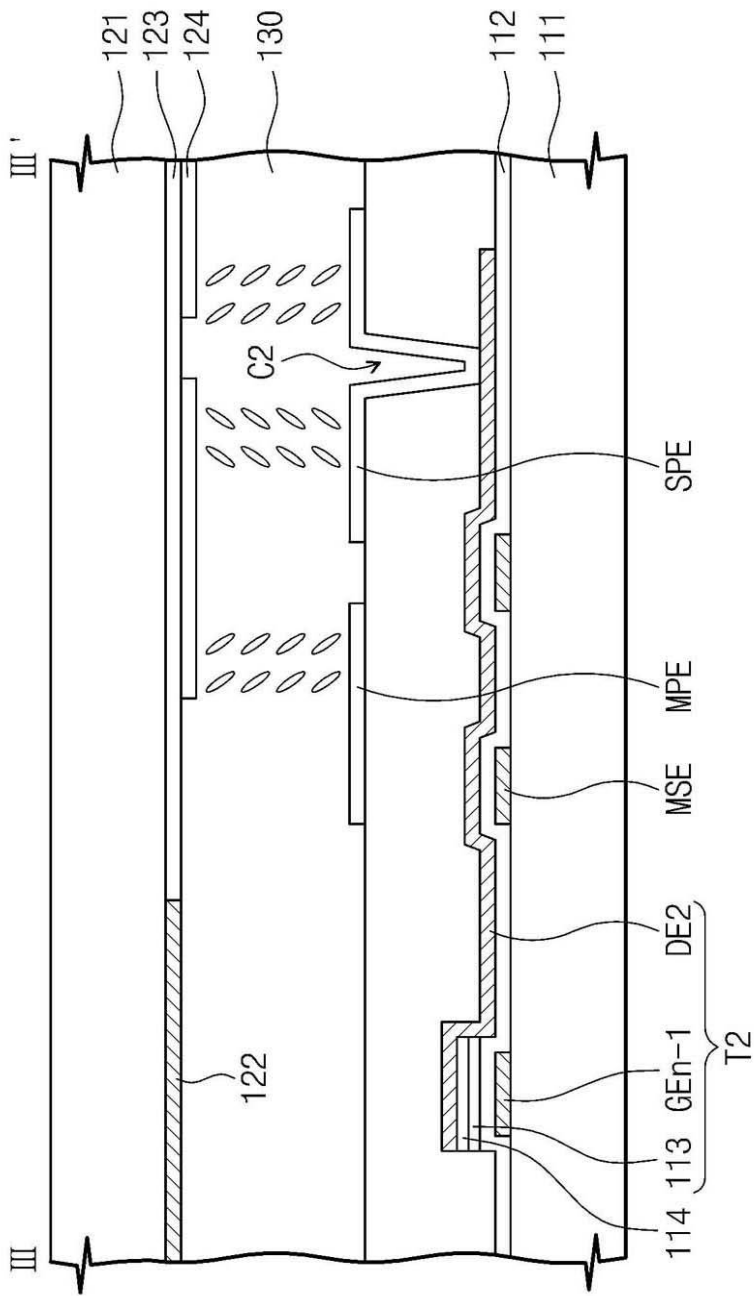
【 図 4 】



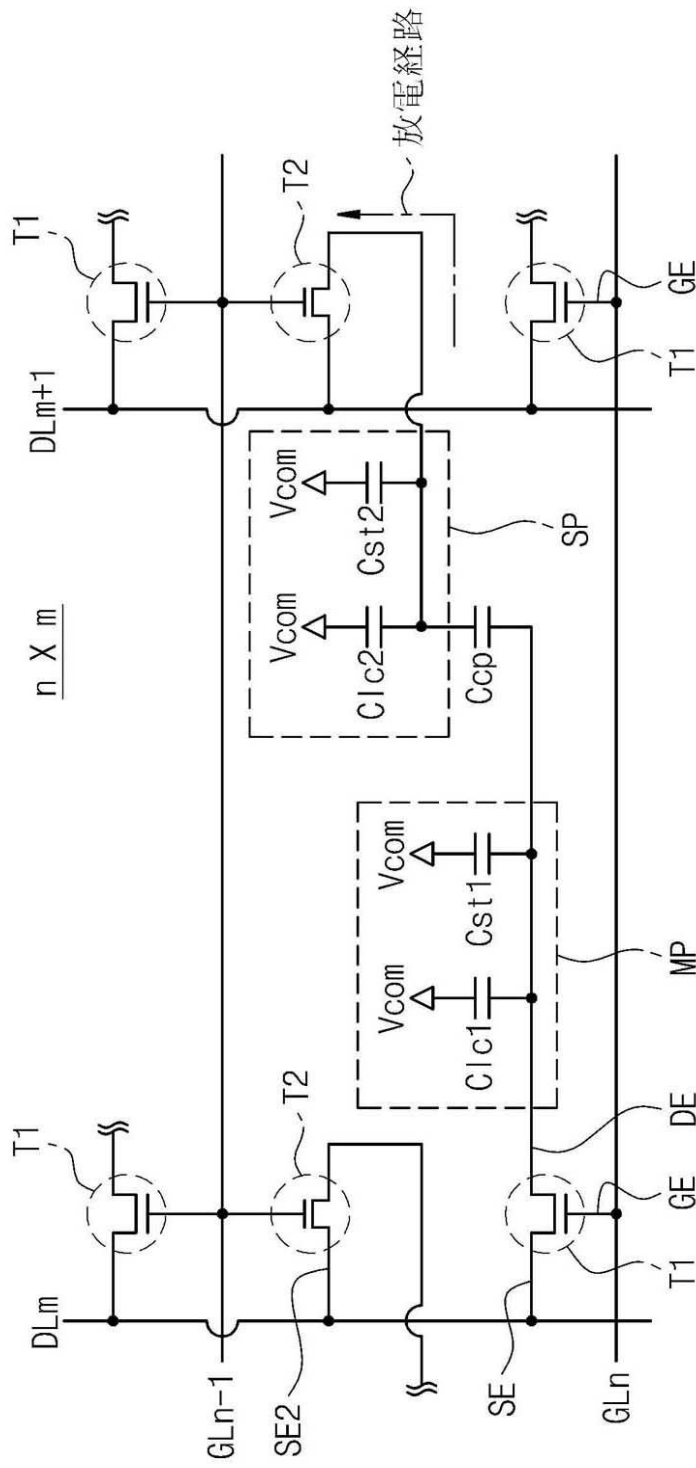
【図6】



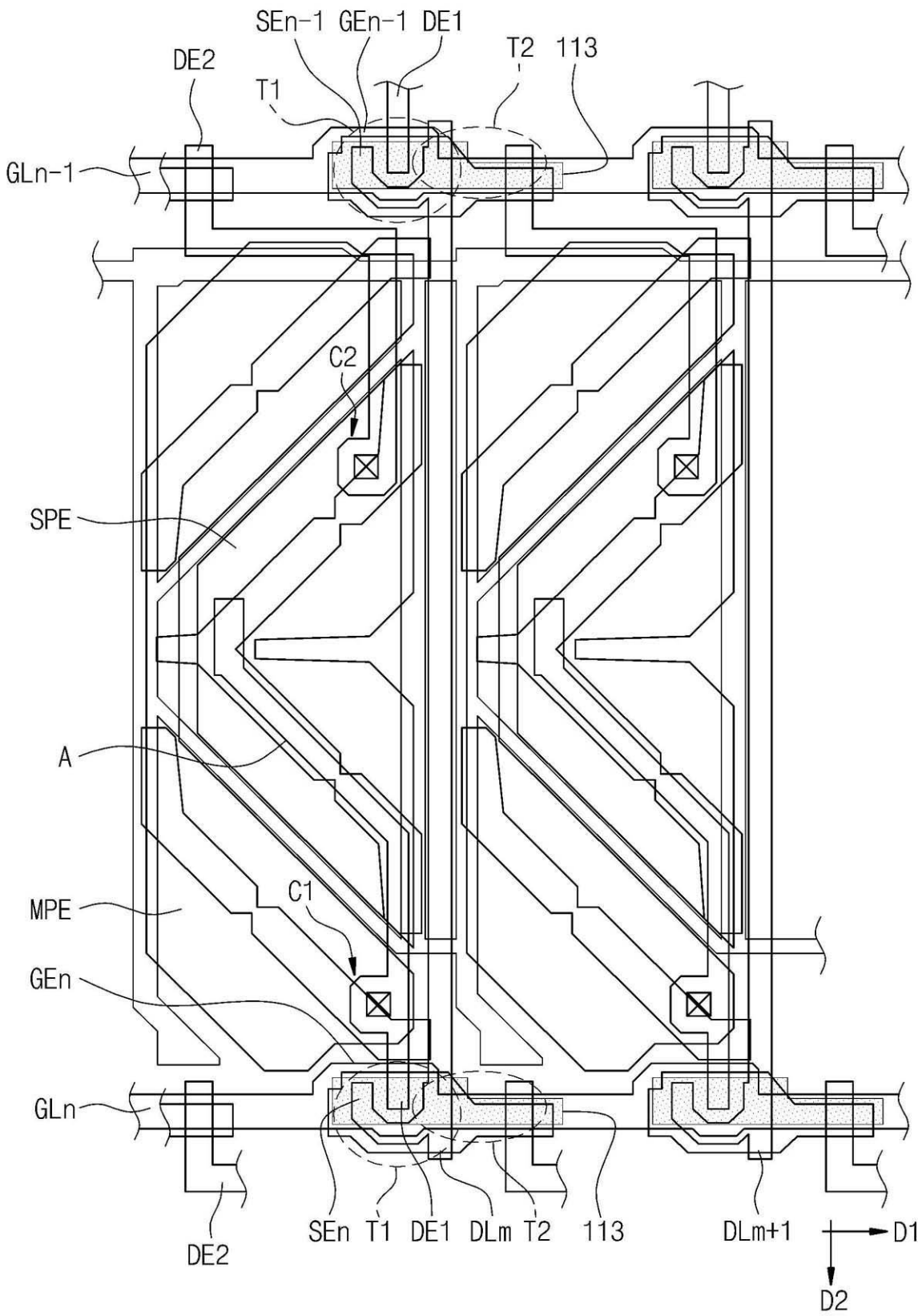
【 図 7 】



【 図 8 】



【図9】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
 G 0 9 G 3/20 6 1 1 E
 G 0 9 G 3/20 6 2 1 F

(72)発明者 朴 貞 恩

大韓民国忠清南道牙山市湯井面 サムスンクリスタルドミトリー, 4 0 5

(72)発明者 李 庸 羽

大韓民国ソウル特別市麻浦区孔徳洞 シンヤンGウェルオフィステル, B - 1 7 0 6

Fターム(参考) 2H092 GA11 JA24 JA37 JA41 JB11 JB22 JB31 JB52 JB56 NA25
 PA01 PA02 PA08
 2H093 NA16 NC10 NC12 ND01 ND08 ND60 NE01 NE03
 5C006 AA21 AC21 AC22 AC24 BB16 BC06 BC16 BF37 FA12 FA23
 5C080 AA10 BB05 DD01 DD08 FF11 JJ03 JJ04 JJ06

专利名称(译)	显示面板		
公开(公告)号	JP2008129607A	公开(公告)日	2008-06-05
申请号	JP2007303647	申请日	2007-11-22
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	金希駿 朴貞恩 李庸羽		
发明人	金希駿 朴貞恩 李庸羽		
IPC分类号	G09G3/36 G02F1/133 G02F1/1368 G09G3/20		
CPC分类号	G09G3/3648 G09G2300/0443 G09G2300/0447 G09G2310/0251 G09G2320/0209 G09G2320/028		
FI分类号	G09G3/36 G02F1/133.550 G02F1/1368 G09G3/20.624.B G09G3/20.621.M G09G3/20.611.E G09G3/20.621.F		
F-TERM分类号	2H092/GA11 2H092/JA24 2H092/JA37 2H092/JA41 2H092/JB11 2H092/JB22 2H092/JB31 2H092/JB52 2H092/JB56 2H092/NA25 2H092/PA01 2H092/PA02 2H092/PA08 2H093/NA16 2H093/NC10 2H093/NC12 2H093/ND01 2H093/ND08 2H093/ND60 2H093/NE01 2H093/NE03 5C006/AA21 5C006/AC21 5C006/AC22 5C006/AC24 5C006/BB16 5C006/BC06 5C006/BC16 5C006/BF37 5C006/FA12 5C006/FA23 5C080/AA10 5C080/BB05 5C080/DD01 5C080/DD08 5C080/FF11 5C080/JJ03 5C080/JJ04 5C080/JJ06 2H192/AA24 2H192/BA25 2H192/BC23 2H192/BC24 2H192/BC31 2H192/CB05 2H192/CB14 2H192/CB22 2H192/CB44 2H192/CC04 2H192/DA13 2H192/EA22 2H192/EA43 2H192/GD61 2H193/ZA04 2H193/ZA07 2H193/ZA08 2H193/ZA19 2H193/ZF22 2H193/ZF36 2H193/ZP01 2H193/ZP03		
优先权	1020060116487 2006-11-23 KR		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供亮度提高的显示面板，以提高侧面可视性。多个像素中的每一个包括第一薄膜晶体管T1，第一和第二液晶电容器C1c1和C1c2，耦合电容器Ccp和放电电路DC。第一液晶电容器C1c1经由第一薄膜晶体管T1连接到数据线DLm。第二液晶电容器C1c2具有经由耦合电容器Ccp与第一液晶电容器C1c1并联连接的结构。放电电路DC连接在耦合电容器Ccp和第二液晶电容器C1c2之间，并将累积在第二液晶电容器C1c2中的电荷放电到数据线DLm。该显示面板提供放电路径，通过该放电路径可以放电累积在第二液晶电容器C1c2中的电荷。点域1

