

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-129374

(P2008-129374A)

(43) 公開日 平成20年6月5日(2008.6.5)

(51) Int.Cl.

G02F 1/1345 (2006.01)
H05K 1/11 (2006.01)
H05K 1/02 (2006.01)

F 1

GO2F 1/1345
 HO5K 1/11
 HO5K 1/02

テーマコード(参考)

2H092
 5E317
 5E338

審査請求 未請求 請求項の数 14 O L (全 20 頁)

(21) 出願番号
 (22) 出願日

特願2006-315152 (P2006-315152)
 平成18年11月22日 (2006.11.22)

(71) 出願人 000001443
 カシオ計算機株式会社
 東京都渋谷区本町1丁目6番2号
 (74) 代理人 100090619
 弁理士 長南 満輝男
 (72) 発明者 石井 裕満
 東京都八王子市石川町2951番地の5
 カシオ計算機株式会社八王子技術センター内
 (72) 発明者 中村 やよい
 東京都八王子市石川町2951番地の5
 カシオ計算機株式会社八王子技術センター内

最終頁に続く

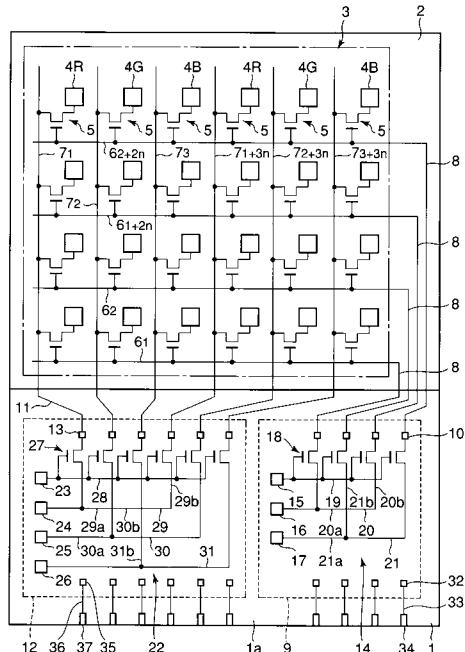
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 スイッチング用薄膜トランジスタを静電気から保護するための静電気保護機能およびテスト機能を備えた液晶表示装置において、額縁面積を小さくする。

【解決手段】 走査ライン駆動用ドライバ搭載領域9内に、走査ライン用静電気保護兼テスト用薄膜トランジスタ18、第1～第3の走査ラインテスト用引き回し線19～21および第1～第3の走査ライン用テスト端子15～17を設けると、これらを配置するためのそれ専用の配置領域が不要となり、それに応じて額縁面積を小さくすることができる。また、データライン駆動用ドライバ搭載領域12内に、データライン用静電気保護兼テスト用薄膜トランジスタ27、第1～第4のデータラインテスト用引き回し線28～31およびデータライン用テスト端子23～26を設けると、これらを配置するためのそれ専用の配置領域が不要となり、それに応じて額縁面積を小さくすることができる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

基板上の表示領域に、マトリクス状に配置された複数の画素電極と、前記各画素電極に接続されたスイッチング用薄膜トランジスタと、前記各スイッチング用薄膜トランジスタに走査信号を供給するための走査ラインと、前記各スイッチング用薄膜トランジスタにデータ信号を供給するためのデータラインとが設けられ、前記基板上の前記表示領域の外側の走査ライン駆動用ドライバ搭載領域内に、前記走査ラインに接続された走査ライン用静電気保護兼テスト用スイッチング回路が設けられていることを特徴とする液晶表示装置。

【請求項 2】

請求項 1 に記載の発明において、前記走査ライン用静電気保護兼テスト用スイッチング回路は、一方のソース・ドレイン電極を前記各走査ラインに接続された走査ライン用静電気保護兼テスト用薄膜トランジスタと、前記各走査ライン用静電気保護兼テスト用薄膜トランジスタのゲート電極に第 1 の走査ラインテスト用引き回し線を介して接続された第 1 の走査ライン用テスト端子と、前記各走査ライン用静電気保護兼テスト用薄膜トランジスタの他方のソース・ドレイン電極に他の走査ラインテスト用引き回し線を介して接続された他の走査ライン用テスト端子とを有することを特徴とする液晶表示装置。 10

【請求項 3】

請求項 2 に記載の発明において、前記走査ラインおよび前記走査ライン用静電気保護兼テスト用薄膜トランジスタの一方のソース・ドレイン電極は、前記基板上の前記走査ライン駆動用ドライバ搭載領域内に設けられた走査用出力端子に接続されていることを特徴とする液晶表示装置。 20

【請求項 4】

請求項 2 に記載の発明において、前記他の走査ラインテスト用引き回し線は第 2、第 3 の走査ラインテスト用引き回し線からなり、前記他の走査ライン用テスト端子は第 2、第 3 の走査ライン用テスト端子からなり、前記走査ラインのうち一方側から数えて奇数番目の走査ラインはそれに対応する前記走査ライン用静電気保護兼テスト用薄膜トランジスタおよび前記第 2 の走査ラインテスト用引き回し線を介して前記第 2 の走査ライン用テスト端子に接続され、前記走査ラインのうち一方側から数えて偶数番目の走査ラインはそれに対応する前記走査ライン用静電気保護兼テスト用薄膜トランジスタおよび前記第 3 の走査ラインテスト用引き回し線を介して前記第 2 の走査ライン用テスト端子に接続されていることを特徴とする液晶表示装置。 30

【請求項 5】

請求項 4 に記載の発明において、前記第 2、第 3 の走査ラインテスト用引き回し線は同一の層上に互いに交差しないように配置されていることを特徴とする液晶表示装置。

【請求項 6】

請求項 3 に記載の発明において、すべての前記走査ライン用静電気保護兼テスト用薄膜トランジスタの他方のソース・ドレイン電極は 1 つの前記走査ラインテスト用引き回し線を介して 1 つの前記走査ライン用テスト端子に接続されていることを特徴とする液晶表示装置。

【請求項 7】

請求項 2 に記載の発明において、前記基板上の前記走査ライン駆動用ドライバ搭載領域上に走査ライン駆動用ドライバが搭載され、実駆動中に、前記走査ライン駆動用ドライバから前記第 1 の走査ライン用テスト端子に電圧 $V_g 1$ が供給されるようになっていることを特徴とする液晶表示装置。 40

【請求項 8】

請求項 1 に記載の発明において、前記基板上の前記表示領域の外側のデータライン駆動用ドライバ搭載領域内に、前記データラインに接続されたデータライン用静電気保護兼テスト用スイッチング回路が設けられていることを特徴とする液晶表示装置。

【請求項 9】

基板上の表示領域に、マトリクス状に配置された複数の画素電極と、前記各画素電極に

10

20

30

40

50

接続されたスイッチング用薄膜トランジスタと、前記各スイッチング用薄膜トランジスタに走査信号を供給するための走査ラインと、前記各スイッチング用薄膜トランジスタにデータ信号を供給するためのデータラインとが設けられ、前記基板上の前記表示領域の外側のデータライン駆動用ドライバ搭載領域内に、前記データラインに接続されたデータライン用静電気保護兼テスト用スイッチング回路が設けられていることを特徴とする液晶表示装置。

【請求項 10】

請求項 8 または 9 に記載の発明において、前記データライン用静電気保護兼テスト用スイッチング回路は、一方のソース・ドレイン電極を前記各データラインに接続されたデータライン用静電気保護兼テスト用薄膜トランジスタと、前記各データライン用静電気保護兼テスト用薄膜トランジスタのゲート電極に第 1 のデータラインテスト用引き回し線を介して接続された第 1 のデータライン用テスト端子と、前記各データライン用静電気保護兼テスト用薄膜トランジスタの他方のソース・ドレイン電極に他のデータラインテスト用引き回し線を介して接続された他のデータライン用テスト端子とを有することを特徴とする液晶表示装置。

【請求項 11】

請求項 10 に記載の発明において、前記データラインおよび前記データライン用静電気保護兼テスト用薄膜トランジスタの一方のソース・ドレイン電極は、前記基板上の前記データライン駆動用ドライバ搭載領域内に設けられたデータ用出力端子に接続されていることを特徴とする液晶表示装置。

【請求項 12】

請求項 10 に記載の発明において、前記他のデータラインテスト用引き回し線は第 2 ~ 第 4 のデータラインテスト用引き回し線からなり、前記他のデータライン用テスト端子は第 2 ~ 第 4 のデータライン用テスト端子からなり、前記データラインのうち第 1 の色表示用のデータラインはそれに対応する前記データライン用静電気保護兼テスト用薄膜トランジスタおよび前記第 2 のデータラインテスト用引き回し線を介して前記第 2 のデータライン用テスト端子に接続され、前記データラインのうち第 2 の色表示用のデータラインはそれに対応する前記データライン用静電気保護兼テスト用薄膜トランジスタおよび前記第 3 のデータラインテスト用引き回し線を介して前記第 3 のデータライン用テスト端子に接続され、前記データラインのうち第 3 の色表示用のデータラインはそれに対応する前記データライン用静電気保護兼テスト用薄膜トランジスタおよび前記第 4 のデータラインテスト用引き回し線を介して前記第 4 のデータライン用テスト端子に接続されていることを特徴とする液晶表示装置。

【請求項 13】

請求項 10 に記載の発明において、すべての前記データライン用静電気保護兼テスト用薄膜トランジスタの他方のソース・ドレイン電極は 1 つの前記データラインテスト用引き回し線を介して 1 つの前記データライン用テスト端子に接続されていることを特徴とする液晶表示装置。

【請求項 14】

請求項 10 に記載の発明において、前記基板上の前記データライン駆動用ドライバ搭載領域上にデータライン駆動用ドライバが搭載され、実駆動中に、前記データライン駆動用ドライバから前記第 1 のデータライン用テスト端子に電圧 V_{g1} が供給されるようになっていることを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は液晶表示装置に関する。

【背景技術】

【0002】

従来のアクティブマトリックス型の液晶表示装置には、スイッチング用薄膜トランジス

タの静電気に起因する特性シフトや絶縁破壊等の不良を防止するために、マトリクス状に設けられた複数の走査ラインと複数のデータラインとの各交点近傍に画素電極および該画素電極に接続されたスイッチング用薄膜トランジスタが設けられた表示領域の外側に、走査ライン用静電気保護ラインおよび該走査ライン用静電気保護ラインと各走査ラインとの間に設けられた走査ライン用静電気保護用薄膜トランジスタと、データライン用静電気保護ラインおよび該データライン用静電気保護ラインと各データラインとの間に設けられたデータライン用静電気保護用薄膜トランジスタとを設けたものがある（例えば、特許文献1参照）。

【0003】

【特許文献1】特開2005-93459号公報

10

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、上記従来の液晶表示装置では、表示領域の外側に走査ライン用静電気保護ラインおよび走査ライン用静電気保護用薄膜トランジスタとデータライン用静電気保護ラインおよびデータライン用静電気保護用薄膜トランジスタとを設けているので、これらの配置領域を確保するため、額縁面積が大きくなってしまうという問題があった。

【0005】

また、従来のこのような液晶表示装置において、線欠陥等の検査を行なう場合には、表示領域の外側で走査ライン用静電気保護用薄膜トランジスタおよびデータライン用静電気保護用薄膜トランジスタの各配置領域の反対側にテスト端子を設けることが考えられる。その場合、走査ラインおよびデータラインを選択的に駆動するには、テスト端子と各走査ラインおよび各データラインとの間に走査ライン用テスト用薄膜トランジスタおよびデータライン用テスト用薄膜トランジスタを配置する必要があり、これらの配置領域を確保するため、額縁面積がより一層大きくなってしまうという問題がある。

【0006】

そこで、この発明は、額縁面積を小さくすることができる液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【0007】

請求項1に記載の発明は、基板上の表示領域に、マトリクス状に配置された複数の画素電極と、前記各画素電極に接続されたスイッチング用薄膜トランジスタと、前記各スイッチング用薄膜トランジスタに走査信号を供給するための走査ラインと、前記各スイッチング用薄膜トランジスタにデータ信号を供給するためのデータラインとが設けられ、前記基板上の前記表示領域の外側の走査ライン駆動用ドライバ搭載領域内に、前記走査ラインに接続された走査ライン用静電気保護兼テスト用スイッチング回路が設けられていることを特徴とするものである。

請求項2に記載の発明は、請求項1に記載の発明において、前記走査ライン用静電気保護兼テスト用スイッチング回路は、一方のソース・ドレイン電極を前記各走査ラインに接続された走査ライン用静電気保護兼テスト用薄膜トランジスタと、前記各走査ライン用静電気保護兼テスト用薄膜トランジスタのゲート電極に第1の走査ラインテスト用引き回し線を介して接続された第1の走査ライン用テスト端子と、前記各走査ライン用静電気保護兼テスト用薄膜トランジスタの他方のソース・ドレイン電極に他の走査ラインテスト用引き回し線を介して接続された他の走査ライン用テスト端子とを有することを特徴とするものである。

請求項3に記載の発明は、請求項2に記載の発明において、前記走査ラインおよび前記走査ライン用静電気保護兼テスト用薄膜トランジスタの一方のソース・ドレイン電極は、前記基板上の前記走査ライン駆動用ドライバ搭載領域内に設けられた走査用出力端子に接続されていることを特徴とするものである。

請求項4に記載の発明は、請求項2に記載の発明において、前記他の走査ラインテスト

20

30

40

50

用引き回し線は第2、第3の走査ラインテスト用引き回し線からなり、前記他の走査ライン用テスト端子は第2、第3の走査ライン用テスト端子からなり、前記走査ラインのうち一方側から数えて奇数番目の走査ラインはそれに対応する前記走査ライン用静電気保護兼テスト用薄膜トランジスタおよび前記第2の走査ラインテスト用引き回し線を介して前記第2の走査ライン用テスト端子に接続され、前記走査ラインのうち一方側から数えて偶数番目の走査ラインはそれに対応する前記走査ライン用静電気保護兼テスト用薄膜トランジスタおよび前記第3の走査ラインテスト用引き回し線を介して前記第2の走査ライン用テスト端子に接続されていることを特徴とするものである。

請求項5に記載の発明は、請求項4に記載の発明において、前記第2、第3の走査ラインテスト用引き回し線は同一の層上に互いに交差しないように配置されていることを特徴とするものである。 10

請求項6に記載の発明は、請求項3に記載の発明において、すべての前記走査ライン用静電気保護兼テスト用薄膜トランジスタの他方のソース・ドレイン電極は1つの前記走査ラインテスト用引き回し線を介して1つの前記走査ライン用テスト端子に接続されていることを特徴とするものである。

請求項7に記載の発明は、請求項2に記載の発明において、前記基板上の前記走査ライン駆動用ドライバ搭載領域上に走査ライン駆動用ドライバが搭載され、実駆動中に、前記走査ライン駆動用ドライバから前記第1の走査ライン用テスト端子に電圧Vg1が供給されるようになっていることを特徴とするものである。 20

請求項8に記載の発明は、請求項1に記載の発明において、前記基板上の前記表示領域の外側のデータライン駆動用ドライバ搭載領域内に、前記データラインに接続されたデータライン用静電気保護兼テスト用スイッチング回路が設けられていることを特徴とするものである。 20

請求項9に記載の発明は、基板上の表示領域に、マトリクス状に配置された複数の画素電極と、前記各画素電極に接続されたスイッチング用薄膜トランジスタと、前記各スイッチング用薄膜トランジスタに走査信号を供給するための走査ラインと、前記各スイッチング用薄膜トランジスタにデータ信号を供給するためのデータラインとが設けられ、前記基板上の前記表示領域の外側のデータライン駆動用ドライバ搭載領域内に、前記データラインに接続されたデータライン用静電気保護兼テスト用スイッチング回路が設けられていることを特徴とするものである。 30

請求項10に記載の発明は、請求項8または9に記載の発明において、前記データライン用静電気保護兼テスト用スイッチング回路は、一方のソース・ドレイン電極を前記各データラインに接続されたデータライン用静電気保護兼テスト用薄膜トランジスタと、前記各データライン用静電気保護兼テスト用薄膜トランジスタのゲート電極に第1のデータラインテスト用引き回し線を介して接続された第1のデータライン用テスト端子と、前記各データライン用静電気保護兼テスト用薄膜トランジスタの他方のソース・ドレイン電極に他のデータラインテスト用引き回し線を介して接続された他のデータライン用テスト端子とを有することを特徴とするものである。 30

請求項11に記載の発明は、請求項10に記載の発明において、前記データラインおよび前記データライン用静電気保護兼テスト用薄膜トランジスタの一方のソース・ドレイン電極は、前記基板上の前記データライン駆動用ドライバ搭載領域内に設けられたデータ用出力端子に接続されていることを特徴とするものである。 40

請求項12に記載の発明は、請求項10に記載の発明において、前記他のデータラインテスト用引き回し線は第2～第4のデータラインテスト用引き回し線からなり、前記他のデータライン用テスト端子は第2～第4のデータライン用テスト端子からなり、前記データラインのうち第1の色表示用のデータラインはそれに対応する前記データライン用静電気保護兼テスト用薄膜トランジスタおよび前記第2のデータラインテスト用引き回し線を介して前記第2のデータライン用テスト端子に接続され、前記データラインのうち第2の色表示用のデータラインはそれに対応する前記データライン用静電気保護兼テスト用薄膜トランジスタおよび前記第3のデータラインテスト用引き回し線を介して前記第3のデータ

タライン用テスト端子に接続され、前記データラインのうち第3の色表示用のデータラインはそれに対応する前記データライン用静電気保護兼テスト用薄膜トランジスタおよび前記第4のデータラインテスト用引き回し線を介して前記第4のデータライン用テスト端子に接続されていることを特徴とするものである。

請求項13に記載の発明は、請求項10に記載の発明において、すべての前記データライン用静電気保護兼テスト用薄膜トランジスタの他方のソース・ドレイン電極は1つの前記データラインテスト用引き回し線を介して1つの前記データライン用テスト端子に接続されていることを特徴とするものである。

請求項14に記載の発明は、請求項10に記載の発明において、前記基板上の前記データライン駆動用ドライバ搭載領域上にデータライン駆動用ドライバが搭載され、実駆動中に、前記データライン駆動用ドライバから前記第1のデータライン用テスト端子に電圧 V_g1 が供給されるようになっていることを特徴とするものである。

【発明の効果】

【0008】

請求項1に記載の発明によれば、基板上の表示領域の外側の走査ライン駆動用ドライバ搭載領域内に走査ライン用静電気保護兼テスト用スイッチング回路を設けているので、走査ライン用静電気保護兼テスト用スイッチング回路を配置するためのそれ専用の配置領域が不要となり、それに応じて額縁面積を小さくすることができる。

請求項9に記載の発明によれば、基板上の表示領域の外側のデータライン駆動用ドライバ搭載領域内にデータライン用静電気保護兼テスト用スイッチング回路を設けているので、データライン用静電気保護兼テスト用スイッチング回路を配置するためのそれ専用の配置領域が不要となり、それに応じて額縁面積を小さくすることができる。

【発明を実施するための最良の形態】

【0009】

(第1実施形態)

図1はこの発明の第1実施形態としての液晶表示装置の要部の等価回路的平面図を示す。この液晶表示装置は、アクティブ基板1と該アクティブ基板1の上方に位置する対向基板2とがほぼ方形枠状のシール材(図示せず)を介して貼り合わされ、シール材の内側における両基板1、2間に液晶(図示せず)が封入されたものからなっている。この場合、アクティブ基板1の下辺部は対向基板2から突出されている。以下、この突出された部分を突出部1aという。また、図1において一点鎖線で囲まれた方形状の領域は表示領域3となっている。

【0010】

アクティブ基板1上の表示領域3には、マトリックス状に配置された複数の赤、緑、青の各色表示用の画素電極4R、4G、4Bと、各画素電極4R、4G、4Bに接続された一方のソース・ドレイン電極を有するスイッチング用薄膜トランジスタ5と、行方向に延ばされ、各スイッチング用薄膜トランジスタ5のゲート電極に走査信号を供給するための走査ライン6と、各スイッチング用薄膜トランジスタ5の他方のソース・ドレイン電極にデータ信号を供給するためのデータライン7とが設けられている。

【0011】

ここで、図1において、画素電極4R、4G、4Bは僅かに4個×6個だけ図示しているのは図面の明確化のためであり、実際には数百個×数百個もしくはそれ以上の個数が配列されている。この場合、赤色表示用の画素電極4Rは第(1+3n)列(nは0を含む正の整数)に配置され、緑色表示用の画素電極4Gは第(2+3n)列に配置され、青色表示用の画素電極4Bは第(3+3n)列に配置されている。

【0012】

走査ライン6の右端部は、表示領域3の右側および下側に設けられた走査用引き回し線8を介して、アクティブ基板1の突出部1a上の右側の点線で示す走査ライン駆動用ドライバ搭載領域9内の上側に設けられた走査用出力端子10に接続されている。データライン7の下端部は、表示領域3の下側に設けられたデータ用引き回し線11を介して、アク

10

20

30

40

50

タイプ基板 1 の突出部 1 a 上の左側の点線で示すデータライン駆動用ドライバ搭載領域 1 2 内の上側に設けられたデータ用出力端子 1 3 に接続されている。

【0013】

走査ライン駆動用ドライバ搭載領域 9 内には走査ライン用静電気保護兼テスト用スイッチング回路 1 4 が設けられている。すなわち、走査ライン駆動用ドライバ搭載領域 9 内の左側には第 1 ~ 第 3 の走査ライン用テスト端子 1 5 ~ 1 7 が設けられている。走査ライン駆動用ドライバ搭載領域 9 内において各走査用出力端子 1 0 の下側には走査ライン用静電気保護兼テスト用薄膜トランジスタ 1 8 が設けられている。走査ライン用静電気保護兼テスト用薄膜トランジスタ 1 8 の一方のソース・ドレイン電極はその上側の走査用出力端子 1 0 に接続されている。走査ライン用静電気保護兼テスト用薄膜トランジスタ 1 8 のゲート電極は第 1 の走査ラインテスト用引き回し線 1 9 を介して第 1 の走査ライン用テスト端子 1 5 に接続されている。

10

【0014】

図 1 において左側から数えて奇数番目の走査ライン用静電気保護兼テスト用薄膜トランジスタ 1 8 の他方のソース・ドレイン電極は第 2 の走査ラインテスト用引き回し線 2 0 を介して第 2 の走査ライン用テスト端子 1 6 に接続されている。左側から数えて偶数番目の走査ライン用静電気保護兼テスト用薄膜トランジスタ 1 8 の他方のソース・ドレイン電極は第 3 の走査ラインテスト用引き回し線 2 1 を介して第 3 の走査ライン用テスト端子 1 7 に接続されている。

20

【0015】

データライン駆動用ドライバ搭載領域 1 2 内にはデータライン用静電気保護兼テスト用スイッチング回路 2 2 が設けられている。すなわち、データライン駆動用ドライバ搭載領域 1 2 内の左側には第 1 ~ 第 4 のデータライン用テスト端子 2 3 ~ 2 6 が設けられている。データライン駆動用ドライバ搭載領域 1 2 内において各データ用出力端子 1 3 の下側にはデータライン用静電気保護兼テスト用薄膜トランジスタ 2 7 が設けられている。データライン用静電気保護兼テスト用薄膜トランジスタ 2 7 の一方のソース・ドレイン電極はその上側のデータ用出力端子 1 3 に接続されている。データライン用静電気保護兼テスト用薄膜トランジスタ 2 7 のゲート電極は第 1 のデータラインテスト用引き回し線 2 8 を介して第 1 のデータライン用テスト端子 2 3 に接続されている。

30

【0016】

図 1 において左側から数えて (1 + 3 n) 番目のデータライン用静電気保護兼テスト用薄膜トランジスタ 2 7 の他方のソース・ドレイン電極は第 2 のデータラインテスト用引き回し線 2 9 を介して第 2 のデータライン用テスト端子 2 4 に接続されている。左側から数えて (2 + 3 n) 番目のデータライン用静電気保護兼テスト用薄膜トランジスタ 2 7 の他方のソース・ドレイン電極は第 3 のデータラインテスト用引き回し線 3 0 を介して第 3 のデータライン用テスト端子 2 5 に接続されている。左側から数えて (3 + 3 n) 番目のデータライン用静電気保護兼テスト用薄膜トランジスタ 2 7 の他方のソース・ドレイン電極は第 4 のデータラインテスト用引き回し線 3 1 を介して第 4 のデータライン用テスト端子 2 6 に接続されている。

40

【0017】

走査ライン駆動用ドライバ搭載領域 9 内の下側には走査用入力端子 3 2 が設けられている。走査用入力端子 3 2 は、その下側に設けられた走査用引き回し線 3 3 を介して、その下側に設けられた走査用外部接続端子 3 4 に接続されている。データライン駆動用ドライバ搭載領域 1 2 内の下側にはデータ用入力端子 3 5 が設けられている。データ用入力端子 3 5 は、その下側に設けられたデータ用引き回し線 3 6 を介して、その下側に設けられたデータ用外部接続端子 3 7 に接続されている。

【0018】

なお、図面の明確化のために、図示は省略しているが、走査ライン駆動用ドライバ搭載領域 9 上には走査ライン駆動回路部を内蔵する走査ライン駆動用ドライバ(チップ)が搭載され、走査ライン駆動用ドライバの外部電極は走査用出力端子 1 0 、第 1 ~ 第 3 の走査

50

ライン用テスト端子 15～17 および走査用入力端子 32 に C O G (Chip On Glass) 法によりボンディングされている。ボンディング方法は半田付けによる方法でもよいし、異方性導電接着材による方法でもよい。

【0019】

また、データライン駆動用ドライバ搭載領域 12 上にはデータライン駆動回路部を内蔵するデータライン駆動用ドライバが搭載され、データライン駆動用ドライバの外部電極はデータ用出力端子 13、第 1～第 4 のデータライン用テスト端子 23～26 およびデータ用入力端子 35 に C O G 法によりボンディングされている。この場合も、ボンディング方法は半田付けによる方法でもよいし、異方性導電接着材による方法でもよい。

【0020】

次に、この液晶表示装置の一部の具体的な構造について説明する。まず、図 2 は図 1 に示すスイッチング用薄膜トランジスタ 5 および画素電極 4 (4R、4G、4B) の部分の断面図を示す。ガラス等からなるアクティブ基板 1 の上面の所定の箇所にはクロム等からなるゲート電極 41、該ゲート電極 41 に接続された走査ライン 6 および該走査ライン 6 に接続された走査用引き回し線 8 (図 1 参照) が設けられている。

【0021】

ゲート電極 41 および走査ライン 6 等を含むアクティブ基板 1 の上面には窒化シリコンからなるゲート絶縁膜 42 が設けられている。ゲート電極 41 上におけるゲート絶縁膜 42 の上面の所定の箇所には真性アモルファスシリコンからなる半導体薄膜 43 が設けられている。半導体薄膜 43 の上面ほぼ中央部には窒化シリコンからなるチャネル保護膜 44 が設けられている。

【0022】

チャネル保護膜 44 の上面両側およびその両側における半導体薄膜 43 の上面には n 型アモルファスシリコンからなるオーミックコンタクト層 45、46 が設けられている。一方のオーミックコンタクト層 45 の上面およびその近傍のゲート絶縁膜 42 の上面の所定の箇所にはクロム等からなる一方のソース・ドレイン電極 47 が設けられている。他方のオーミックコンタクト層 46 の上面およびゲート絶縁膜 42 の上面の所定の箇所にはクロム等からなる他方のソース・ドレイン電極 48、該他方のソース・ドレイン電極 48 に接続されたデータライン 7 および該データライン 7 に接続されたデータ用引き回し線 11 (図 1 参照) が設けられている。

【0023】

ここで、スイッチング用薄膜トランジスタ 5 は、ゲート電極 41、ゲート絶縁膜 42、半導体薄膜 43、チャネル保護膜 44、オーミックコンタクト層 45、46 およびソース・ドレイン電極 47、48 により構成されている。

【0024】

スイッチング用薄膜トランジスタ 5 およびデータライン 7 等を含むゲート絶縁膜 42 の上面には窒化シリコンからなるオーバーコート膜 49 が設けられている。オーバーコート膜 49 の上面の所定の箇所には ITO 等の透明導電材料からなる画素電極 4 が設けられている。画素電極 4 は、オーバーコート膜 49 の所定の箇所に設けられたコンタクトホール 50 を介して一方のソース・ドレイン電極 47 に接続されている。

【0025】

次に、図 3 は図 1 に示す走査ライン駆動用ドライバ搭載領域 9 内の左側から数えて奇数番目の走査用出力端子 10 およびそれに接続された走査ライン用静電気保護兼テスト用薄膜トランジスタ 18 等の部分の断面図を示す。走査ライン用静電気保護兼テスト用薄膜トランジスタ 18 は、図 2 に示すスイッチング用薄膜トランジスタ 5 とほぼ同じ構造であり、ゲート電極 41、ゲート絶縁膜 42、半導体薄膜 43、チャネル保護膜 44、オーミックコンタクト層 45、46 およびソース・ドレイン電極 47、48 からなっている。

【0026】

走査用出力端子 10 は、アクティブ基板 1 の上面に設けられたクロム等からなる下層金属層 10a と、ゲート絶縁膜 42 に設けられたコンタクトホール 51 を介して露出された

10

20

30

40

50

下層金属層 10 a の上面およびその周囲におけるゲート絶縁膜 42 の上面に設けられたクロム等からなる上層金属層 10 b との 2 層構造となっており、オーバーコート膜 49 に設けられた開口部 52 を介して露出されている。

【0027】

第 1 の走査ライン用テスト端子 15 は、アクティブ基板 1 の上面に設けられたクロム等の金属層からなり、ゲート絶縁膜 42 およびオーバーコート膜 49 に設けられた開口部 53、54 を介して露出されている。第 2 の走査ライン用テスト端子 16 は、アクティブ基板 1 の上面に設けられたクロム等の金属層からなり、ゲート絶縁膜 42 およびオーバーコート膜 49 に設けられた開口部 55、56 を介して露出されている。

【0028】

第 2 の走査ラインテスト用引き回し線 20 は、アクティブ基板 1 の上面に設けられたクロム等からなる下層引き回し線 20 a (図 1 において行方向に延びる線) と、ゲート絶縁膜 42 の上面に設けられたクロム等からなる上層引き回し線 20 b (図 1 において列方向に延びる線) とからなり、上層引き回し線 20 b の一端部はゲート絶縁膜 42 に設けられたコンタクトホール 57 を介して下層引き回し線 20 a に接続されている。

【0029】

そして、走査用出力端子 10 の下層金属層 10 b は、アクティブ基板 1 の上面に設けられたクロム等からなる走査用引き回し線 8 に接続されている。走査ライン用静電気保護兼テスト用薄膜トランジスタ 18 のゲート電極 41 は、アクティブ基板 1 の上面に設けられたクロム等からなる第 1 の走査ラインテスト用引き回し線 19 を介して第 1 の走査ライン用テスト端子 15 に接続され、一方のソース・ドレイン電極 47 は走査用出力端子 10 の上層金属層 10 b に接続され、他方のソース・ドレイン電極 48 は上層引き回し線 20 b および下層引き回し線 20 a からなる第 2 の走査ラインテスト用引き回し線 20 を介して第 2 の走査ライン用テスト端子 16 に接続されている。

【0030】

次に、図 4 は図 1 に示す走査ライン駆動用ドライバ搭載領域 9 内の左側から数えて偶数番目の走査用出力端子 10 およびそれに接続された走査ライン用静電気保護兼テスト用薄膜トランジスタ 18 等の部分の断面図を示す。図 4 において、図 3 に示す場合と異なる点についてのみ説明すると、第 3 の走査ライン用テスト端子 17 は、ゲート絶縁膜 42 の上面に設けられたクロム等の金属層からなっている。そして、走査ライン用静電気保護兼テスト用薄膜トランジスタ 18 の他方のソース・ドレイン電極 48 は、ゲート絶縁膜 42 の上面に設けられたクロム等からなる第 3 の走査ラインテスト用引き回し線 21 を介して第 3 の走査ライン用テスト端子 17 に接続されている。

【0031】

この場合、第 3 の走査ラインテスト用引き回し線 21 は、図 1 において行方向に延びる部分 21 a も列方向に延びる部分 21 b も、ゲート絶縁膜 42 の直上に形成されており、この中、列方向に延びる部分 21 b は第 2 の走査ラインテスト用引き回し線 20 のうち図 1 において行方向に延びる部分 (下層引き回し線 20 a) と交差するが、その間にゲート絶縁膜 42 が介在されているため、ショートすることはない。

【0032】

次に、図 5 は図 1 に示すデータライン駆動用ドライバ搭載領域 12 内の左側から数えて (1 + 3n) 番目のデータ用出力端子 13 およびそれに接続されたデータライン用静電気保護兼テスト用薄膜トランジスタ 27 等の部分の断面図を示す。データライン用静電気保護兼テスト用薄膜トランジスタ 27 は、図 2 に示すスイッチング用薄膜トランジスタ 5 とほぼ同じ構造であり、ゲート電極 41、ゲート絶縁膜 42、半導体薄膜 43、チャネル保護膜 44、オーミックコンタクト層 45、46 およびソース・ドレイン電極 47、48 からなっている。

【0033】

データ用出力端子 13 は、ゲート絶縁膜 42 の上面に設けられたクロム等の金属層からなり、オーバーコート膜 49 に設けられた開口部 61 を介して露出されている。第 1 のデ

10

20

30

40

50

ータライン用テスト端子 23 は、アクティブ基板 1 の上面に設けられたクロム等の金属層からなり、ゲート絶縁膜 42 およびオーバーコート膜 49 に設けられた開口部 62、63 を介して露出されている。第 2 のデータライン用テスト端子 24 は、アクティブ基板 1 の上面に設けられたクロム等の金属層からなり、ゲート絶縁膜 42 およびオーバーコート膜 49 に設けられた開口部 64、65 を介して露出されている。

【0034】

第 2 のデータラインテスト用引き回し線 29 は、アクティブ基板 1 の上面に設けられたクロム等からなる下層引き回し線 29a (図 1 において行方向に延びる線) と、ゲート絶縁膜 42 の上面に設けられたクロム等からなる上層引き回し線 29b (図 1 において列方向に延びる線) とからなり、上層引き回し線 29b の一端部はゲート絶縁膜 42 に設けられたコンタクトホール 66 を介して下層引き回し線 29a に接続されている。

10

【0035】

そして、データ用出力端子 13 は、アクティブ基板 1 の上面に設けられたクロム等からなるデータ用引き回し線 11 に接続されている。データライン用静電気保護兼テスト用薄膜トランジスタ 27 のゲート電極 41 は、アクティブ基板 1 の上面に設けられたクロム等からなる第 1 のデータラインテスト用引き回し線 28 を介して第 1 のデータライン用テスト端子 23 に接続され、一方のソース・ドレイン電極 47 はデータ用出力端子 13 に接続され、他方のソース・ドレイン電極 48 は上層引き回し線 29b および下層引き回し線 29a からなる第 2 のデータラインテスト用引き回し線 29 を介して第 2 のデータライン用テスト端子 24 に接続されている。

20

【0036】

次に、図 6 は図 1 に示すデータライン駆動用ドライバ搭載領域 12 内の左側から数えて (2 + 3n) 番目のデータ用出力端子 13 およびそれに接続されたデータライン用静電気保護兼テスト用薄膜トランジスタ 27 等の部分の断面図を示す。図 6 において、図 5 に示す場合と異なる点についてのみ説明すると、第 3 のデータライン用テスト端子 25 は、アクティブ基板 1 の上面に設けられたクロム等の金属層からなり、ゲート絶縁膜 42 およびオーバーコート膜 49 に設けられた開口部 67、68 を介して露出されている。

20

【0037】

第 3 のデータラインテスト用引き回し線 30 は、アクティブ基板 1 の上面に設けられたクロム等からなる下層引き回し線 30a (図 1 において行方向に延びる線) と、ゲート絶縁膜 42 の上面に設けられたクロム等からなる上層引き回し線 30b (図 1 において列方向に延びる線) とからなり、上層引き回し線 30b の一端部はゲート絶縁膜 42 に設けられたコンタクトホール 69 を介して下層引き回し線 30a に接続されている。

30

【0038】

そして、データライン用静電気保護兼テスト用薄膜トランジスタ 27 の他方のソース・ドレイン電極 48 は上層引き回し線 30b および下層引き回し線 30a からなる第 3 のデータラインテスト用引き回し線 30 を介して第 3 のデータライン用テスト端子 25 に接続されている。この場合、第 3 のデータラインテスト用引き回し線 30 のうち図 1 において列方向に延びる部分 (上層引き回し線 30b) は、第 2 のデータラインテスト用引き回し線 29 のうち図 1 において行方向に延びる部分 (下層引き回し線 29a) と交差するが、その間にゲート絶縁膜 42 が介在されているため、ショートすることはない。。

40

【0039】

次に、図 7 は図 1 に示すデータライン駆動用ドライバ搭載領域 12 内の左側から数えて (3 + 3n) 番目のデータ用出力端子 13 およびそれに接続されたデータライン用静電気保護兼テスト用薄膜トランジスタ 27 等の部分の断面図を示す。図 7 において、図 5 に示す場合と異なる点についてのみ説明すると、第 4 のデータライン用テスト端子 26 は、ゲート絶縁膜 42 の上面に設けられたクロム等の金属層からなり、オーバーコート膜 49 に設けられた開口部 70 を介して露出されている。第 4 のデータラインテスト用引き回し線 31 は、ゲート絶縁膜 42 の上面に設けられたクロム等の金属層からなっている。

【0040】

50

そして、データライン用静電気保護兼テスト用薄膜トランジスタ27の他方のソース・ドレイン電極48は、第4のデータラインテスト用引き回し線31を介して第4のデータライン用テスト端子26に接続されている。この場合、第4のデータラインテスト用引き回し線31のうち図1において列方向に延びる部分31bは、第2のデータラインテスト用引き回し線29のうち図1において行方向に延びる部分（下層引き回し線29a）および第3のデータラインテスト用引き回し線30のうち図1において行方向に延びる部分（下層引き回し線30a）と交差するが、その間にゲート絶縁膜42が介在されているため、ショートすることはない。。

【0041】

次に、上記構成の液晶表示装置において、アクティブ基板1の製造工程中における静電気保護動作について説明する。この場合、スイッチング用薄膜トランジスタ5の静電気による不良は、正の静電気が侵入した場合のみであるため、静電気が正の場合について説明する。また、アクティブ基板1の製造工程中においては、第1の走査ライン用テスト端子15および第1のデータライン用テスト端子23にはテスト用プローブ（図示せず）が接触されていないため、走査ライン用静電気保護兼テスト用薄膜トランジスタ18およびデータライン用静電気保護兼テスト用薄膜トランジスタ27のゲート電極はフローティングゲートとなっている。

10

【0042】

さて、図1において下側から数えて奇数番目の走査ライン 6_{1+2n} のうちある1本の走査ライン 6_1 に外部から何らかの理由により正の静電気が侵入したとする。すると、当該走査ライン 6_1 に走査用引き回し線8および走査用出力端子10を介して接続された走査ライン用静電気保護兼テスト用薄膜トランジスタ18がオン状態となり、当該走査ライン 6_1 から電流がそれに接続された走査ライン用静電気保護兼テスト用薄膜トランジスタ18を介して第2の走査ラインテスト用引き回し線20に流れ、第2の走査ラインテスト用引き回し線20が高電位となる。

20

【0043】

第2の走査ラインテスト用引き回し線20が高電位になると、図1において下側から数えて奇数番目の走査ライン 6_{1+2n} のうち他のすべての走査ライン 6_{1+2n} に接続された走査ライン用静電気保護兼テスト用薄膜トランジスタ18が導通状態となり、第2の走査ラインテスト用引き回し線20から電流が走査ライン用静電気保護兼テスト用薄膜トランジスタ18を介して他のすべての走査ライン 6_{1+2n} に流れ、図1において下側から数えて奇数番目の走査ライン 6_{1+2n} のすべてが同電位となる。これにより、奇数番目の走査ライン 6_{1+2n} に接続された各スイッチング用薄膜トランジスタ5に印加される電荷が緩和され、各スイッチング用薄膜トランジスタ5および各絶縁膜の特性変動や破壊を防止することができる。

30

【0044】

図1において下側から数えて偶数番目の走査ライン 6_{2+2n} のうちある1本の走査ライン 6_2 に外部から何らかの理由により正の静電気が侵入した場合には、上記と同様の静電気保護動作により、第3の走査ラインテスト用引き回し線21が高電位になり、図1において下側から数えて偶数番目の走査ライン 6_{2+2n} のすべてが同電位となる。これにより、奇数番目の走査ライン 6_{2+2n} に接続された各スイッチング用薄膜トランジスタ5に印加される電荷が緩和される。かくして、走査ライン6に外部から何らかの理由により正の静電気が侵入しても、スイッチング用薄膜トランジスタ5および各絶縁膜の静電気に起因する特性変動や破壊等の不良が防止される。

40

【0045】

一方、図1において左側から数えて $(1+3n)$ 番目の赤色表示用のデータライン 7_{1+3n} のうちある1本のデータライン 7_1 に外部から何らかの理由により正の静電気が侵入したとする。すると、当該データライン 7_1 に接続されたデータライン用静電気保護兼テスト用薄膜トランジスタ27が導通状態となり、当該データライン 7_1 から電流がそれに接続されたデータライン用静電気保護兼テスト用薄膜トランジスタ27を介して第2のデータ

50

タライントスト用引き回し線 29 に流れ、第 2 のデータライントスト用引き回し線 29 が高電位となる。

【0046】

第 2 のデータライントスト用引き回し線 29 が高電位になると、赤色表示用のデータライント 7 のうち他のすべてのデータライント 7_{1+3n} に接続されたデータライント用静電気保護兼テスト用薄膜トランジスタ 27 が導通状態となり、第 2 のデータライントスト用引き回し線 29 から電流がデータライント用静電気保護兼テスト用薄膜トランジスタ 27 を介して当該残りのデータライント 7_{1+3n} に流れ、赤色表示用のデータライント 7_{1+3n} のすべてが同電位となる。

【0047】

図 1 において左側から数えて ($2 + 3n$) 番目 (または ($3 + 3n$) 番目) の緑色表示用 (または青色表示用) のデータライント 7_{2+3n} (7_{3+3n}) のうちある 1 本のデータライント 7_2 (7_3) に外部から何らかの理由により正の静電気が侵入した場合には、上記と同様の静電気保護動作により、第 3 のデータライントスト用引き回し線 30 (または第 4 のデータライントスト用引き回し線 31) が高電位になり、緑色表示用 (または青色表示用) のデータライント 7 のすべてが同電位となる。かくして、データライント 7_{2+3n} (7_{3+3n}) に外部から何らかの理由により正の静電気が侵入しても、スイッチング用薄膜トランジスタ 5 および各絶縁膜の静電気に起因する特性変動や破壊等の不良が防止される。

【0048】

次に、上記構成の液晶表示装置の点灯検査方法について説明する。まず、すべてのテスト端子 15 ~ 17、23 ~ 26 に検査装置に接続されたテスト用プローブ (図示せず) を接触させる。そして、第 1 に、例えば、第 2 の走査ライン用テスト端子 16 に駆動電圧を供給し、且つ、第 2 ~ 第 4 のデータライント用テスト端子 24 ~ 26 に駆動電圧を供給した状態において、第 1 の走査ライン用テスト端子 15 および第 1 のデータライント用テスト端子 23 にゲート電圧を供給すると、図 1 において、下側から数えて奇数番目の行の画素電極 4R、4G、4B に対応する画素が点灯する。このとき、相隣接する走査ライン 6 間でショートが発生している場合には、このショートが発生している部分に対応する下側から数えて偶数番目の行の画素電極 4R、4G、4B に対応する画素が点灯し、相隣接する走査ライン 6 間のショート不良が検出される。また、このとき、下側から数えて偶数番目のある行の画素電極 4R、4G、4B の少なくとも一部が点灯しない場合には、これに対応する走査ライン 6 が断線していることになり、走査ライン 6 の断線不良が検出される。同様に、駆動電圧を第 2 の走査ライン用テスト端子 16 に供給せずに、第 2 の走査ライン用テスト端子 17 に供給することにより、下側から数えて偶数番目の行が相隣接する走査ライン 6 とショートしているか否か、および下側から数えて偶数番目の行の走査ライン 6 が断線しているか否かを検出することができる。

【0049】

第 2 に、例えば、第 1、第 2 の走査ライン用テスト端子 16、17 に駆動電圧を供給し、且つ、第 2 のデータライント用テスト端子 24 に駆動電圧を供給した状態において、第 1 の走査ライン用テスト端子 15 および第 1 のデータライント用テスト端子 23 にゲート電圧を供給すると、すべての赤色表示用の画素電極 4R に対応する画素が点灯する。このとき、相隣接するデータライント 7 間でショートが発生している場合には、このショートが発生している部分に対応する緑色表示用の画素電極 4G あるいは青色表示用の 4B に対応する画素が点灯し、相隣接するデータライント 7 間のショート不良が検出される。また、このとき、ある列の赤色表示用の画素電極 4R の少なくとも一部が点灯しない場合には、これに対応するデータライント 7_{1+3n} が断線していることになり、データライント 7_{1+3n} の断線不良が検出される。緑色表示用の画素電極 4G および青色表示用の画素電極 4B についても、駆動電圧を第 2 のデータライント用テスト端子 24 に供給せずに、第 2 のデータライント用テスト端子 25 または 26 に供給することにより、赤色表示用の画素電極 4R と同様に相隣接のデータライント間 7 のショートおよび当該表示色の表示用の画素電極 4 が接続されたデータライント 7_{2+3n} または 7_{3+3n} の断線不良を検出することができる。

10

20

30

40

50

【0050】

ところで、この液晶表示装置では、図1に示すように、アクティブ基板1上の表示領域3の外側の突出部1a上の走査ライン駆動用ドライバ搭載領域9内に、走査ライン用静電気保護兼テスト用スイッチング回路14、すなわち、走査ライン用静電気保護兼テスト用薄膜トランジスタ18、第1～第3の走査ラインテスト用引き回し線19～21および第1～第3の走査ライン用テスト端子15～17を設けているので、これらを配置するためのそれ専用の配置領域が不要となり、それに応じて額縁面積を小さくすることができる。

【0051】

また、この液晶表示装置では、図1に示すように、アクティブ基板上1の表示領域3の外側の突出部1a上のデータライン駆動用ドライバ搭載領域12内に、データライン用静電気保護兼テスト用スイッチング回路22、すなわち、データライン用静電気保護兼テスト用薄膜トランジスタ27、第1～第4のデータラインテスト用引き回し線28～31および第1～第4のデータライン用テスト端子23～26を設けているので、これらを配置するためのそれ専用の配置領域が不要となり、それに応じて額縁面積を小さくすることができる。

10

【0052】

次に、この液晶表示装置において、走査ライン駆動用ドライバ搭載領域9上に走査ライン駆動用ドライバ(図示せず)を搭載し、データライン駆動用ドライバ搭載領域12上にデータライン駆動用ドライバ(図示せず)を、フェースダウン・ボンディング等適宜な方法によりCOG実装し、実駆動を行なう場合の一部について説明する。この場合、走査ライン駆動用ドライバの外部電極は、半田、異方導電性材料、金属共晶等適宜な接続材料により、それぞれ、対応する走査用出力端子10、第1～第3の走査ライン用テスト端子15～17および走査用入力端子32に接続され、データライン駆動用ドライバの外部電極は、それぞれ、対応するデータ用出力端子13、第1～第4のデータライン用テスト端子23～26およびデータ用入力端子35に接続されている。

20

【0053】

そして、非選択状態の走査ライン6に走査ライン駆動用ドライバから走査用出力端子10を介して電圧Vg1(例えば、Vg1=-20~-15V)が供給されている場合には、第1の走査ライン用テスト端子15にも走査ライン駆動用ドライバから電圧Vg1が供給され、すべての走査ライン用静電気保護兼テスト用薄膜トランジスタ18はオフ状態に保持されている。また、第2、第3の走査ライン用テスト端子16、17にも走査ライン駆動用ドライバから電圧Vg1が供給され、走査ライン用静電気保護兼テスト用薄膜トランジスタ18の他方のソース・ドレイン電極の電位はVg1に保持されている。

30

【0054】

ところで、実駆動中では、スイッチング用薄膜トランジスタ5がオン状態となる時間はほんの一瞬であり、大部分の時間はオフ状態である。したがって、非選択状態の走査ライン6には大部分の時間電圧Vg1が供給されている。この結果、第1の走査ライン用テスト端子15を介して走査ライン用静電気保護兼テスト用薄膜トランジスタ18のゲート電極に供給される電圧Vg1は非選択状態の走査ライン6に供給される電圧Vg1と同じとなり、走査ライン用静電気保護兼テスト用薄膜トランジスタ18からのリーコンデンサー電流を低減することができる。

40

【0055】

また、第2、第3の走査ライン用テスト端子16、17を介して走査ライン用静電気保護兼テスト用薄膜トランジスタ18の他方のソース・ドレイン電極に供給される電圧Vg1は、非選択状態の走査ライン6に接続された走査用出力端子10を介して走査ライン用静電気保護兼テスト用薄膜トランジスタ18の一方のソース・ドレイン電極に供給される電圧Vg1と同じであり、走査ライン用静電気保護兼テスト用薄膜トランジスタ18からのリーコンデンサー電流を低減することができる。なお、第2、第3の走査ライン用テスト端子16、17に供給される電圧はGND電位またはそれ未満の負電位としてもよい。

【0056】

50

一方、第1のデータライン用テスト端子23にはデータライン駆動用ドライバから電圧Vg1が供給され、すべてのデータライン用静電気保護兼テスト用薄膜トランジスタ27はオフ状態に保持されている。また、第2～第4のデータライン用テスト端子24～26にはデータライン駆動用ドライバからそのベース電圧(LSI-GNDとする)が供給され、第2～第4のデータラインテスト用引き回し線29～31の電位はLSI-GNDに保持されている。

【0057】

そして、すべてのデータライン用静電気保護兼テスト用薄膜トランジスタ27がオフ状態に保持されると、データライン7同士は高抵抗で分離され、データライン7にデータ用出力端子13を介して供給されるデータ信号が干渉し合わないようにすることができ、またデータライン用静電気保護兼テスト用薄膜トランジスタ27からのリーク電流を低減することができる。

10

【0058】

ここで、図5および図6に示すように、第2、第3のデータラインテスト用引き回し線29、30は上層引き回し線29b、30bの一端部がコンタクトホール66、69を介して下層引き回し線29a、30aに接続された構造であり、コンタクトホール66、69の部分がオーバーコート膜49によって覆われている。しかるに、コンタクトホール66、69の部分におけるオーバーコート膜49には欠陥が発生しやすい。

【0059】

一方、コンタクトホール66、69の部分におけるオーバーコート膜49上はデータライン駆動用ドライバによって覆われるので、コンタクトホール66、69の部分におけるオーバーコート膜49に欠陥があり、且つ、コンタクトホール66、69の部分における上層引き回し線29b、30bとデータライン駆動用ドライバとの間に電位差があると、イオンの移動により、コンタクトホール66、69の部分における上層引き回し線29b、30bが腐食する原因となる。

20

【0060】

これに対し、第2～第4のデータライン用テスト端子24～26にはデータライン駆動用ドライバから電圧LSI-GNDが供給され、第2～第4のデータラインテスト用引き回し線29～31の電位がLSI-GNDに保持されると、コンタクトホール66、69の部分における上層引き回し線29b、30bとデータライン駆動用ドライバとの間に電位差が生じないので、コンタクトホール66、69の部分におけるオーバーコート膜49に欠陥があっても、上記のような引き回し線の腐食が発生しないようにすることができる。

30

【0061】

ところで、図3に示すように、第2の走査ライン用テスト端子16をアクティブ基板1の上面に設けると、第2の走査ラインテスト用引き回し線20は、アクティブ基板1の上面に設けられた下層引き回し線20aの一端部を、ゲート絶縁膜42に設けられたコンタクトホール57を介して、ゲート絶縁膜42の上面に設けられた下層引き回し線20aに接続させた構造とする必要がある。したがって、コンタクトホール57が必要となる。次に説明する第2実施形態は、コンタクトホール57を不要としたものである。

40

【0062】

(第2実施形態)

図8はこの発明の第2実施形態としての液晶表示装置の走査ライン駆動用ドライバ搭載領域9の部分の等価回路的平面図を示し、図9は同第2実施形態としての液晶表示装置の図3同様の断面図を示す。この液晶表示装置では、まず、図8に示すように、第2の走査ライン用テスト端子16は第1の走査ライン用テスト端子15の上側に配置され、第2の走査ラインテスト用引き回し線20のうち行方向に延びる共通な部分は走査ライン駆動用ドライバ搭載領域9の上側に配置されている。

【0063】

なお、図8において、走査ライン用静電気保護兼テスト用薄膜トランジスタ18は千鳥

50

状に配置しているが、これは左側から数えて偶数番目の走査ライン用静電気保護兼テスト用薄膜トランジスタ18とその上側の第2の走査ラインテスト用引き回し線20の一部とを図面上明確にするためである。したがって、走査ライン用静電気保護兼テスト用薄膜トランジスタ18は、図8に示すように、千鳥状に配置してもよいが、図1に示すように、同一直線上に配置する方が好ましい。

【0064】

次に、図9に示すように、第2の走査ライン用テスト端子16は、ゲート絶縁膜42の上面に設けられたクロム等の金属層からなり、オーバーコート膜49に設けられたコンタクトホール56を介して露出されている。そして、走査ライン用静電気保護兼テスト用薄膜トランジスタ18の他方のソース・ドレイン電極19は、ゲート絶縁膜42の上面に設けられたクロム等からなる第2の走査ラインテスト用引き回し線20を介して第2の走査ライン用テスト端子16に接続されている。したがって、図3に示すようなコンタクトホール57は不要となる。

10

【0065】

なお、図10に示すように、第2の走査ライン用テスト端子16は第1の走査ライン用テスト端子15と第3の走査ライン用テスト端子17との間に配置し、第2の走査ラインテスト用引き回し線20は第1の走査ライン用テスト端子15の左側を通るように配置し、第2の走査ラインテスト用引き回し線20のうち行方向に延びる共通な部分は走査ライン駆動用ドライバ搭載領域9内において走査用出力端子10の上側に配置してもよい。

20

【0066】

(その他の実施形態)

図1では、走査ライン駆動用ドライバ搭載領域9において、走査ライン用静電気保護兼テスト用薄膜トランジスタ18を左側から数えて奇数番目と偶数番目に分けているが、これは、上述の如く、相隣接する走査ライン6間のショート不良を検出することができるようにするためである。このようなショート検査を行なわない場合には、すべての走査ライン用静電気保護兼テスト用薄膜トランジスタ18の他方のソース・ドレイン電極を第3の走査ラインテスト用引き回し線21を介して第3の走査ライン用テスト端子17に接続し、第2の走査ラインテスト用引き回し線20および第2の走査ライン用テスト端子16を省略してもよい。

30

【0067】

このようにした場合には、ある1本の走査ライン6に静電気が侵入したときの電荷分散先を残りのすべての走査ライン6とすることができますので、静電気耐性を向上することができる。また、図3に示すようなコンタクトホール57が不要となるので、このようなコンタクトホールに起因する引き回し線の腐食が発生しないようにすることができる。

【0068】

また、図1では、データライン駆動用ドライバ搭載領域12において、データラインテスト用薄膜トランジスタ18を赤、緑、青の各色表示用に分けているが、これは、上述の如く、赤、緑、青の各色別に検査することができるようとするためである。このような各色別の検査を行なわない場合には、あるいは、1本のデータライン6にスイッチング用薄膜トランジスタ5を介して複数色の画素電極が接続されている場合には、すべてのデータライン用静電気保護兼テスト用薄膜トランジスタ27の他方のソース・ドレイン電極を第4のデータラインテスト用引き回し線31を介して第4のデータライン用テスト端子26に接続し、第2、第3のデータラインテスト用引き回し線29、30および第2、第3のデータライン用テスト端子23、24を省略してもよい。

40

【0069】

このようにした場合には、ある1本のデータライン7に静電気が侵入したときの電荷分散先を残りのすべてのデータライン6とすることができますので、静電気耐性を向上することができる。また、図5および図6に示すようなコンタクトホール66、69が不要となるので、このようなコンタクトホールに起因する引き回し線の腐食が発生しないようにすることができる。この場合、実駆動中において第4のデータライン用テスト端子26に供

50

給する電圧は、L S I - G N D 電位のほかに、V s i g 中心またはV c o m 中心の電位としてもよい。実駆中ににおいて第4のデータライン用テスト端子26に供給する電圧をV s i g 中心またはV c o m 中心の電位とした場合には、データライン用静電気保護兼テスト用薄膜トランジスタ27の両ソース・ドレイン電極間の電位差が小さくなるので、リーク電流をより一層低減することができる。

【0070】

また、図1では、走査ライン駆動用ドライバ搭載領域9とデータライン駆動用ドライバ搭載領域12とを分離しているが、走査ライン駆動用ドライバとデータライン駆動用ドライバとを1チップ化したものが市販されており、このような1チップドライバを用いる場合には、走査ライン駆動用ドライバ搭載領域とデータライン駆動用ドライバ搭載領域は連続して形成してもよい。

10

【0071】

また、図1では、走査ライン駆動用ドライバ搭載領域9とデータライン駆動用ドライバ搭載領域12とをアクティブ基板1の一辺である突出部1aに形成したものとしているが、アクティブ基板の複数の辺を突出部とし、各突出部に走査ライン駆動用ドライバ搭載領域とデータライン駆動用ドライバ搭載領域を形成するようにしてもよい。

20

【図面の簡単な説明】

【0072】

【図1】この発明の第1実施形態としての液晶表示装置の要部の等価回路的平面図。

【図2】図1に示すスイッチング用薄膜トランジスタおよび画素電極の部分の断面図。

【図3】図1に示す走査ライン駆動用ドライバ搭載領域内の左側から数えて奇数番目の走査用出力端子およびそれに接続された走査ラインテスト用薄膜トランジスタ等の部分の断面図。

【図4】図1に示す走査ライン駆動用ドライバ搭載領域内の左側から数えて偶数番目の走査用出力端子およびそれに接続された走査ラインテスト用薄膜トランジスタ等の部分の断面図。

30

【図5】図1に示すデータライン駆動用ドライバ搭載領域内の左側から数えて(1+3n)番目のデータ用出力端子およびそれに接続されたデータラインテスト用薄膜トランジスタ等の部分の断面図。

【図6】図1に示すデータライン駆動用ドライバ搭載領域内の左側から数えて(2+3n)番目のデータ用出力端子およびそれに接続されたデータラインテスト用薄膜トランジスタ等の部分の断面図。

40

【図7】図1に示すデータライン駆動用ドライバ搭載領域内の左側から数えて(3+3n)番目のデータ用出力端子およびそれに接続されたデータラインテスト用薄膜トランジスタ等の部分の断面図。

【図8】この発明の第2実施形態としての液晶表示装置の走査ライン駆動用ドライバ搭載領域の部分の等価回路的平面図。

【図9】同第2実施形態としての液晶表示装置の図3同様の断面図。

【図10】図8に示す場合の変形例を説明するために示す同様の等価回路的平面図。

【符号の説明】

【0073】

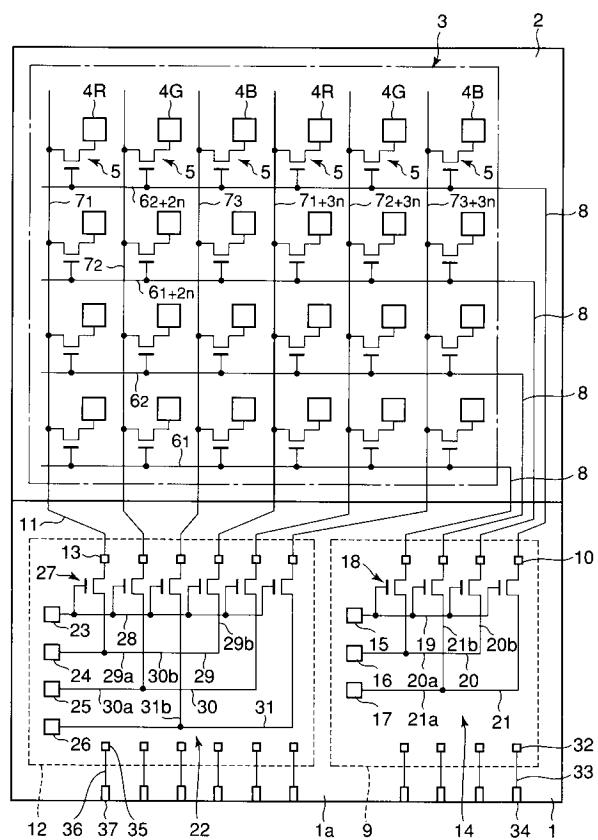
- 1 アクティブ基板
- 2 対向基板
- 3 表示領域
- 4、4 R、4 G、4 B 画素電極
- 5 スイッチング用薄膜トランジスタ
- 6 走査ライン
- 7 データライン
- 8 走査用引き回し線
- 9 走査ライン駆動用ドライバ搭載領域

50

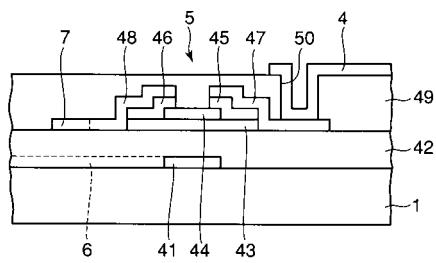
1 0 走査用出力端子
 1 1 データ用引き回し線
 1 2 データライン駆動用ドライバ搭載領域
 1 3 データ用出力端子
 1 4 走査ライン用静電気保護兼テスト用スイッチング回路
 1 5 ~ 1 7 第1 ~ 第3の走査ライン用テスト端子
 1 8 走査ライン用静電気保護兼テスト用薄膜トランジスタ
 1 9 ~ 2 1 第1 ~ 第3の走査ラインテスト用引き回し線
 2 2 データライン用静電気保護兼テスト用スイッチング回路
 2 3 ~ 2 6 第1 ~ 第4のデータライン用テスト端子
 2 7 データライン用静電気保護兼テスト用薄膜トランジスタ
 2 8 ~ 3 1 第1 ~ 第4のデータラインテスト用引き回し線

10

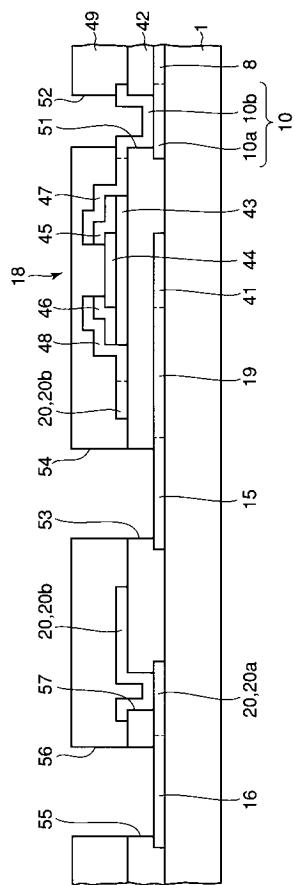
【図1】



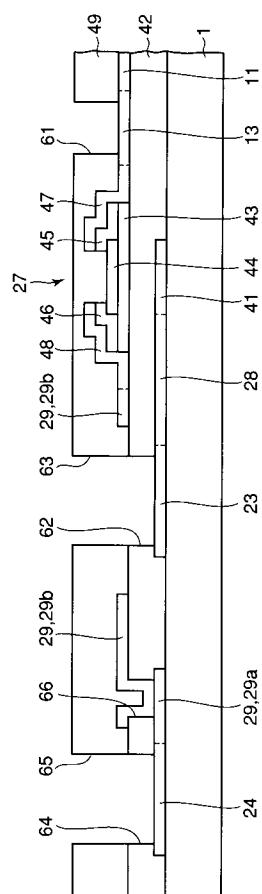
【図2】



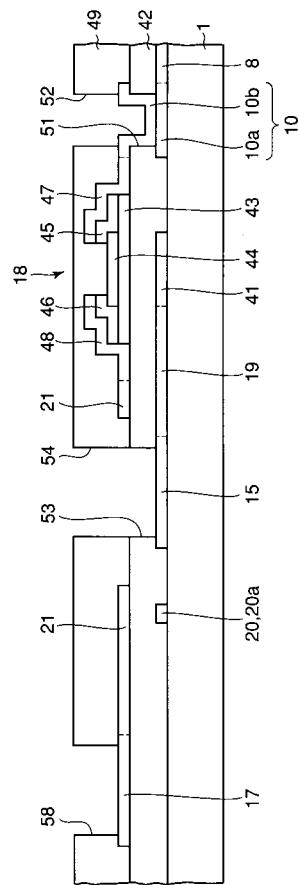
【 図 3 】



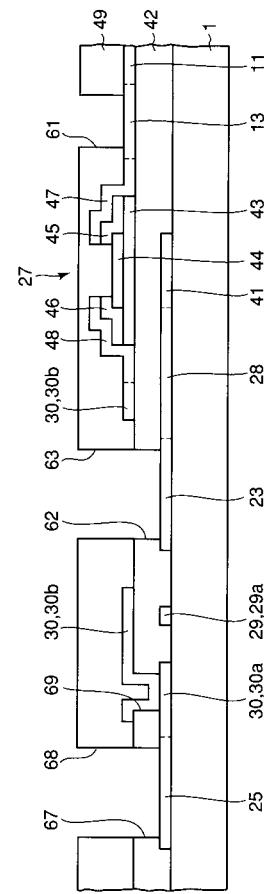
【図5】



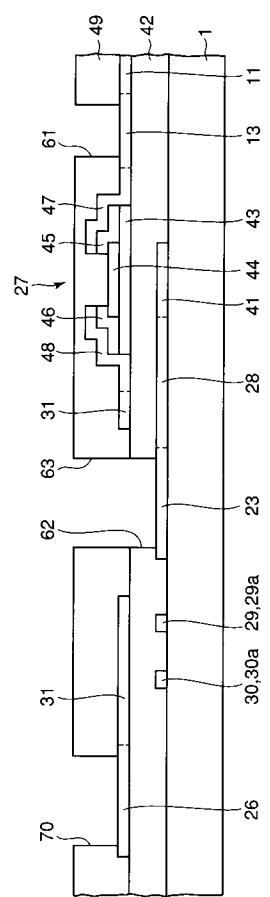
【 図 4 】



【 四 6 】



【図7】



フロントページの続き

F ターム(参考) 2H092 GA38 GA42 GA59 GA60 GA64 HA06 JB21 JB22 JB25 JB31
JB33 JB77 JB79 NA25
5E317 AA02 AA08 CD29 GG14 GG20
5E338 AA18 CC01 CC07 CC10 CD40 EE22

专利名称(译)	液晶表示装置		
公开(公告)号	JP2008129374A	公开(公告)日	2008-06-05
申请号	JP2006315152	申请日	2006-11-22
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	石井 裕满 中村 やよい		
发明人	石井 裕满 中村 やよい		
IPC分类号	G02F1/1345 H05K1/11 H05K1/02		
CPC分类号	G02F1/136204 G02F2001/136254 Y10S345/904		
FI分类号	G02F1/1345 H05K1/11.Z H05K1/02.K		
F-TERM分类号	2H092/GA38 2H092/GA42 2H092/GA59 2H092/GA60 2H092/GA64 2H092/HA06 2H092/JB21 2H092/JB22 2H092/JB25 2H092/JB31 2H092/JB33 2H092/JB77 2H092/JB79 2H092/NA25 5E317/AA02 5E317/AA08 5E317/CD29 5E317/GG14 5E317/GG20 5E338/AA18 5E338/CC01 5E338/CC07 5E338/CC10 5E338/CD40 5E338/EE22		
其他公开文献	JP5140999B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：减小具有静电保护功能和用于保护开关薄膜晶体管免受静电影响的测试功能的液晶显示装置中的边框面积。在扫描线驱动驱动器安装区域中，设置有扫描线静电保护/测试薄膜晶体管，第一至第三扫描线测试布线19至21以及第一至第三扫描线。当提供使用的测试端子15至17时，不需要用于布置测试端子15至17的专用布局区域，并且框架面积可以相应地减小。此外，在数据线驱动驱动器安装区域12中，设置有数据线静电保护/测试薄膜晶体管27，第一至第四数据线测试布线28至31以及数据线测试端子23至26。因此，不需要用于布置它们的专用布置区域，并且框架面积可以相应地减小。[选型图]图1

