

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-83662

(P2008-83662A)

(43) 公開日 平成20年4月10日(2008.4.10)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H092
HO1L 21/336 (2006.01)	HO1L 29/78 612Z	5F033
HO1L 29/786 (2006.01)	HO1L 21/90 A	5F110
HO1L 21/768 (2006.01)		

審査請求 未請求 請求項の数 20 O L (全 16 頁)

(21) 出願番号	特願2007-11807 (P2007-11807)	(71) 出願人	390019839
(22) 出願日	平成19年1月22日 (2007.1.22)		三星電子株式会社
(31) 優先権主張番号	10-2006-0093519		SAMSUNG ELECTRONICS
(32) 優先日	平成18年9月26日 (2006.9.26)		CO., LTD.
(33) 優先権主張国	韓国 (KR)		大韓民国京畿道水原市靈通区梅灘洞 416
			416, Maetan-dong, Yeongtong-gu, Suwon-si,
			Gyeonggi-do 442-742
			(KR)
		(74) 代理人	110000408
			特許業務法人高橋・林アンドパートナーズ
		(72) 発明者	金 奉 柱
			大韓民国京畿道水原市靈通区網浦洞 パン
			ジクマウル靈通ツランチュアパートメン
			ト1002-601
			最終頁に続く

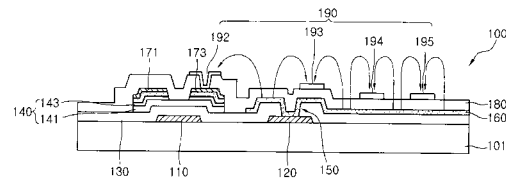
(54) 【発明の名称】 薄膜トランジスタ基板及びこの製造方法、並びに薄膜トランジスタ基板これを備えた液晶表示パネル

(57) 【要約】

【課題】薄膜トランジスタ基板と、この製造方法及びこれを備えた液晶表示パネルを提供すること。

【解決手段】基板と、基板の上に一方向に延設されたゲートラインと、基板の上にゲートラインと所定の間隔を隔てて形成された共通電圧ラインと、ゲートラインと共通電圧ラインの上に形成され、共通電圧ラインの一部を露出させる第1のコンタクトホールが形成されたゲート絶縁膜と、ゲート絶縁膜の上に形成され、第1のコンタクトホールを介して共通電圧ラインと接続された共通電極と、ゲート絶縁膜の上にゲートラインと交差する方向に延設されたデータラインと、ゲートラインとデータラインとの交差領域に形成され、ゲートライン及びデータラインと接続されると共に、ゲート電極、ソース電極及びドレイン電極を含む薄膜トランジスタと、薄膜トランジスタと接続された画素電極とを備える薄膜トランジスタ基板。

【選択図】図2



【特許請求の範囲】

【請求項 1】

基板と、

前記基板の上に一方向に延設されたゲートラインと、

前記基板の上に前記ゲートラインと所定の間隔を隔てて形成された共通電圧ラインと、

前記ゲートラインと前記共通電圧ラインの上に形成され、前記共通電圧ラインの一部を露出させる第 1 のコンタクトホールが形成されたゲート絶縁膜と、

前記ゲート絶縁膜の上に形成され、前記第 1 のコンタクトホールを介して前記共通電圧ラインと接続された共通電極と、

前記ゲート絶縁膜の上に前記ゲートラインと交差する方向に延設されたデータラインと、 10

前記ゲートラインと前記データラインとの交差領域に形成され、前記ゲートライン及びデータラインと接続されると共に、ゲート電極、ソース電極及びドレイン電極を含む薄膜トランジスタと、

前記薄膜トランジスタと接続された画素電極とを備えることを特徴とする薄膜トランジスタ基板。

【請求項 2】

前記薄膜トランジスタと前記共通電極の上に形成され、前記ドレイン電極の一部を露出させる第 2 のコンタクトホールが形成された保護膜をさらに備え、前記画素電極は、前記第 2 のコンタクトホールを介して前記薄膜トランジスタのドレイン電極と接続されることを特徴とする請求項 1 に記載の薄膜トランジスタ基板。 20

【請求項 3】

前記共通電極は、面状に形成されることを特徴とする請求項 1 に記載の薄膜トランジスタ基板。

【請求項 4】

前記共通電極は、前記ゲートラインと前記データラインとの交差領域内に形成されることを特徴とする請求項 3 に記載の薄膜トランジスタ基板。

【請求項 5】

前記画素電極は、ライン状に形成された複数の画素電極パターンを含むことを特徴とする請求項 1 に記載の薄膜トランジスタ基板。

【請求項 6】

前記複数の画素電極パターンは、互いに離隔されるように形成され、かつ、互いに電氣的に接続されていることを特徴とする請求項 5 に記載の薄膜トランジスタ基板。 30

【請求項 7】

前記複数の画素電極パターンの各々の一端は、互いに接続されることを特徴とする請求項 6 に記載の薄膜トランジスタ基板。

【請求項 8】

前記複数の画素電極パターンは、前記データラインと平行な方向に延設されることを特徴とする請求項 6 に記載の薄膜トランジスタ基板。

【請求項 9】

前記共通電極及び前記画素電極は、インジウム・スズ・オキサイド (ITO) またはインジウム・亜鉛・オキサイド (IZO) からなることを特徴とする請求項 1 に記載の薄膜トランジスタ基板。 40

【請求項 10】

基板の上に一方向に延設され、ゲート電極を含むゲートラインと、前記ゲートラインとは所定の間隔だけ離隔された共通電圧ラインを形成し、

前記ゲートラインと共通電圧ラインの上にゲート絶縁膜、活性層及びオーミックコンタクト層を順次に形成した後、薄膜トランジスタの活性領域を形成し、

前記ゲート絶縁膜の上に前記共通電圧ラインの一部を露出させる第 1 のコンタクトホールを形成し、

前記ゲートラインと交差する方向に延設され、ソース電極及びドレイン電極を含むデータ 50

ラインと、前記第 1 のコンタクトホールを介して前記共通電圧ラインと接続される共通電極を形成し、

前記データラインと前記共通電圧ラインの上に保護膜を形成し、前記保護膜の上に前記ドレイン電極の一部を露出させる第 2 のコンタクトホールを形成し、

前記第 2 のコンタクトホールを介して前記ドレイン電極と接続される画素電極を形成することを特徴とする薄膜トランジスタ基板の製造方法。

【請求項 1 1】

前記共通電極の形成は、

前記共通電極を面状に形成することを含むことを特徴とする請求項 1 0 に記載の薄膜トランジスタ基板の製造方法。

10

【請求項 1 2】

前記共通電極の形成は、

前記共通電極を前記ゲートラインと前記データラインとの交差領域内に形成することを含むことを特徴とする請求項 1 1 に記載の薄膜トランジスタ基板の製造方法。

【請求項 1 3】

前記画素電極の形成は、

複数の画素電極パターンを形成することを含み、前記複数の画素電極パターンはライン状に、且つ、互いに離隔されるように形成され、電氣的に接続されていることを特徴とする請求項 1 0 に記載の薄膜トランジスタ基板の製造方法。

【請求項 1 4】

前記複数の画素電極パターンの形成は、

前記複数の画素電極パターンの各々の一端が互いに接続されるように、前記複数の画素電極パターンを形成することを特徴とする請求項 1 3 に記載の薄膜トランジスタ基板の製造方法。

20

【請求項 1 5】

前記複数の画素電極パターンの形成は、

前記複数の画素電極パターンが前記データラインと平行な方向に延設されるように、前記複数の画素電極パターンを形成することを含むことを特徴とする請求項 1 3 に記載の薄膜トランジスタ基板の製造方法。

【請求項 1 6】

前記ソース電極及びドレイン電極を含むデータラインと共通電極の形成は、

共通電極用の導電性膜及びデータライン用の導電性膜を順次に積層し、

前記データライン用の導電性膜の上に所定の領域別に厚さの異なる感光膜マスクパターンを形成し、

前記感光膜マスクパターンを用いて前記共通電極用の導電性膜及びデータライン用の導電性膜を選択的にエッチングすることを特徴とする請求項 1 0 に記載の薄膜トランジスタ基板の製造方法。

30

【請求項 1 7】

前記所定の領域別に厚さの異なる感光膜マスクパターンを形成し、

前記共通電極に対応する領域の感光膜マスクパターンの厚さを前記ソース電極及びドレイン電極を含むデータラインに対応する領域の感光膜マスクパターンの厚さよりも薄く形成しすることを特徴とする請求項 1 6 に記載の薄膜トランジスタ基板の製造方法。

40

【請求項 1 8】

前記所定の領域別に厚さの異なる感光膜マスクパターンの形成は、

ハーフトーンマスクまたはスリットパターンを含むマスクを用いて、所定の領域別に厚さの異なる感光膜マスクパターンを形成することを特徴とする請求項 1 6 に記載の薄膜トランジスタ基板の製造方法。

【請求項 1 9】

第 1 の基板と、前記第 1 の基板の上に一方向に延設されたゲートラインと、前記第 1 の基板の上に前記ゲートラインと所定の間隔を隔てて形成された共通電圧ラインと、前記ゲー

50

ラインと前記共通電圧ラインの上に形成され、前記共通電圧ラインの一部を露出させる第1のコンタクトホールが形成されたゲート絶縁膜と、前記ゲート絶縁膜の上に形成され、前記第1のコンタクトホールを介して前記共通電圧ラインと接続された共通電極と、前記ゲート絶縁膜の上に前記ゲートラインと交差する方向に延設されたデータラインと、前記ゲートラインと前記データラインとの交差領域に形成され、前記ゲートライン及びデータラインと接続され、ゲート電極、ソース電極及びドレイン電極を含む薄膜トランジスタと、前記薄膜トランジスタと接続された画素電極とを備える薄膜トランジスタ基板と、前記薄膜トランジスタ基板と相対するように配置され、第2の基板と、前記第2の基板の上に形成されたブラックマトリックスと、前記第2の基板とブラックマトリックスの上に形成された多数のカラーフィルタと、前記多数のカラーフィルタの上に形成されたオーバーコート膜とを備えるカラーフィルタ基板と、前記薄膜トランジスタ基板と前記カラーフィルタ基板との間に注入された液晶とを備えることを特徴とする液晶表示パネル。

10

【請求項20】

前記薄膜トランジスタ基板と前記カラーフィルタ基板との間のセルギャップを維持するためのスペーサーをさらに含むことを特徴とする請求項19に記載の液晶表示パネル。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は薄膜トランジスタ基板及びこの製造方法、並びに薄膜トランジスタ基板これを用いた液晶表示パネルに係り、より詳細には、PLS (Plane to line switching) モードの液晶表示パネルにおいて、共通電極がゲート絶縁膜の上に形成され、コンタクトホールを介して共通電圧ラインと接続されるような構造の薄膜トランジスタ基板と、この製造方法及びこれを用いた液晶表示パネルに関する。

20

【背景技術】

【0002】

液晶表示パネルの視野角を改善するため、例えば、IPS (In-Plane Switching) モード、FFS (Fringe-Field Switching) モードまたはPVA (Patterned Vertical Alignment) モードなどの広視野角技術が開発されている。

30

【0003】

しかしながら、これらの広視野角技術においては、電極のラテラル・フィールド (横方向電界) を用いるモードの特性から、電極の上部にはフィールド (電界) の歪みなどが生じることがあり、実質的にバックライトの透過に寄与する領域が減縮されてしまうという問題があった。

【0004】

そこで、近年、電極の死空間 (デッドスペース) を開口部として活用可能なPLSモードが研究・開発されている。

【0005】

かかるPLSモードは、薄膜トランジスタ基板の上に面状の共通電極とライン状の画素電極を形成し、両電極に電圧を加えるときに生じる電場により液晶分子の配列を制御する方式である。PLSモードは、既存のIPSモードを基に、さらなる共通電極を介して電極上の死空間を除去することができるというメリットがある。

40

【0006】

しかしながら、従来の技術によるPLSモードの場合、広い領域に共通電極を形成した後、ゲートラインを形成し、その後、共通電極の上に3層膜、すなわち、ゲート絶縁膜、活性層及びオーミックコンタクト層を高温、例えば、350以上の温度において順次に蒸着していた。

【0007】

このとき、共通電極に用いる部材が、例えば、ITOが、高温に晒される場合、各組成物

50

間の結合力が弱くなり、これにより、インジウムイオンまたはスズイオンが他の層に影響を及ぼすという問題点が生じていた。一方、これを防ぐために、3層膜を低温、例えば、約280℃において蒸着した場合、共通電極の内部組成物間の結合力の弱化は予防できるが、アモルファスシリコン（非晶質シリコン）からなる活性層を含む3層膜の界面特性が格段に低下して、薄膜トランジスタの信頼性が低下するという不都合を招いていた。

【発明の開示】

【発明が解決しようとする課題】

【0008】

本発明は上述した従来技術の不都合を克服するためのものであり、その目的は、共通電極の内部組成物間の結合力を維持すると共に、活性層を含む3層膜の界面特性をも維持することのできる薄膜トランジスタ基板及びこの製造方法並びにこの薄膜トランジスタ基板を備えた液晶表示パネルを提供するところにある。

10

【課題を解決するための手段】

【0009】

前記本発明の目的を達成するために、本発明の一側面によれば、基板と、前記基板の上の一方向に延設されたゲートラインと、前記基板の上に前記ゲートラインと所定の間隔を隔てて形成された共通電圧ラインと、前記ゲートラインと前記共通電圧ラインの上に形成され、前記共通電圧ラインの一部を露出させる第1のコンタクトホールが形成されたゲート絶縁膜と、前記ゲート絶縁膜の上に形成され、前記第1のコンタクトホールを介して前記共通電圧ラインと接続された共通電極と、前記ゲート絶縁膜の上に前記ゲートラインと交差する方向に延設されたデータラインと、前記ゲートラインと前記データラインとの交差領域に形成され、前記ゲートライン及びデータラインと接続されると共に、ゲート電極、ソース電極及びドレイン電極を含む薄膜トランジスタと、前記薄膜トランジスタと接続された画素電極とを備えることを特徴とする薄膜トランジスタ基板が提供される。

20

【0010】

本発明の薄膜トランジスタ基板においては、前記薄膜トランジスタと前記共通電極の上に形成され、前記ドレイン電極の一部を露出させる第2のコンタクトホールが形成された保護膜をさらに備え、前記画素電極は、前記第2のコンタクトホールを介して前記薄膜トランジスタのドレイン電極と接続される。

【0011】

本発明の薄膜トランジスタ基板においては、前記共通電極は、面状に形成される。

30

【0012】

本発明の薄膜トランジスタ基板においては、前記共通電極は、前記ゲートラインと前記データラインとの交差領域内に形成される。

【0013】

本発明の薄膜トランジスタ基板においては、前記画素電極は、ライン状に形成された複数の画素電極パターンを含む。

【0014】

本発明の薄膜トランジスタ基板においては、前記複数の画素電極パターンは、互いに離隔されるように形成され、かつ、互いに電氣的に接続されている。

40

【0015】

本発明の薄膜トランジスタ基板においては、前記複数の画素電極パターンの各々の一端は、互いに接続される。

【0016】

本発明の薄膜トランジスタ基板においては、前記複数の画素電極パターンは、前記データラインと平行な方向に延設される。

【0017】

本発明の薄膜トランジスタ基板においては、前記共通電極及び前記画素電極は、インジウム・スズ・オキサイド（ITO）またはインジウム・亜鉛・オキサイド（IZO）からなる。

50

【 0 0 1 8 】

本発明の他の側面によれば、基板の上に一方向に延設され、ゲート電極を含むゲートラインと、前記ゲートラインとは所定の間隔だけ離隔された共通電圧ラインを形成し、前記ゲートラインと共通電圧ラインの上にゲート絶縁膜、活性層及びオーミックコンタクト層を順次に形成した後、薄膜トランジスタの活性領域を形成し、前記ゲート絶縁膜の上に前記共通電圧ラインの一部を露出させる第1のコンタクトホールを形成し、前記ゲートラインと交差する方向に延設され、ソース電極及びドレイン電極を含むデータラインと、前記第1のコンタクトホールを介して前記共通電圧ラインと接続される共通電極を形成し、前記データラインと前記共通電圧ラインの上に保護膜を形成し、前記保護膜の上に前記ドレイン電極の一部を露出させる第2のコンタクトホールを形成し、前記第2のコンタクトホールを介して前記ドレイン電極と接続される画素電極を形成することを特徴とする薄膜トランジスタ基板の製造方法が提供される。

10

【 0 0 1 9 】

本発明の薄膜トランジスタ基板の製造方法においては、前記共通電極の形成は、前記共通電極を面状に形成することを含む。

【 0 0 2 0 】

本発明の薄膜トランジスタ基板の製造方法においては、前記共通電極の形成は、前記共通電極を前記ゲートラインと前記データラインとの交差領域内に形成することを含む。

【 0 0 2 1 】

本発明の薄膜トランジスタ基板の製造方法においては、前記画素電極の形成は、複数の画素電極パターンを形成することを含み、前記複数の画素電極パターンはライン状に、且つ、互いに離隔されるように形成され、電氣的に接続されている。

20

【 0 0 2 2 】

本発明の薄膜トランジスタ基板の製造方法においては、前記複数の画素電極パターンの形成は、前記複数の画素電極パターンの各々の一端が互いに接続されるように、前記複数の画素電極パターンを形成する段階を含む。

【 0 0 2 3 】

本発明の薄膜トランジスタ基板の製造方法においては、前記複数の画素電極パターンの形成は、前記複数の画素電極パターンが前記データラインと平行な方向に延設されるように、前記複数の画素電極パターンを形成する段階を含む。

30

【 0 0 2 4 】

本発明の薄膜トランジスタ基板の製造方法においては、前記ソース電極及びドレイン電極を含むデータラインと共通電極の形成は、共通電極用の導電性膜及びデータライン用の導電性膜を順次に積層し、前記データライン用の導電性膜の上に所定の領域別に厚さの異なる感光膜マスクパターンを形成し、前記感光膜マスクパターンを用いて前記共通電極用の導電性膜及びデータライン用の導電性膜を選択的にエッチングすることを含む。

【 0 0 2 5 】

本発明の薄膜トランジスタ基板の製造方法においては、前記所定の領域別に厚さの異なる感光膜マスクパターンを形成し、前記共通電極に対応する領域の感光膜マスクパターンの厚さを前記ソース電極及びドレイン電極を含むデータラインに対応する領域の感光膜マスクパターンの厚さよりも薄く形成することを含む。

40

【 0 0 2 6 】

本発明の薄膜トランジスタ基板の製造方法においては、前記所定の領域別に厚さの異なる感光膜マスクパターンの形成は、ハーフトーンマスクまたはスリットパターンを含んでなるマスクを用いて、所定の領域別に厚さの異なる感光膜マスクパターンを形成する。

【 0 0 2 7 】

本発明にかかる液晶表示パネルは、第1の基板と、前記第1の基板の上に一方向に延設されたゲートラインと、前記第1の基板の上に前記ゲートラインと所定の間隔を隔てて形成された共通電圧ラインと、前記ゲートラインと前記共通電圧ラインの上に形成され、前記共通電圧ラインの一部を露出させる第1のコンタクトホールが形成されたゲート絶縁膜と

50

、前記ゲート絶縁膜の上に形成され、前記第 1 のコンタクトホールを介して前記共通電圧ラインと接続された共通電極と、前記ゲート絶縁膜の上に前記ゲートラインと交差する方向に延設されたデータラインと、前記ゲートラインと前記データラインとの交差領域に形成され、前記ゲートライン及びデータラインと接続され、ゲート電極、ソース電極及びドレイン電極を含む薄膜トランジスタと、前記薄膜トランジスタと接続された画素電極とを備える薄膜トランジスタ基板と、前記薄膜トランジスタ基板と相対するように配置され、第 2 の基板と、前記第 2 の基板の上に形成されたブラックマトリックスと、前記第 2 の基板とブラックマトリックスの上に形成された多数のカラーフィルタート、前記多数のカラーフィルタートの上に形成されたオーバーコート膜とを備えるカラーフィルタート基板と、前記薄膜トランジスタ基板と前記カラーフィルタート基板との間に注入された液晶とを備える。

10

【 0 0 2 8 】

本発明にかかる液晶表示パネルにおいては、前記薄膜トランジスタ基板と前記カラーフィルタート基板との間のセルギャップを維持するためのスペーサーをさらに含む。

【 0 0 2 9 】

本発明の詳細な説明において、層、膜、領域、板などの部分が他の部分の上部にまたは上にあると表現される場合には、各部分が他の部分と接している場合だけではなく、各部分とは異なる部分の間に他の部分がある場合をも含む。

【 発明の効果 】

【 0 0 3 0 】

本発明によれば、ゲート絶縁膜、活性層及びオーミックコンタクト層よりなる 3 層膜を蒸着した後に、共通電極を形成することから、3 層膜を高温において蒸着する場合であっても、共通電極が高温に晒されなくなる。その結果、共通電極の内部組成物間の結合力を維持することができると共に、活性層を含む 3 層膜の界面特性をも維持することができ、これは、薄膜トランジスタの信頼性の改善につながる。

20

【 発明を実施するための最良の形態 】

【 0 0 3 1 】

以下、添付図面に基づき、本発明の好適な実施の形態について詳細に説明する。

【 0 0 3 2 】

図 1 は、本発明による薄膜トランジスタ基板の概略平面図であり、図 2 は、図 1 の I - I 線に沿う断面図である。

30

【 0 0 3 3 】

図 1 及び図 2 を参照すると、薄膜トランジスタ基板 1 0 0 は、透明な絶縁性基板 1 0 1、この基板 1 0 1 の上に一方向に延設され、ゲート電極 1 1 0 を含むゲートライン G L、基板の上にゲートライン G L と所定の間隔を隔てて形成された共通電圧ライン 1 2 0、ゲートライン G L と共通電圧ライン 1 2 0 の上に形成され、共通電圧ライン 1 2 0 の一部を露出させる第 1 のコンタクトホール 1 5 0 が形成されたゲート絶縁膜 1 3 0、ゲート絶縁膜 1 3 0 の上に形成され、第 1 のコンタクトホール 1 5 0 を介して共通電圧ライン 1 2 0 と接続される共通電極 1 6 0、ゲート絶縁膜 1 3 0 の上にゲートライン G L と交差する方向に延設され、ソース電極 1 7 1 とドレイン電極 1 7 3 を含むデータライン D L、このゲートライン G L とデータライン D L との交差領域に形成され、ゲートライン G L 及びデータライン D L と接続されると共に、ゲート電極 1 1 0、ソース電極 1 7 1 及びドレイン電極 1 7 3 を含む薄膜トランジスタ、この薄膜トランジスタと共通電極 1 6 0 の上に形成され、ドレイン電極 1 7 3 の一部を露出させる第 2 のコンタクトホール 1 8 5 が形成された保護膜 1 8 0 及び保護膜 1 8 0 の上に形成され、第 2 のコンタクトホール 1 8 5 を介して薄膜トランジスタのドレイン電極 1 7 3 と接続される画素電極 1 9 0 を備える。

40

【 0 0 3 4 】

ゲートライン G L は、基板 1 0 1 の上に横方向に延設され、その一端にはゲートパッド（図示せず）が形成される。共通電圧ライン 1 2 0 は、ゲートライン G L の間に形成され、この実施の形態においては、ゲートラインと同様に横方向に延設されているが、共通電圧

50

ライン 120 の形状及び位置がこれに制限されるものではなく、種々に変形可能である。

【0035】

ゲートライン GL と共通電圧ライン 120 の上にはゲート絶縁膜 130 が形成され、ゲート絶縁膜 130 の上に活性層 141 及びオーミックコンタクト層 143 が形成された後、パターニングされて活性領域 140 が形成される。また、ゲート絶縁膜 130 には、共通電圧ライン 120 の一部を露出させる第 1 のコンタクトホール 150 が形成される。

【0036】

データライン DL は、ゲート絶縁膜 130 上に縦方向に形成され、その一端にはデータパッド（図示せず）が形成される。このとき、データライン DL は 2 重の導電性膜から形成され、下部の導電性膜は共通電極 160 として用いられる。

10

【0037】

活性領域 140 の上には 2 重の導電性膜から形成されたソース電極 171 とドレイン電極 173 が形成され、活性領域 140 を除くゲート絶縁膜 130 の所定の領域の上には、所定の形状、例えば、面状に形成された共通電極 160 が形成され、この共通電極 160 は、ゲート絶縁膜 130 の上に形成された第 1 のコンタクトホール 150 を介して共通電圧ライン 120 と接続される。また、共通電極 160 は、この実施の形態と同様に、ゲートライン GL とデータライン DL との交差領域内に形成されてもよい。

【0038】

このように、ゲート絶縁膜 130、活性層 141 及びオーミックコンタクト層 143 を含む 3 層膜を形成した後、共通電極 160 を形成した場合、3 層膜の蒸着時に高温にて蒸着工程を行う場合であっても、共通電極に影響しなくなり、共通電極を考慮して低温にて 3 層膜を蒸着することが不要になるほか、3 層膜の界面特性を維持し、且つ、共通電極の内部組成物間の結合力を維持することが可能になり、薄膜トランジスタの信頼性を高めることが可能になる。

20

【0039】

上述の薄膜トランジスタは、ゲートライン GL に接続されたゲート電極 110 と、データライン DL に接続されたソース電極 171 と、画素電極 190 に接続されたドレイン電極 173 と、ゲート電極 110 とソース電極 171 及びドレイン電極 173 の間に順次に形成されたゲート絶縁膜 130 及び活性層 141 と、活性層 141 の少なくとも一部の領域に形成されたオーミックコンタクト層 143 とを備え、このとき、オーミックコンタクト層 143 は、チャンネル部を除く活性層 141 の上に形成されてもよい。

30

【0040】

薄膜トランジスタと共通電極 160 の上には保護膜 180 が形成され、保護膜 180 にはドレイン電極 173 の一部を露出させる第 2 のコンタクトホール 185 が形成され、保護膜 180 の上には画素電極 190 が形成される。

【0041】

画素電極 190 は所定の形状、例えば、ライン状に形成された複数の画素電極パターン 191 乃至 195 を含む。

【0042】

このとき、各画素電極パターンは互いに離隔されるように形成され、且つ、互いに電氣的に接続されている。この実施の形態において、各画素電極パターンの一端は互いに接続されて、他端は接続されておらず、データラインと平行な方向に延設される。しかしながら、この画素電極パターンの形状及び配置はこれに制限されるものではなく、種々に変形可能である。

40

【0043】

共通電極 160 及び画素電極 190 は、透明な導電性の材料、例えば、ITO または IZO から形成されてもよい。

【0044】

図 3 A 及び図 3 B は、本発明による薄膜トランジスタ基板の製造工程の平面図及び断面図である。

50

【 0 0 4 5 】

図 3 A 及び図 3 B を参照すると、先ず、透明な絶縁性基板 1 0 1 の上に C V D 法、P V D 法及びスパッタリング法などを用いた蒸着方法により第 1 の導電性膜を形成する。このとき、第 1 の導電性膜としては、Cr、MoW、Cr / Al、Cu、Al (Nd)、Mo / Al、Mo / Al (Nd) 及び Cr / Al (Nd) のうち少なくともいずれか 1 種類を用いることが好ましく、この第 1 の導電性膜は多層膜に形成可能である。この後、感光膜を塗布した後、第 1 のマスク (図示せず) を用いたフォトリソグラフィ工程を行い、第 1 の感光膜マスクパターン (図示せず) を形成する。第 1 の感光膜マスクパターンをエッチングマスクとするエッチング工程を行い、図 3 A 及び図 3 B に示すように、ゲート電極 1 1 0 を含むゲートライン G L 及び共通電圧ライン 1 2 0 を形成する。この後、ストリップ工程を行い、第 1 の感光膜マスクパターンを除去する。

10

【 0 0 4 6 】

図 4 A 及び図 4 B を参照すると、図 3 に示す基板の上にゲート絶縁膜 1 3 0、活性層 1 4 1 及びオーミックコンタクト層 1 4 3 を順次に形成した後、第 2 の感光膜マスクパターン (図示せず) を用いたエッチング工程を行い、薄膜トランジスタの活性領域を形成する。

【 0 0 4 7 】

基板の上に P E C V D 法、スパッタリング法などを用いた蒸着方法によりゲート絶縁膜 1 3 0 を形成する。このとき、ゲート絶縁膜 1 3 0 としては、酸化シリコンまたは窒化シリコンを含む無機絶縁物質を用いることができる。ゲート絶縁膜 1 3 0 の上に上述の蒸着方法により活性層 1 4 1 及びオーミックコンタクト層 1 4 3 を順次に形成する。活性層 1 4 1 としては、アモルファスシリコン層を用い、オーミックコンタクト層 1 4 3 としては、シリサイドまたは N 型不純物が高濃度にてドーブされたアモルファスシリコン層を用いる。この後、オーミックコンタクト層 1 4 3 の上に感光膜を塗布し、第 2 のマスク (図示せず) を用いたフォトリソグラフィ工程を通じて第 2 の感光膜マスクパターン (図示せず) を形成する。前記第 2 の感光膜マスクパターンをエッチングマスクとして、ゲート絶縁膜 1 3 0 をエッチングストッパ膜とするエッチング工程を行うことにより、オーミックコンタクト層 1 4 3 及び活性層 1 4 1 を除去し、ゲート電極 1 1 0 の上部に所定の形状の活性領域 1 4 0 を形成する。この後、所定のストリップ工程を行うことにより、残留する第 2 の感光膜マスクパターンを除去する。

20

【 0 0 4 8 】

図 5 A 及び図 5 B を参照すると、ゲート絶縁膜 1 3 0 の上に感光膜を塗布した後、第 3 のマスク (図示せず) を用いたフォトリソグラフィ工程を通じて第 3 の感光膜マスクパターン (図示せず) を形成する。第 3 の感光膜マスクパターンをエッチングマスクとするエッチング工程を行うことにより、図 5 に示すように、ゲート絶縁膜 1 3 0 の上に共通電圧ライン 1 2 0 の一部を露出させる第 1 のコンタクトホール 1 5 0 を形成する。この後、ストリップ工程を行うことにより、第 3 の感光膜マスクパターンを除去する。

30

【 0 0 4 9 】

図 6 A 及び図 6 B を参照すると、薄膜トランジスタの活性領域 1 4 0 と第 1 のコンタクトホール 1 5 0 が形成された基板の上に第 2 の導電性膜及び第 3 の導電性膜を順次に形成した後、これに対して第 4 の感光膜マスクパターン (図示せず) を用いた選択的なエッチング工程を行うことにより、データライン D L と、ソース電極 1 7 1、ドレイン電極 1 7 3 及び共通電極 1 6 0 を形成する。

40

【 0 0 5 0 】

基板の全面に C V D 法、P V D 法及びスパッタリング法などを用いた蒸着方法により第 2 の導電性膜及び第 3 の導電性膜を順次に形成する。このとき、第 2 の導電性膜は共通電極として用いられるため、透明な導電性の材料、例えば、ITO または IZO などを用いることができる。第 3 の導電性膜としては、Mo、Al、Cr、Ti のうち少なくともいずれか 1 種類を用いることができ、第 1 の導電性膜と同じ物質を用いることもできる。

【 0 0 5 1 】

前記第 3 の導電性膜の上に感光膜を塗布した後、第 4 のマスク (図示せず) を用いたフォ

50

トリソグラフィ工程を行うことにより、第４の感光膜マスクパターンを形成する。このとき、第４のマスクとしては、ハーフトーンマスクまたはスリットパターンを含んでなるマスクを用いることができ、その結果、所定の領域別に厚さの異なる第４の感光膜マスクパターンが形成される。

【００５２】

この第４の感光膜マスクパターンをエッチングマスクとする選択的なエッチング工程を行うことにより、２重層、すなわち、第２の導電性膜及び第３の導電性膜からなるソース電極１７１、ドレイン電極１７３及びデータラインＤＬと、第２の導電性膜からなる共通電極１６０を形成する。上述の第４のマスク工程は、以下の図９に基づいて詳細に説明する。

10

【００５３】

図７Ａ及び図７Ｂを参照すると、薄膜トランジスタ、データラインＤＬ及び共通電極１６０が形成された基板の上に保護膜１８０を形成し、保護膜１８０の上に感光膜を塗布した後、第５のマスク（図示せず）を用いたフォトリソグラフィ工程を通じて第５の感光膜マスクパターン（図示せず）を形成する。第５の感光膜マスクパターンを用いたエッチング工程を通じて保護膜１８０の一部を除去して第２のコンタクトホール１８５を形成する。

【００５４】

図８Ａ及び図８Ｂを参照すると、保護膜１８０の上に第４の導電性膜を形成した後、第６のマスク（図示せず）を用いたフォトリソグラフィ工程を通じて第６の感光膜マスクパターン（図示せず）を形成する。第６の感光膜マスクパターンを用いて第４の導電性膜をパターンニングして、画素電極パターン１９１乃至１９５からなる画素電極１９０を形成する。このとき、第４の導電性膜としては、ＩＴＯやＩＺＯを含む透明な導電性の材料を用いることが好ましい。

20

【００５５】

本発明においては、第６マスク工程を例に挙げて説明しているが、本発明による薄膜トランジスタ基板の製造工程が第６マスク工程に制限されるものではなく、種々に変形可能である。

【００５６】

図９Ａから図９Ｄは、本発明による薄膜トランジスタ基板の製造工程のうち、第４のマスク工程を示す断面図である。

30

【００５７】

図９Ａを参照すると、第２の導電性膜及び第３の導電性膜が順次に形成された基板の上に感光膜を塗布した後、第４のマスク（図示せず）を用いたフォトリソグラフィ工程を通じて第４の感光膜マスクパターン５００を形成する。

【００５８】

このとき、第４の感光膜マスクパターン５００は、所定の領域別に異なる厚さに形成される。第４の感光膜マスクパターン５００は、共通電極領域に対応する S_2 領域と、データライン（図示せず）、薄膜トランジスタのソース・ドレイン電極に対応する S_3 領域と、それ以外の領域に対応する S_1 領域と、により構成される。このとき、 S_2 領域の厚さを d_2 、 S_3 領域の厚さを d_3 としたとき、 S_1 領域には感光膜マスクパターンが形成されず、 d_3 は d_2 よりも厚く形成される。

40

【００５９】

上述のように、第４の感光膜マスクパターン５００の所定の領域を異なる厚さに形成すべく、第４のマスク（図示せず）としては、ハーフトーンマスクまたはスリットパターンが形成されたマスクを用いることができる。

【００６０】

図９Ｂを参照すると、前記第４の感光膜パターン５００をエッチングマスクとして、ゲート絶縁膜１３０をエッチングストッパ膜とするエッチング工程を行うことにより、 S_1 領域に対応する領域の第２の導電性膜及び第３の導電性膜を除去し、データライン（図示せず）、ソース電極１７１及びドレイン電極１７３を形成する。

50

【 0 0 6 1 】

図 9 B を参照すると、アッシング工程を行い、第 4 の感光膜パターン 5 0 0 の厚さを全体として薄くする。このとき、アッシング工程は、酸素 (O_2) プラズマを用いて行うことができ、 S_2 領域の第 3 の導電性膜が露出されるまで 1 次アッシング工程を行う。

【 0 0 6 2 】

図 9 C を参照すると、第 2 の導電性膜をエッチングマスクとして第 3 の導電性膜をエッチングすることにより、共通電極 1 6 0 を形成する。また、薄膜トランジスタのチャンネル領域において、ソース電極 1 7 1 とドレイン電極 1 7 3 を接続しているオーミックコンタクト層 1 4 3 をエッチングする。この実施の形態においては、オーミックコンタクト層 1 4 3 のエッチングは、第 3 の導電性膜をエッチングした後に行っているが、本発明はこれに限定されるものではなく、前記図 9 B に示すエッチング工程を行った後、オーミックコンタクト層 1 4 3 をエッチングすることもできる。すなわち、データライン、ソース電極 1 7 1 及びドレイン電極 1 7 3 を形成した後、オーミックコンタクト層 1 4 3 をエッチングすることもできる。

【 0 0 6 3 】

図 9 D を参照すると、ストリップ工程を行うことにより、基板の上に残存する第 4 の感光膜マスクパターンを除去する。

【 0 0 6 4 】

図 1 0 は、本発明による薄膜トランジスタ基板を含む液晶表示パネルの概略断面図である。

【 0 0 6 5 】

図 1 0 を参照すると、液晶表示パネルは、薄膜トランジスタ基板 1 0 0 と、薄膜トランジスタ基板 1 0 0 と相対するように配置されるカラーフィルター基板 2 0 0 と、両基板間のセルギャップを維持するためのスペーサー 2 4 0 及び両基板の間に注入された液晶 3 0 0 を備える。このとき、カラーフィルター基板 2 0 0 は、透明な絶縁性基板 2 0 1、基板 2 0 1 の上に形成されたブラックマトリックス 2 1 0、ブラックマトリックス 2 1 0 が形成された基板 2 0 1 の上に形成された多数のカラーフィルター 2 2 0 及び多数のカラーフィルター 2 2 0 の上に形成されたオーバーコート膜 2 3 0 を備える。

【 0 0 6 6 】

以上、本発明による薄膜トランジスタ基板と、この製造方法及びこれを備えた液晶表示パネルを説明したが、これは単なる例示的なものに過ぎず、本発明はこれらの実施の形態に全く限定されるものではない。特許請求の範囲において請求するように、本発明の要旨から逸脱することなく、当該発明が属する分野において通常の知識を有する者であれば、誰でも各種の変更実施が可能な範囲まで本件発明範囲に属する。

【 図面の簡単な説明 】

【 0 0 6 7 】

【 図 1 】 本発明による薄膜トランジスタ基板の概略平面図である。

【 図 2 】 図 1 の I - I 線に沿う断面図である。

【 図 3 A 】 本発明による薄膜トランジスタ基板の製造工程の平面図である。

【 図 3 B 】 本発明による薄膜トランジスタ基板の製造工程の断面図である。

【 図 4 A 】 本発明による薄膜トランジスタ基板の製造工程の平面図である。

【 図 4 B 】 本発明による薄膜トランジスタ基板の製造工程の断面図である。

【 図 5 A 】 本発明による薄膜トランジスタ基板の製造工程の平面図である。

【 図 5 B 】 本発明による薄膜トランジスタ基板の製造工程の断面図である。

【 図 6 A 】 本発明による薄膜トランジスタ基板の製造工程の平面図である。

【 図 6 B 】 本発明による薄膜トランジスタ基板の製造工程の断面図である。

【 図 7 A 】 本発明による薄膜トランジスタ基板の製造工程の平面図である。

【 図 7 B 】 本発明による薄膜トランジスタ基板の製造工程の断面図である。

【 図 8 A 】 本発明による薄膜トランジスタ基板の製造工程の平面図である。

【 図 8 B 】 本発明による薄膜トランジスタ基板の製造工程の断面図である。

【図 9 A】本発明による薄膜トランジスタ基板の製造工程のうち、第 4 のマスク工程を示す断面図である。

【図 9 B】本発明による薄膜トランジスタ基板の製造工程のうち、第 4 のマスク工程を示す断面図である。

【図 9 C】本発明による薄膜トランジスタ基板の製造工程のうち、第 4 のマスク工程を示す断面図である。

【図 9 D】本発明による薄膜トランジスタ基板の製造工程のうち、第 4 のマスク工程を示す断面図である。

【図 1 0】本発明による薄膜トランジスタ基板を含む液晶表示パネルの概略断面図である。

10

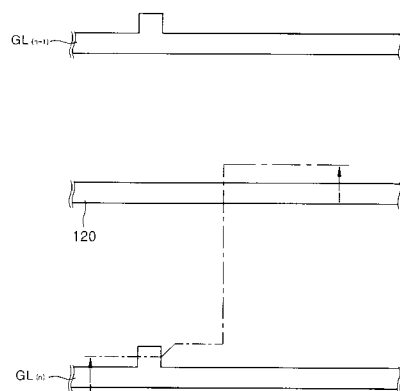
【符号の説明】

【 0 0 6 8 】

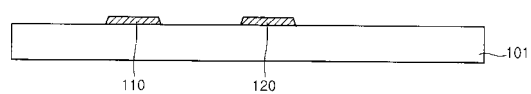
- 1 0 0 薄膜トランジスタ基板
- 1 1 0 ゲート電極
- 1 2 0 共通電極ライン
- 1 3 0 ゲート絶縁膜
- 1 6 0 共通電極
- 1 7 0 ソース・ドレイン電極
- 1 8 0 保護膜
- 1 9 0 画素電極
- 2 0 0 カラーフィルター基板
- 2 1 0 ブラックマトリックス
- 2 2 0 カラーフィルター
- 2 3 0 オーバーコート膜
- 2 4 0 スペース
- 3 0 0 液晶

20

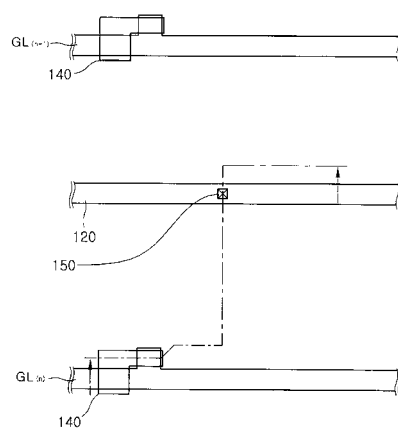
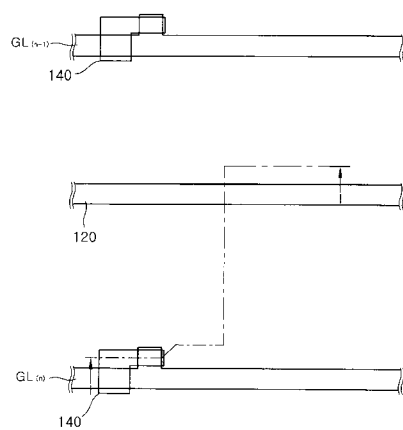
【 図 3 A 】



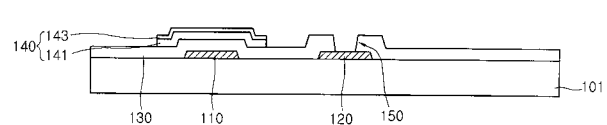
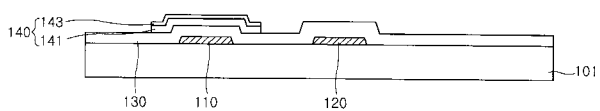
【 図 3 B 】



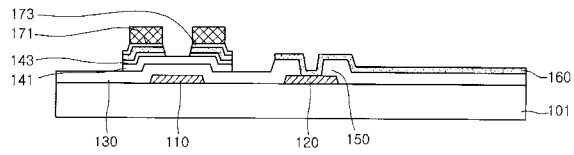
【 図 5 A 】



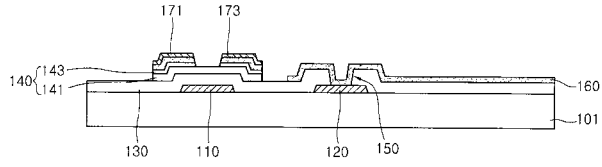
【 図 5 B 】



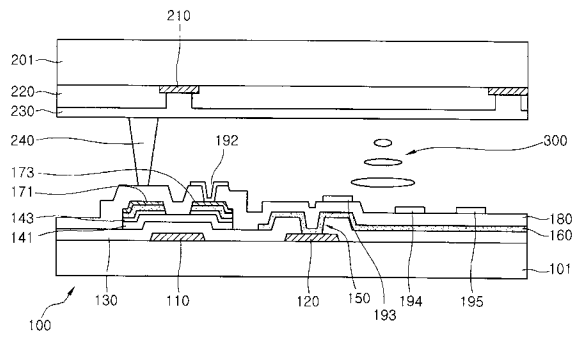
【図 9 C】



【図 9 D】



【図 10】



フロントページの続き

(72)発明者 柳 春 基

大韓民国京畿道華城市餅店洞 グボンマウルウランファストビルアパートメント105-1205

Fターム(参考) 2H092 GA11 HA04 JA24 JA34 JA37 JA41 JA46 JB22 JB31 JB52
MA07 MA08 MA13 MA14 MA17 NA25 PA01 PA03 PA08
5F033 HH08 HH10 HH11 HH17 HH18 HH20 HH22 HH35 HH38 JJ01
JJ35 JJ38 KK05 KK08 KK17 KK18 KK20 KK25 MM05 PP06
PP15 QQ08 QQ09 QQ37 RR04 RR06 VV06 VV15 XX00
5F110 AA30 BB01 CC07 EE02 EE03 EE04 EE06 EE14 FF02 FF03
FF28 FF30 GG02 GG15 HK03 HK04 HK05 HK07 HK09 HK16
HK22 NN72 QQ10

专利名称(译)	薄膜晶体管基板及其制造方法，以及薄膜晶体管基板 -		
公开(公告)号	JP2008083662A	公开(公告)日	2008-04-10
申请号	JP2007011807	申请日	2007-01-22
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	金奉柱 柳春基		
发明人	金 奉 柱 柳 春 基		
IPC分类号	G02F1/1368 H01L21/336 H01L29/786 H01L21/768		
CPC分类号	G02F1/134363 G02F1/136227 H01L27/124 H01L29/41733		
FI分类号	G02F1/1368 H01L29/78.612.Z H01L21/90.A		
F-TERM分类号	2H092/GA11 2H092/HA04 2H092/JA24 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JA46 2H092/JB22 2H092/JB31 2H092/JB52 2H092/MA07 2H092/MA08 2H092/MA13 2H092/MA14 2H092/MA17 2H092/NA25 2H092/PA01 2H092/PA03 2H092/PA08 5F033/HH08 5F033/HH10 5F033/HH11 5F033/HH17 5F033/HH18 5F033/HH20 5F033/HH22 5F033/HH35 5F033/HH38 5F033/JJ01 5F033/JJ35 5F033/JJ38 5F033/KK05 5F033/KK08 5F033/KK17 5F033/KK18 5F033/KK20 5F033/KK25 5F033/MM05 5F033/PP06 5F033/PP15 5F033/QQ08 5F033/QQ09 5F033/QQ37 5F033/RR04 5F033/RR06 5F033/VV06 5F033/VV15 5F033/XX00 5F110/AA30 5F110/BB01 5F110/CC07 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE14 5F110/FF02 5F110/FF03 5F110/FF28 5F110/FF30 5F110/GG02 5F110/GG15 5F110/HK03 5F110/HK04 5F110/HK05 5F110/HK07 5F110/HK09 5F110/HK16 5F110/HK22 5F110/NN72 5F110/QQ10 2H192/AA24 2H192/BB13 2H192/BB73 2H192/BC31 2H192/CB05 2H192/CC72 2H192/DA32 2H192/EA22 2H192/EA43 2H192/EA74 2H192/HA44 2H192/JA32		
优先权	1020060093519 2006-09-26 KR		
其他公开文献	JP5190593B2 JP2008083662A5		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供薄膜晶体管基板，制造该薄膜晶体管基板的方法，以及提供具有该薄膜晶体管基板的液晶显示面板。ŽSOLUTION：薄膜晶体管基板包括：基板；栅极线设置在基板上并沿一个方向延伸；公共电压线，设置在基板上并以预定间隔与栅极线隔开；栅极绝缘膜，设置在栅极线和公共电压线上，栅极绝缘膜具有暴露每个公共电压线的一部分的第一接触孔；公共电极设置在栅极绝缘膜上并通过第一接触孔连接到公共电压线；数据线，设置在栅极绝缘膜上并沿与栅极线交叉的方向延伸；薄膜晶体管设置在栅极线和数据线的交叉处，薄膜晶体管连接到栅极线和数据线，并包括栅极，源极和漏极；和连接到薄膜晶体管的像素电极。Ž

