

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-15512

(P2008-15512A)

(43) 公開日 平成20年1月24日(2008.1.24)

(51) Int. Cl.	F I	テーマコード (参考)
G02F 1/133 (2006.01)	G02F 1/133 550	2H092
G02F 1/1368 (2006.01)	G02F 1/1368	2H093
G02F 1/1343 (2006.01)	G02F 1/1343	5C006
G09G 3/20 (2006.01)	G09G 3/20 624C	5C080
G09G 3/36 (2006.01)	G09G 3/20 641C	
審査請求 未請求 請求項の数 24 O L (全 18 頁) 最終頁に続く		

(21) 出願番号 特願2007-165319 (P2007-165319)
 (22) 出願日 平成19年6月22日 (2007.6.22)
 (31) 優先権主張番号 095123741
 (32) 優先日 平成18年6月30日 (2006.6.30)
 (33) 優先権主張国 台湾 (TW)

(71) 出願人 504245712
 チー メイ オプトエレクトロニクス コ
 ーポレーション
 CHI MEI OPTOELECTRO
 NICS CORPORATION
 台湾 74144 タイナン カウンティ
 ー タイナン サイエンスベースト イ
 ンダストリアル パーク チーイー
 ロード ナンバー1
 No. 1, Chi-Yeh Road,
 Tainan County, Tai
 nan Science Based I
 ndustrial Park, Tai
 wan 74144

最終頁に続く

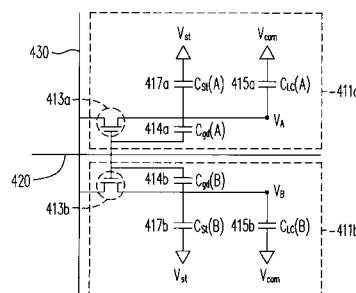
(54) 【発明の名称】 液晶表示パネルとその駆動方法および液晶表示装置

(57) 【要約】

【課題】 液晶表示パネルの色ずれを防止する。

【解決手段】 液晶表示パネルは、マトリクス状に配列された複数の単位画素を備える。それぞれの単位画素は、複数の副画素領域を有しているとともに、複数のアクティブ素子と複数の液晶キャパシタと複数の蓄積キャパシタを備えている。アクティブ素子は、それぞれの副画素領域に配置され、走査線およびデータ線と電気的に接続されている。液晶キャパシタは、それぞれの副画素領域に配置され、その一方の電極が同じ副画素領域内のアクティブ素子と電気的に接続されている。蓄積キャパシタは、それぞれの副画素領域に配置され、一方の電極が同じ副画素領域内のアクティブ素子と電気的に接続されている。同一単位画素内において、副画素領域における蓄積キャパシタと液晶キャパシタとの容量比が、副画素領域毎に異なることを特徴とする。

【選択図】 図4C



【特許請求の範囲】

【請求項 1】

マトリクス状に配列された複数の単位画素を備えた液晶表示パネルであって、
それぞれの単位画素は、複数の副画素領域を有しているとともに、
前記複数の副画素領域のそれぞれに配置され、走査線およびデータ線と電氣的に接続されている複数のアクティブ素子と、

前記複数の副画素領域のそれぞれに配置され、その一方の電極が同じ副画素領域内のアクティブ素子と電氣的に接続されている複数の液晶キャパシタと、

前記複数の副画素領域のそれぞれに配置され、その一方の電極が同じ副画素領域内のアクティブ素子と電氣的に接続されている複数の蓄積キャパシタを備えており、

それぞれの単位画素では、蓄積キャパシタと液晶キャパシタの容量比が副画素領域毎に異なっており、

前記走査線に走査信号が印加され、前記データ線にデータ信号が印加され、前記蓄積キャパシタの前記アクティブ素子に接続されていない他方の電極に補正信号が印加され、前記走査信号が高レベルから低レベルに切り換わると、前記補正信号が第 1 のレベルから第 2 のレベルに切り換えられることを特徴とする液晶表示パネル。

【請求項 2】

同一の単位画素内に配置された複数のアクティブ素子が、互いに異なる寄生容量値を有することを特徴とする請求項 1 に記載の液晶表示パネル。

【請求項 3】

それぞれの単位画素では、前記蓄積キャパシタの容量値が前記副画素領域毎に異なることを特徴とする請求項 1 に記載の液晶表示パネル。

【請求項 4】

それぞれの単位画素では、前記液晶キャパシタの容量値が前記副画素領域毎に異なることを特徴とする請求項 1 に記載の液晶表示パネル。

【請求項 5】

それぞれの単位画素は、前記複数の副画素領域のそれぞれに配置された複数の蓄積キャパシタ対向電極をさらに備えており、

前記蓄積キャパシタ対向電極と蓄積キャパシタ線との間で前記蓄積キャパシタが形成されていることを特徴とする請求項 1 に記載の液晶表示パネル。

【請求項 6】

それぞれの単位画素は、前記複数の副画素領域のそれぞれに配置された複数の画素電極をさらに備えており、

前記蓄積キャパシタ対向電極は、同じ副画素領域内の画素電極と電氣的に接続されていることを特徴とする請求項 5 に記載の液晶表示パネル。

【請求項 7】

前記蓄積キャパシタ線は、隣接する 2 本の走査線の間走査線と平行に形成されていることを特徴とする請求項 5 に記載の液晶表示パネル。

【請求項 8】

前記蓄積キャパシタ線は、延伸方向が前記データ線の延伸方向と実質的に同じであることを特徴とする請求項 5 に記載の液晶表示パネル。

【請求項 9】

前記画素電極にはスリットが形成されており、

前記蓄積キャパシタ線は、同じ副画素領域内の画素電極に形成されたスリットに沿って配置されていることを特徴とする請求項 8 に記載の液晶表示装置。

【請求項 10】

複数の走査線と複数のデータ線と複数の単位画素を備え、その単位画素は複数の副画素領域を有するとともに前記複数の副画素領域のそれぞれに配置された複数のアクティブ素子と蓄積キャパシタを備えており、前記アクティブ素子是对應する走査線およびデータ線と電氣的に接続されており、前記蓄積キャパシタは一方の電極は同じ副画素領域内のアク

10

20

30

40

50

ティブ素子と電氣的に接続されている液晶表示パネルを駆動する駆動方法であって、

前記走査線に走査信号を印加する工程と、

前記データ線にデータ信号を印加する工程と、

前記蓄積キャパシタの前記アクティブ素子に接続されていない電極に補正信号を印加する工程を備え、

前記補正信号は第１のレベルと第２のレベルを有し、前記走査信号が高レベルから低レベルに切り換わると前記補正信号を第１のレベルから第２のレベルに切り換えることを特徴とする駆動方法。

【請求項１１】

前記液晶表示パネルのそれぞれの単位画素は複数の蓄積キャパシタ対向電極をさらに備えており、

前記蓄積キャパシタ対向電極と蓄積キャパシタ線との間で前記蓄積キャパシタが形成されており、

前記補正信号は前記蓄積キャパシタ線に印加されることを特徴とする請求項１０に記載の駆動方法。

【請求項１２】

同一フレーム期間内において、同じ列の単位画素に印加されるデータ信号の極性は同じであり、隣接する２列の単位画素に印加されるデータ信号の極性は互いに異なることを特徴とする請求項１０に記載の駆動方法。

【請求項１３】

同一フレーム期間内において、隣接する単位画素に印加されるデータ信号の極性が互いに異なることを特徴とする請求項１０に記載の駆動方法。

【請求項１４】

前記データ信号と前記補正信号の周波数が同じであることを特徴とする請求項１３に記載の駆動方法。

【請求項１５】

それぞれの単位画素において、前記走査信号が低レベルに切り換わると、前記補正信号を高レベルに切り換えることを特徴とする請求項１０に記載の駆動方法。

【請求項１６】

それぞれの単位画素において、前記走査信号が低レベルに切り換わり、前記データ信号は対応する階調値が低階調であるとともに正極性であるとき、データ信号の電圧が前記液晶表示パネルの共通電圧よりも小さいことを特徴とする請求項１５に記載の駆動方法。

【請求項１７】

それぞれの単位画素において、前記走査信号が低レベルに切り換わると、前記補正信号を低レベルに切り換えることを特徴とする請求項１０に記載の駆動方法。

【請求項１８】

それぞれの単位画素において、前記走査信号が低レベルに切り換わり、前記データ信号は対応する階調値が低階調であるとともに負極性であるとき、データ信号の電圧は前記液晶表示パネルの共通電圧より大きいことを特徴とする請求項１７に記載の駆動方法。

【請求項１９】

マトリクス状に配列された複数の単位画素を備えた液晶表示パネルであって、

それぞれの単位画素は、第１の副画素領域と第２の副画素領域を有しており、

第１の副画素領域と第２の副画素領域のそれぞれは、

走査線およびデータ線と電氣的に接続されているアクティブ素子と、

前記アクティブ素子と電氣的に接続されており、液晶キャパシタの一方の電極となっている画素電極と、

前記アクティブ素子と電氣的に接続されている蓄積キャパシタ対向電極と、

液晶表示パネル全体における延伸方向が前記データ線の延伸方向と実質的に同じであるとともに、前記蓄積キャパシタ対向電極との間で蓄積キャパシタを形成している蓄積キャパシタ線とを含み、

10

20

30

40

50

前記第 1 の副画素領域内のアクティブ素子と前記第 2 の副画素領域内のアクティブ素子が同じ走査線およびデータ線と電氣的に接続されており、

前記第 1 の副画素領域内の蓄積キャパシタと液晶キャパシタとの容量比が、前記第 2 の副画素領域内の蓄積キャパシタと液晶キャパシタとの容量比と異なることを特徴とする液晶表示パネル。

【請求項 20】

前記走査線に走査信号が印加され、前記データ線にデータ信号が印加され、前記蓄積キャパシタ線に補正信号が印加され、前記走査信号が高レベルから低レベルに切り換わると、前記補正信号が第 1 のレベルから第 2 のレベルに切り換えられることを特徴とする請求項 19 に記載の液晶表示パネル。

10

【請求項 21】

前記第 1 の副画素領域内のアクティブ素子と前記第 2 の副画素領域内のアクティブ素子は、互いに異なる寄生容量値を有することを特徴とする請求項 19 に記載の液晶表示パネル。

【請求項 22】

前記第 1 の副画素領域内の蓄積キャパシタと前記第 2 の副画素領域内の蓄積キャパシタは、互いに異なる容量値を有することを特徴とする請求項 19 に記載の液晶表示パネル。

【請求項 23】

前記第 1 の副画素領域内の液晶キャパシタと前記第 2 の副画素領域内の液晶キャパシタは、互いに異なる容量値を有することを特徴とする請求項 19 に記載の液晶表示パネル。

20

【請求項 24】

前記画素電極にはスリットが形成されており、

前記蓄積キャパシタ線の単位画素内の部分は、前記スリットに沿って配置されていることを特徴とする請求項 19 に記載の液晶表示パネル。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示パネルとその駆動方法および表示装置に関する。特に、液晶表示パネルとその駆動方法および液晶表示装置に関する。

【背景技術】

30

【0002】

従来のマルチドメイン垂直配向型(MVA)液晶表示装置は、カラーフィルタ基板または TFT アレイ基板上の突起又はスリットによって液晶分子を複数方向に配向させ、配向方向が互い異なる複数の配向領域を形成させることによって広視野角を実現している。しかしながら MVA 液晶表示装置においても、視角に応じて光透過率が異なることから階調の変化が生じる。即ち、視角に応じて MVA 液晶表示装置上の表示の輝度が変化し、その結果として色ずれが生じてしまう。

【0003】

図 1 は、従来の MVA 液晶表示パネルにおける電圧 - 透過率の特性曲線図である。図 1 において、曲線 11、12、13 は、MVA 液晶表示パネルを正面から見たときに観察される光透過率を示している。曲線 11 は赤色光の透過率を示し、曲線 12 は緑色光の透過率を示し、曲線 13 は青色光の透過率を示している。それに対して、斜めの(ここでは 60 度傾斜した)角度から MVA 液晶表示パネルを観察した場合、同じ作動電圧であっても観察される光透過率は変化し、曲線 11、曲線 12、曲線 13 はそれぞれ順に曲線 14、曲線 15、曲線 16 へと移行する。

40

【0004】

図 1 に示すように、高階調と低階調における領域では、曲線 11 と曲線 14 との光透過率の差、曲線 12 と曲線 15 との光透過率の差、および曲線 13 と曲線 16 との光透過率の差は、いずれも小さいことがわかる。それに対して、中間領域では、曲線 14、15、16 で示す光透過率が、曲線 11、曲線 12、曲線 13 で示す光透過率に対して、それぞ

50

れ大きく相違していることがわかる。即ち、高階調と低階調における色ずれは軽微だが、中間階調における色ずれは顕著となる。

【 0 0 0 5 】

この現象を改善するために、従来技術においては、図 1 から得られた「高階調と低階調のカラー光の色ずれは比較的軽微である」という結論に基づいて色ずれを改善する設計が行われている。この従来技術は、1つの単位画素を光透過率の異なる2つの領域に区分するものである。一方の領域の光透過率は高く、高階調の色を表示し、もう一方の領域の光透過率は低く、低階調の色を表示するようにする。特徴的なことは、高階調の色と低階調の色とを混合して中間階調の色を生成することであり、このように改良されたMVA液晶表示パネルでは、使用者が正面から見ても斜めから見ても常に近似した色が見えるようになる。

10

【 0 0 0 6 】

上述した技術を具現化するために、本出願人による特許文献1には、図2に示すようなMVA型の画素構造が開示されている。図2に示すように、この画素構造では、TFTアレイ基板301が窒化シリコンの保護層303によって被覆されている。そして保護層303上には、透明電極305、307が配置されている。それにより、画素領域全体は2つの表示領域A、Bに区分されている。一方の透明電極307は透明電極309に電氣的に接続され、他方の透明電極305は透明電極309に対してフローティング状態で配置されている。TFTアレイ基板301と対向基板311との間には、液晶層313が充填されている。

20

【 0 0 0 7 】

図2からは次のことがわかる。表示領域Aでは、電極307とソース端子309とは同電位である一方、対向基板上の共通電極315は共通電圧に接続されているため、液晶層313においては液晶キャパシタ313aが形成される。一方、表示領域Bでは、電極309と電極305との間の保護層303において、保護層キャパシタ303aが形成される。また、電極305と共通電極315との間でも、表示領域Aと同様に、液晶キャパシタ313bが形成される。

【 0 0 0 8 】

図3は、図2の画素構造の等価回路図である。図2と図3を合わせて参照すると、薄膜トランジスタ321のドレイン端子は、データ線31と電氣的に接続されている。薄膜トランジスタ321のゲート端子は、走査線33と電氣的に接続されている。薄膜トランジスタ321のソース端子は、蓄積キャパシタ323、表示領域A内の液晶キャパシタ313a、表示領域B内の保護層キャパシタ303aおよび液晶キャパシタ313bと接続されている。表示領域A内の液晶キャパシタ313aへの印加電圧はV1とし、表示領域B内の保護層キャパシタ303aおよび液晶キャパシタ313bの電圧をそれぞれV2およびV3とすると、電圧V1と電圧V2が相違することがわかる。即ち、表示領域Aと表示領域Bでは、液晶キャパシタ313a、313bへの印加電圧が相違する。その結果、このMVA液晶表示パネルでは、様々な角度から見ても常に近似した色を見ることができ

30

。

【 0 0 0 9 】

40

【特許文献1】台湾特許第93,132,909号明細書

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 0 】

図2に示す従来の構造は、色ずれの問題を解決することはできるが、比較的複雑な構造ともいえる。そのことから、配線等のレイアウトにおいて液晶表示装置の開口率が犠牲となり、画面の透過率（発光効率）が低下してしまうことがある。

上記の問題を鑑み、本発明は、色ずれの発生を抑制する新規な技術を提供する。そして、色ずれの発生しにくい液晶表示パネル、色ずれを補正することのできる駆動方法、色ずれの発生しにくい液晶表示装置を提供する。

50

【課題を解決するための手段】

【0011】

上記の目的またはその他の目的を達成するために、本発明は、マトリクス状に配列された複数の単位画素を備える液晶表示パネルを提供する。この液晶表示パネルでは、それぞれの単位画素が、複数の副画素領域を有しているとともに、複数のアクティブ素子と、複数の液晶キャパシタと、複数の蓄積キャパシタを備えている。アクティブ素子は、それぞれの副画素領域に配置されており、走査線およびデータ線と電気的に接続されている。液晶キャパシタは、それぞれの副画素領域に配置されており、一方の電極が同じ副画素領域内のアクティブ素子と電気的に接続されている。蓄積キャパシタは、それぞれの副画素領域に配置されており、一方の電極が同じ副画素領域内のアクティブ素子と電気的に接続されている。そして、それぞれの単位画素では、蓄積キャパシタと液晶キャパシタとの容量比が、副画素領域毎に異なっている。

10

この液晶表示パネルは、走査線に走査信号が印加され、データ線にデータ信号が印加され、蓄積キャパシタのアクティブ素子に接続されていない他方の電極に補正信号が印加される。そして、補正信号が第1のレベルと第2のレベルを有しており、走査信号が高レベルから低レベルに切り換わると、補正信号が第1のレベルから第2のレベルに切り換えられることを特徴とする。

【0012】

上記した本発明に係る液晶表示パネルでは、同じ単位画素に配置された複数のアクティブ素子が、同じ寄生容量値を有していてもよいが、互いに異なる寄生容量値を有していることが好ましい。

20

【0013】

上記した本発明に係る液晶表示パネルでは、それぞれの単位画素において、蓄積キャパシタの容量値が副画素領域毎に異なることが好ましい。

【0014】

上記した本発明に係る液晶表示パネルでは、それぞれの単位画素において、液晶キャパシタの容量値が副画素領域毎に異なることが好ましい。

【0015】

上記した本発明に係る液晶表示パネルでは、アクティブ素子が薄膜トランジスタであることが好ましい。

30

【0016】

本発明に係る液晶表示パネルでは、それぞれの単位画素が、複数の副画素領域のそれぞれに配置された複数の蓄積キャパシタ対向電極をさらに備えることが好ましい。そして、それぞれの蓄積キャパシタ対向電極が、蓄積キャパシタ線との間で蓄積キャパシタを形成することが好ましい。さらに、それぞれの単位画素がそれぞれの副画素領域に配置された複数の画素電極をさらに備える場合、蓄積キャパシタ対向電極は、同じ副画素領域内の画素電極と電気的に接続されていることが好ましい。

上記した液晶表示パネルにおいて、蓄積キャパシタ線は、隣接した2本の走査線の間に走査線と平行に配列されていることが好ましい。あるいは、蓄積キャパシタ線の延伸方向が、データ線の延伸方向と実質的に同じであることも好ましい。さらには、画素電極にスリットが形成されている場合、蓄積キャパシタ線がそのスリットに沿って配置されていることが好ましい。

40

【0017】

本発明はさらに、液晶表示パネルの駆動に適した駆動方法を提供する。この駆動方法が適する液晶表示パネルは、複数の走査線と複数のデータ線と複数の単位画素を備えるものである。ここで、単位画素は、複数の副画素領域を有するとともに、副画素領域毎に配置された複数のアクティブ素子と蓄積キャパシタを備えている。それぞれのアクティブ素子は、対応する走査線及びデータ線と電気的に接続されている。また、それぞれの蓄積キャパシタは、同じ副画素領域内のアクティブ素子と電気的に接続されている。この駆動方法は、走査線に走査信号を印加する工程と、データ線にデータ信号を印加する工程と、蓄積

50

キャパシタのアクティブ素子に接続されていない電極に補正信号を印加する工程を備えている。そして、補正信号は第1のレベルと第2のレベルを有し、走査信号が高レベルから低レベルに切り換わると補正信号を第1のレベルから第2のレベルに切り換えることを特徴とする。

【0018】

上記した本発明に係る駆動方法では、同一のフレーム期間内において、同じ列の単位画素に印加されるデータ信号の極性は同じであるとともに、隣接する2列の単位画素に印加されるデータ信号の極性は互いに異なることが好ましい。

【0019】

あるいは、本発明に係る駆動方法では、同一のフレーム期間内において、隣接する単位画素に印加されるデータ信号の極性が互いに異なるとともに、データ信号と補正信号の周波数が同一であることが好ましい。

【0020】

本発明に係る駆動方法では、それぞれの単位画素において、走査信号が低レベルに切り換わると、補正信号を高レベルに切り換えることが好ましい。また、それぞれの単位画素において、走査信号が低レベルに切り換わり、データ信号の対応する階調値が低階調であるとともにデータ信号が正極性であるとき、データ信号の電圧は液晶表示パネルの共通電圧より小さいことが好ましい。

【0021】

あるいは、本発明に係る駆動方法では、それぞれの単位画素において、走査信号が低レベルに切り換わると、補正信号を低レベルに切り換えることも好ましい。また、それぞれの単位画素で、走査信号が低レベルに切り換わり、データ信号の対応する階調値が低階調であるとともにデータ信号が負極性であるとき、データ信号の電圧は液晶表示パネルの共通電圧より大きいことが好ましい。

【0022】

さらに本発明は、バックライトモジュールと液晶表示パネルを備える液晶表示装置を提供する。液晶表示パネルは、バックライトモジュールの上方に配置され、マトリクス状に配列された複数の単位画素を備える。それぞれの単位画素は、複数の副画素領域を有しているとともに、複数のアクティブ素子と複数の液晶キャパシタと複数の蓄積キャパシタを備えている。アクティブ素子は、複数の副画素領域のそれぞれに配置され、走査線およびデータ線と電氣的に接続されている。液晶キャパシタは、複数の副画素領域のそれぞれに配置され、その一方の電極が同じ副画素領域内のアクティブ素子と電氣的に接続されている。蓄積キャパシタは、複数の副画素領域のそれぞれに配置され、その一方の電極が同じ副画素領域内のアクティブ素子と電氣的に接続されている。同一の単位画素において、蓄積キャパシタと液晶キャパシタとの容量比は、副画素領域毎に異なっている。

この液晶表示パネルは、走査線に走査信号が印加され、データ線にデータ信号が印加され、蓄積キャパシタのアクティブ素子に接続されていない他方の電極に補正信号が印加される。そして、補正信号は第1のレベルと第2のレベルとを有しており、走査信号が高レベルから低レベルに切り換わると、補正信号が第1のレベルから第2のレベルに切り換えられることを特徴とする。

【0023】

本発明に係る液晶表示装置では、それぞれの単位画素が、複数の副画素領域のそれぞれに配置された複数の蓄積キャパシタ対向電極をさらに備えることが好ましい。そして、それぞれの蓄積キャパシタ対向電極が、蓄積キャパシタ線との間で蓄積キャパシタを形成する。さらに、それぞれの単位画素がそれぞれの副画素領域に配置された複数の画素電極をさらに備える場合、蓄積キャパシタ対向電極は、同じ副画素領域内の画素電極と電氣的に接続されていることが好ましい。

上記した液晶表示装置において、各蓄積キャパシタ線は、隣接する2本の走査線の間に走査線と平行に配列されていることが好ましい。あるいは、蓄積キャパシタ線の延伸方向が、データ線の延伸方向と実質的に同じであることも好ましい。さらには、画素電極にス

10

20

30

40

50

リットが形成されている場合、蓄積キャパシタ線がそのスリットに沿って配置されているが好ましい。

【0024】

また、本発明は、マトリクス状に配列された複数の単位画素を備える次のような液晶表示パネルを提供する。それぞれの単位画素は、第1と第2の副画素領域を有している。第1の副画素領域と第2の副画素領域のそれぞれは、アクティブ素子と画素電極と蓄積キャパシタ対向電極と蓄積キャパシタ線を備えている。アクティブ素子は、走査線およびデータ線と電氣的に接続されている。画素電極は、アクティブ素子と電氣的に接続されており、液晶キャパシタの一方の電極となっている。蓄積キャパシタ対向電極は、アクティブ素子と電氣的に接続されている。蓄積キャパシタ線の液晶表示パネル全体における延伸方向は、データ線の延伸方向と実質的に同じである。蓄積キャパシタ線は、蓄積キャパシタ対向電極との間で蓄積キャパシタを形成している。第1の副画素領域内のアクティブ素子と第2の副画素領域内のアクティブ素子は、同じ走査線およびデータ線に電氣的に接続されている。第1の副画素領域内の蓄積キャパシタと液晶キャパシタとの容量比は、第2の副画素領域内の蓄積キャパシタと液晶キャパシタとの容量比と異なっている。

10

この液晶表示パネルは、走査線に走査信号が印加され、データ線にデータ信号が印加され、蓄積キャパシタ線に補正信号が印加される。そして、補正信号は第1のレベルと第2のレベルとを有しており、走査信号が高レベルから低レベルに切り換わると、補正信号が第1のレベルから第2のレベルに切り換えられることを特徴とする。

【発明の効果】

20

【0025】

本発明によって具現化される液晶表示パネルでは、それぞれの単位画素において、それぞれの副画素領域内の蓄積キャパシタと液晶キャパシタとの容量比が、副画素領域毎に異なっている。この液晶表示パネルに本発明に係る駆動方法を組み合わせることによって、副画素領域毎に光透過率を相違させることが可能となり、液晶表示パネルの色ずれの問題を改善することができる。本発明の提供する液晶表示パネルを使用して液晶表示装置を製造すれば、色ずれの起こりにくい液晶表示装置を得ることができる。

【発明を実施するための最良の形態】

【0026】

本発明の上記およびその他の目的、特徴ならびに利点をより理解しやすくするために、以下に好適な実施形態を例示し、添付の図面を参照しながら詳細に説明する。

30

【0027】

図4Aは、本発明の一実施形態に係る液晶表示パネルのアクティブ素子アレイ基板の単位画素410の構成を示す部分平面図である。図4Bは、本発明の一実施形態に係る液晶表示パネルの一部の構造を示す断面図である。図4Bに示す断面図は、図4Aに記載のA-A'線およびB-B'線における断面を示している。液晶表示パネル400はMVA型であるが、本発明を実施する表示装置はMVA型の液晶表示パネルに限定されない。

図4A、図4Bに示すように、液晶表示パネル400は、共通電極460が形成された基板と、複数のアクティブ素子413が配設されたアクティブ素子アレイ基板と、両基板の間に介在している液晶層450を備えている。アクティブ素子アレイ基板404には、複数の画素電極419と、複数の蓄積キャパシタ線440が形成されている。画素電極419は、液晶層450を介して共通電極460と対向している。蓄積キャパシタ線440は、非導電層を介して画素電極419の一部と対向している。

40

【0028】

液晶表示パネル400は、マトリクス状に配列された複数の単位画素410を備えている。単位画素410には、複数の副画素領域411(411a、411b)が構成されている。それぞれの副画素領域411(411a、411b)には、アクティブ素子413(413a、413b)、液晶キャパシタ415(415a、415b)、蓄積キャパシタ417(417a、417b)が形成されている。

【0029】

50

アクティブ素子 4 1 3 は、それぞれの副画素領域 4 1 1 に形成されており、走査線 4 2 0 およびデータ線 4 3 0 に電氣的に接続されている。液晶キャパシタ 4 1 5 は、それぞれの副画素領域 4 1 1 に形成されており、同じ副画素領域 4 1 1 のアクティブ素子 4 1 3 と電氣的に接続されている。蓄積キャパシタ 4 1 7 は、それぞれの副画素領域 4 1 1 に形成されており、同じ副画素領域 4 1 1 のアクティブ素子 4 1 3 と電氣的に接続されている。それぞれの単位画素 4 1 0 において、それぞれの副画素領域 4 1 1 の蓄積キャパシタ 4 1 7 と液晶キャパシタ 4 1 5 との容量比は、他のいずれの副画素領域 4 1 1 の蓄積キャパシタ 4 1 7 と液晶キャパシタ 4 1 5 との容量比とも異なっている。

【0030】

本実施形態では、液晶表示パネル 4 0 0 の構造を説明しやすいように、それぞれの単位画素 4 1 0 が、2つの副画素領域 4 1 1 a、4 1 1 bのみを有するものとする。即ち、それぞれの単位画素 4 1 0 には、2つのアクティブ素子 4 1 3 a、4 1 3 bと、2つの液晶キャパシタ 4 1 5 a、4 1 5 bと、2つの蓄積キャパシタ 4 1 7 a、4 1 7 bが形成されている。一方のアクティブ素子 4 1 3 aは一方の副画素領域 4 1 1 a内に配置されており、他方のアクティブ素子 4 1 3 bは他方の副画素領域 4 1 1 b内に配置されている。それら両者のアクティブ素子 4 1 3 a、4 1 3 bは、同一の走査線 4 2 0 および同一のデータ線 4 3 0 に電氣的に接続されている。一方の液晶キャパシタ 4 1 5 aは、一方の副画素領域 4 1 1 a内に配置されており、一方のアクティブ素子 4 1 3 aと電氣的に接続されている。他方の液晶キャパシタ 4 1 5 bは、他方の副画素領域 4 1 1 b内に配置されており、他方のアクティブ素子 4 1 3 bと電氣的に接続されている。一方の蓄積キャパシタ 4 1 7 aは、一方の副画素領域 4 1 1 a内に配置されており、一方のアクティブ素子 4 1 3 aと電氣的に接続されている。他方の蓄積キャパシタ 4 1 7 bは、他方の副画素領域 4 1 1 b内に配置されており、他方のアクティブ素子 4 1 3 bと電氣的に接続されている。一方の副画素領域 4 1 1 a内の蓄積キャパシタ 4 1 7 aと液晶キャパシタ 4 1 5 aとの容量比は、他方の副画素領域 4 1 1 b内の蓄積キャパシタ 4 1 7 bと液晶キャパシタ 4 1 5 bとの容量比と異なっている。

【0031】

さらに詳しく述べれば、それぞれの単位画素 4 1 0 は、2つの画素電極 4 1 9 a、4 1 9 bを備えている。2つの画素電極 4 1 9 a、4 1 9 bは、2つの副画素領域 4 1 1 a、4 1 1 b内にそれぞれ配置されている。それぞれの画素電極 4 1 9 a、4 1 9 bの一部は、それぞれの蓄積キャパシタ線 4 4 0 と対向する範囲まで延伸されており、蓄積キャパシタ対向電極 4 1 9 c、4 1 9 dを構成している。蓄積キャパシタ対向電極 4 1 9 c、4 1 9 dは、それぞれの蓄積キャパシタ線 4 4 0 との間に蓄積キャパシタ 4 1 7 a、4 1 7 bを構成している。画素電極 4 1 9 a、4 1 9 bには複数の主スリット L が形成されており、それによって4つの配向領域 I、II、III、IVが画定されている。画素電極 4 1 9 a、4 1 9 bの上方には、例えば複数の突起 P 1 0 が設けられている。単位画素 4 1 0 が駆動されていない時は、液晶層 4 5 0 内の液晶分子は垂直に配列している。単位画素 4 1 0 が駆動されると、液晶層 4 5 0 内の液晶分子は水平方向に向かって傾斜する。このとき、同一の配向領域 I、II、III、IVでは液晶分子の傾斜（配向）方向は一致しているが、互いに異なる配向領域 I、II、III、IV領域の間では液晶分子の傾斜（配向）方向は異なっている。液晶分子が複数の方向へ傾斜して配列されていることから、視角の変化に伴う光学的な影響を異なる配向領域の液晶分子によって互いに補償し合うことができる。それにより、液晶表示パネル 4 0 0 は広視野角を実現することができる。

【0032】

上記において、アクティブ素子 4 1 3 a、4 1 3 bは、例えば薄膜トランジスタ、3端子を備えたスイッチング素子、またはその他の適当なスイッチング素子である。蓄積キャパシタ線 4 4 0 は、隣接する2本の走査線 4 2 0 の間に走査線 4 2 0 と平行に配設されている。また、画素電極 4 1 9 aと液晶層 4 5 0 と共通電極 4 6 0 により液晶キャパシタ 4 1 5 aが形成され、画素電極 4 1 9 bと液晶層 4 5 0 と共通電極 4 6 0 により液晶キャパシタ 4 1 5 bが形成される。

【 0 0 3 3 】

図 4 C は、本発明の一実施形態に係る液晶表示パネルの等価回路図である。図 4 A と図 4 C を参照すると、単位画素 4 1 0 内において、一方のアクティブ素子 4 1 3 a は、寄生キャパシタ 4 1 4 a を有している。その寄生キャパシタ 4 1 4 a の容量値を $C_{gd}(A)$ とする。同様に、他方のアクティブ素子 4 1 3 b は、寄生キャパシタ 4 1 4 b を有している。その寄生キャパシタ 4 1 4 b の容量値は $C_{gd}(B)$ である。ここで、容量値 $C_{gd}(A)$ と容量値 $C_{gd}(B)$ は等しくても異なってもよい。

【 0 0 3 4 】

特筆すべき点として、本実施形態の液晶表示パネル 4 0 0 では、それぞれの単位画素 4 1 0 は 2 つの副画素領域 4 1 1 a、4 1 1 b を有しており、一方の副画素領域 4 1 1 a における蓄積容量値 $C_{st}(A)$ と液晶容量値 $C_{LC}(A)$ との比の値は、他方の副画素領域 4 1 1 b における蓄積容量値 $C_{st}(B)$ と液晶容量値 $C_{LC}(B)$ との比の値と異なることである。即ち、 $C_{st}(A)/C_{LC}(A) \neq C_{st}(B)/C_{LC}(B)$ である。一方の副画素領域 4 1 1 a における容量値の比と他方の副画素領域 4 1 1 b における容量値の比とが等しくないという特性を利用し、かつ、これに適当な駆動方法を組み合わせることによって、一方の画素電極 4 1 9 a 上の電圧 V_A と他方の画素電極 4 1 9 b 上の電圧 V_B を互いに異なる値に調整することができる。画素電極電圧 V_A と画素電極電圧 V_B が互いに異なれば、液晶キャパシタ 4 1 5 a の両極間の電圧差と液晶キャパシタ 4 1 5 b の両極間の電圧差も互いに相違する。従って、一方の副画素領域 4 1 1 a と他方の副画素領域 4 1 1 b では、液晶分子の傾きの程度が相違することとなる。即ち、同一の単位画素 4 1 0 内の液晶分子は、合計 8 種類の傾斜角度を有することになる。以上より、一方の副画素領域 4 1 1 a と他方の副画素領域 4 1 1 b の間で光の透過率に差異が生じ、一方の副画素領域 4 1 1 a 内の液晶分子と他方の副画素領域 4 1 1 b 内の液晶分子が互いに光学効果を補償し合うことから、液晶表示パネル 4 0 0 の色ずれは改善される。

【 0 0 3 5 】

$C_{st}(A)/C_{LC}(A) \neq C_{st}(B)/C_{LC}(B)$ を具現化するために、本実施形態においては、一方の蓄積キャパシタ 4 1 7 a の蓄積容量値 $C_{st}(A)$ と他方の蓄積キャパシタ 4 1 7 b の蓄積容量値 $C_{st}(B)$ は互いに異なる値になっている。当然のことながら、 $C_{st}(A)/C_{LC}(A) \neq C_{st}(B)/C_{LC}(B)$ を具現化する方法は、上記に限定されることはない。別の実施形態として、一方の液晶キャパシタ 4 1 5 a の液晶容量値 $C_{LC}(A)$ を他方の液晶キャパシタ 4 1 5 b の液晶容量値 $C_{LC}(B)$ と異なる値とすることによって、 $C_{st}(A)/C_{LC}(A) \neq C_{st}(B)/C_{LC}(B)$ を具現化することも可能である。ここで、液晶容量値 $C_{LC}(A)$ と液晶容量値 $C_{LC}(B)$ を互いに異なる値とする方法は、数多く存在する。一例として、フォトマスクの設計を変更し、一方の画素電極 4 1 9 a と他方の画素電極 4 1 9 b を互いに異なる面積で形成するという方法が挙げられる。別の例としては、2 つの画素電極 4 1 9 a、4 1 9 b の一方の下方に絶縁ライナー層（図示せず）を形成し、2 つの副画素領域 4 1 1 a、4 1 1 b におけるセルギャップに差を生じさせるという方法がある。

【 0 0 3 6 】

次に、液晶表示パネル 4 0 0 の駆動方法について説明する。図 4 D は、駆動波形の一実施形態を示す模式図である。図 4 D に示すように、この駆動方法は、まず走査線 4 2 0 に走査信号 V_s を印加し、次いで、データ線 4 3 0 にデータ信号 V_d を印加する。

蓄積キャパシタ線 4 4 0 には、補正信号 V_{st} が印加された状態が維持される。共通電極 4 6 0 には、共通電圧 V_{com} が印加されている。データ信号 V_d の高レベル電圧値は、共通電圧 V_{com} の電圧値より大きい。

【 0 0 3 7 】

図 4 D には、一方の画素電極 4 1 9 a の画素電極電圧 V_A と、他方の画素電極 4 1 9 b の画素電極電圧 V_B との関係を示す曲線も描かれている。図 4 D に示すように、走査信号 V_s が高レベルから低レベルに切り換わると、補正信号 V_{st} は高レベルに切り換わる。さらに詳しく述べれば、走査信号 V_s が高レベルから低レベルに切り換わった時に、寄生

キャパシタ 4 1 4 a、4 1 4 b によるフィードスルー効果により、画素電極電圧 V_A 、 V_B は若干低下する。しかし、補正信号 V_{st} が低レベルから高レベルに切り換わると、画素電極電圧 V_A 、 V_B は、再度フィードスルー効果により上昇する。

【0038】

ここで特徴的なのは、一方の副画素領域 4 1 1 a 内の蓄積容量値 $C_{st}(A)$ と液晶容量値 $C_{LC}(A)$ との比の値と、他方の副画素領域 4 1 1 b 内の蓄積容量値 $C_{st}(B)$ と液晶容量値 $C_{LC}(B)$ の比の値は互いに異なり、即ち $C_{st}(A)/C_{LC}(A) \neq C_{st}(B)/C_{LC}(B)$ であるので、2つの画素電極電圧 V_A 、 V_B が補正信号 V_{st} の変化によるフィードスルー効果の影響を受けて上昇する程度は互いに相違する。ここで、その電圧上昇の大きさ ΔV は、下記する式 1 で表される。

10

$$\Delta V = C_{gd} (V_{stH} - V_{stL}) / (C_{LC} + C_{st} + C_{gd}) \quad \cdots (1)$$

【0039】

式 1 中、 V_{stH} は補正信号の高レベル電圧であり、 V_{stL} は補正信号の低レベル電圧である。式 1 から明らかなように、蓄積容量値 $C_{st}(A)$ と蓄積容量値 $C_{st}(B)$ が等しくなければ、画素電極電圧 V_A の画素電極電圧 V_B の上昇幅は互いに相違する。その結果、一方の液晶キャパシタ 4 1 5 a の両極端の電圧と、他方の液晶キャパシタ 4 1 5 b の両極間の電圧が、互いに相違する。2つの副画素領域 4 1 1 a、4 1 1 b において、液晶分子の傾きの程度が互いに相違することとなり、光の透過率に差異が生じる。上記の駆動方法によって2つの画素電極電圧 V_A 、 V_B を調整し、2つの副画素領域 4 1 1 a、4 1 1 b の光透過率を互いに相違させることによって、液晶表示パネル 4 0 0 の色ずれを補正することができる。

20

【0040】

上記の駆動方法は、データ信号 V_D の高レベル電圧値が共通電圧 V_{com} の電圧値より大きい場合に適用されるものである。データ信号 V_D の高レベル電圧値が共通電圧 V_{com} の電圧値より小さい場合は、補正信号 V_{st} の切り換わり方が上記と異なることに留意されたい。

【0041】

図 4 E は、液晶表示パネル 4 0 0 の他の駆動波形を示す模式図である。図 4 E に示すように、データ信号 V_D の高レベル電圧値が共通電圧 V_{com} の電圧値より小さい場合、走査信号 V_S が高レベルから低レベルに切り換わった時に、寄生キャパシタ 4 1 4 a と寄生キャパシタ 4 1 4 b によるフィードスルー効果によって、画素電極電圧 V_A 、 V_B が低下する。次いで、補正信号 V_{st} が低レベルに切り換わると、画素電極電圧 V_A 、 V_B は上昇せずに、再度低下する。このとき、2つの画素電極電圧 V_A 、 V_B は低下の程度が互いに異なり、2つの副画素領域 4 1 1 a、4 1 1 b で光の透過率に差異が生じる。この方法によっても、液晶表示パネル 4 0 0 の色ずれを改善させることができる。

30

【0042】

しかし、正極性のフレーム画面と負極性のフレーム画面を同時に考慮すると、それぞれの副画素領域内で寄生キャパシタにより発生するフィードスルー電圧が異なれば、これらの副画素領域では同一の共通電圧 V_{com} を共有できないことになる。それに対して、当業者には知られているように各副画素領域で寄生キャパシタにより発生するフィードスルー電圧は式 1 のとおりであるので、上記の式 1 に基づき容量値 $C_{gd}(A)$ と $C_{gd}(B)$ とを互いに異なる値に調整することによって、異なる副画素領域における画素電極電圧 V_A と画素電極電圧 V_B が正極性のフレーム画面と負極性のフレーム画面のいずれにおいても同じフィードスルー電圧を有するようにすることができる。即ち、 ΔV_{A1} と ΔV_{A2} を等しくし、 ΔV_{B1} と ΔV_{B2} を等しくすることによって(図 4 F 参照)、複数の副画素領域が同一の共通電圧 V_{com} を共有することを可能にすることができる。

40

【0043】

上記の駆動方法は、中・高階調の画面の表示には適しているが、低階調の画面を表示するときは、低階調の画面の暗状態の輝度を最小とすることによって、高コントラストの画面を得ることが必要となる。

50

図 4 G は、図 4 C の液晶表示パネル 4 0 0 のまた別の駆動波形を示す模式図である。低階調の画面を表示するときには、正極性の低階調データ信号 V_D を、共通電圧 $V_{c.o.m}$ の電圧値よりも小さくするように調整するとよい。その結果、図 4 G に示すように、補正信号 $V_{s.t}$ が低レベルから高レベルに切り換わるのに伴って画素電極電圧 V_A 、 V_B は上昇した時に、一方の画素電極電圧 V_A は共通電圧 $V_{c.o.m}$ よりも高くなるとともに、他方の画素電極電圧 V_B は共通電圧 $V_{c.o.m}$ よりも低い状態に維持することができる。この場合、その平均によって従来の正極性の低階調表示と同じ視覚効果が得られるとともに、色ずれを低減するという効果を得ることもできる。

図 4 H は、液晶表示パネル 4 0 0 のさらに別の駆動波形を示す模式図である。負極性の低階調表示のときは、負極性の低階調データ信号 V_D を、共通電圧 $V_{c.o.m}$ の電圧値よりも大きくなるように調整するとよい。その結果、図 4 H に示すように、補正信号 $V_{s.t}$ が高レベルから低レベルに切り換わるのに伴って画素電極電圧 V_A 、 V_B は低下した時に、一方の画素電極電圧 V_A は共通電圧 $V_{c.o.m}$ よりも低くなるとともに、他方の画素電極電圧 V_B は共通電圧 $V_{c.o.m}$ より高い状態に維持することができる。それにより、その平均によって従来の負極性の低階調表示と同じ視覚効果が得られるとともに、色ずれを低減するという効果も得られる。

10

【0044】

上記の液晶表示パネル 4 0 0 は、液晶表示装置の製造に使用することができる。図 5 は、本発明に係る一実施形態の液晶表示装置 6 0 0 の構造を模式的に示している。図 5 に示すように、液晶表示装置 6 0 0 は、液晶表示パネル 4 0 0 と、バックライトモジュール 5 1 0 と、光学フィルム 5 2 0 を備えている。バックライトモジュール 5 1 0 は、冷陰極管 (CCFL) を使用したバックライトモジュールであり、背面板 5 1 2 と、反射板 5 1 4 と、複数の冷陰極管 5 1 6 と、拡散板 5 1 8 を備えている。拡散板 5 1 8 は、背面板 5 1 2 上に配置されている。冷陰極管 5 1 6 は、拡散板 5 1 8 と背面板 5 1 2 との間に配置されている。反射板 5 1 4 は、冷陰極管 5 1 6 と背面板 5 1 2 との間に配置されている。液晶表示パネル 4 0 0 は、上記と同じものであり、バックライトモジュール 5 1 0 の上方に配置されている。光学フィルム 5 2 0 は、液晶表示パネル 4 0 0 とバックライトモジュール 5 1 0 との間に配置されている。本実施形態においては、バックライトモジュール 5 1 0 は冷陰極管を使用したバックライトモジュールであるが、バックライトモジュール 5 1 0 を発光ダイオード (LED) またはその他の適当なバックライト光源を使用したタイプに変更することもできる。

20

30

液晶表示装置 6 0 0 は、先に説明した液晶表示パネル 4 0 0 を使用して製造されているため、広い視野角を有するだけでなく、色ずれも大幅に改善されている。

【0045】

本実施形態の液晶表示パネルには、ライン反転駆動法を採用することが好ましい。即ち、同一フレーム期間において、同じ列の単位画素 4 1 0 に印加されるデータ信号の極性は同じとし、隣接した 2 列の単位画素 4 1 0 に印加されるデータ信号の極性は互いに逆とする。図 4 A に示すように、液晶表示パネル 4 0 0 では、蓄積キャパシタ線 4 4 0 が、隣接する 2 本の走査線 4 2 0 の間に走査線 4 2 0 と平行に配列されている。即ち、同一の走査線 4 2 0 を共用する単位画素 4 1 0 は、同一の蓄積キャパシタ線 4 4 0 も共用する。即ち、同じ列上で隣接する 2 つの単位画素 4 1 0 は、同一の蓄積キャパシタ線 4 4 0 を共用する。そのことから、それらの隣接する 2 つの単位画素 4 1 0 に対しては、補正信号 $V_{s.t}$ はいずれも同一の値となり、2 つの単位画素 4 1 0 に書き込まれる電圧は同じ極性でなければならない。このため、本実施形態の液晶表示パネル 4 0 0 は、ドット反転駆動法を採用することができない。

40

【0046】

ただし、蓄積キャパシタ線 4 4 0 は、図 4 A に示す形状に限定されるものではない。例えば、図 6 に示すような別の実施形態では、蓄積キャパシタ線 4 4 0 ' の延伸方向は、液晶表示パネル 4 0 0 を全体視した場合、データ線 4 3 0 の延伸方向と実質的に同じとなっている。さらに、蓄積キャパシタ線 4 4 0 ' は複数の延伸線 4 4 0 a ' を備え、これら延

50

伸線 440a' は単位画素 410 内で画素電極 419 の主スリット L に沿って配置されている。主スリット L の上方の領域は作用しない領域である。延伸線 440a' は不透光性の材質であっても、延伸線 440a' が画素電極 419a、419b の主スリット L 上に沿って配置されていれば、単位画素 410 の開口率が大きく低下することはない。この液晶表示パネルの駆動方法は、ライン反転方式に限られず、ドット反転方式や複数ドット反転方式であってもよい。例えば、図 6 に示す液晶表示パネルには、ドット反転駆動法を好適に採用することができる。図 6 に示す構造であれば、隣接するいずれの 2 列の単位画素 410 も別々の蓄積キャパシタ線 440' を使用しているので、補正信号 V_{st} は異なる値にすることができる。従って、2 つの単位画素 410 に書き込まれる電圧を、互いに逆の極性とすることも可能である。

10

【0047】

液晶表示パネル 400 は、ノーマリーブラックの表示装置であり、液晶キャパシタ 415a と液晶キャパシタ 415b に電圧が印加されていない時は暗状態の表示となる。この特性を利用し、単位画素 410 に輝点という異常が発生した場合は、画素電極 419a (または画素電極 419b) と蓄積キャパシタ線 440 を、レーザーで溶接するとよい。蓄積キャパシタ線 440 における補正信号 V_{st} の平均の値は、共通電圧 V_{com} と等しいという特性によって、輝点の単位画素 410 は黒点に変わり、これによって画素欠点を目立たなくすることができる。

【0048】

以上をまとめると、本発明を実施した液晶表示パネル、その駆動方法、液晶表示装置は、少なくとも次の利点を有する。

20

(1) 本発明を実施した液晶表示パネルでは、それぞれの単位画素において、いずれの副画素領域における蓄積キャパシタと液晶キャパシタとの容量比が、他の副画素領域における蓄積キャパシタと液晶キャパシタとの容量比と異なっている。このため、アクティブ素子をオフにした後に、蓄積キャパシタに印加している補正信号を変化させることによって各副画素領域内の画素電極にフィードスルー効果を生じさせることができる。これにより、各副画素領域の光透過率を互いに相違させ、液晶表示パネルの色ずれを改善することができる。

(2) 本発明を実施した駆動方法は、上述した液晶表示パネルに適用することができ、各副画素領域の光透過率を互いに相違させることによって、色ずれを補正する効果を得ることができる。

30

(3) 本発明を実施した液晶表示装置は、上述した液晶表示パネルを使用して製造されるもので、色ずれを改善することができる。

(4) 本発明の提供する液晶表示パネルおよび液晶表示装置の製造は、業界の現行の製造工程の範囲内で実施することができるので、別途製造設備を購入する必要がない。

(5) 本発明の提供する駆動方法は、MVA 液晶表示装置にのみ使用されるとは限定されず、例えば TN 液晶表示装置、IPS 液晶表示装置、OCB 液晶表示装置等、他のタイプの液晶表示装置にも適用可能である。

【0049】

以上、本発明の具体例を詳細に説明したが、これらは例示にすぎず、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例を様々に変形、変更したものが含まれる。

40

本明細書または図面に説明した技術要素は、単独であるいは各種の組み合わせによって技術的有用性を発揮するものであり、出願時の請求項に記載の組み合わせに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達成するものであり、そのうちの一つの目的を達成すること自体で技術的有用性を持つものである。

【図面の簡単な説明】

【0050】

【図 1】従来の MVA 液晶表示パネルにおける電圧の透過率に対する特性曲線図。

【図 2】従来の MVA 型の画素構造を示す図。

50

【図 3】図 2 に示す画素構造の等価回路図。

【図 4 A】液晶表示パネルのアクティブ素子アレイ基板の部分平面図。

【図 4 B】液晶表示パネルの部分構造断面図。

【図 4 C】液晶表示パネルの等価回路図。

【図 4 D】液晶表示パネルの 1 シーケンスにおける駆動波形の模式図。

【図 4 E】液晶表示パネルの別のシーケンスにおける駆動波形の模式図。

【図 4 F】液晶表示パネルの駆動波形の一例を示す模式図。

【図 4 G】液晶表示パネルの駆動波形の一例を示す模式図。

【図 4 H】液晶表示パネルの駆動波形の一例を示す模式図。

【図 5】液晶表示装置の構造を模式的に示す図。

10

【図 6】他の実施形態のアクティブ素子アレイ基板の部分平面図。

【符号の説明】

【 0 0 5 1 】

1 1、1 2、1 3、1 4、1 5、1 6 : 曲線

3 1 : データ線

3 3 : 走査線

3 0 1 : T F T アレイ基板

3 0 3 : 保護層

3 0 5、3 0 7、3 0 9 : 透明電極

3 1 1 : 対向基板

20

3 1 3 : 液晶層

3 1 5 : 共通電極

3 2 1 : 薄膜トランジスタ

3 1 3 a、3 1 3 b : 液晶キャパシタ

3 0 3 a : 保護層キャパシタ

3 2 3 : 蓄積キャパシタ

V 1、V 2、V 3 : 電圧

4 0 0 : 液晶表示パネル

4 1 0 : 単位画素

4 1 1、4 1 1 a、4 1 1 b : 副画素領域

30

4 1 3、4 1 3 a、4 1 3 b : アクティブ素子

4 1 4 a、4 1 4 b : 寄生キャパシタ

4 1 5、4 1 5 a、4 1 5 b : 液晶キャパシタ

4 1 7、4 1 7 a、4 1 7 b : 蓄積キャパシタ

4 1 9 a、4 1 9 b : 画素電極

4 1 9 c、4 1 9 d : 蓄積キャパシタ対向電極

4 2 0 : 走査線

4 3 0 : データ線

4 4 0、4 4 0' : 蓄積キャパシタ線

4 4 0 a' : 延伸線

40

4 5 0 : 液晶層

4 6 0 : 共通電極

5 1 0 : バックライトモジュール

5 1 2 : 背面板

5 1 4 : 反射板

5 1 6 : 冷陰極管

5 1 8 : 拡散板

5 2 0 : 光学フィルム

6 0 0 : 液晶表示装置

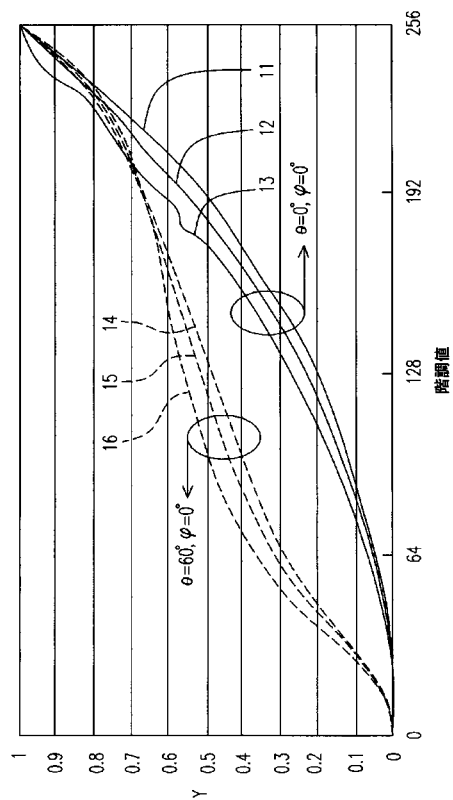
A、B : 表示領域

50

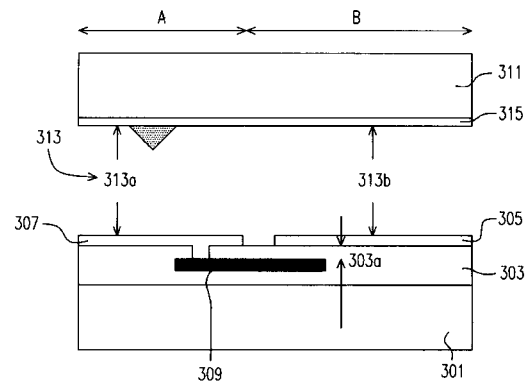
$C_{St}(A)$ 、 $C_{St}(B)$: 蓄積容量値
 $C_{Lc}(A)$ 、 $C_{Lc}(B)$: 液晶容量値
 $C_{gd}(A)$ 、 $C_{gd}(B)$: 容量値
 V_S : 走査信号
 V_D : データ信号
 V_{St} : 補正信号
 V_{com} : 共通電圧
 V_A 、 V_B : 画素電極電圧
 L : 主スリット
 $P10$: 突起
 I 、 II 、 III 、 IV : 配向領域

10

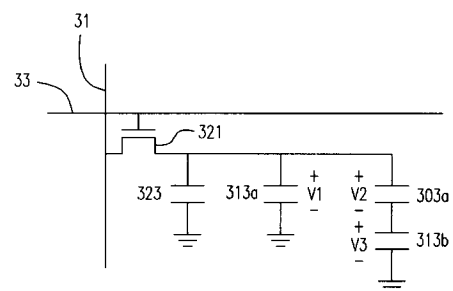
【 図 1 】



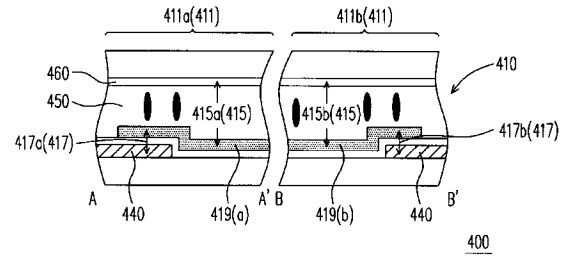
【圖 2】



【 図 3 】

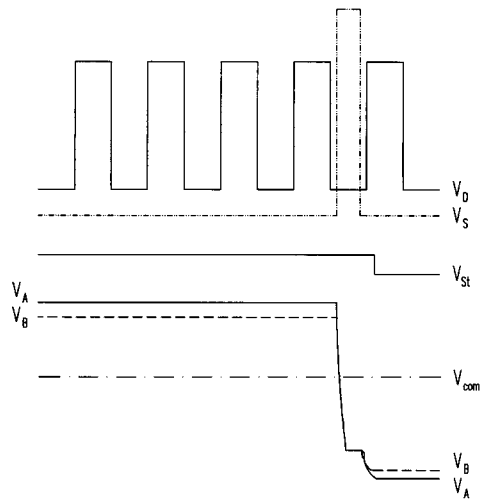


【 図 4 B 】

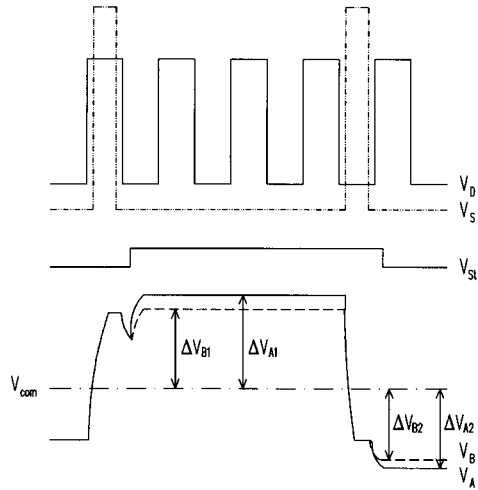


The diagram shows a differential amplifier circuit 430. It consists of two main sections, 411a and 411b, which are part of a larger circuit 430. Section 411a (top) contains a PMOS transistor 413a and a network of capacitors 417a, 415a, 414a, and 416a. Section 411b (bottom) contains an NMOS transistor 413b and a network of capacitors 417b, 415b, 414b, and 416b. Both sections are connected to a common source line 420. The output nodes are labeled V_A and V_B . The capacitors are labeled $C_{sg}(A)$, $C_{sg}(B)$, $C_{gd}(A)$, $C_{gd}(B)$, $C_{ic}(A)$, and $C_{ic}(B)$. The supply voltages are V_{st} and V_{com} .

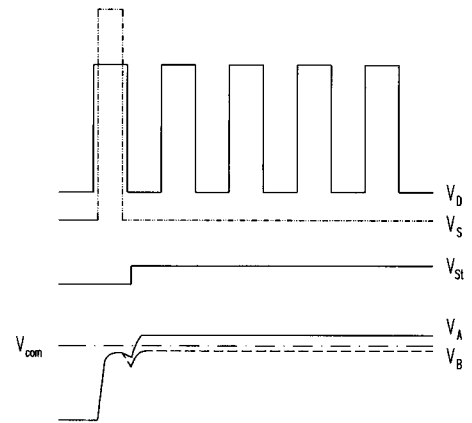
【 図 4 E 】



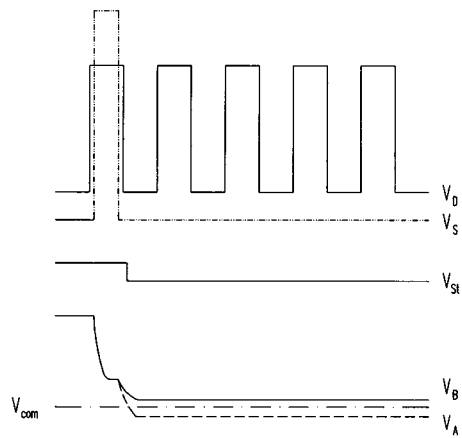
【 図 4 F 】



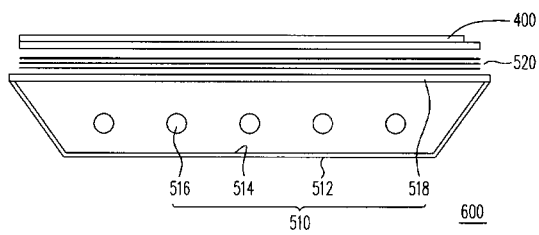
【 図 4 G 】



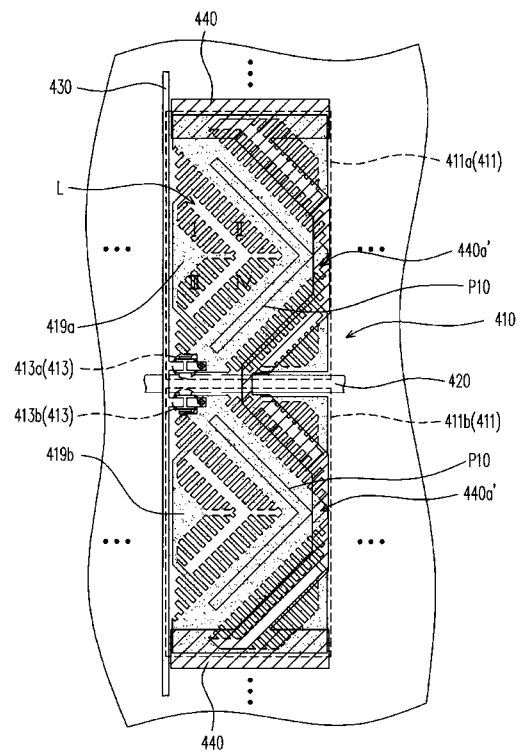
【 図 4 H 】



【 図 5 】



【 図 6 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
 G 0 9 G 3/36
 G 0 9 G 3/20 6 8 0 H

(74)代理人 110000110

特許業務法人快友国際特許事務所

(72)発明者 ミン - フェン シエ

台湾 7 4 4 タイナン サイエンス - ベースト インダストリアル パーク タイナン カウン
 ティー チー - イェー ロード ナンバー 1 チー メイ オプトエレクトロニクス コーポレー
 ション内

(72)発明者 チー - ユン シエ

台湾 7 4 4 タイナン サイエンス - ベースト インダストリアル パーク タイナン カウン
 ティー チー - イェー ロード ナンバー 1 チー メイ オプトエレクトロニクス コーポレー
 ション内

(72)発明者 イー - リン ホ

台湾 7 4 4 タイナン サイエンス - ベースト インダストリアル パーク タイナン カウン
 ティー チー - イェー ロード ナンバー 1 チー メイ オプトエレクトロニクス コーポレー
 ション内

(72)発明者 チエン - ホン チェン

台湾 7 4 4 タイナン サイエンス - ベースト インダストリアル パーク タイナン カウン
 ティー チー - イェー ロード ナンバー 1 チー メイ オプトエレクトロニクス コーポレー
 ション内

(72)発明者 チェ - ミン ス

台湾 7 4 4 タイナン サイエンス - ベースト インダストリアル パーク タイナン カウン
 ティー チー - イェー ロード ナンバー 1 チー メイ オプトエレクトロニクス コーポレー
 ション内

F ターム(参考) 2H092 GA13 JA24 JB05 JB63 JB65 JB66 JB69 NA01 PA02 PA06

QA09

2H093 NA16 NA32 NC34 NC35 ND13 ND24 NE03 NE04 NF09

5C006 AA16 AA22 BB16

5C080 BB05 CC03 DD04 EE29 EE30 FF11 JJ03 JJ04 JJ05 JJ06

专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2008015512A5	公开(公告)日	2010-04-15
申请号	JP2007165319	申请日	2007-06-22
[标]申请(专利权)人(译)	奇美电子 群创光电股份有限公司		
申请(专利权)人(译)	奇美电子		
[标]发明人	ミンフェンシエ チーユンシエ イーリンホ チエンホンチェン チェミンス		
发明人	ミン-フェン シエ チー-ユン シエ イー-リン ホ チエン-ホン チェン チェ-ミン ス		
IPC分类号	G02F1/133 G02F1/1368 G02F1/1343 G09G3/20 G09G3/36		
CPC分类号	G09G3/3648 G09G3/3406 G09G2300/0426 G09G2300/0443 G09G2300/0465 G09G2300/0852 G09G2320/0242		
FI分类号	G02F1/133.550 G02F1/1368 G02F1/1343 G09G3/20.624.C G09G3/20.641.C G09G3/36 G09G3/20.680.H		
F-TERM分类号	2H092/GA13 2H092/JA24 2H092/JB05 2H092/JB63 2H092/JB65 2H092/JB66 2H092/JB69 2H092/NA01 2H092/PA02 2H092/PA06 2H092/QA09 2H093/NA16 2H093/NA32 2H093/NC34 2H093/NC35 2H093/ND13 2H093/ND24 2H093/NE03 2H093/NE04 2H093/NF09 5C006/AA16 5C006/AA22 5C006/BB16 5C080/BB05 5C080/CC03 5C080/DD04 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 2H192/AA24 2H192/BA25 2H192/BC24 2H192/BC26 2H192/DA12 2H192/GD61 2H192/JA13 2H193/ZA04 2H193/ZA07 2H193/ZA08 2H193/ZA19 2H193/ZB14 2H193/ZC02 2H193/ZG03 2H193/ZP03 2H193/ZP04 2H193/ZQ08		
优先权	095123741 2006-06-30 TW		
其他公开文献	JP2008015512A JP5193511B2		

摘要(译)

要解决的问题：防止液晶显示面板的色移。液晶显示面板包括以矩阵排列的多个单位像素。每个单位像素具有多个子像素区域，并且包括多个有源元件，多个液晶电容器和多个存储电容器。有源元件布置在各个子像素区域中并且电连接到扫描线和数据线。液晶电容器布置在各个子像素区域中，并且其一个电极电连接到相同子像素区域中的有源元件。存储电容器布置在各个子像素区域中，并且一个电极电连接到相同子像素区域中的有源元件。对于每个子像素区域，相同单位像素中的子像素区域中的存储电容器和液晶电容器之间的电容比是不同的。（图4C）

