

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-9368

(P2008-9368A)

(43) 公開日 平成20年1月17日(2008.1.17)

(51) Int. Cl. F I テーマコード (参考)
G02F 1/133 (2006.01) G02F 1/133 570 2H093
 G02F 1/133 550

審査請求 有 請求項の数 30 O L (全 16 頁)

(21) 出願番号	特願2006-343919 (P2006-343919)	(71) 出願人	501426046 エルジー・フィリップス エルシーデー カンパニー、リミテッド
(22) 出願日	平成18年12月21日 (2006.12.21)		大韓民国 ソウル, ヨンドンポーク, ヨ イドードン 20
(31) 優先権主張番号	10-2006-0059402	(74) 代理人	100064447 弁理士 岡部 正夫
(32) 優先日	平成18年6月29日 (2006.6.29)	(74) 代理人	100085176 弁理士 加藤 伸晃
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100094112 弁理士 岡部 譲
		(74) 代理人	100096943 弁理士 臼井 伸一
		(74) 代理人	100101498 弁理士 越智 隆夫

最終頁に続く

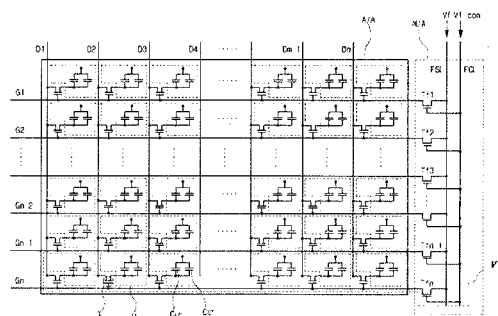
(54) 【発明の名称】 液晶表示装置及びその駆動方法

(57) 【要約】

【課題】 RC 遅延によるゲートパルスの立ち下がり時間の遅延の問題を解決して、より信頼性のある液晶表示装置を実現する。

【解決手段】 本発明は、第 1 基板の上部に相互に交差し形成されたゲート配線及びデータ配線と；第 1 基板と所定間隔離隔された第 2 基板と；第 1 及び第 2 基板間に配置された液晶層と；ゲート配線に連結されたフィード薄膜トランジスタと；フィード薄膜トランジスタに連結され、これをターンオンさせるフィード制御配線と；フィード薄膜トランジスタに連結されゲート配線にフィード信号を供給するフィード信号配線とを含むことを特徴とする液晶表示装置を提供する。これにより、ゲート配線自体の RC 成分によるゲートパルス遅延によって発生するちらつき(flicker)、輝度不均衡、垂直クロストーク等を改善して高品質の表示画質を実現する。

【選択図】 図 5



【特許請求の範囲】

【請求項 1】

ゲート配線と；
前記ゲート配線と交差するデータ配線と；
前記ゲート配線に連結されるフィード薄膜トランジスタと；
前記フィード薄膜トランジスタに連結され前記フィード薄膜トランジスタをターンオンさせるフィード制御配線と；
前記フィード薄膜トランジスタに連結され前記ゲート配線にフィード信号を供給するフィード信号配線とを含むことを特徴とする液晶表示装置用駆動回路。

【請求項 2】

前記ゲート配線に連結された画素薄膜トランジスタをターンオフさせるローレベル電圧と前記画素薄膜トランジスタをターンオンさせるハイレベル電圧のうち、一つの値を有するゲートパルスを提供するゲートドライバーをさらに含むことを特徴とする請求項 1 に記載の液晶表示装置用駆動回路。

10

【請求項 3】

前記フィード信号を前記フィード信号配線に供給するフィード信号生成部とフィード制御信号を前記フィード制御配線に供給して前記フィード薄膜トランジスタをターンオンさせるフィード制御信号生成部を備えるフィード制御回路部をさらに含み、前記フィード信号は、前記ローレベル電圧であることを特徴とする請求項 2 に記載の液晶表示装置用駆動回路。

20

【請求項 4】

前記フィード信号は、 -10V から -5V の電圧であることを特徴とする請求項 2 に記載の液晶表示装置用駆動回路。

【請求項 5】

前記フィード制御信号は、前記ハイレベル電圧であることを特徴とする請求項 2 に記載の液晶表示装置用駆動回路。

【請求項 6】

前記フィード制御信号は、 20V から 30V の電圧であることを特徴とする請求項 2 に記載の液晶表示装置用駆動回路。

【請求項 7】

前記フィード制御信号は、前記ゲートパルスの立ち下がり時に同期したパルスであることを特徴とする請求項 2 に記載の液晶表示装置用駆動回路。

30

【請求項 8】

前記ゲートドライバーに連結されたタイミングコントローラーをさらに含み、前記フィード制御信号は、前記タイミングコントローラーによって生成されたゲート出力イネーブル (GOE) 信号の立ち上がり時に同期することを特徴とする請求項 2 に記載の液晶表示装置用駆動回路。

【請求項 9】

前記フィード薄膜トランジスタは、前記フィード制御配線に連結されたゲート電極、前記フィード信号配線に連結されたソース電極、前記ゲート配線に連結されたドレイン電極を備えることを特徴とする請求項 1 に記載の液晶表示装置用駆動回路。

40

【請求項 10】

前記データ配線に連結され前記データ配線にデータパルスを提供するデータドライバーと；

前記ゲートドライバーと前記データドライバーと前記フィード制御回路部とに連結されたタイミングコントローラーをさらに含むことを特徴とする請求項 2 に記載の液晶表示装置用駆動回路。

【請求項 11】

前記フィード制御回路部は、前記タイミングコントローラーに集積され一体化されることを特徴とする請求項 10 に記載の液晶表示装置用駆動回路。

50

【請求項 1 2】

前記フィード薄膜トランジスタと前記ゲートドライバーは、各々前記ゲート配線の反対の一端に連結されることを特徴とする請求項 2 に記載の液晶表示装置用駆動回路。

【請求項 1 3】

液晶表示装置のゲート配線にゲートパルスを加する段階と；

前記ゲート配線に前記ゲートパルスに同期したフィード信号パルスを供給する段階とを含むことを特徴とする液晶表示装置の駆動方法。

【請求項 1 4】

前記フィード信号パルスは、前記ゲートパルスの立ち下がり時に同期することを特徴とする請求項 1 3 に記載の液晶表示装置の駆動方法。

10

【請求項 1 5】

前記フィード信号パルスを前記ゲート配線に供給する段階は、前記ゲート配線に連結されたスイッチング素子に前記ゲートパルスに同期したフィード制御パルスを供給する段階と；

前記スイッチング素子にフィード信号電圧を供給する段階とを含むことを特徴とする請求項 1 3 に記載の液晶表示装置の駆動方法。

【請求項 1 6】

前記フィード信号電圧を前記スイッチング素子に供給する段階は、前記フィード制御パルスに同期して前記スイッチング素子を制御するようにフィード信号を供給する段階を含むことを特徴とする請求項 1 5 に記載の液晶表示装置の駆動方法。

20

【請求項 1 7】

前記スイッチング素子は、薄膜トランジスタであることを特徴とする請求項 1 5 に記載の液晶表示装置の駆動方法。

【請求項 1 8】

前記ゲートパルスは、前記薄膜トランジスタをターンオフさせるローレベル電圧と前記薄膜トランジスタをターンオンさせるハイレベル電圧のうち、一つの値を有することを特徴とする請求項 1 7 に記載の液晶表示装置の駆動方法。

【請求項 1 9】

前記フィード信号電圧は、前記ローレベル電圧値を有し、前記フィード制御パルスは、前記ハイレベル電圧値を有することを特徴とする請求項 1 8 に記載の液晶表示装置の駆動方法。

30

【請求項 2 0】

前記フィード信号電圧は、-10V から -5V の電圧であることを特徴とする請求項 1 9 に記載の液晶表示装置の駆動方法。

【請求項 2 1】

前記フィード制御パルスは、20V から 30V の電圧であることを特徴とする請求項 1 9 に記載の液晶表示装置の駆動方法。

【請求項 2 2】

前記ゲートパルスと前記フィード信号パルスは、各々前記ゲート配線の反対の一端に供給されることを特徴とする請求項 1 3 に記載の液晶表示装置の駆動方法。

40

【請求項 2 3】

前記ゲートドライバーを制御するタイミングコントローラーを提供する段階をさらに含み、前記フィード信号パルスは、前記タイミングコントローラーによって生成されたゲート出力イネーブル (GOE) 信号の立ち上がり時に同期することを特徴とする請求項 1 3 に記載の液晶表示装置の駆動方法。

【請求項 2 4】

前記フィード信号パルスは、1 μ sec から 3 μ sec の間前記ゲート配線に供給されることを特徴とする請求項 1 3 に記載の液晶表示装置の駆動方法。

【請求項 2 5】

第 1 基板の上部に相互に交差して形成されたゲート配線及びデータ配線と；

50

前記第 1 基板と所定間隔離隔された第 2 基板と；
 前記第 1 及び第 2 基板間に配置された液晶層と；
 前記ゲート配線に連結されたフィード薄膜トランジスタと；
 前記フィード薄膜トランジスタに連結され前記フィード薄膜トランジスタをターンオンさせるフィード制御配線と；
 前記フィード薄膜トランジスタに連結され前記ゲート配線にフィード信号を供給するフィード信号配線とを含むことを特徴とする液晶表示装置。

【請求項 26】

前記ゲート配線に連結された画素薄膜トランジスタをターンオフさせるローレベル電圧と前記画素薄膜トランジスタをターンオンさせるハイレベル電圧のうち、一つの値を有するゲートパルスを提供するゲートドライバーと；

前記ゲートドライバーを制御するタイミングコントローラーと；

前記フィード信号を前記フィード信号配線に供給するフィード信号生成部と、フィード制御信号を前記フィード制御配線に供給して前記フィード薄膜トランジスタをターンオンさせるフィード制御信号生成部を備えるフィード制御回路部をさらに含み、前記フィード信号は、前記ローレベル電圧であることを特徴とする請求項 25 に記載の液晶表示装置。

【請求項 27】

前記フィード制御信号は、前記ゲートパルスの立ち下がり時に同期したパルスであることを特徴とする請求項 26 に記載の液晶表示装置。

【請求項 28】

前記フィード制御信号は、前記タイミングコントローラーによって生成されたゲート出力イネーブル (GOE) 信号の立ち上がり時に同期したパルスであることを特徴とする請求項 26 に記載の液晶表示装置。

【請求項 29】

前記フィード薄膜トランジスタと前記ゲートドライバーは、各々前記ゲート配線の反対の一端に連結されることを特徴とする請求項 26 に記載の液晶表示装置。

【請求項 30】

前記フィード薄膜トランジスタは、前記フィード制御配線に連結されたゲート電極、前記フィード信号配線に連結されたソース電極、前記ゲート配線に連結されたドレイン電極を備えることを特徴とする請求項 25 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に係り、特に、ゲート配線の RC 遅延によって非正常的に出力される画像の表示品質を改善するために、複数の薄膜トランジスタを形成した液晶パネル、液晶表示装置及びその駆動方法に関する。

【背景技術】

【0002】

近来、社会が本格的な情報化時代に入ることによって、各種の電氣的信号情報を視覚的に表現するディスプレイ分野が急速度に発展している。

最近、薄形化、軽量化、低消費電力化等の優れた性能を保有している液晶表示装置 LCD が開発され、既存のブラウン管 CRT (Cathode Ray Tube) に代替している。

【0003】

液晶表示装置は、液晶の光学的異方性と分極性質を利用して表示する。液晶は、分子構造が細くて長く、配列に方向性を有する光学的異方性と、電場を印加する場合に、分子の配列方向が変化する分極性質を有する。従って、液晶表示装置は、液晶に電圧を印加して、分子配列を任意に調節し、変化する偏光特性を利用して多様な画像を表示する。

【0004】

特に、前述した駆動原理によって使用者に対して画像を表示する液晶パネルは、相互に

10

20

30

40

50

対向する両基板間に液晶が注入された構成であって、図 1 は、一般的な液晶表示装置用液晶パネルの断面を示した図である。

【0005】

また、図 2 は、この液晶パネルを構成する下部のアレイ基板の概略的な平面等価回路図であって、解像度及び動画像の具現能力に優れた、現在、最も幅広く使用される能動行列 AM-LC 方式を採用している。

【0006】

液晶パネル 10 は、一面に共通電極 24 が形成された上部のカラーフィルター基板 20 と、一面に画素電極 32 が形成された下部のアレイ基板 30 とが、両電極が向かい合うように配置されて、その間に液晶 50 が介在された構成である。

10

【0007】

この時、上部のカラーフィルター基板 20 は、ガラス等の透明材質で構成された透明基板の下部に形成されるカラーフィルター層 22 及びブラックマトリックス 26 と、液晶 50 に電圧を印加する一電極の役割をする共通電極 24 を含む。特に、カラーフィルター層 22 は、各々赤色を反射する赤色のカラーフィルターと、緑色を反射する緑色のカラーフィルターと、青色を反射する青色のカラーフィルターに区分されて、ブラックマトリックス 26 は、各カラー別のカラーフィルター間をカバー (cover) して、後述する下部のアレイ基板 30 に浸透される光を一部遮断する。

【0008】

また、下部のアレイ基板 30 は、ガラス等の透明材質で構成された透明基板の上部に縦横に配置された複数の平行なゲート配線 ($G_1 \sim G_n$) とデータ配線 ($D_1 \sim D_m$)、複数の薄膜トランジスタ T 及びこれに連結される画素電極 32 を含む。

20

【0009】

この時、複数のゲート配線 ($G_1 \sim G_n$) と複数のデータ配線 ($D_1 \sim D_m$) は、相互に縦横にマトリックス状の画素 P を定義して、これら画素 P には、各々薄膜トランジスタ T 及びこれと一対一対応に連結される画素電極 32 が実装され、液晶を間に相互に対向する共通電極 24 と画素電極 32 とともに、液晶キャパシター C_{LC} を定義する。また、各画素 P は、寄生容量を解決するためのストレージキャパシター C_{ST} を備えており、これは液晶キャパシター C_{LC} と並列に連結される。

さらに、上部のカラーフィルター基板 20 と下部のアレイ基板 30 の外側には、各々第 1 偏光板 28 と第 2 偏光板 34 が位置する。

30

【0010】

下部のアレイ基板 30 の一端には、複数のゲート配線 ($G_1 \sim G_n$) の一端を連結するゲートドライバー 38 が位置して、各ゲート配線 ($G_1 \sim G_n$) にゲートパルスを一方向スキャン伝達して、これと隣接した他の一端には、複数のデータ配線 40 の一端を連結するデータドライバー 42 が位置し、データパルスを伝達する。

【0011】

この時、ゲート配線 ($G_1 \sim G_n$) を伝達するゲートパルスは、薄膜トランジスタ T のオン (on) 電圧であって、データ配線 40 に伝達するデータパルスは、液晶の分子配列を変化させる液晶駆動電圧である。

40

【0012】

また、図 3 は、図 2 の III 部分を拡大した部分拡大図であって、前述した図 1 及び図 2 と共に説明される。

【0013】

各画素 P に実装される薄膜トランジスタ T は、各々ゲート配線 ($G_1 \sim G_n$) に連結されるゲート電極、データ配線 40 に連結されるソース電極、液晶キャパシター C_{LC} に連結されるドレイン電極を含む。ここで、薄膜トランジスタ T は、ゲートパルスによってオン/オフ制御されながらデータパルスを液晶キャパシター C_{LC} に接続するスイッチの役割をする。

【0014】

50

下部のアレイ基板 30 を含む液晶パネル 10 は、フレーム (frame) 別に画像を表示するが、この動作は、以下の通りである。

【0015】

ゲートドライバー 38 は、ゲートパルス を毎フレームごとに G1 番目のゲート配線から Gn 番目のゲート配線まで一方向に順にスキャン伝達する。また、データドライバー 42 は、各ゲートパルスに対応するデータパルスを D1 データ配線ないし Dm データ配線全体に各々伝達する。

【0016】

一例として、図 3 のように、Gn-1 番目のゲート配線にゲートパルスが伝達されると同時に、D1 ないし Dm データ配線を通じてデータパルスが伝達される。従って、Gn-1 ゲート配線に連結された T1 ないし Tm 画素薄膜トランジスタがオンされ D1 ないし Dm データ配線に伝達されたデータパルスを各々該当画素 P の液晶キャパシター C_{LC} に接続させる。

10

【0017】

これによって、各画素 P の液晶キャパシター C_{LC} に電圧が充電され液晶の分子配列が変化して、第 1 偏光板 28 及び第 2 偏光板 34 間で、液晶分子の配列方向による透過率の変化と、カラーフィルター層 22 の赤色 R、緑色 G、青色 B のカラーフィルターの色の組合によってカラー映像を表示する。

【0018】

説明されていない符号 60 は、液晶パネル 10 の背面で前面に向けて光を供給するバックライトを示しており、液晶パネル 10 自体には発光要素がないので、このバックライト 60 の光によって十分な輝度の画像を表示することができる。

20

【0019】

また、図面には示していないが、液晶 50 の漏洩を防ぐために、両基板の端は、シーリング剤等によって封止される。また、上部のカラーフィルター基板 20 及び下部のアレイ基板 30、液晶 50 の境界には、各々液晶分子配列に信頼性を付与する上部及び下部の配向膜が介される。

【0020】

一方、前述した構成の下部のアレイ基板 30 を含む液晶パネル 10 及びこの駆動方法を使用する場合、ゲートパルスは、各ゲート配線 (G1 ~ Gn) の一端から他端に進行する。従って、導体としてゲート配線 (G1 ~ Gn) が有する抵抗とキャパシター成分によって、ゲート配線 (G1 ~ Gn) の他端に進むほど、最初に伝達されたゲートパルスと異なる波形に歪曲される現象が発生する。

30

【0021】

図 4 A ないし図 4 B は、各々図 3 に示した Gn-1 番目のゲート配線において、PXL1 及び PXLm 画素での薄膜トランジスタ (すなわち、T1 及び Tm) に印加されるゲートパルス及びデータパルスを比べて示したグラフである。

【0022】

ここでは、説明の便宜上、任意に Gn-1 ゲート配線を指定しているが、以下の説明は、それ以外のゲート配線でも同一に現われる現象である。また、Gn-1 ゲート配線に連結された複数の薄膜トランジスタ T を区分するために、端から T1 ないし Tm という符号を各々付与しており、このうち、図 4 A は、ゲートパルス (G(N-1)) が最初に到達する一番目の T1 画素薄膜トランジスタに該当し、図 4 B は、このゲートパルス (G(N-1)) が Gn-1 ゲート配線を経由して最終的に伝達する最後の Tm 画素薄膜トランジスタに該当する。

40

【0023】

さらに、D(N) は、T1 画素薄膜トランジスタと Tm 画素薄膜トランジスタに各々伝達するデータパルスを、D(N-2) は、Gn-1 ゲート配線より前の Gn-2 ゲート配線を伝達したデータパルスを、D(N) は、Gn-1 ゲート配線より後の Gn ゲート配線を伝達するデータパルスである。

50

【0024】

図4A及び図4Bに示したように、ゲートパルス($G(N-1)$)とデータパルス($D(N-1)$)は、各々方形波であって、正常状態の初期電圧から立ち上がり、しばらく一定の大きさの電圧を維持した後、立ち下がる。

【0025】

これによって、 G_{n-1} ゲート配線に伝達したゲートパルス($G(N)$)が立ち上がって閾値電圧 V_{th} 以上に大きくなると、 T_1 ないし T_m 画素薄膜トランジスタがオンされ、データパルス($D(N-1)$)を液晶キャパシター C_{LC} に伝達して、このデータパルス($D(N-1)$)電圧が液晶キャパシター C_{LC} に充電される。以後、ゲートパルス($G(N-1)$)が閾値電圧 V_{th} 以下に立ち下がると、 T_1 ないし T_m 画素薄膜トランジスタがオフされ液晶キャパシター C_{LC} からデータパルス($D(N-1)$)を遮断する。

10

【0026】

従って、図4Aと図4Bにおいて、 $T_a(1)$ 及び $T_a(m)$ で表示された区間は、各々 P_{XL1} 及び P_{XLm} 画素でのデータパルス($D(N-1)$)電圧が液晶キャパシター C_{LC} に充電される充電時間(charging time)を、 $T_b(1)$ 及び $T_b(m)$ は、ゲートパルス($G(N-1)$)の立ち下がりが始まった後、閾値電圧 V_{th} 以下に減圧され T_1 ないし T_m 画素薄膜トランジスタがオフされるオフタイム(off time)を意味する。

【0027】

この時、ゲートパルス($G(N-1)$)の立ち下がりが始まっても、データパルス($D(N-1)$)は、一定な電位を維持する。ゲートパルス($G(N-1)$)が T_1 ないし T_m 画素薄膜トランジスタの閾値電圧 V_{th} 以下に減圧された後、データパルス($D(N-1)$)の立ち下がりが始まるが、これは、薄膜トランジスタ素子のオフ動作に信頼性を付与して次のデータパルス($D(N)$)による信号雑音を防ぐためである。

20

【0028】

すなわち、ゲートパルス($G(N-1)$)の立ち下がりが始まっても、閾値電圧 V_{th} 以下に減圧される前まで、 T_1 ないし T_m 画素薄膜トランジスタは、オン状態を維持する。特に、素子の特性によって閾値電圧 V_{th} 以下に減圧されても、わずかにターンオン(slightly turn on)状態になる。

【0029】

従って、ゲートパルス($G(N-1)$)とデータパルス($D(N-1)$)の立ち下がりが同時に行われるとしても、 G_{n-1} ゲート配線の T_1 ないし T_m 画素薄膜トランジスタがオフになる前、次の G_n ゲート配線に対応するデータパルス($D(N)$)が発生して、一つの液晶キャパシター C_{LC} に相互に異なる二つのデータパルス($D(N-1)$)、 $D(N)$)が混じる雑音現象が発生する。

30

【0030】

これを防ぐために、ゲートパルス($G(N-1)$)の立ち下がりが始まった後、しばらくは、データパルス($D(N-1)$)は、一定電位を維持して、ゲートパルス($G(N-1)$)が閾値電圧 V_{th} 以下に減圧され、これに対応した T_1 ないし T_m 画素薄膜トランジスタが全てオフされた後、該当のデータパルス($D(N-1)$)の立ち下がりが始まる。

【0031】

一方、図4Aと図4Bを比べる場合、同一の G_{n-1} ゲート配線に連結されているとしても、 T_1 画素薄膜トランジスタと T_m 画素薄膜トランジスタに伝達するゲートパルス($G(N-1)$)の波形が相互に異なるが、これは、導体としてゲート配線($G_1 \sim G_n$)が有する抵抗及びキャパシター成分に基づく。

40

【0032】

すなわち、最初の T_1 画素薄膜トランジスタに伝達するゲートパルス($G(N-1)$)は、 G_{n-1} ゲート配線上を、移動通路を利用して最後の T_m 画素薄膜トランジスタまで到達するが、この間、導体として G_{n-1} ゲート配線が有する抵抗成分及びキャパシター成分によってゲートパルス($G(N-1)$)が歪曲される。これは、ゲートパルスの立ち上がり時間と立ち下がり時間とが延長されるRC遅延(RC delay)現象として現われる。

50

【0033】

このような現象は、ゲート配線の抵抗が大きくなるほど、または長さが長くなるほど、さらに深刻になるが、特に、立ち下がり時間が延長される場合、液晶表示装置が表示する画像に大きな影響を与える。

【0034】

すなわち、 G_{n-1} ゲート配線を基準に、次の G_n ゲート配線に伝達するデータパルス($D(N)$)が混じる雑音問題を解決するために、該当ゲートパルス($G(N-1)$)の立ち下がりが始まる時点から、データパルス($D(N-1)$)は、しばらく同一の電位を維持して、該当ゲートパルス($G(N-1)$)が薄膜トランジスタの閾値電圧 V_{th} 以下に減圧された後、データパルス($D(N-1)$)が立ち下がりされることは、前述のとおりである。

10

【0035】

ところが、図4Bを参照すると、RC遅延によってゲートパルス($G(N-1)$)の立ち下がり時間が長くなる場合、これは、立ち下がりが始まる時点から閾値電圧 V_{th} 以下に減圧されるまでのオフタイム $T_b(m)$ の延長を意味する。この場合には、次の G_n ゲート配線を伝達するデータパルス($D(N)$)による信号雑音を防ぐために、充電時間である $T_a(m)$ が短縮されるしかない。

【0036】

また、充電時間 $T_a(m)$ が短縮されると、液晶キャパシター C_{LC} にデータパルス($D(N-1)$)が充電される時間が短縮されるので、液晶分子配列を十分に变化させることができなくなって、目的とする透過率を実現することができない。

20

【0037】

従って、表示される画像の左右の輝度差と対照比の不均一を深刻化させることは勿論、残像とちらつき(flicker)等の多様な問題があつて、これは、液晶表示装置の表示の信頼性に対する大きな脅威となる。

【0038】

これを解決するために、従来から、ゲート配線($G_1 \sim G_n$)を具現する金属材料として、より低抵抗の新しい金属材料の開発努力が続いており、ゲートモジュレーション(gate modulation)機能のある追加的な回路を具備する方法、またはゲート配線($G_1 \sim G_n$)の両端に各々ゲートドライバーを設置する方法が開発されてきている。

【0039】

ところが、これらの方法は、液晶表示装置のコストを上昇させる不利益を伴い、特に、RC遅延に起因する多様な問題を十分に解決できないという実情がある。

30

【発明の開示】

【発明が解決しようとする課題】

【0040】

本発明は、前述した問題を解決するためのものであり、RC遅延によるゲートパルスの立ち下がり時間の遅延の問題を解決して、より信頼性のある液晶表示装置を実現することをその目的とする。

【課題を解決するための手段】

【0041】

本発明は、前述したような目的を達成するために、ゲート配線と；前記ゲート配線と交差するデータ配線と；前記ゲート配線に連結されるフィールド薄膜トランジスタと；前記フィールド薄膜トランジスタに連結され前記フィールド薄膜トランジスタをターンオンさせるフィールド制御配線と；前記フィールド薄膜トランジスタに連結され前記ゲート配線にフィールド信号を供給するフィールド信号配線とを含むことを特徴とする液晶表示装置用駆動回路を提供する。

40

【0042】

前記液晶表示装置用駆動回路は、前記ゲート配線に連結された画素薄膜トランジスタをターンオフさせるローレベル電圧と前記画素薄膜トランジスタをターンオンさせるハイレベル電圧のうち、一つの値を有するゲートパルスを供給するゲートドライバーをさらに含

50

み、前記フィード信号を前記フィード信号配線に供給するフィード信号生成部とフィード制御信号を前記フィード制御配線に供給して前記フィード薄膜トランジスタをターンオンさせるフィード制御信号生成部を備えるフィード制御回路部をさらに含み、前記フィード信号は、前記ローレベル電圧である。

【0043】

前記フィード信号は、-10Vから-5Vの電圧であって、前記フィード制御信号は、前記ハイレベル電圧であって、20Vから30Vの電圧である。また、前記フィード制御信号は、前記ゲートパルスの立ち上がり時に同期したパルスである。

【0044】

前記液晶表示装置用駆動回路は、前記ゲートドライバーに連結されたタイミングコントローラーをさらに含み、前記フィード制御信号は、前記タイミングコントローラーによって生成されたゲート出力イネーブル(GOE)信号の立ち上がり時に同期する。

10

【0045】

前記フィード薄膜トランジスタは、前記フィード制御配線に連結されたゲート電極、前記フィード信号配線に連結されたソース電極、前記ゲート配線に連結されたドレイン電極を備える。

【0046】

前記液晶表示装置用駆動回路は、前記データ配線に連結され前記データ配線にデータパルスを提供するデータドライバーと；前記ゲートドライバーと前記データドライバーと前記フィード制御回路部とに連結されたタイミングコントローラーをさらに含む。

20

【0047】

前記フィード制御回路部は、前記タイミングコントローラーに集積され一体化されて、前記フィード薄膜トランジスタと前記ゲートドライバーは、各々前記ゲート配線の反対の一端に連結される。

【0048】

一方、本発明は、液晶表示装置のゲート配線にゲートパルスを印加する段階と；前記ゲート配線に前記ゲートパルスに同期されたフィード信号パルスを提供する段階とを含むことを特徴とする液晶表示装置の駆動方法を提供する。

【0049】

前記フィード信号パルスは、前記ゲートパルスの立ち上がり時に同期して、前記フィード信号パルスを前記ゲート配線に供給する段階は、前記ゲート配線に連結されたスイッチング素子に前記ゲートパルスに同期されたフィード制御パルスを提供する段階と；前記スイッチング素子にフィード信号電圧を供給する段階とを含む。

30

【0050】

前記フィード信号電圧を前記スイッチング素子に供給する段階は、前記フィード制御パルスに同期して前記スイッチング素子を制御するようにフィード信号を供給する段階を含み、前記スイッチング素子は、薄膜トランジスタである。

【0051】

前記ゲートパルスは、前記薄膜トランジスタをターンオフさせるローレベル電圧と前記薄膜トランジスタをターンオンさせるハイレベル電圧のうち、一つの値を有して、前記フィード信号電圧は、前記ローレベル電圧値を有し、前記フィード制御パルスは、前記ハイレベル電圧値を有する。

40

【0052】

前記フィード信号電圧は、-10Vから-5Vの電圧であって、前記フィード制御パルスは、20Vから30Vの電圧であり、前記ゲートパルスと前記フィード信号パルスは、各々前記ゲート配線の反対の一端に供給される。

【0053】

前記液晶表示装置の駆動方法は、前記ゲートドライバーを制御するタイミングコントローラーを提供する段階をさらに含み、前記フィード信号パルスは、前記タイミングコントローラーによって生成されたゲート出力イネーブル(GOE)信号の立ち上がり時に同期

50

する。

また、前記フィード信号パルスは、 $1 \mu\text{sec}$ から $3 \mu\text{sec}$ の間前記ゲート配線に供給される。

【0054】

また、本発明は、第1基板の上部に相互に交差して形成されたゲート配線及びデータ配線と；前記第1基板と所定間隔離された第2基板と；前記第1及び第2基板間に配置された液晶層と；前記ゲート配線に連結されたフィード薄膜トランジスタと；前記フィード薄膜トランジスタに連結され前記フィード薄膜トランジスタをターンオンさせるフィード制御配線と；前記フィード薄膜トランジスタに連結され前記ゲート配線にフィード信号を供給するフィード信号配線とを含むことを特徴とする液晶表示装置を提供する。

10

【0055】

前記液晶表示装置は、前記ゲート配線に連結された画素薄膜トランジスタをターンオフさせるローレベル電圧と前記画素薄膜トランジスタをターンオンさせるハイレベル電圧のうち、一つの値を有するゲートパルスを供給するゲートドライバーと；前記ゲートドライバーを制御するタイミングコントローラーと；前記フィード信号を前記フィード信号配線に供給するフィード信号生成部と、フィード制御信号を前記フィード制御配線に供給して前記フィード薄膜トランジスタをターンオンさせるフィード制御信号生成部を備えるフィード制御回路部をさらに含み、前記フィード信号は、前記ローレベル電圧である。

【0056】

前記フィード制御信号は、前記ゲートパルスの立ち下がり時に同期したパルスであって、前記フィード制御信号は、前記タイミングコントローラーによって生成されたゲート出力ネーブル(GOE)信号の立ち上がり時に同期したパルスである。

20

【0057】

前記フィード薄膜トランジスタと前記ゲートドライバーは、各々前記ゲート配線の反対の一端に連結されて、前記フィード薄膜トランジスタは、前記フィード制御配線に連結されたゲート電極、前記フィード信号配線に連結されたソース電極、前記ゲート配線に連結されたドレイン電極を備える。

【0058】

以下、添付された図を参照して、本発明を詳しく説明する。

【発明の効果】

30

【0059】

本発明による液晶パネルとこれを備える液晶表示装置及びその液晶表示装置の駆動方法は、ゲート配線自体のRC成分によるゲートパルス遅延によって発生するちらつき(flicker)、輝度の不均衡、垂直クロストーク等を改善して、高品質の表示画質を提供する。

【実施例】

【0060】

図5は、本発明による液晶表示装置の液晶パネルを示した平面等価回路図であって、画像が表示される表示領域A/Aと、ブラックマトリックス等によって遮断され画像が表示されない非表示領域N/Aとに区分される。

【0061】

40

表示領域A/Aには、順にゲートパルス(ローレベル電圧約 -5V 、ハイレベル電圧約 2.5V)が印加される複数のゲート配線($G_1 \sim G_n$)と、各ゲートパルスに同期されデータパルスが印加される複数のデータ配線($D_1 \sim D_m$)が交差して構成されている。交差領域には、画素薄膜トランジスタTと液晶キャパシター C_{LC} 及びストレージキャパシター C_{ST} を含む画素Pが各々形成されると同時に、非表示領域N/Aには、複数のゲート配線($G_1 \sim G_n$)に各々連結された多数のフィード薄膜トランジスタ($Tf_1 \sim Tf_n$)が構成され、また、各フィード薄膜トランジスタ($Tf_1 \sim Tf_n$)のスイッチング制御電極(またはゲート電極)にスイッチング駆動を制御するための信号であるフィード制御信号 V_{fc} を印加するためのフィード制御配線FCLと、複数のフィード薄膜トランジスタ($Tf_1 \sim Tf_n$)にフィード信号 V_f を供給するためのフィード信号配線FSLが構成さ

50

れる。

【0062】

フィード薄膜トランジスタ($T_{f1} \sim T_{fn}$)は、各画素 P に形成された画素薄膜トランジスタ T と同様のチャンネルタイプのトランジスタであって、望ましくは、 $NMOS$ タイプのトランジスタで構成される。

【0063】

また、フィード制御配線 FCL に印加されるフィード制御信号 V_{f-con} は、フィード薄膜トランジスタ($T_{f1} \sim T_{fn}$)をオンさせることができる電圧信号であって、 $20 \sim 30V$ 間の電圧信号である。フィード信号配線 FSL に印加されるフィード信号 V_f は、 $-5 \sim -10V$ の電圧信号であって、フィード制御信号 V_{f-con} によってオンされた

10

【0064】

すなわち、フィード制御信号 V_{f-con} は、望ましくは、各ゲート配線($G_1 \sim G_n$)に印加されるゲートパルスのハイレベル電圧 V_{gh} であって、フィード信号 V_f は、ゲートパルスのローレベル電圧 V_{gl} である。

【0065】

前述したように、フィード信号 V_f とフィード制御信号 V_{f-con} は、ゲートパルスの電圧レベルを利用するために、ゲートドライバー構成回路を利用したり、または別途の回路部で構成されたフィード制御回路部(図示せず)を利用したりして生成する。例えば、

20

【0066】

図6は、本発明による液晶表示装置に使用される各種の信号のタイミング図であって、前記形態のフィード信号 V_f は、図6に示したように、各ゲート配線($G_1 \sim G_n$)に印加されたゲートパルス($V_{g1} \sim V_{gn}$)が立ち下がる時点に同期して各ゲート配線($G_1 \sim G_n$)に印加される。フィード信号 V_f は負の電圧であるため、ゲートパルス($V_{g1} \sim V_{gn}$)が画素薄膜トランジスタ($T_1 \sim T_m$)の閾値電圧 V_{th} に下がる時間をさらに短縮

30

【0067】

以下、図7は、図5の VII 部分を拡大した部分拡大図であって、図8A及び図8Bは、図7に示した G_n 番目のゲート配線において、各々 P_{XL1} 及び P_{XLm} 画素での薄膜トランジスタ(すなわち、 T_1 及び T_m)に印加されるゲートパルス、データパルス、フィード信号及びフィード制御信号を比較して示したグラフであり、これらを参照して、本発明による液晶表示装置用液晶パネルの駆動方法を詳しく説明する。

【0068】

この時、説明の便宜上、任意に G_n ゲート配線を利用する水平画素列を指定したものであって、以下の説明は、それ以外のゲート配線を利用する水平画素列でも同一に現われる

40

【0069】

図7のゲート配線 G_n とデータ配線($D_1 \sim D_m$)に印加されるゲートパルス($G(N)$)とデータパルス($D(N)$)は、各々方形波で入力されて、初期電圧から立ち上がって一定の時間の間、一定の電圧レベルを維持した後、立ち下がる。

【0070】

これによって、ゲート配線 G_n に印加されたゲートパルス($G(N)$)がゲート配線 G_n に充電されながら閾値電圧 V_{th} 以上に上昇すると、 T_1 ないし T_m 画素薄膜トランジスタがターンオンされデータパルス($D(N)$)が液晶キャパシター C_{LC} に印加されると同時に液晶キャパシター C_{ST} に充電される。

50

【0071】

以後、ゲートパルス($G(N)$)が閾値電圧 V_{th} 以下に下がると、 T_1 ないし T_m 画素薄膜トランジスタがターンオフされる。

この時、ゲートパルス($G(N)$)の立ち下がりの時点と対応するフィード制御信号 V_{fc} に同期してフィード薄膜トランジスタ T_{fn} をターンオンさせてフィード信号 V_f をゲート配線 G_n に印加する。ゲート配線 G_n に印加されるフィード信号 V_f は、ゲートパルス($G(N)$)のローレベル電圧 V_{gl} である約 $-5 \sim -10$ V程度の負の電圧として印加されるため、ゲート配線 G_n を速くフィード信号 V_f の電圧レベルに充電させる。

【0072】

これによって、 PXL_m 画素では、ゲートパルス($G(N)$)の立ち下がり時間($T_{b(m)}$)が短くなることによってデータパルス($D(N)$)の充電時間 $T_{a(m)}$ が増加され液晶キャパシター C_{LC} にデータパルス($D(N)$)が充電される時間を増加させる。これにより、液晶分子配列を十分に变化させて目的とする透過率を実現することができる。

【0073】

すなわち、 PXL_1 画素の T_1 画素薄膜トランジスタと PXL_m 画素の T_m 画素薄膜トランジスタにおいて、データパルス充電時間($T_{a(1)}$ 、 $T_{a(m)}$)が実質的に近似しており、また、ゲートパルスのオフタイム($T_{b(1)}$ 、 $T_{b(m)}$)が実質的に近似している。

【0074】

結局、ゲート配線 G_n の PXL_1 及び PXL_m 画素は、RC成分の偏差に左右されず、ほとんど近似した充電時間が保証されることによって残像とちらつき等の問題を改善することができる。

【0075】

図9は、本発明による液晶表示装置を示したブロック図である。

図9に示したように、液晶表示装置は、液晶パネル110、タイミングコントローラ120、ゲートドライバ130、データドライバ140、電源電圧供給部150、フィード制御回路部160を含む。

【0076】

複数のゲート配線($G_1 \sim G_n$)と複数のデータ配線($D_1 \sim D_m$)が液晶パネル110に形成されて、各々は、ゲートドライバ130とデータドライバ140によって駆動される。複数のゲート配線($G_1 \sim G_n$)は、複数のデータ配線($D_1 \sim D_m$)と交差して複数の画素領域を定義し、各画素領域には、該当ゲート配線及びデータ配線に連結される薄膜トランジスタ T が形成される。また、薄膜トランジスタ T に連結される液晶キャパシター(図示せず)が画素領域に形成される。液晶キャパシターは、薄膜トランジスタ T によってオン/オフされ入射光の透過率を調節して映像を表示する。複数のフィードトランジスタ($T_{f1} \sim T_{fn}$)は、複数のゲート配線($G_1 \sim G_n$)各々の一端に連結される。

【0077】

パーソナルコンピュータのような外部駆動システムから、RGBデータとクロック信号、水平同期信号、垂直同期信号、データイネーブル信号のようなタイミング同期信号がインタフェース(図示せず)を通じてタイミングコントローラ120に入力される。タイミングコントローラ120は、複数のゲート集積回路ICを含むゲートドライバ130に使用されるゲート制御信号と、複数のデータ集積回路ICを含むデータドライバ140に使用されるデータ制御信号を生成する。また、タイミングコントローラ120は、データドライバ140にデータ信号を出力する。タイミングコントローラ120は、ゲートドライバ130がゲート信号を出力するようにゲート出力イネーブル(GOE)信号を生成する。

【0078】

ゲートドライバ130は、タイミングコントローラ120のゲート制御信号によって液晶パネル110の薄膜トランジスタ T のオン/オフ動作を制御するが、複数のゲート配線($G_1 \sim G_n$)が順にイネーブルされるように制御する。従って、データドライバ140のデータ信号が薄膜トランジスタ T を通じて液晶パネル110の画素領域の画素電極

に供給される。電源電圧供給部 150 は、液晶表示装置に各種の電源電圧を供給して、液晶パネル 110 に共通電圧を供給する。また、電源電圧供給部 150 は、フィード信号 (図 7 の V_f) として使用されるローレベル電圧 V_{gl} を生成することもできる。

【0079】

データドライバー 140 は、データ制御信号によってデータ信号のための基準電圧を決めて、決まった基準電圧を液晶パネル 110 に出力して液晶分子の回転角を制御する。

【0080】

フィード制御回路部 160 は、フィード信号 (図 7 の V_f) とフィード制御信号 (図 7 の V_{f-con}) を各々生成するフィード信号生成部とフィード制御信号生成部を含む。フィード信号 (図 7 の V_f) は、フィード信号配線 FSL を通じて複数のフィード薄膜トランジスタ ($T_{f1} \sim T_{fn}$) に供給されて、フィード制御信号 (図 7 の V_{f-con}) は、フィード制御配線 FCL を通じて複数のフィード薄膜トランジスタ ($T_{f1} \sim T_{fn}$) に供給される。例えば、フィード制御回路部 160 は、レベルシフトを含む。この時、タイミングコントローラ 120 のゲート出力イネーブル (GOE) 信号がフィード制御回路部 160 のレベルシフトに供給され増幅されることによってフィード制御信号 (図 7 の V_{f-con}) として使用される。

10

【図面の簡単な説明】

【0081】

【図 1】一般の液晶表示装置用液晶パネルの断面図である。

【図 2】一般の液晶表示装置用アレイ基板の平面等価回路図である。

20

【図 3】図 2 の III 部分を拡大した部分拡大図である。

【図 4 A】図 3 の G_{n-1} 番目のゲート配線において、 $P \times L 1$ 画素の画素薄膜トランジスタに印加されるゲートパルス及びデータパルスを比べて示したグラフである。

【図 4 B】図 3 の G_{n-1} 番目のゲート配線において、 $P \times L m$ 画素の画素薄膜トランジスタに印加されるゲートパルス及びデータパルスを比べて示したグラフである。

【図 5】本発明による液晶表示装置の液晶パネルを示した平面等価回路図である。

【図 6】本発明による液晶表示装置に使用される信号のタイミング図である。

【図 7】図 5 の VII 部分を拡大した部分拡大図である。

【図 8 A】図 7 に示した G_n 番目のゲート配線において、 $P \times L 1$ 画素での画素薄膜トランジスタに印加されるゲートパルス、データパルス、フィード信号及びフィード制御信号を比べて示したグラフである。

30

【図 8 B】図 7 に示した G_n 番目のゲート配線において、 $P \times L m$ 画素での画素薄膜トランジスタに印加されるゲートパルス、データパルス、フィード信号及びフィード制御信号を比べて示したグラフである。

【図 9】本発明による液晶表示装置を示したブロック図である。

【符号の説明】

【0082】

$D_1 \sim D_n$: データ配線

$G_1 \sim G_n$: ゲート配線

$T_{f1} \sim T_{fn}$: フィード薄膜トランジスタ

40

P : 画素領域

$T_1 \sim T_m$: 画素薄膜トランジスタ

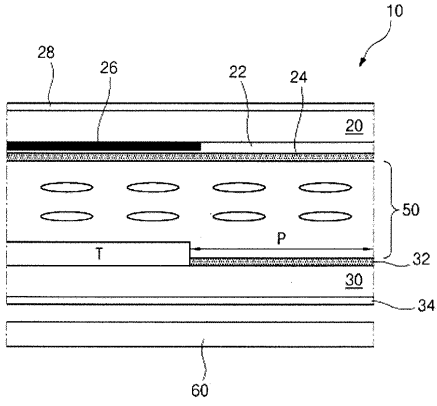
V_f : フィード信号

V_{f-con} : フィード制御信号

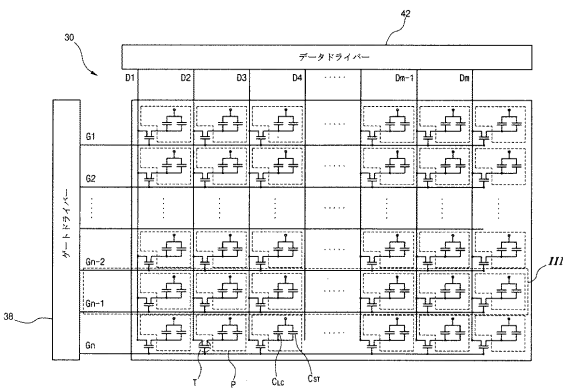
FSL : フィード信号配線

FCL : フィード制御配線

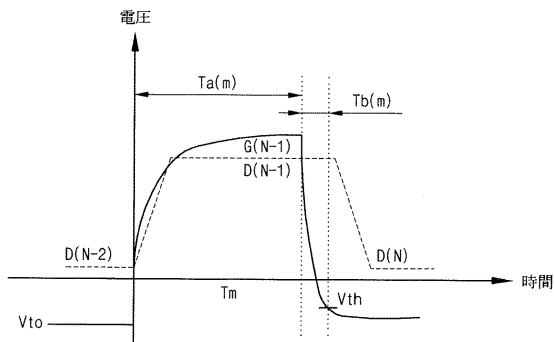
【図 1】



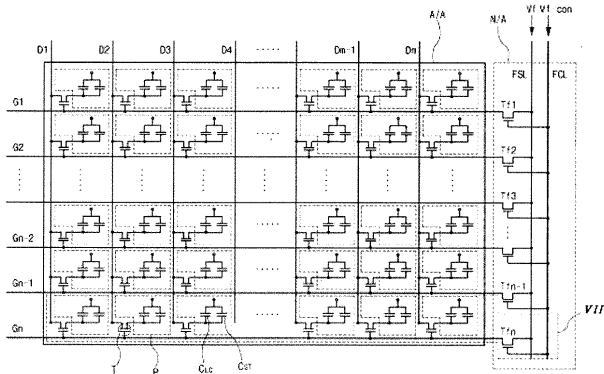
【図 2】



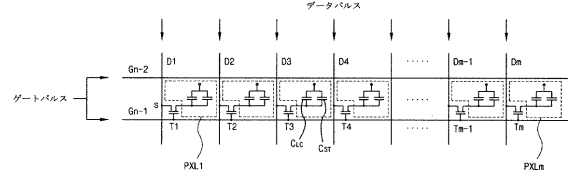
【図 4 B】



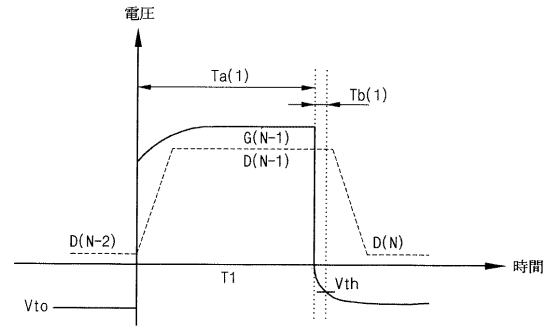
【図 5】



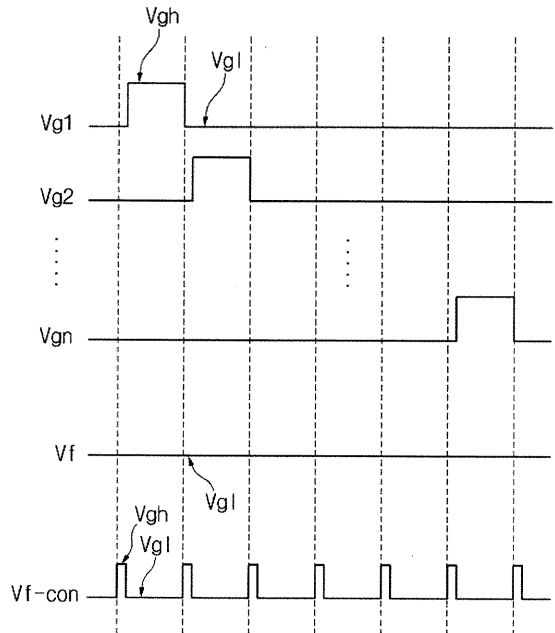
【図 3】



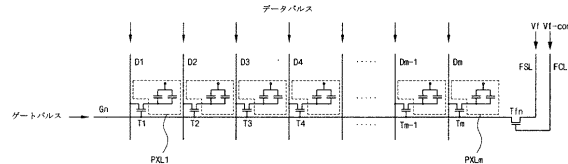
【図 4 A】



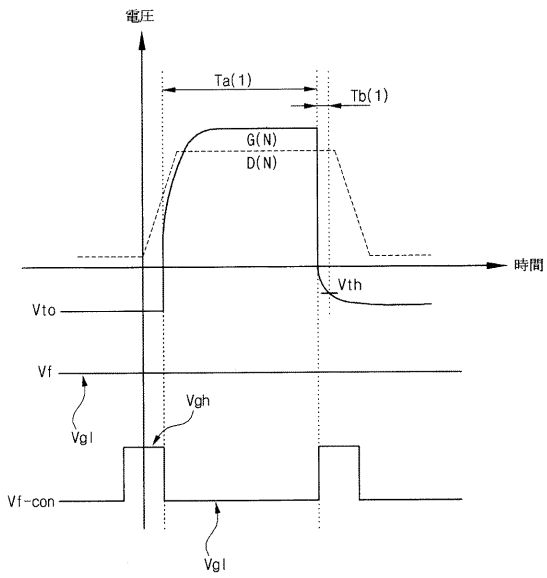
【図 6】



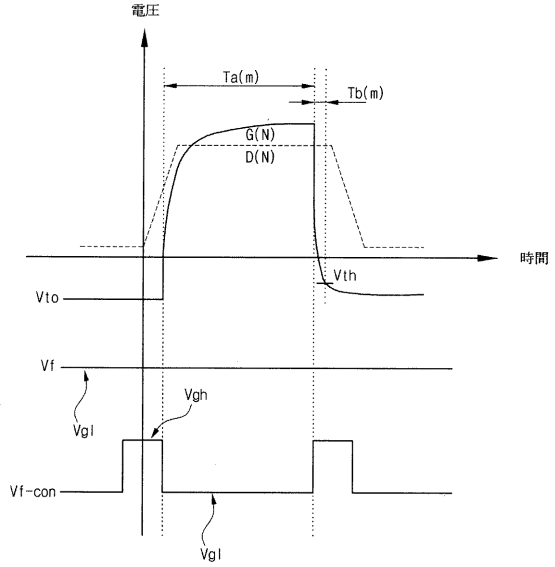
【図 7】



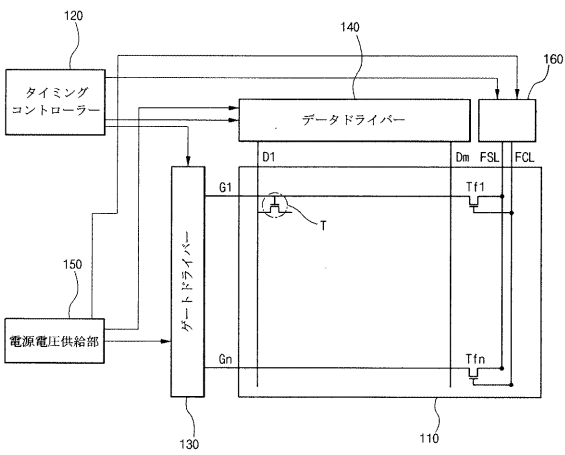
【 図 8 A 】



【 図 8 B 】



【 図 9 】



フロントページの続き

(74)代理人 100104352

弁理士 朝日 伸光

(74)代理人 100128657

弁理士 三山 勝巳

(72)発明者 イ チュヨン

大韓民国 730 - 766 キョンブク クミシ サンモドン ウバン シンセグタウン 206
/ 905

Fターム(参考) 2H093 NA16 NA41 NA43 NB07 NB11 NC09 NC16 NC21 NC34 NC67

ND09 ND10 ND15 ND34 ND36 NE10 NH14

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JP2008009368A	公开(公告)日	2008-01-17
申请号	JP2006343919	申请日	2006-12-21
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji.菲利普斯杜天公司, 有限公司		
[标]发明人	イチユヨン		
发明人	イ チユヨン		
IPC分类号	G02F1/133		
CPC分类号	G09G3/3677 G09G2320/0223		
FI分类号	G02F1/133.570 G02F1/133.550		
F-TERM分类号	2H093/NA16 2H093/NA41 2H093/NA43 2H093/NB07 2H093/NB11 2H093/NC09 2H093/NC16 2H093/NC21 2H093/NC34 2H093/NC67 2H093/ND09 2H093/ND10 2H093/ND15 2H093/ND34 2H093/ND36 2H093/NE10 2H093/NH14 2H193/ZA04 2H193/ZA05 2H193/ZC36 2H193/ZD32 2H193/ZF22 2H193/ZH40 2H193/ZH45 2H193/ZH46 2H193/ZP20		
代理人(译)	白井伸一 朝日 伸光		
优先权	1020060059402 2006-06-29 KR		
其他公开文献	JP4841419B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过解决由RC延迟引起的栅极脉冲的下降时间延迟的问题及其驱动方法，实现具有更高可靠性的液晶显示装置。

ŽSOLUTION：液晶显示装置包括：栅极线和数据线，形成为在第一基板的上部彼此交叉；第二基板，与第一基板以预定间隔分离；液晶层，布置在第一基板和第一基板之间。第二基板，连接到栅极线的馈电薄膜晶体管，连接到馈电薄膜晶体管以关断栅极线的馈电控制线，以及连接到馈电薄膜晶体管的馈电信号线，以向馈电薄膜晶体管提供馈电信号。门线。Ž

