

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-9360
(P2008-9360A)

(43) 公開日 平成20年1月17日(2008.1.17)

(51) Int. Cl.	F I	テーマコード (参考)
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H092
GO9F 9/30 (2006.01)	GO9F 9/30 338	5C094

審査請求有 請求項の数 12 O L (全 13 頁)

(21) 出願番号 特願2006-335357 (P2006-335357)
 (22) 出願日 平成18年12月13日 (2006.12.13)
 (31) 優先権主張番号 10-2006-0058231
 (32) 優先日 平成18年6月27日 (2006.6.27)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 501426046
 エルジー・フィリップス エルシーデー
 カンパニー、リミテッド
 大韓民国 ソウル、ヨンドンポーク、ヨ
 イドードン 20
 (74) 代理人 100064447
 弁理士 岡部 正夫
 (74) 代理人 100085176
 弁理士 加藤 伸晃
 (74) 代理人 100094112
 弁理士 岡部 譲
 (74) 代理人 100096943
 弁理士 白井 伸一
 (74) 代理人 100101498
 弁理士 越智 隆夫

最終頁に続く

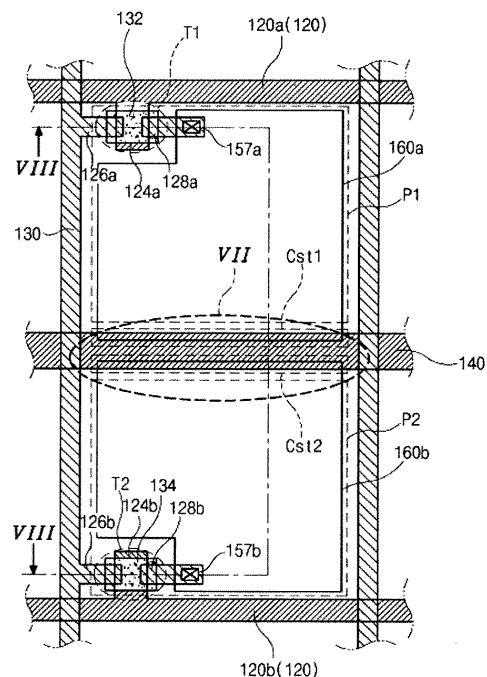
(54) 【発明の名称】 液晶表示装置用アレイ基板及びその製造方法

(57) 【要約】

【課題】本発明は高開口率構造の液晶表示装置用アレイ基板及びその製造方法に関する。

【解決手段】本発明は、基板上に位置して相互に離隔するように位置する第1、第2ゲート配線と；前記第1、第2ゲート配線間で前記第1、第2ゲート配線と平行に位置する共通配線と；前記共通配線を基準に前記第1、第2ゲート配線と交差して第1、第2画素領域を定義するデータ配線と；前記第1ゲート配線及びデータ配線の交差点及び前記第2ゲート配線及びデータ配線の交差点に各々形成された第1、第2薄膜トランジスタと；前記第1画素領域で前記第1薄膜トランジスタに連結される第1画素電極と；前記第2画素領域で前記第2薄膜トランジスタに連結される第2画素電極を含み、前記第1、第2画素電極は前記共通配線を基準に対称状であって、前記第1、第2画素電極各々の前記共通配線と隣接した端側部は前記共通配線と重なる液晶表示装置用アレイ基板を提供する。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

基板上に位置して、相互に離隔するように位置する第 1、第 2 ゲート配線と；
前記第 1、第 2 ゲート配線間で、前記第 1、第 2 ゲート配線と平行に位置する共通配線と；

前記共通配線を基準に前記第 1、第 2 ゲート配線と交差して第 1、第 2 画素領域を画定するデータ配線と；

前記第 1 ゲート配線及びデータ配線の交差点及び前記第 2 ゲート配線及びデータ配線の交差点に各々形成された第 1、第 2 薄膜トランジスタと；

前記第 1 画素領域で前記第 1 薄膜トランジスタに連結される第 1 画素電極と；

10

前記第 2 画素領域で前記第 2 薄膜トランジスタに連結される第 2 画素電極を含み、前記第 1、第 2 画素電極は、前記共通配線を基準に対称状であって、前記第 1、第 2 画素電極各々の前記共通配線と隣接した端側部は、前記共通配線と重なることを特徴とする液晶表示装置用アレイ基板。

【請求項 2】

前記第 1 薄膜トランジスタは、前記第 1 ゲート配線に連結される第 1 ゲート電極と、前記第 1 ゲート配線上に位置する第 1 半導体層と、前記第 1 半導体層の上部に位置して、前記第 1 ゲート電極を基準に相互に離隔して位置する第 1 ソース電極及び第 1 ドレイン電極を含み、前記第 2 薄膜トランジスタは、前記第 2 ゲート配線に連結される第 2 ゲート電極と、前記第 2 ゲート配線の上部に位置する第 2 半導体層と、前記第 2 半導体層の上部に位置して、前記第 2 ゲート電極を基準に相互に離隔して位置する第 2 ソース電極及び第 2 ドレイン電極を含むことを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板。

20

【請求項 3】

前記共通配線及び画素電極間に位置する絶縁層をさらに含むことを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板。

【請求項 4】

前記絶縁層が介された状態で、前記共通配線及び第 1 画素電極間の重なる領域が第 1 ストレージキャパシターを構成して、前記絶縁層が介された状態で、前記共通配線及び第 2 画素電極間の重なる領域が第 2 ストレージキャパシターを構成することを特徴とする請求項 3 に記載の液晶表示装置用アレイ基板。

30

【請求項 5】

前記第 1、第 2 ストレージキャパシターが相互に対応する用量を有することを特徴とする請求項 4 に記載の液晶表示装置用アレイ基板。

【請求項 6】

基板上に位置して、相互に離隔するように位置する第 1、第 2 ゲート配線と、前記第 1、第 2 ゲート配線と各々連結されて、相互に向かい合う第 1、第 2 ゲート電極を形成する段階と；

前記第 1、第 2 ゲート配線間で、前記第 1、第 2 ゲート配線と平行に位置する共通配線を形成する段階と；

前記共通配線を基準に前記第 1、第 2 ゲート配線と交差して第 1、第 2 画素領域を画定するデータ配線と、前記データ配線に連結される第 1、第 2 ソース電極と、前記第 1、第 2 ソース電極から各々離隔して位置する第 1、第 2 ドレイン電極を形成する段階と；前記第 1 画素領域で前記第 1 ドレイン電極に連結される第 1 画素電極と、前記第 2 画素領域で前記第 2 ドレイン電極に連結される第 2 画素電極を形成する段階を含み、前記第 1、第 2 画素電極は、前記共通配線を基準に対称状であって、前記第 1、第 2 画素電極各々の前記共通配線と隣接した端側部は、前記共通配線と重なることを特徴とする液晶表示装置用アレイ基板の製造方法。

40

【請求項 7】

前記第 1、第 2 ゲート配線と前記第 1、第 2 ゲート電極上にゲート絶縁膜を形成する段階をさらに含むことを特徴とする請求項 6 に記載の液晶表示装置用アレイ基板の製造方法

50

。

【請求項 8】

前記共通配線を形成する段階は、前記第 1、第 2 ゲート配線及び前記第 1、第 2 ゲート電極を形成する段階と同時に行われることを特徴とする請求項 6 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 9】

前記データ配線、前記第 1、第 2 ソース電極と第 1、第 2 ドレイン電極上に保護層を形成する段階をさらに含むことを特徴とする請求項 8 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 10】

前記絶縁層が介された状態で、前記共通配線及び第 1 画素電極間の重なる領域が第 1 ストレージキャパシターを構成して、前記絶縁層が介された状態で、前記共通配線及び第 2 画素電極間の重なる領域が第 2 ストレージキャパシターを構成することを特徴とする請求項 9 に記載の液晶表示装置用アレイ基板の製造方法。

10

【請求項 11】

前記保護層を形成する段階は、前記第 1、第 2 ドレイン電極領域を各々露出する第 1、第 2 ドレインコンタクトホールを形成する段階をさらに含むことを特徴とする請求項 9 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 12】

前記第 1 画素電極が前記第 1 ドレインコンタクトホールを通じて前記第 1 ドレイン電極に連結されて、前記第 2 画素電極が前記第 2 ドレインコンタクトホールを通じて前記第 2 ドレイン電極に連結されることを特徴とする請求項 11 に記載の液晶表示装置用アレイ基板の製造方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に係り、特に、高開口率構造の液晶表示装置用アレイ基板及びその製造方法に関する。

【背景技術】

【0002】

液晶表示装置は、液晶の光学的異方性と分極性質を利用して駆動する。すなわち、液晶は、分子構造が細くて長く、配列に方向性を有する光学的異方性と、電場を印加する場合に、分子の配列方向が変化する分極性質を有する。従って、液晶表示装置は、液晶に電圧を印加して、分子配列を任意に調節し、この時、変化される偏光特性を利用して多様な画像を表示する。

30

【0003】

また、液晶表示装置は、共通電極が形成されたカラーフィルター基板と画素電極が形成されたアレイ基板と、両基板間に介された液晶層とで構成されて、このような液晶表示装置は、共通電極と画素電極間に生成される垂直電場によって駆動されて、透過率と開口率等の特性が優れる。

40

【0004】

アレイ基板の画素電極は、カラーフィルター基板の共通電極と共に液晶キャパシターを構成するが、液晶キャパシターに印加された電圧を次の信号まで維持するために、ストレージキャパシターを液晶キャパシターに連結して使用する。

【0005】

ストレージキャパシターは、二つの方法で形成されるが、ストレージキャパシター用電極を別に形成して共通電極に連結して使用する方式と、 $n-1$ 番目のゲート配線の一部を n 番目の画素のストレージキャパシターのいずれかの電極として使用する方式がある。

前者をストレージオンコモン(storage on common)方式、後者をストレージオンゲート(storage on gate)方式と称する。

50

【0006】

ストレージオンゲート方式は、ゲート配線のローレベル(low-level)電圧をストレージキャパシタの電圧として利用するので、外部の共通配線が不必要である長所があるが、ゲート信号のカップリング(coupling)による干渉を受ける短所がある。

【0007】

一方、ストレージオンコモン方式は、ゲート信号に対する干渉がなく、十分なストレージ用量を確保する長所があるが、共通配線を追加に形成して、これによる光漏れによる影響によって開口率が減少する短所がある。

【0008】

アクティブマトリクス型の液晶表示装置が主に液晶表示装置として利用されるが、アクティブマトリクス型の液晶表示装置は、マトリクスタイプに配置された薄膜トランジスタ及び薄膜トランジスタに連結される画素電極を含む。アクティブマトリクス型の液晶表示装置は、高解像度と動画像の表示に優れていて、研究及び開発されている。

10

【0009】

以下、添付した図を参照して、従来のアクティブマトリクス型の液晶表示装置を説明する。

【0010】

図1は、従来によるストレージオンコモン方式の液晶表示装置用アレイ基板の概略的な平面図である。

図1に示したように、基板10上に、一方向に多数のゲート配線20が形成されて、ゲート配線20と他の一方向に交差され多数の画素領域Pを定義する多数のデータ配線30が形成される。

20

【0011】

ゲート配線20及びデータ配線30が交差される地点には、薄膜トランジスタTが各々形成される。

【0012】

薄膜トランジスタTに連結されて、画素領域P別に画素電極60が各々形成されており、ゲート配線20と平行に離隔され画素領域を經由して共通配線40が各々形成される。

【0013】

図2は、図1のII領域の画素領域の拡大図である。

30

図2に示したように、ゲート配線20に連結されゲート電極24が形成されており、データ配線30に連結されソース電極26が形成され、ソース電極26と離隔されドレイン電極28が形成される。この時、ソース電極26及びドレイン電極28は、ゲート電極24を中心に離隔された構造である。また、ゲート電極24と重なる領域には、アイランドパターン構造の半導体層32が形成されて、ゲート電極24、半導体層32、ソース電極26及びドレイン電極28は、薄膜トランジスタTを構成する。

【0014】

薄膜トランジスタTを覆う領域には、保護層(図示せず)が形成されて、保護層には、ドレイン電極28を一部露出させるドレインコンタクトホール57が形成されており、ドレインコンタクトホール57を通じて画素電極60は、ドレイン電極28と電氣的に連結される。

40

【0015】

画素電極60と共通配線40間の重畳領域は、ストレージキャパシタCstを構成する。すなわち、画素電極60と重なる共通配線40領域は、第1キャパシタ電極、共通配線40と重なる画素電極60領域は、第2キャパシタ電極を構成して、第1と第2キャパシタ電極間に介された絶縁層を含むストレージキャパシタCstを構成する。

【0016】

画素電極60が形成された領域は、開口率と比例関係であるが、ストレージオンコモン方式では、共通配線40が画素電極60と重なるように画素領域P内に位置することによって、その分開口率が減少する。

50

【0017】

図3Aないし図3Cは、従来によるコモン方式の液晶表示装置用アレイ基板を図2のI I I - I I I 線に沿って切断して、製造工程順に示した概略的な断面図である。

【0018】

図3Aに示したように、基板10上に、ゲート電極24及び共通配線40を形成して、ゲート電極24及び共通配線40の上部に、ゲート絶縁膜45を形成する。

【0019】

図3Bに示したように、ゲート絶縁膜45の上部に、ゲート電極24と重なる位置にアクティブ層32a及びオーミックコンタクト層32bが順に積層される構造の半導体層32を形成して、半導体層32の上部には、相互に離隔して位置するソース電極26及びドレイン電極28を形成する段階である。

10

【0020】

この段階では、ソース電極26及びドレイン電極28間のオーミックコンタクト層32bを除去して、その下部に位置するアクティブ層32aを露出させてチャンネルchを形成する段階を含み、ゲート電極24、半導体層32、ソース電極26及びドレイン電極28は、薄膜トランジスタTを構成する。

【0021】

図3Cは、ソース電極26及びドレイン電極28の上部に保護層55を形成して、保護層55にドレイン電極28を一部露出させるドレインコンタクトホール57を形成し、保護層55の上部の画素領域(図2のP)には、ドレインコンタクトホール57を通じてドレイン電極28に連結される画素電極60を形成する段階である。

20

【0022】

この段階では、ゲート絶縁膜45及び保護層55が介された状態で、相互に重なるように位置する共通配線40及び画素電極60領域は、ストレージキャパシタースtを構成する。すなわち、重なる領域で共通配線40は、第1キャパシタ電極として、画素電極60は、第2キャパシタ電極の役割をして、ストレージオンコモン方式のストレージキャパシタースtが構成される。

【0023】

すなわち、共通配線40は、共通電圧の印加によって電極として利用されて、画素電極60は、ドレイン電極28との電氣的連結によってまた他の電極として利用される。

30

【0024】

図4は、図3のIV領域の拡大図である。

図4に示したように、画素領域P内で画素電極60と重なるように共通配線40を形成して、画素電極Pと共通配線40間の重畳領域をストレージキャパシタ(図2のCst)として利用するストレージオンコモン方式のストレージキャパシタを備える。

【0025】

ところが、共通配線40に印加される電圧と共通配線40と重なるように位置する画素電極60に印加される電圧間に信号歪曲が発生して、共通配線40と重なるように位置する画素電極60の上部に位置する液晶の制御が困難であって、共通配線40の上側と下側の部分である領域LRでは、光漏れを引き起こす問題がある。

40

この時、LP部分での光漏れは、液晶表示装置のブラック映像の輝度を増加させて対照比(contrast ratio)が減少する。

【0026】

また、画素領域P内に位置する共通配線40の線幅を縮めて開口率を高めると、共通配線40の抵抗が増加して電圧降下が発生し、これにより、ストレージ電圧供給が不安定になる問題があるので、共通配線40の線幅に対する制限によって開口率が減少する問題がある。

【発明の開示】

【発明が解決しようとする課題】

【0027】

50

本発明は、前述したような問題を解決するために、共通配線と画素電極間の電圧歪曲現象が低下して光漏れ現象が低下しコントラスト特性を向上させて、共通配線の線幅の制限を緩和して共通電圧を安定的に印加することによって画質を向上させて、開口率を高める液晶表示装置用アレイ基板及びその製造方法を提供する。

前記の目的を達成するために、本発明では、二つの画素が1組になって相互に対称的な構造で形成して、二つの画素領域の対称軸に共通配線を形成する。

【課題を解決するための手段】

【0028】

前述したような目的を達成するために、本発明の第1特徴は、基板上に位置して、相互に離隔するように位置する第1、第2ゲート配線と；前記第1、第2ゲート配線間で、前記第1、第2ゲート配線と平行に位置する共通配線と；前記共通配線を基準に前記第1、第2ゲート配線と交差して第1、第2画素領域を画定するデータ配線と；前記第1ゲート配線及びデータ配線の交差点及び前記第2ゲート配線及びデータ配線の交差点に各々形成された第1、第2薄膜トランジスタと；前記第1画素領域で前記第1薄膜トランジスタに連結される第1画素電極と；前記第2画素領域で前記第2薄膜トランジスタに連結される第2画素電極を含み、前記第1、第2画素電極は、前記共通配線を基準に対称状であって、前記第1、第2画素電極各々の前記共通配線と隣接した端側部は、前記共通配線と重なることを特徴とする液晶表示装置用アレイ基板を提供する。

10

【0029】

前記第1薄膜トランジスタは、前記第1ゲート配線に連結される第1ゲート電極と、前記第1ゲート配線上に位置する第1半導体層と、前記第1半導体層の上部に位置して、前記第1ゲート電極を基準に相互に離隔して位置する第1ソース電極及び第1ドレイン電極を含み、前記第2薄膜トランジスタは、前記第2ゲート配線に連結される第2ゲート電極と、前記第2ゲート配線の上部に位置する第2半導体層と、前記第2半導体層の上部に位置して、前記第2ゲート電極を基準に相互に離隔して位置する第2ソース電極及び第2ドレイン電極を含む。

20

【0030】

前記共通配線及び画素電極間に位置する絶縁層をさらに含み、前記絶縁層が介された状態で、前記共通配線及び第1画素電極間の重なる領域は、第1ストレージキャパシターを構成して、前記絶縁層が介された状態で、前記共通配線及び第2画素電極間の重なる領域は、第2ストレージキャパシターを構成する。また、前記第1、第2ストレージキャパシターは、相互に対応する用量を有する。

30

【0031】

本発明の第2特徴は、基板上に位置して、相互に離隔するように位置する第1、第2ゲート配線と、前記第1、第2ゲート配線と各々連結されて、相互に向かい合う第1、第2ゲート電極を形成する段階と；前記第1、第2ゲート配線間で、前記第1、第2ゲート配線と平行に位置する共通配線を形成する段階と；前記共通配線を基準に前記第1、第2ゲート配線と交差して第1、第2画素領域を画定するデータ配線と、前記データ配線に連結される第1、第2ソース電極と、前記第1、第2ソース電極から各々離隔して位置する第1、第2ドレイン電極を形成する段階と；前記第1画素領域で前記第1ドレイン電極に連結される第1画素電極と、前記第2画素領域で前記第2ドレイン電極に連結される第2画素電極を形成する段階を含み、前記第1、第2画素電極は、前記共通配線を基準に対称状であって、前記第1、第2画素電極各々の前記共通配線と隣接した端側部は、前記共通配線と重なることを特徴とする液晶表示装置用アレイ基板の製造方法を提供する。

40

【0032】

前記第1、第2ゲート配線と前記第1、第2ゲート電極上にゲート絶縁膜を形成する段階をさらに含み、前記共通配線を形成する段階は、前記第1、第2ゲート配線及び前記第1、第2ゲート電極を形成する段階と同時に行われて、前記データ配線、前記第1、第2ソース電極と第1、第2ドレイン電極上に保護層を形成する段階をさらに含む。

【0033】

50

前記絶縁層が介された状態で、前記共通配線及び第1画素電極間の重なる領域は第1ストレージキャパシターを構成して、前記絶縁層が介された状態で、前記共通配線及び第2画素電極間の重なる領域は、第2ストレージキャパシターを構成する。

【0034】

前記保護層を形成する段階は、前記第1、第2ドレイン電極領域を各々露出する第1、第2ドレインコンタクトホールを形成する段階をさらに含み、前記第1画素電極は、前記第1ドレインコンタクトホールを通じて前記第1ドレイン電極に連結されて、前記第2画素電極は、前記第2ドレインコンタクトホールを通じて前記第2ドレイン電極に連結される。

【0035】

以下、添付した図を参照して、本発明による望ましい実施例を説明する。

【発明の効果】

【0036】

本発明は、i)既存の主要画素領域に共通配線を配置した時より共通配線と画素電極間の電圧の歪曲現象が低下して光漏れ現象が低下する。さらに、一つの共通配線を相互に独立的な二つの画素が共有することによって既存の一つの画素領域で共通配線の両側で現われた光漏れ現象がいずれかの一侧に現われるので、光漏れ現象が低下する。

【0037】

ii)共通配線を画素領域間の境界部に配置するによって共通配線の線幅による開口率減少を防いで、共通配線の線幅の制限を緩和して共通電圧を安定的に印加し画質特性が向上する。

【0038】

iii)基本的に、共通配線を画素領域間の境界部に配置するによって開口領域の減少が防げる。

【実施例】

【0039】

図5は、本発明の一実施例による液晶表示装置用アレイ基板の概略的な平面図であって、図6は、図5のVI領域の二つの画素領域の拡大図であり、図7は、図6のVII領域の拡大図である。

【0040】

図5と図6と図7に示したように、基板100上に、第1方向に多数のゲート配線120が形成されて、第1方向と交差する第2方向に位置して多数のゲート配線120と交差する多数のデータ配線130が形成される。

【0041】

多数のゲート配線120は、相互に離隔して位置する第1ゲート配線120a、第2ゲート配線120bを含み、第1ゲート配線120aから延長され第1ゲート電極124aが形成されて、第2ゲート配線120bから延長され第2ゲート電極124bが形成される。この時、第1ゲート電極124a、第2ゲート配線124bは、相互に向かい合う対称的な構造で形成される。

【0042】

第1ゲート電極124aを中心に相互に離隔するように第1ソース電極126a及び第1ドレイン電極128aが形成されて、第2ゲート電極124aを中心に相互に離隔するように第2ソース電極126b及び第2ドレイン電極128bが形成される。この時、第1ソース電極126a、第2ソース電極126bは、データ配線130から延長される。また、第1ゲート電極124a、第2ゲート電極124bと重なる領域には、アイランドパターン構造の第1半導体層132、第2半導体層134が形成されて、第1ゲート電極124a、第1半導体層132、第1ソース電極126a、第1ドレイン電極128aは、第1薄膜トランジスタT1を構成して、第2ゲート電極126b、第2半導体層134、第2ソース電極126b、第2ドレイン電極128bは、第2薄膜トランジスタT2を構成する。

10

20

30

40

50

【0043】

第1薄膜トランジスタT1、第2薄膜トランジスタT2も第1ゲート電極124a、第2ゲート電極124bのように、相互に向かい合う対称的な構造で形成される。

【0044】

また、第1薄膜トランジスタT1、第2薄膜トランジスタT2に連結され第1画素電極160a、第2画素電極160bが形成される。図面には示していないが、第1薄膜トランジスタT1、第2薄膜トランジスタT2を覆う領域には、保護層(図示せず)が形成され、保護層には、第1ドレイン電極128a、第2ドレイン電極128bを露出する第1ドレインコンタクトホール157a、第2ドレインコンタクトホール157bが形成されて、第1画素電極160a、第2画素電極160bは、第1ドレインコンタクトホール157a、第2ドレインコンタクトホール157bを通じて第1ドレイン電極128a、第2ドレイン電極128bと各々連結される。

10

さらに、第1薄膜トランジスタT1、第2薄膜トランジスタT2の対称軸になる第1方向に共通配線140が位置する。

【0045】

本発明の画素領域は、第1ゲート配線120a及び第2ゲート配線120bと、第1ゲート配線120a及び第2ゲート配線120b間に位置する共通配線140と、第1ゲート配線120a及び第2ゲート配線120b、共通配線140、データ配線130との交差領域で定義する。

【0046】

すなわち、共通配線140を基準に第1ゲート配線120aとデータ配線130間の交差領域は、第1画素領域P1を構成して、第2ゲート配線120bとデータ配線130間の交差領域は、第2画素領域P2を構成する。

20

【0047】

一方、共通配線140と隣接した第1画素電極160a、第2画素電極160bの端側部は、相互に重なる。共通配線140と重なる第1画素電極160a、第2画素電極160bの重畳領域は、図面には示していないが、絶縁体が介された状態で、第1ストレージキャパシターCst1、第2ストレージキャパシターCst2を構成する。第1ストレージキャパシターCst1、第2ストレージキャパシターCst2を構成する共通配線140領域は、第1キャパシター電極に当たり、第1画素電極160a、第2画素電極160b領域は、第2キャパシター電極に当たる。

30

【0048】

本発明は、ストレージコモン方式でストレージキャパシターを構成するにおいて、共通配線が相互に対称的に配置された二つの画素電極間の対称軸の境界部に位置して、i)既存の主要画素領域に共通配線を配置した時より共通配線と画素電極間の電圧の歪曲現象が低下して光漏れ現象が低下する。さらに、一つの共通配線を相互に独立的な二つの画素が共有することによって既存の一つの画素領域で共通配線の両側で現われた光漏れ現象がいずれかの一側に現われるので、光漏れ現象が低下する。

【0049】

ii)共通配線を画素領域間の境界部に配置することによって共通配線の線幅による開口率減少を防げて、共通配線の線幅の制限を緩和して共通電圧を安定的に印加し画質特性が向上する。

40

【0050】

iii)基本的に、共通配線を画素領域間の境界部に配置することによって開口領域の減少を防げる。

【0051】

図8Aないし図8Eは、図6のVIII-VIII線に沿って切断した断面図であって、本発明の一実施例による液晶表示装置用アレイ基板の製造工程によって示した図である。

【0052】

50

図 8 A に示したように、基板 100 上に、第 1 ゲート電極 124 a、第 2 ゲート電極 124 b 及び共通配線 140 を形成する段階である。

【0053】

第 1 画素領域 P1、第 2 画素領域 P2 が定義された基板 100 上に、第 1 ゲート電極 124 a、第 2 ゲート電極 124 b 及び共通配線 140 は、アルミニウム、銅のような低抵抗金属物質またはこのような金属物質を含む二重層の金属物質を利用して形成される。

【0054】

この時、第 1 ゲート電極 124 a、第 2 ゲート電極 124 b は、各々第 1 画素領域 P1、第 2 画素領域 P2 に位置して、共通配線 140 は、第 1 画素領域 P1、第 2 画素領域 P2 間の境界部に位置する。

10

【0055】

図 8 B に示したように、第 1 ゲート電極 124 a、第 2 ゲート電極 124 b、共通配線 140 上にゲート絶縁膜 145 を形成して、ゲート絶縁膜 145 の上部で、第 1 ゲート電極 124 a、第 2 ゲート電極 124 b と対応した位置に、第 1 半導体層 132、第 2 半導体層 134 を各々形成する段階である。

【0056】

ゲート絶縁膜 145 は、シリコン酸化膜 SiO_x 、シリコン窒化膜 SiN_x のような無機絶縁物質から選択される。第 1 半導体層 132、第 2 半導体層 134 を形成する段階は、純粋非晶質シリコン物質を蒸着して、第 1 アクティブ層 132 a、第 2 アクティブ層 134 a を形成する段階と、第 1 アクティブ層 132 a、第 2 アクティブ層 134 a 上に不純物非晶質シリコン物質を蒸着して、第 1 オーミックコンタクト層 132 b、第 2 オーミックコンタクト層 134 b を形成する段階とを含む。

20

【0057】

すなわち、第 1 アクティブ層 132 a 及び第 1 オーミックコンタクト層 132 b は、第 1 半導体層 132 を構成して、第 2 アクティブ層 134 b 及び第 2 オーミックコンタクト層 134 b は、第 2 半導体層 134 を構成する。

【0058】

図 8 C に示したように、第 1 半導体層 132、第 2 半導体層 134 の上部に、第 1 ソース電極 126 a 及び第 1 ドレイン電極 128 a、第 2 ソース電極 126 b 及び第 2 ドレイン電極 128 b を各々形成する段階である。第 1 ソース電極 126 a 及び第 1 ドレイン電極 128 a は、第 1 半導体層 132 の上部で相互に離隔するように位置して、第 2 ソース電極 126 b 及び第 2 ドレイン電極 128 b は、第 2 半導体層 134 の上部で相互に離隔するように位置する。

30

【0059】

第 1 ソース電極 126 a 及び第 1 ドレイン電極 128 a、第 2 ソース電極 126 b 及び第 2 ドレイン電極 128 b は、モリブデン Mo、タングステン W、ニッケル Ni のような導電性金属物質から選択される。

【0060】

この段階では、第 1 ソース電極 126 a 及び第 1 ドレイン電極 128 a の離隔区間に露出された第 1 オーミックコンタクト層 132 b を除去する段階と、第 2 ソース電極 126 b 及び第 2 ドレイン電極 128 b の離隔区間に露出された第 2 オーミックコンタクト層 134 b を除去する段階を経て、露出された第 1 アクティブ層 132 a 領域及び第 2 アクティブ層 134 a 領域を第 1 チャンネル CH1 及び第 2 チャンネル CH2 で定義する段階とを含む。

40

【0061】

第 1 ゲート電極 124 a、第 1 半導体層 132、第 1 ソース電極 126 a 及び第 1 ドレイン電極 128 a は、第 1 薄膜トランジスタ T1 を構成して、第 2 ゲート電極 124 b、第 2 半導体層 134、第 2 ソース電極 126 b 及び第 2 ドレイン電極 128 b は、第 2 薄膜トランジスタ T2 を構成する。

【0062】

50

図 8 D に示したように、第 1 薄膜トランジスタ T 1、第 2 薄膜トランジスタ T 2 上に保護層 1 5 5 を形成する段階と、保護層 1 5 5 に、第 1 ドレイン電極 1 2 8 a、第 2 ドレイン電極 1 2 8 b を露出させる第 1 ドレインコンタクトホール 1 5 7 a、第 2 ドレインコンタクトホール 1 5 7 b を各々形成する段階である。

【 0 0 6 3 】

保護層 1 5 5 を構成する物質は、有機絶縁物質または無機絶縁物質から選択されて、無機絶縁物質としては、シリコン酸化膜 $S i O_x$ またはシリコン窒化膜 $S i N_x$ がある。

【 0 0 6 4 】

図 8 E に示したように、保護層 1 5 5 の上部に、第 1 ドレインコンタクトホール 1 5 7 a を通じて第 1 ドレイン電極 1 2 8 a に連結されて、第 1 画素領域 P 1 に位置する第 1 画素電極 1 6 0 a と、第 2 ドレインコンタクトホール 1 5 7 b を通じて第 2 ドレイン電極 1 2 8 b に連結されて、第 2 画素領域 P 2 に位置する第 2 画素電極 1 6 0 b とを形成する段階である。

【 0 0 6 5 】

第 1 画素電極 1 6 0 a、第 2 画素電極 1 6 0 b を構成する物質は、透明導電性物質から選択されて、例えば、インジウムスズオキサイド I T O 及びインジウムジンクオキサイド I Z O がある。

【 0 0 6 6 】

この段階で、第 1 画素電極 1 6 0 a、第 2 画素電極 1 6 0 b の各々の端側部は、共通配線 1 4 0 と一定間隔重なるように位置して、ゲート絶縁膜 1 4 5 及び保護層 1 5 5 が介された状態で、第 1 ストレージキャパシター C s t 1、第 2 ストレージキャパシター C s t 2 を各々構成することを特徴とする。

【 0 0 6 7 】

すなわち、ストレージキャパシター領域で共通配線 1 4 0 は、第 1 キャパシター電極として、第 1 画素電極 1 6 0 a、第 2 画素電極 1 6 9 b 各々は、第 2 キャパシター電極として各々利用される。

【 0 0 6 8 】

本発明は、前述した実施例に限られるのではなく、本発明の趣旨に反しない限度内で、多様に変更して実施できる。

【 図面の簡単な説明 】

【 0 0 6 9 】

【 図 1 】 従来によるストレージオンコモン方式の液晶表示装置用アレイ基板の概略的な平面図である。

【 図 2 】 図 1 の I I 領域の画素領域の拡大図である。

【 図 3 A 】 従来によるコモン方式の液晶表示装置用アレイ基板を図 2 の I I I - I I I 線に沿って切断して、製造工程順に示した概略的な断面図である。

【 図 3 B 】 図 3 A に続く製造工程を示す断面図である。

【 図 3 C 】 図 3 B に続く製造工程を示す断面図である。

【 図 4 】 図 3 の I V 領域の拡大図である。

【 図 5 】 本発明の一実施例による液晶表示装置用アレイ基板の概略的な平面図である。

【 図 6 】 図 5 の V I 領域の二つの画素領域の拡大図である。

【 図 7 】 図 6 の V I I 領域の拡大図である。

【 図 8 A 】 図 6 の V I I I - V I I I 線に沿って切断した本発明の一実施例による液晶表示装置用アレイ基板の製造工程によって示した断面図である。

【 図 8 B 】 図 8 A に続く製造工程を示す断面図である。

【 図 8 C 】 図 8 B に続く製造工程を示す断面図である。

【 図 8 D 】 図 8 C に続く製造工程を示す断面図である。

【 図 8 E 】 図 8 D に続く製造工程を示す断面図である。

【 符号の説明 】

【 0 0 7 0 】

10

20

30

40

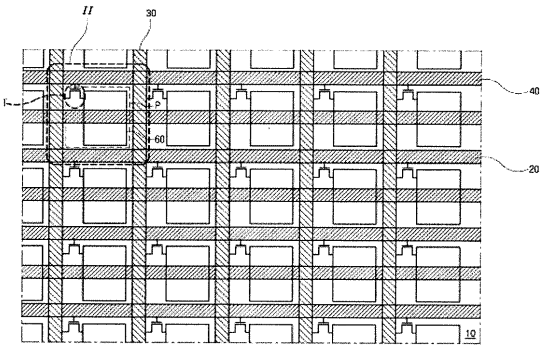
50

- 100 : 基板
- 120a : 第1ゲート配線
- 120b : 第2ゲート配線
- 124a : 第1ゲート電極
- 124b : 第2ゲート電極
- 126a : 第1ソース電極
- 126b : 第2ソース電極
- 128a : 第1ドレイン電極
- 128b : 第2ドレイン電極
- 130 : データ配線
- 132 : 第1半導体層
- 134 : 第2半導体層
- 140 : 共通配線
- 157a : 第1ドレインコンタクトホール
- 157b : 第2ドレインコンタクトホール
- 160a : 第1画素電極
- 160b : 第2画素電極
- Cst1 : 第1ストレージキャパシター
- Cst2 : 第2ストレージキャパシター
- P1 : 第1画素領域
- P2 : 第2画素領域
- T1 : 第1薄膜トランジスタ
- T2 : 第2薄膜トランジスタ

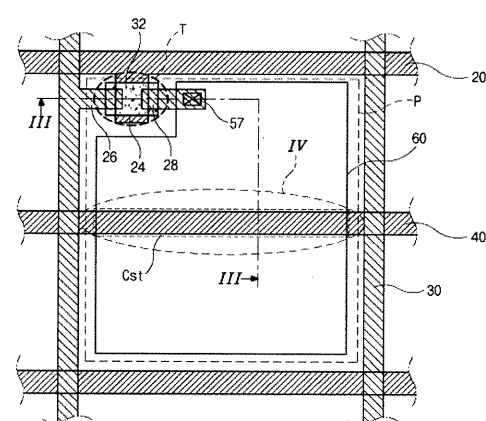
10

20

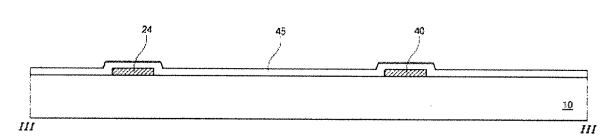
【図1】



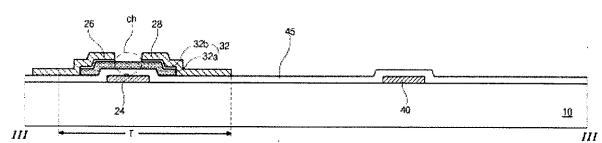
【図2】



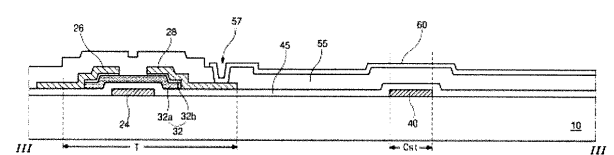
【図3A】



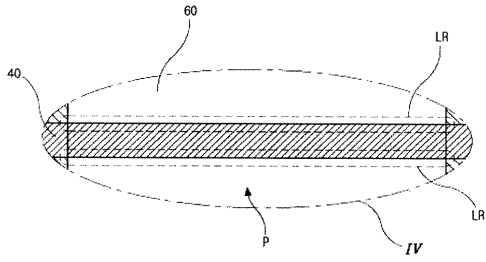
【図3B】



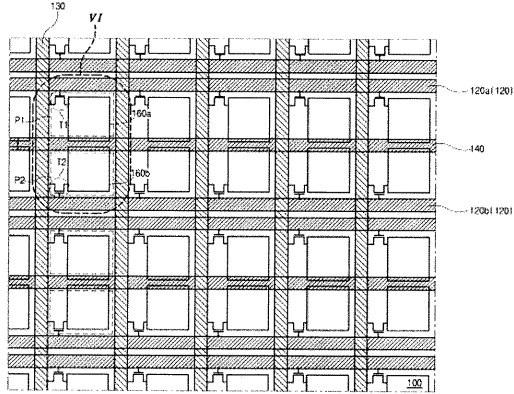
【図3C】



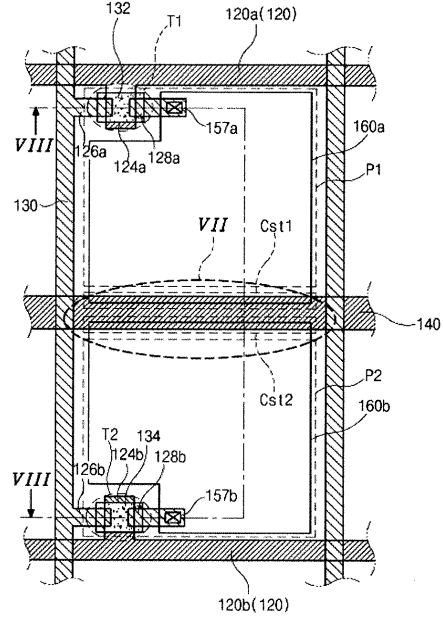
【 図 4 】



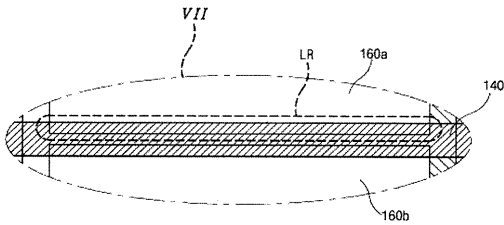
【 図 5 】



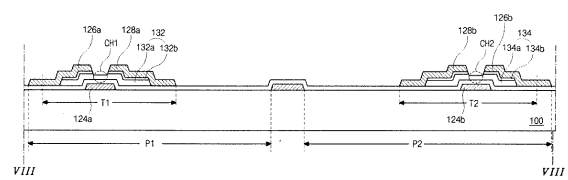
【 図 6 】



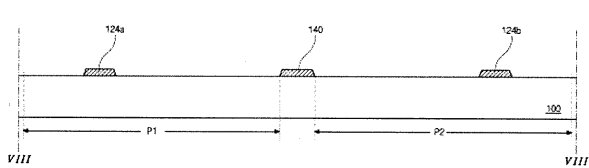
【 図 7 】



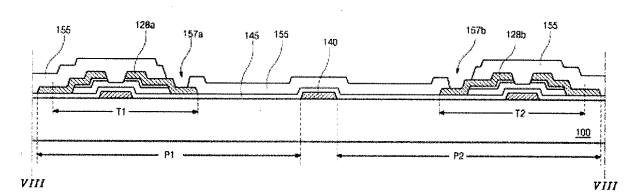
【 図 8 C 】



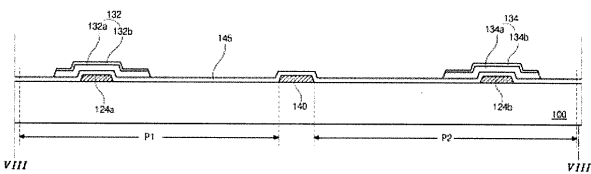
【 図 8 A 】



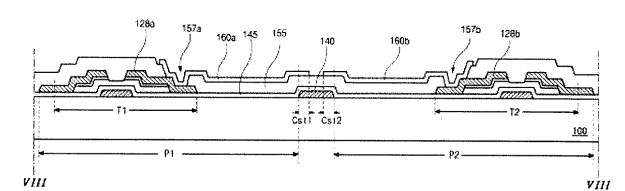
【 図 8 D 】



【 図 8 B 】



【 図 8 E 】



フロントページの続き

(74)代理人 100104352

弁理士 朝日 伸光

(74)代理人 100128657

弁理士 三山 勝巳

(72)発明者 クウォン キヨン

大韓民国 702-220 デグ ブック ククドン ヒョンダエ3チャ アパート 103/1
104

(72)発明者 ワン クワンヘ

大韓民国 702-250 デグ ブック ドンチュンドン チルゴクワソン3チャ 108/1
105

Fターム(参考) 2H092 JA26 JA38 JA40 JA45 JB13 JB23 JB38 JB63 JB69 MA05

MA08 MA14 MA15 MA16 MA18 MA19 MA20 MA35

5C094 AA02 AA06 AA16 BA03 BA43 CA19 CA24 DA13 EA04 EA07

GB10

专利名称(译)	用于液晶显示装置的阵列基板及其制造方法		
公开(公告)号	JP2008009360A	公开(公告)日	2008-01-17
申请号	JP2006335357	申请日	2006-12-13
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji.菲利普斯杜天公司, 有限公司		
[标]发明人	クウォンキョン ワンクワンハ		
发明人	クウォン キョン ワン クワンハ		
IPC分类号	G02F1/1368 G09F9/30		
CPC分类号	G02F1/136286 G02F2001/134345 G02F2201/40		
FI分类号	G02F1/1368 G09F9/30.338		
F-TERM分类号	2H092/JA26 2H092/JA38 2H092/JA40 2H092/JA45 2H092/JB13 2H092/JB23 2H092/JB38 2H092/JB63 2H092/JB69 2H092/MA05 2H092/MA08 2H092/MA14 2H092/MA15 2H092/MA16 2H092/MA18 2H092/MA19 2H092/MA20 2H092/MA35 5C094/AA02 5C094/AA06 5C094/AA16 5C094/BA03 5C094/BA43 5C094/CA19 5C094/CA24 5C094/DA13 5C094/EA04 5C094/EA07 5C094/GB10 2H192/AA24 2H192/BC31 2H192/CB05 2H192/CC24 2H192/DA12		
代理人(译)	白井伸一 朝日 伸光		
优先权	1020060058231 2006-06-27 KR		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种用于液晶显示装置的阵列基板，其中公共线和像素电极之间的电压畸变现象被减少以降低光学泄漏现象并改善对比度特性和公共线宽的限制减轻了线并且稳定地施加公共电压以改善图像质量并增强孔径比及其制造方法。ZOLUTION：用于液晶显示装置的阵列基板包括位于基板上并彼此间隔开的第一和第二栅极线，第一和第二栅极线之间的公共线平行于第一和第二栅极线，数据线交叉第一和第二栅极线，用于相对于公共线限定第一和第二像素区域，第一薄膜晶体管位于第一栅极线和数据线的交叉部分，第二薄膜晶体管位于第一和第二栅极线的交叉部分第二栅极线和数据线，第一像素电极连接第一像素区域中的第一薄膜晶体管，第二像素电极连接第二像素区域中的第二薄膜晶体管，其中第一像素电极和第二像素电极相对于公共线具有对称的形状。与公共线相邻的第一和第二像素电极的相应端侧在公共线上重叠。

Ž

