

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-334275

(P2007-334275A)

(43) 公開日 平成19年12月27日(2007.12.27)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1343 (2006.01)	G02F 1/1343	2H090
G02F 1/1368 (2006.01)	G02F 1/1368	2H092
G02F 1/1337 (2006.01)	G02F 1/1337	

審査請求 未請求 請求項の数 21 書面 (全 31 頁)

(21) 出願番号	特願2006-202563 (P2006-202563)	(71) 出願人	501232056
(22) 出願日	平成18年6月15日 (2006.6.15)		三国電子株式会社
			茨城県猿島郡五霞町原宿台1-5-5
		(72) 発明者	田中 栄
			茨城県水戸市元吉田町1745-33
		(72) 発明者	鯨島 俊之
			東京都小平市上水本町6-5-10-203
		Fターム(参考)	2H090 HA16 HC05 HC14 HD14 KA04
			LA01 MA01 MB01
			2H092 GA13 GA14 JA24 MA13 MA14
			MA16 NA01 NA04 NA27 PA02
			QA06

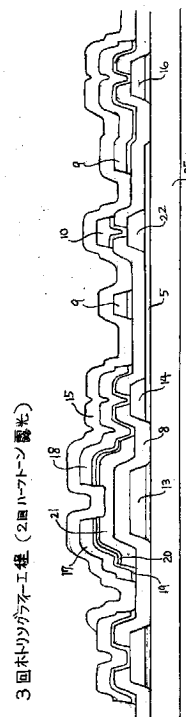
(54) 【発明の名称】 低コスト大画面広視野角高速応答液晶表示装置

(57) 【要約】

【課題】 超大型広視野角超高速応答液晶表示装置を3回のホトリソグラフィ工程で製造する。

【解決手段】 Gate電極と共通電極と画素電極とコンタクトパッドをハーフトーン露光技術を用いて形成した後、a-Si islandとコンタクトホールをハーフトーン露光技術を用いて形成する。ソース電極とドレイン電極と配向制御電極はノーマル露光技術を用いて形成する。パッシベーション層はマスキングデポジッション法を用いてP-CVD法で成膜するか、インクジェット塗布法やスプレー塗布法を用いて保護層を局所領域に塗布することで3回のホトリソグラフィ工程で超大型広視野角超高速応答液晶表示用TFTアレ基板を製造することができる。

【選択図】 図8



【特許請求の範囲】

【請求項 1】

アクティブマトリックス型垂直配向方式液晶表示装置に関して、透明画素電極の上層に、透明画素電極を被覆している絶縁膜をかいして異なる 2 種類の電位に接続されている 2 種類の液晶配向方向制御電極を配置することにより垂直配向された負の誘電率異方性液晶分子のたおれる方向を薄膜トランジスタアレイ基板側だけで完全に制御することにより、薄膜トランジスタアレイ基板に対向する基板には、液晶配向制御用のパンプやスリット電極を設置する必要がないことを特徴とするアクティブマトリックス型垂直配向方式液晶表示装置。

【請求項 2】

アクティブマトリックス型垂直配向方式液晶表示装置に関して、液晶配向方向を制御するための細長いスリットが形成されている透明画素電極の上層に透明画素電極を被覆している絶縁膜をかいして液晶配向方向制御電極を配置することにより、垂直配向された負の誘電率異方性液晶分子のたおれる方向を、薄膜トランジスタアレイ基板に対向する基板には、液晶配向制御用のパンプやスリット電極を設置する必要がなく、薄膜トランジスタアレイ基板側だけで完全に制御することを特徴とするアクティブマトリックス型垂直配向方式液晶表示装置。

【請求項 3】

請求項 1 に関して、透明画素電極の上層に透明画素電極を被覆している絶縁膜をかいして配置されている異なる 2 種類の電位に接続されている異なる 2 種類の液晶配向方向制御電極のうち、一方の液晶配向方向制御電極が薄膜トランジスタアレイ基板の透明画素電極と同じ電位に接続されていることを特徴とするアクティブマトリックス型垂直配向方式液晶表示装置。

【請求項 4】

請求項 1 に関して、透明画素電極の上層に透明画素電極を被覆している絶縁膜をかいして配置されている異なる 2 種類の電位に接続されている 2 種類の液晶配向方向制御電極のうち、一方の液晶配向方向制御電極が、薄膜トランジスタアレイ基板に対向する基板と同じ共通電極電位に接続されていることを特徴とするアクティブマトリックス型垂直配向方式液晶表示装置。

【請求項 5】

請求項 1 に関して、透明画素電極の上層に透明画素電極を被覆している絶縁膜をかいして配置されている異なる 2 種類の電位に接続されている 2 種類の液晶配向方向制御電極のうち一方の液晶配向方向制御電極が、薄膜トランジスタアレイ基板に対向する基板と同じ共通電極電位に接続されており、残った一方の液晶配向方向制御電極が、薄膜トランジスタアレイ基板の画素電極と同じ電位に接続されていることを特徴とするアクティブマトリックス型垂直配向方向方式液晶表示装置。

【請求項 6】

請求項 1 に関して、透明画素電極の上層に透明画素電極を被覆している絶縁膜をかいして配置されている異なる 2 種類の電位に接続されている 2 種類の液晶配向方向制御電極のうち、一方の液晶配向方向制御電極が、薄膜トランジスタアレイ基板に対向する基板と同じ共通電極電位に接続されており、残りの一方の液晶配向方向制御電極が、薄膜トランジスタアレイ基板の画素電極と同じ電位に接続されており、かつ薄膜トランジスタアレイ基板の画素電極と同じ電位に接続されている配向方向制御電極の方が、他の一方の共通電極電位に接続されている配向方向制御電極よりも薄膜トランジスタアレイ基板に対向している基板に近接していることを特徴とするアクティブマトリックス型垂直配向方向方式液晶表示装置。

【請求項 7】

請求項 1 に関して、透明画素電極の上層に透明画素電極を被覆している絶縁膜をかいして配置されている異なる 2 種類の電位に接続されている 2 種類の液晶配向方向制御電極のうち、一方の液晶配向方向制御電極が、薄膜トランジスタアレイ基板に対向する基板と同じ

10

20

30

40

50

共通電極電位に接続されており、残りの一方の液晶配向方向制御電極が、薄膜トランジスタアレイ基板の画素電極と同じ電位に接続されており、かつ、透明画素電極と映像信号線と、上記の異なる２種類の配向方向制御電極が画素電極の中央部付近で９０度に１回以上屈曲しており、走査線に対して±４５度の方向にそれぞれ並行に配列されていることを特徴とするアクティブマトリックス型垂直配向方式液晶表示装置。

【請求項８】

請求項２に関して、液晶配向方向を制御するための細長いスリットが形成されている透明画素電極の上層に、透明画素電極を被覆している絶縁膜をかいして配置されている液晶配向方向制御電極が、薄膜トランジスタアレイ基板の画素電極と同じ電位に接続されていることを特徴とするアクティブマトリックス型垂直配向方式液晶表示装置。

10

【請求項９】

請求項２に関して、液晶配向方向を制御するための細長いスリットが形成されている透明画素電極の上層に、透明画素電極を被覆している絶縁膜をかいして配置されている液晶配向方向制御電極が、薄膜トランジスタアレイ基板の画素電極と同じ電位に接続されており、かつ、映像信号線と、透明画素電極と、透明画素電極内部に形成されている液晶配向方向を制御するための細長いスリットと、上記液晶配向方向制御電極が、画素電極の中央部付近で９０度に屈曲しており、走査線に対して±４５度の方向にそれぞれ並行に配列されていることを特徴とするアクティブマトリックス型垂直配向方式液晶表示装置。

【請求項１０】

請求項１に関して、透明画素電極を被覆している絶縁膜の上層に、異なる２種類の電位に接続されている２種類の液晶配向方向制御電極が配置されており、これら２種類の配向方向制御電極が、同層に同時に同じ電極材料で形成されていることを特徴とするアクティブマトリックス型垂直配向方式液晶表示装置。

20

【請求項１１】

請求項１に関して、透明画素電極を被覆している絶縁膜の上層に、異なる２種類の電位に接続されている２種類の液晶配向方向制御電極が配置されており、これら２種類の配向方向制御電極が、同層に同時に同じ電極材料で形成されており、かつ一方の液晶配向方向制御電極が薄膜トランジスタアレイ基板の透明画素電極と同じ電位に接続されており、この液晶配向方向制御電極の方が他方の異なる電位に接続されている液晶配向方向制御電極よりも、薄膜トランジスタアレイ基板に対向する基板に近接していることを特徴とするアクティブマトリックス型垂直配向方式液晶表示装置。

30

【請求項１２】

請求項１に関して、透明画素電極を被覆している絶縁膜の上層に、異なる２種類の電位に接続されている２種類の液晶配向方向制御電極が配置されており、これらの２種類の液晶配向方向制御電極がそれぞれ異なる層に別々に配置されていることを特徴とするアクティブマトリックス型垂直配向方式液晶表示装置。

【請求項１３】

請求項１に関して、透明画素電極を被覆している絶縁膜の上層に異なる２種類の電位に接続されている２種類の液晶配向方向制御電極が配置されており、これら２種類の液晶配向方向制御電極がそれぞれ異なる層に別々に配置されており、かつ一方の液晶配向方向制御電極が、薄膜トランジスタアレイ基板の透明画素電極と同じ電位に接続されており、この液晶配向方向制御電極の方が他方の異なる電位に接続されている液晶配向方向制御電極よりも、薄膜トランジスタアレイ基板に対向する基板に近接していることを特徴とするアクティブマトリックス型垂直配向方式液晶表示装置。

40

【請求項１４】

アクティブマトリックス表示装置を構成しているアクティブマトリックス基板の製造方法に関して、下記の３回のホトリソグラフィ工程を用いて製造することを特徴とするＭＶＡモード用アクティブマトリックス基板の製造方法。

１）Gate電極，画素電極，共通電極，画素電極内コンタクトパッドの形成・・・（第１回めのハーフトーン露光法を用いたホトリソグラフィ工程．）

50

2) 薄膜半導体層素子分離, コンタクトホール形成... (第2回めのハーフトーン露光法を用いたホトリソグラフィ工程)

3) Source電極, Drain電極, 配向方向制御電極形成... (通常のノーマル露光法を用いたホトリソグラフィ工程)

薄膜トランジスタのチャンネル部のオーミックコンタクト層をドライエッチング後に、シリコン窒化膜パッシベーション層をマスクデポジッション法を用いて、局所成膜する。(Gate電極端子部, Source電極端子部, 共通電極端子部には成膜しない。)

【請求項15】

アクティブマトリクス表示装置を構成しているアクティブマトリクス基板の製造方法に関して、下記の3回のホトリソグラフィ工程を用いて製造することを特徴とするMVAモード用アクティブマトリクス基板の製造方法。 10

1) Gate電極, 画素電極, 画素電極内コンタクトパッド形成... (第1回めのハーフトーン露光法を用いたホトリソグラフィ工程)

2) 薄膜半導体層素子分離, コンタクトホール形成... (第2回めのハーフトーン露光法を用いたホトリソグラフィ工程)

3) Source電極, Drain電極, 配向方向制御用電極, 共通電極形成... (通常のノーマル露光法を用いたホトリソグラフィ工程)

薄膜トランジスタのチャンネル部のオーミックコンタクト層をドライエッチング後にシリコン窒化膜パッシベーション層をマスクデポジッション法を用いて局所成膜する。(Gate電極端子部, Source電極端子部, 共通電極端子部には成膜しない。) 20

【請求項16】

請求項14, または請求項15の製造方法を用いて作られたMVAモード用アクティブマトリクス型液晶表示装置

【請求項17】

請求項15の製造方法を用いて作られたMVAモード用アクティブマトリクス型液晶表示装置に関して、1つの基本単位画素が約2:1の面積になるように縦方向に映像信号線(Source電極)によって2つに分割されており、2つに分割された画素電極はそれぞれ別々の薄膜トランジスタ素子に連結されており、2つの薄膜トランジスタ素子のSource電極は、画素を2分割している映像信号線に連結されている。上記2つの別々の薄膜トランジスタ素子は同一の走査線(Gate電極)によって、スイッチング制御されている。上記2分割された画素電極は、それぞれ別々に、映像信号配線と平行に配列されている異なる共通電極と絶縁膜をかいしてコンデンサーを形成していて、かつ上記映像信号配線と平行に配列されている奇数番列と偶数番列の共通電極には、水平走査周期(H周期)で互いに極性が反転しあう異なる極性の信号電圧が印加されており、映像信号線によって2分割された画素電極のうち、面積の小さな画素電極の液晶分子の方に、面積の大きな画素電極の液晶分子よりも大きな実効電圧信号が印加されることを特徴とするMVAモード用アクティブマトリクス型液晶表示装置。 30

【請求項18】

アクティブマトリクス表示装置を構成しているアクティブマトリクス基板の製造方法に関して、下記の3回のホトリソグラフィ工程を用いて製造することを特徴とするIPSモード用アクティブマトリクス基板の製造方法。 40

1) Gate電極, 櫛歯状画素電極, 映像信号線(Source電極)シールド用共通電極, 画素電極内コンタクトパッド, 映像信号線シールド用共通電極内コンタクトパッド形成... (第1回めのハーフトーン露光法を用いたホトリソグラフィ工程)

2) 薄膜半導体層素子分離, コンタクトホール形成... (第2回めのハーフトーン露光法を用いたホトリソグラフィ工程)

3) Source電極(映像信号線), Drain電極, 画素中央共通電極, 櫛歯状共通電極形成... (第3回めのハーフトーン露光法を用いたホトリソグラフィ工程)

薄膜トランジスタのチャンネル部のオーミックコンタクト層をドライエッチング後にシリコン窒化膜パッシベーション層をマスクデポジッション法を用いて、局所成膜する。(Ga 50

t e 電極端子部，S o u r c e 電極端子部，共通電極端子部には成膜しない。）

【請求項 19】

アクティブマトリックス表示装置を構成しているアクティブマトリックス基板の製造方法に関して、下記の 3 回のホトリソグラフィ工程を用いて製造することを特徴とする F F S モード用アクティブマトリックス基板の製造方法。

1) G a t e 電極，画素電極，画素電極内コンタクトパッドの形成 (第 1 回めのハーフトーン露光法を用いたホトリソグラフィ工程)

2) 薄膜半導体層素子分離，コンタクトホール形成 (第 2 回めのハーフトーン露光法を用いたホトリソグラフィ工程)

3) S o u r c e 電極 (映像信号線)，D r a i n 電極，画素中央共通電極，櫛歯状共通電極の形成 (第 3 回めのハーフトーン露光法を用いたホトリソグラフィ工程) 10

薄膜トランジスタのチャネル部のオーミックコンタクト層をドライエッチング後に、シリコン窒化膜パッシベーション層をマスクデポジッション法を用いて局所成膜する。(G a t e 電極端子部，S o u r c e 電極端子部，共通電極端子部には成膜しない。)

【請求項 20】

請求項 18，または請求項 19 の製造方法を用いて作られた横電界方式アクティブマトリックス型液晶表示装置

【請求項 21】

請求項 19 の製造方法を用いて作られた F F S モード用アクティブマトリックス型液晶装置に関して、1 つの画素の中央部付近に画素電極の上層に絶縁膜をかいして映像信号配線と平行に 1 本の共通電極が配置されており、奇数番列と偶数番列の前記共通電極には、水平走査期間 (H 周期) で互いに極性が反転しあう異なる極性の信号電圧が印加されており、それらの極性は水平走査期間 (H 周期) で極性が反転する映像信号線と異なる極性の信号であり、かつ画面の映像信号線は表示画面の中央部で上下に分断されており、上下の映像信号線の信号の極性は同じ極性であり、画素の中央部に配置されている共通電極は表示画面の上から下まで 1 本で連結されていることを特徴とする F F S モード用アクティブマトリックス型液晶表示装置。 20

【発明の詳細な説明】

【技術分野】

【0001】

本発明はハーフトーン露光法を用いて作られた大画面広視野角液晶表示装置に関するものである。 30

【背景技術】

【0002】

M V A モード垂直配向方式液晶表示装置において液晶分子の配向方向を制御する機構として、配向方向制御電極が特開平 07 - 230097 と特開平 11 - 109393 と特開 2001 - 042347 が開示されている。

【発明の開示】

【発明が解決しようとする課題】

【0003】

従来の配向方向制御電極を用いた液晶パネルの構造は小さな画素に対応したものであり配向方向制御電極は 1 種類しか用いておらず、画素電極のフリンジフィールド効果を用いているため画素が大きくなってきた時には、利用することができないものであった。 40

【0004】

現在主流になっている M V A モード用垂直配向方式液晶表示装置では、C F 基板側に配向方向制御用のバンプや、スリット電極が用いられているが、この方式ならば画素が大きくなってでも対応することができるが、C F 基板のコストが高くなり、低価格の大画面液晶 T V を作る障害になっている。

【0005】

本発明の目的は、T F T アクティブマトリックス型液晶表示装置の製造において T F T ア 50

クティブマトリックス基板とカラーフィルター基板のフォトリソグラフィ工程の回数を低減し、製造工程を短縮化することで製造コストを低減し、かつ歩留りを向上させることである。

【課題を解決するための手段】

【0006】

本発明は上記課題を解決するために下記的手段を用いる。

〔手段1〕

ディスクリネーションラインが不安定になって動きまわらないように、2種類の配向方向制御電極を絶縁膜をかいして画素電極の上層に配置し、画素電極と対向する共通電極との間に、上記2種類の異なる配向方向制御電極によって負の誘電率異方性液晶分子のたおれる方向を精密に制御できるようにした。

10

【0007】

〔手段2〕1種類の配向方向制御電極を、絶縁膜をかいして画素電極の上層に配置し、画素電極には細長いスリットを形成し、これら2つの配向方向制御機構を利用して負の誘電率異方性液晶分子のたおれる方向を精密に制御できるようにした。

【0008】

〔手段3〕手段1，手段2で用いている配向方向制御電極のうち画素電極に連結されているものをできるだけ対向基板側に近接するようにした。

【0009】

〔手段4〕手段1，手段2で用いられている配向方向制御機構を画素の中央付近で90度に屈曲させることで理想的な4ドメイン配向を実現できるようにした。

20

【0010】

〔手段5〕TFTアレイ基板の製造プロセスにハーフトーン露光法を導入することで、ホトリソグラフィ工程の回数を低減するようにした。

【0011】

〔手段6〕基本単位画素を2つのSub pixelに分割し、共通電極を映像信号線に並列に配置し奇数番列と偶数番列の共通電極に異なる極性の信号を走査期間ごとに切り換えることで2つのSub pixelの液晶分子に印加される実効電圧に差が生じるようにした。

【発明の効果】

30

【0012】

手段1，手段2を用いることで薄膜トランジスタアレイ基板側に、すべての配向方向制御機能を持たせることができるようになるので、CF基板側に配向方向制御用のパンプやスリットを形成する必要がなくなり、安価なCF基板でMVAモード液晶パネルを製造できるようになり、コストダウンと歩留りを向上させることが可能となる。

【0013】

手段3を用いることで画素電極に接続された配向方向制御電極が対向基板に近接することで垂直配向されている負の誘電率異方性液晶分子に作用する電界の回転モーメントを大きくすることができるので高速応答を実現できる。

【0014】

40

手段4を用いることで、不要なディスクリネーションラインの発生を減少させることができ、画面全体の光の透過率を向上でき、かつムラ発生の少ない液晶パネルを実現できる。

【0015】

手段1，手段2，手段5を用いることで、CF基板側のプロセスコストだけでなく薄膜トランジスタアレイ基板のプロセスコストも低減することが可能となりMVAモード液晶パネルの製造コストを大幅に低減することが可能となる。生産効率も向上し歩留りも大幅に向上する。

【0016】

手段5，手段6を用いることで非常に単純なプロセスで液晶配向制御機構を作り出すことができ、非常に簡単な回路でガンマカーブ補正を実現できるようになるため、MVAモ

50

ード液晶表示装置の表示品質向上をわずかなコストで実現することができる。

【発明を実施するための最良の形態】

【0017】

図1, 図2が現在主流になっているMVAモード液晶大型TVパネルの断面原理図である。上下の基板の両方に垂直配向された負の誘電率異方性液晶分子の動作方向を制御するための機構が設置されている。この方式の液晶パネルではディスクリネーションラインは、しっかりと固定されており動きまわることがないので、表示ムラの発生がほとんどないために、表示品位の高い液晶パネルを歩留り良く生産することができる。

しかし図1, 図2の構造では、TFT基板に対向するCF基板側に、液晶配向方向制御用スリットか、または液晶配向方向制御用バンプを形成しなければならずCF基板の生産コストは、TNモード用CF基板にくらべてコストの高いものになっていた。CF基板のコストをさげるためには、液晶配向方向制御機能をすべてTFT基板側に設置することができれば良い。

【0018】

対向CF基板側に配向方向制御機能を持たせない例として図75, 図76, 図77, 図78, 図79, 図80, 図81などが、すでに特許として公開されているが、これらのどれもが大型基板用としては用いることができない。これらの従来技術は画素が小さい場合にしか利用することができない。画素電極のフリンジフィールド効果を利用しているために、液晶TV用の大きな画素電極には適用することができない。

【0019】

本発明では、図3, 図4にあるような2つの基本構造でTFT基板側にすべての液晶配向方向制御機能を持たせることに成功している。図3では、TFT基板側に2種類の異なる液晶配向方向制御電極を画素電極と対向基板の共通電極との間に設置することで図5もあるような等電位分布を作り出すことに成功している。図4では、TFT基板側の画素電極に配向方向制御用スリットと、画素電極と対向基板の共通電極との間に1種類の配向方向制御電極を配置することで図6にあるような等電位分布を作り出すことに成功している。図6の変形タイプとして図7のような構造でも類似の等電位分布を作り出すことができる。

【0020】

図5, 図6, 図7を見れば理解できるように、画素電極の上層に設置された画素電極に連結されている液晶配向方向制御電極が対向するCF基板の共通電極に近ければ近いほど、TFT基板の画素電極の上層に絶縁膜をかいして形成されているもうひとつの異なる種類の液晶配向方向制御電極が画素電極と作りだす等電位分布図と類似していくことになる。画素電極に連結されていない液晶配向方向制御電極は、対向基板の共通電極と同じ電位に接続されているからである。

【0021】

液晶Cell Gapが5 μ m以上も大きい場合には、本発明が採用した液晶配向方向制御電極をTFT基板の画素電極に連結するという構造はほとんど効果がないが、液晶Cell Gapが3 μ m以下になると、効果が大きくなり、2.5 μ m以下の場合には、液晶分子の配向方向を制御するのに十分な等電位分布図を作り出すことができる。

【実施例1】

【0022】

図24, 図26は、本発明の実施例1のTFT基板の平面図である。画素電極の上層に2種類の異なる配向方向制御電極が形成されており、画素の中央部に配置されている配向方向制御電極はGate電極と並行に配置されている共通電極に接続されている。この配向方向制御とは異なる別の種類の配向方向制御電極は、画素電極の内部に設置されているコンタクトパッドを通じて画素電極に接続されている。図57, 図59が、実施例1の画素の断面である。できるだけ対向基板の共通電極に近接させるために、画素電極に接続されている配向方向制御電極の高さを高くするための工夫がなされている。

【0023】

10

20

30

40

50

図 2 4 , 図 2 6 の T F T 部分の断面図が図 8 , 図 9 , 図 1 1 , 図 2 0 である。本発明の場合画素電極の上層に液晶配向方向制御電極を形成するために画素電極はできるだけ下層にしなければならない。このために最初のホトリソグラフィ工程で画素電極を形成してしまう点に特徴がある。図 8 2 にある 3 回ホトリソグラフィ工程が図 8 では用いられている。本発明ではプロセスをできるだけ短縮するためにハーフトーン露光法を採用している。

図 6 7 や図 6 8 にあるような露光法を用いて現像後にポジレジストの厚みが 2 種類以上発生させる点に特徴がある。

図 8 2 にある 3 回ホトリソグラフィ工程の最初のホトリソグラフィ工程では、G a t e 電極、画素電極、共通電極、画素電極内コンタクトパッドが形成される。この最初の工程では図 6 1 と図 6 2 の 2 通りのプロセスが存在する。画素電極を形成する場合にはどちらの工程を選んでも問題は発生しない。工程の短かい図 6 1 を選択する方が良い。しかし図 9 にあるように配向方向制御電極の厚みを薄くする場合に第 3 回めのホトリソグラフィ工程でハーフトーン露光法を用いる場合には、図 6 2 の工程を選択した方が良い。

本発明では走査線 (G a t e 電極) にアルミニウム合金を用いることが多いために画素電極に I T O を用いることができない。局部電池反応が生じてしまい異常エッチングや I T O が黒化したりするトラブルが多発するからである。このため画素電極には、窒化チタンや窒化ジルコニウムなどの薄膜窒化物系透明電極が用いられる。

この場合コンタクトホールをドライエッチング法でおこなうために窒化物系透明画素電極とゲート絶縁膜の P - S i N x とでは、大きな選択比が得られないために、従来例として図 7 2 , 図 7 3 , 図 7 4 でのプロセスを採用することはできない。この問題を解決するために、本発明では、A l 合金系のコンタクトパッドを形成することで上記の問題を解決している。

【 0 0 2 4 】

第 2 回のホトリソグラフィ工程では薄膜半導体素子分離とコンタクトホールの形成をおこなっている。この工程が図 6 3 に説明されている。この工程でもハーフトーン露光法を採用しているので 1 回の工程で、2 つの作業をおこなうことが可能である。図 1 1 , 図 2 6 では、図 8 2 にあるようなハーフトーン露光工程とは異なる別のハーフトーン露光工程が採用されている。図 6 5 に記載してあるハーフトーン露光法を用いて薄膜半導体素子分離と S o u r c e 電極と D r a i n 電極の同時形成をおこなっている。図 6 5 のハーフトーン露光工程は従来おこなわれてきた図 7 1 にあるハーフトーン露光工程とは非常に類似しているが、図 6 5 のハーフトーン露光工程の方が問題発生が少ない。図 7 1 の従来法では、ポジレジストの薄い領域を酸素プラズマ法で除去する時に薄膜半導体層の側壁が酸化されてしまい薄膜トランジスタ素子のチャネル部のオーミックコンタクト層 ($n^+ a^- S i$ 層) を除去する時に均一に除去できなくなる問題が多発しやすかった。図 6 5 の場合には、ポジレジストの薄い領域を酸素プラズマ法で除去する時に、薄膜半導体層は完全にバリアーメタル層で保護されているために側壁酸化の問題はまったく発生しない。

【 0 0 2 5 】

図 8 2 の第 3 番めのホトリソグラフィ工程では、通常露光法を用いて、S o u r c e 電極、D r a i n 電極、配向方向制御電極が形成される。図 8 がその例である。図 9 では第 3 番めのホトリソグラフィ工程でも図 6 4 で行なわれているようなハーフトーン露光法を用いたホトリソグラフィ工程が採用されている。

第 3 番めのホトリソグラフィで図 8 , 図 9 , 図 2 0 では、画素電極の上層に絶縁膜をかいして異なる 2 種類の配向方向制御電極を形成することができる。図 1 1 では第 4 番めのホトリソグラフィで異なる 2 種類の配向方向制御電極を形成することができる。これによって初めて図 3 , 図 5 にあるような垂直配向されている負の誘電率異方性液晶分子のたおれる方向を精確に制御することができるようになる。

【 0 0 2 6 】

図 8 , 図 9 , 図 2 0 では、パッシベーション膜は、P - C V D 法を用いた P - S i N x 膜が局所的に成膜されている。インクジェット法やオフセット印刷法を用いて、B C B など

の有機化合物のパッシベーション膜を塗布しても良い。図 11 ではパッシベーション膜の上に異なる 2 種類の配向方向制御電極が形成されているために、対向基板の共通電極とショートしやすいという欠点がある。

【実施例 2】

【0027】

図 25, 図 27 は、本発明の実施例 2 の TFT 基板の平面図である。画素電極には配向方向制御用スリットが形成されていて、画素電極の上層には絶縁膜をかいして画素電極に接続されている液晶配向方向制御用電極が設置されている。図 58, 図 60 が実施例 2 の画素の断面図である。実施例 1 と同様に画素電極と接続された配向方向制御電極を対向電極に近づけるために、配向制御電極の下層にいろいろな電極や半導体層をしきつめている点に特徴がある。 10

【0028】

実施例 1, 実施例 2 とともに本発明では TFT 基板側にすべての配向方向制御機能を持たせているために従来方式の図 1 や図 2 とくらべて本発明の図 3, 図 4 は、配向方向制御電極と、同時に同層に形成される映像信号線とショートしやすいという問題が本質的に存在するため、この問題を最小化するための画素構造が図 24, 図 25, 図 26, 図 27 にあるように画素中央部付近で 90 度に屈曲している構造が採用されている。この構造であれば映像信号線と配向方向制御電極とは、平行に配列され等間隔の距離をたもてるためにショートの確率は低くおさえこむことが可能である。

【0029】

図 25, 図 27 の TFT 部分の断面図が、図 10, 図 12, 図 21 である。基本原理説明図の図 5, 図 6 を見てわかるように実施例 2 では、配向方向制御用スリットを採用しているため液晶分子のたおれる方向は正確に決定できても電界強度を実施例 1 のように大きくすることができないために、応答速度の点で実施例 1 よりも劣っている。動画表示用途としては実施例 1 を採用して液晶パネルを製造した方が良い。しかし、実施例 1 は、図 24, 図 26 の平面図を見てわかるように、同層に多くの金属配線が高密度で配置されているために、ショートが多発するという欠点が存在する。この問題以外に、実施例 1, 2 では、画素電極に印加した電圧が 100% 液晶層に印加されないので従来の図 1, 図 2 よりも駆動電圧が高くなってしまいうという欠点も存在する。しかしカラーフィルター基板は、TN モードと同じコストの安い CF 基板を利用できるので、コスト競争力を up させることができる。特にカラーフィルター基板を用いないフィールドシーケンシャル駆動方式の液晶パネルでは、従来の図 1, 図 2 の場合には、上下の基板のアライメントをあわせなければならないが、本発明の図 3, 図 4 の場合には、対向基板にはなにも加工する必要がないので、透明電極が成膜されているただの基板だけで良いのでアライメント調整を原理的におこなう必要がない。 20 30

【実施例 3】

【0030】

図 28, 図 29, 図 30, 図 31 は、本発明の実施例 3 の TFT 基板の平面図である。これらの TFT 基板の回路モデル図が図 32 である。

基本単位画素が映像信号線によって 2 つの Sub Pixel (A) と Sub Pixel (B) とに分割されている。Sub Pixel (A) と Sub Pixel (B) の画素電極の面積比は約 1 : 2 である。図 34 が実施例 3 の液晶パネルの駆動信号波形である。同じ映像信号線からデータをもってもそれぞれの画素電極が異なる共通電極と容量結合しているため、異なる共通電極に水平周期 (H 周期) で極性が反転している信号波形を位相を図 34 にあるように変えて印加することで Sub Pixel (A) の方の実効電圧が Sub Pixel (B) の実効電圧よりも大きくすることができる。 40

この信号波形で駆動した場合の液晶パネルの透過光量特性図が図 33 である。Sub Pixel (A) と Sub Pixel (B) の液晶の Threshold 電圧を変化させることができる。これによりガンマ特性を補正することが可能である。

【0031】

図 28, 図 29, 図 30, 図 31 の T F T 基板を製作するためのプロセス説明図が図 83 である。実施例 1, 実施例 2 では、図 82 にあるように共通電極を第 1 回めのホトリソグラフィ工程で作っていたが、実施例 3 では、共通電極を図 32 にあるように映像信号線と並行に配置する必要があるため図 83 にあるように共通電極は、第 3 番目のホトリソグラフィ工程で作られている。

【0032】

図 35 は、超高精細超大型液晶パネルを作る場合の T F T 基板の回路モデル図である。図 36, 図 37, 図 38, 図 39 が図 35 の T F T 基板の駆動方法に関する説明図である。図 36, 図 37, 図 38, 図 39 とともに、フィールドシーケンシャル駆動方式に関するものである。

10

表示画面が上下に 2 分割されているので映像信号線も上下に 2 分割されており同じ極性の映像信号が印加される。

共通電極は上下に 2 分割されておらず上から下まで 1 本につながっている。上下の画面のブロックわかれ現象が発生しないように、映像信号の書きこみが画面の中央から上下にむかっておこなわれているのが、図 36 と図 38 であり、画面の上下から中央にむかって映像信号の書きこみがおこなわれているのが、図 37, 図 39 である。表示画面を上下に 2 分割しているために、水平走査期間は 2 倍の 2 H に長くなっている。図 36, 図 37 は、水平走査期間を 2 つに分割して異なる映像信号を異なる 2 つの画素に書きこむ 2 マルチプレックス方式を採用している。図 38, 図 39 は、水平走査期間を 3 つに分割して異なる映像信号を異なる 3 つの画素に書きこむ 3 マルチプレックス方式を採用している。

20

【実施例 4】

【0033】

図 53 は、本発明の実施例 4 の I P S モードの T F T 基板の平面図である。図 45 が断面図である。図 84 が実施例 4 の I P S モードの T F T 基板を製作する時のプロセス説明図である。3 回のホトリソグラフィ工程でハーフトーン露光法を 3 回用いている。図 53 の T F T 基板の回路モデル図が図 46 である。画素の中央部に共通電極が映像信号に並行して配列されている。図 56 は、超高精細超大型液晶パネルを作る場合の T F T 基板の回路モデル図である。

図 55 が図 56 の T F T 基板の駆動波形図である。偶数番列と奇数番列の共通電極には極性の異なる信号波形が印加されており、偶数番列と奇数番列の映像信号波形は互いに異なる極性の信号波形が印加され、それぞれの映像信号線に対応する共通電極とは逆の極性の信号が印加されている。

30

液晶モードは異なっても共通電極と、映像信号線の回路モデル図は、図 35 のものとまったく同じものである。図 56 の I P S モードの T F T 基板も実施例 3 と同様なフィールドシーケンシャル駆動方式をおこなうことが可能である。図 56 も図 35 と同様に表示画面が上下に 2 分割されているので映像信号線も上下に 2 分割されており同じ極性の映像信号が印加される。

共通電極は上下に 2 分割されておらず上から下まで 1 本につながっている。上下の画面のブロックわかれ現象が発生しないように映像信号の書きこみが画面の中央から上下にむかっておこなわれるか、または、その逆に画面の上下から中央にむかって映像信号の書きこみがおこなわれる。走査線の駆動方式も実施例 3 の場合とまったく同じである。

40

【実施例 5】

【0034】

図 54 は、本発明の実施例 5 の F F S モードの T F T 基板の平面図である。図 44 が画素の断面図である。図 47 が薄膜トランジスタ部分の断面図である。図 85 が実施例 5 の F F S モードの T F T 基板を製作する時のプロセス説明図である。3 回のホトリソグラフィ工程で、3 回ともにハーフトーン露光法を用いている。実施例 4, 実施例 5 とともにハーフトーン露光法を 3 回使用しなければならないのは、図 66 にあるように横電界方式パネルの場合には、垂直配向モードの液晶パネルと異なり配向処理工程（ラビング処理）が必要なためである。配向不良領域を発生させないためには、T F T 基板の凹凸をできるだけ

50

少なくしなければならない。しかし図 5 3 , 図 5 4 の平面図にもあるように、画面の中央部に配列されている共通電極は抵抗を低げるために電極の厚みを厚くしなければならない。

IPS モードや FFS モードでは、図 6 6 にある配向不良領域が必ず発生するために黒レベル表示時の黒が完全に表現できないという欠点が存在している。この配向不良領域を可能なかぎり少なくするために、ハーフトーン露光法が 3 回必要になってくるのである。

【 0 0 3 5 】

図 8 5 のプロセス説明図の第 1 回のハーフトーン露光法を用いた工程説明図が図 6 1 または図 6 2 である。どちらを選択しても良い。第 2 回めのハーフトーン露光法の工程説明図が図 6 3 である。

10

第 3 回めのハーフトーン露光法の工程説明図が図 6 4 である。

図 6 5 は、4 回ホトリソグラフィー工程で FFS モードの TFT 基板を作るときの工程説明図である。ハーフトーン露光法は 2 回用いられている。

【 0 0 3 6 】

図 5 4 の FFS モードの TFT 基板でも図 5 3 の IPS モードの TFT 基板と同様の駆動法を用いることができる。図 5 6 の TFT 基板全体の回路モデル図は FFS モードの図 5 4 にも適用することができる。

図 5 5 の駆動法を用いれば駆動電圧の高い FFS モードも簡単に駆動することができる。FFS モードは、強電界を発生することができるので液晶分子の応答速度は IPS モードよりも小さくすることができる。そのためにフィールドシーケンシャル駆動方式に適していると言える。特に図 5 5 と図 5 6 を組み合わせた液晶パネルは大きな電圧を印加できるので高速動作に適した駆動方法と考えられる。

20

図 3 6 , 図 3 7 , 図 3 8 , 図 3 9 の上下画面分割したフィールドシーケンシャル駆動方式と最も相性があっている。

【図面の簡単な説明】

【 0 0 3 7 】

【図 1】従来の MVA 液晶モードパネルの断面図

【図 2】従来の MVA 液晶モードパネルの断面図

【図 3】本発明の MVA 液晶モードパネルの断面図

【図 4】本発明の MVA 液晶モードパネルの断面図

30

【図 5】本発明の MVA 液晶モードパネルの原理説明図

【図 6】本発明の MVA 液晶モードパネルの原理説明図

【図 7】本発明の MVA 液晶モードパネルの原理説明図

【図 8】本発明の MVA 液晶パネル用 TFT アレイ基板の完成断面図

【図 9】本発明の MVA 液晶パネル用 TFT アレイ基板の完成断面図

【図 10】本発明の MVA 液晶パネル用 TFT アレイ基板の完成断面図

【図 11】本発明の MVA 液晶パネル用 TFT アレイ基板の完成断面図

【図 12】本発明の MVA 液晶パネル用 TFT アレイ基板の完成断面図

【図 13】本発明の MVA 液晶パネル用 TFT アレイ基板の完成断面図

【図 14】本発明の MVA 液晶パネル用 TFT アレイ基板の完成断面図

40

【図 15】本発明の MVA 液晶パネル用 TFT アレイ基板の完成断面図

【図 16】本発明の MVA 液晶パネル用 TFT アレイ基板の完成断面図

【図 17】本発明の MVA 液晶パネル用 TFT アレイ基板の完成断面図

【図 18】本発明の MVA 液晶パネル用 TFT アレイ基板の完成断面図

【図 19】本発明の MVA 液晶パネル用 TFT アレイ基板の完成断面図

【図 20】本発明の MVA 液晶パネル用 TFT アレイ基板の完成断面図

【図 21】本発明の MVA 液晶パネル用 TFT アレイ基板の完成断面図

【図 22】本発明の MVA 液晶パネル用 TFT アレイ基板の完成断面図

【図 23】本発明の MVA 液晶パネル用 TFT アレイ基板の完成断面図。

【図 24】本発明の MVA 液晶パネル用 TFT アレイ基板の平面図

50

- 【図 2 5】本発明の M V A 液晶パネル用 T F T アレイ基板の平面図
- 【図 2 6】本発明の M V A 液晶パネル用 T F T アレイ基板の平面図
- 【図 2 7】本発明の M V A 液晶パネル用 T F T アレイ基板の平面図
- 【図 2 8】本発明の M V A 液晶パネル用 T F T アレイ基板の平面図
- 【図 2 9】本発明の M V A 液晶パネル用 T F T アレイ基板の平面図
- 【図 3 0】本発明の M V A 液晶パネル用 T F T アレイ基板の平面図
- 【図 3 1】本発明の M V A 液晶パネル用 T F T アレイ基板の平面図
- 【図 3 2】本発明のフィールドシーケンシャル駆動方式 M V A モード液晶パネルの T F T アレイ基板の回路モデル図
- 【図 3 3】本発明の図 3 2 の M V A モード液晶パネルの印加信号電圧と輝度の関係図 10
- 【図 3 4】本発明の図 3 2 の M V A モード液晶パネルの駆動波形図。
- 【図 3 5】本発明の表示画面を上下 2 分割したフィールドシーケンシャル駆動方式 M V A モード液晶パネルの T F T アレイ基板の回路モデル図。
- 【図 3 6】本発明の画面を上下に分割して、画面の中央から上下にむけて、データを書きこんでいくフィールドシーケンシャル駆動方式の説明図
- 【図 3 7】本発明の画面を上下に分割して、画面の上下から中央にむけて、データを書きこんでいくフィールドシーケンシャル駆動方式の説明図。
- 【図 3 8】本発明の画面を上下に分割して、画面の中央から上下にむけて、データを書きこんでいくフィールドシーケンシャル駆動方式の説明図。
- 【図 3 9】本発明の画面を上下に分割して、画面の上下から中央にむけて、データを書きこんでいくフィールドシーケンシャル駆動方式の説明図。 20
- 【図 4 0】本発明の横電界方式液晶パネル用 T F T アレイ基板の基本単位画素の断面図。
- 【図 4 1】本発明の横電界方式液晶パネル用 T F T アレイ基板の基本単位画素の断面図。
- 【図 4 2】本発明の横電界方式液晶パネル用 T F T アレイ基板の基本単位画素の断面図。
- 【図 4 3】本発明の横電界方式液晶パネル用 T F T アレイ基板の基本単位画素の断面図。
- 【図 4 4】本発明の横電界方式液晶パネル用 T F T アレイ基板の基本単位画素の断面図
- 【図 4 5】本発明の横電界方式液晶パネル用 T F T アレイ基板の基本単位画素の断面図。
- 【図 4 6】本発明のフィールドシーケンシャル駆動方式横電界モード液晶パネルの T F T アレイ基板の回路モデル図。
- 【図 4 7】本発明の横電界方式液晶パネル用 T F T アレイ基板の完成断面図。 30
- 【図 4 8】本発明の横電界方式液晶パネル用 T F T アレイ基板の完成断面図。
- 【図 4 9】本発明の横電界方式液晶パネル用 T F T アレイ基板の平面図。
- 【図 5 0】本発明の横電界方式液晶パネル用 T F T アレイ基板の平面図。
- 【図 5 1】本発明の横電界方式液晶パネル用 T F T アレイ基板の平面図。
- 【図 5 2】本発明の横電界方式液晶パネル用 T F T アレイ基板の平面図。
- 【図 5 3】本発明の横電界方式液晶パネル用 T F T アレイ基板の平面図。
- 【図 5 4】本発明の横電界方式液晶パネル用 T F T アレイ基板の平面図。
- 【図 5 5】本発明の図 4 6 の横電界方式液晶パネルの駆動波形図
- 【図 5 6】本発明の表示画面を上下 2 分割したフィールドシーケンシャル駆動方式横電界モード液晶パネルの T F T アレイ基板の回路モデル図。 40
- 【図 5 7】本発明の M V A モード液晶パネル用 T F T アレイ基板の基本単位画素の断面図
- 【図 5 8】本発明の M V A モード液晶パネル用 T F T アレイ基板の基本単位画素の断面図
- 【図 5 9】本発明の M V A モード液晶パネル用 T F T アレイ基板の基本単位画素の断面図
- 【図 6 0】本発明の M V A モード液晶パネル用 T F T アレイ基板の基本単位画素の断面図。
- 【図 6 1】本発明のハーフトーン露光法プロセスを用いてコンタクトパッド付画素電極を形成するためのプロセスフロー断面図。
- 【図 6 2】本発明のハーフトーン露光法プロセスを用いてコンタクトパッド付画素電極を形成するためのプロセスフロー断面図。
- 【図 6 3】本発明のハーフトーン露光法を用いた薄膜トランジスタ素子の半導体層の i s 50

land化とコンタクトホール形成のプロセスフロー断面図

【図64】本発明のSource電極，Drain電極，端子電極，櫛歯状共通電極の形成プロセスフロー断面図。

【図65】本発明のハーフトーン露光法を用いた薄膜トランジスタ基板の製造プロセスフロー断面図

【図66】本発明の横電界方式アクティブマトリックス基板の基本単位画素の中央に存在する画素中央共通電極の構造説明図

【図67】本発明で用いるハーフトーン露光用ホトマスクの原理説明図

【図68】本発明で用いるハーフトーン多重露光法の原理説明図

【図69】本発明のハーフトーン多重露光法を最初のホトリソグラフィ工程で用いる場合に必要となるアライメントマーク 10

【図70】ハーフトーン多重露光法で用いるアライメントマークをガラス基板の内部にパルスレーザーで形成する原理図

【図71】従来のハーフトーン露光法を用いた薄膜トランジスタ基板の製造プロセスフロー断面図。

【図72】従来のハーフトーン露光法を用いた薄膜トランジスタ基板の走査線部と画素電極と端子部を同時に形成するプロセスフロー断面図

【図73】従来のハーフトーン露光法を用いた薄膜トランジスタ素子の半導体層のisland化と画素電極と端子部の完全露出化のプロセスフロー図。

【図74】図72，図73に続く薄膜トランジスタ素子製造工程でSource電極とDrain電極を形成する従来のプロセスフロー説明図。 20

【図75】従来の画素電極上に、走査線と連結している配向制御電極が形成されているTFTアレイ基板の断面構造図

【図76】図75のTFTアレイ基板の平面図

【図77】従来の画素電極上に、共通電極に接続されている1種類の配向制御電極のみが形成されている垂直配向モードのセル断面図。

【図78】従来の対向ベタ電極上に、画素電極に接続されている1種類の配向制御電極のみが形成されている垂直配向モードのセル断面図。

【図79】画素電極上に1種類の配向制御電極のみが形成されている従来のTFTアレイ基板の断面構造図 30

【図80】画素電極上に1種類の配向制御電極のみが形成されている従来のTFTアレイ基板の断面構造図

【図81】従来の画素電極上に1種類の配向制御電極のみが形成されてTFTアレイ基板の断面構造図

【図82】本発明のハーフトーン露光法を2回用いるMVAモード用TFTアレイ基板の3回ホトリソグラフィ工程のプロセス説明図

【図83】本発明のハーフトーン露光法を2回用いるMVAモード用TFTアレイ基板の3回ホトリソグラフィ工程のプロセス説明図

【図84】本発明のハーフトーン露光法を3回用いるIPSモード用TFTアレイ基板の3回ホトリソグラフィ工程のプロセス説明図 40

【図85】本発明のハーフトーン露光法を3回用いるFFSモード用TFTアレイ基板の3回ホトリソグラフィ工程のプロセス説明図

【符号の説明】

【0038】

1 ... 対向ベタ共通電極

2 ... 液晶配向制御用バンブ

3 ... 垂直配向膜

4 ... 対向ベタ共通電極に形成された液晶配向制御用スリット

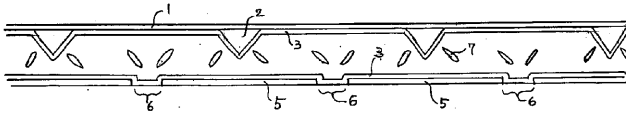
5 ... 画素電極

6 ... 画素電極に形成された液晶配向制御用スリット 50

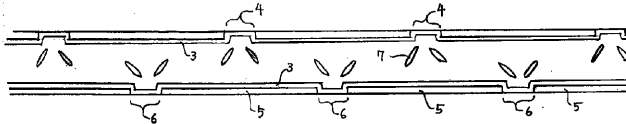
7 負の誘電率異方性液晶分子	
8 絶縁膜	
9 共通電極に接続されている液晶配向制御電極	
10 画素電極に接続されている液晶配向制御電極	
11 等電位線	
12 画素電極の配向制御スリットの下層に配置された配向制御電極	
13 走査線 (G a t e 電極)	
14 画素電極内部に形成されているコンタクトパッド (D r a i n 電極接続用)	
15 パッシベーション膜	
16 共通電極	10
17 映像信号線 (S o u r c e 電極)	
18 D r a i n 電極	
19 バリアーメタル	
20 オーミックコンタクト層 (n ⁺ a - S i 層)	
21 ノンドープ薄膜半導体層 (i a - S i 層)	
22 画素電極内部に形成されているコンタクトパッド (配向制御電極接続用)	
23 画素電極内部に形成されているコンタクトパッド (保持容量形成電極接続用)	
24 保持容量形成電極	
25 ガラス基板	
26 ゲート絶縁膜中にうめこまれている共通電極に接続された配向制御電極	20
27 下層ゲート絶縁膜	
28 上層ゲート絶縁膜	
29 ゲート絶縁膜中にうめこまれている画素電極	
30 画素電極に接続されている配向制御電極の高さを高くするためのフローティング電極	
31 画素電極に接続されている配向制御電極の高さを高くするためのパッド電極	
32 薄膜トランジスタ素子	
33 配向制御電極と共通電極を接続するためのコンタクトホール	
34 画素電極内部に形成されているコンタクトパッドと D r a i n 電極を接続するためのコンタクトホール	30
35 画素電極内部に形成されているコンタクトパッドと配向制御電極を接続するためのコンタクトホール	
36 D r a i n 電極上のパッシベーション膜にあけられたコンタクトホール	
37 大きい面積の画素電極 (S u b P i x e l B) を駆動するための薄膜トランジスタ素子	
38 小さい面積の画素電極 (S u b P i x e l A) を駆動するための薄膜トランジスタ素子	
39 映像信号線 (S o u r c e 電極) に平行に配列されている共通電極	
40 大きい面積の画素電極 (S u b P i x e l B)	
41 小さい面積の画素電極 (S u b P i x e l A)	40
42 共通電極上のパッシベーション膜にあけられたコンタクトホール	
43 映像信号線シールド用共通電極	
44 液晶駆動用櫛歯状共通電極	
45 液晶駆動用櫛歯状画素電極	
46 画素の中央部に映像信号線に平行に配列されている共通電極 (C e n t e r C O M 電極)	
47 画素電極内部に形成されたコンタクトパッドと保持容量形成電極を接続するコンタクトホール	
48 共通電極と液晶駆動用櫛歯状共通電極を接続するためのコンタクトホール	
49 ベタ状液晶駆動用共通電極	50

5 0	画素中央部共通電極 (C e n t e r C O M 電 極) と映像信号線シールド用共通電極を連結するためのコンタクトホール	
5 1	上部表示領域駆動用映像信号線	
5 2	下部表示領域駆動用映像信号線	
5 3	ハーフトーン露光して現像されたポジレジストの厚膜部分	
5 4	ハーフトーン露光して現像されたポジレジストの薄膜部分	
5 5	透明電極層	
5 6	低抵抗配線電極層	
5 7	酸素プラズマアッシング後に残ったポジレジスト	
5 8	ハーフトーン露光用ホトマスクの完全 U V 光遮断領域	10
5 9	ハーフトーン露光用ホトマスクの U V 光透過領域	
6 0	ハーフトーン露光用ホトマスクの U V 光半透過領域	
6 1	ハーフトーン露光用ポジレジスト	
6 2	外部回路接続端子部	
6 3	ラビング処理が良好におこなわれた配向膜領域	
6 4	ラビング処理が不良の配向膜領域	
6 5	ラビング処理用布の繊維	
6 6	ホトマスク用石英ガラス	
6 7	完全露光領域の U V 光	
6 8	不完全露光領域の U V 光	20
6 9	ハーフトーン 2 重露光法で用いるガラス基板の内部に形成されたアライメントマーク	
7 0	パルスレーザー光線	
7 1	集光レンズ	
7 2	ノーマル露光で現像して残ったポジレジスト	
7 3	透明電極で形成された S o u r c e 電極 (映像信号線)	
7 4	対向基板 (C F 基板)	
7 5	G a t e 電極に連結されている液晶配向制御電極	
7 6	パッシベーション膜の上に形成された共通電極と同電位の配向制御電極	
7 7	G a t e 電極と同じ金属電極 (透明画素電極に連結されている。)	30
7 8	画素電極と同じ透明電極材料で形成されている配向制御電極	
7 9	S o u r c e 電極や D r a i n 電極と同じ金属電極 (配向制御電極に連結されている。)	

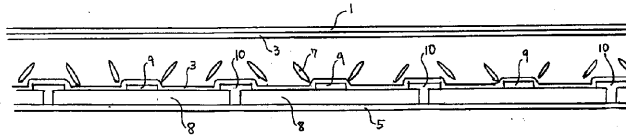
【図 1】



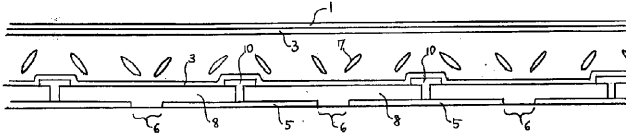
【図 2】



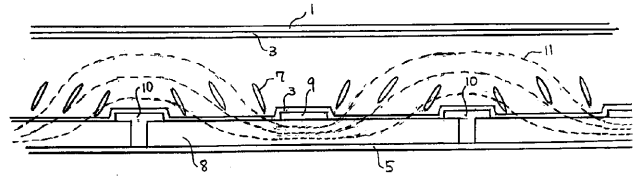
【図 3】



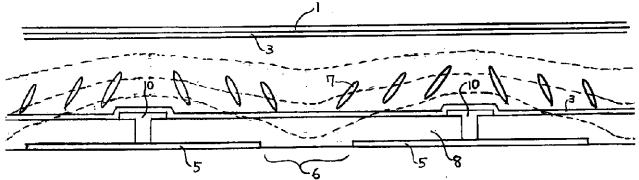
【図 4】



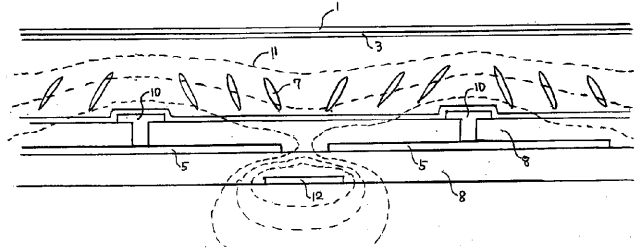
【図 5】



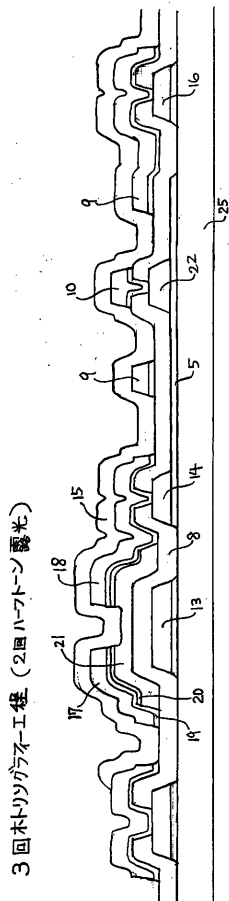
【図 6】



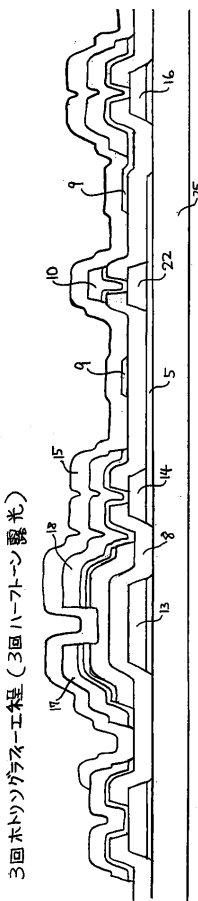
【図 7】



【図 8】

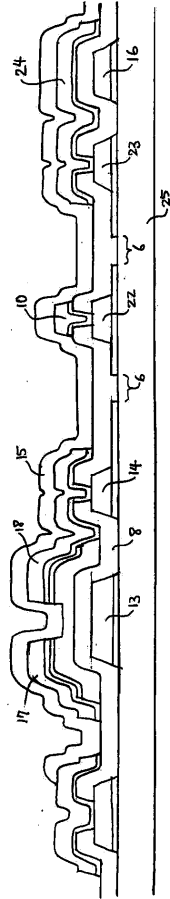


【図 9】



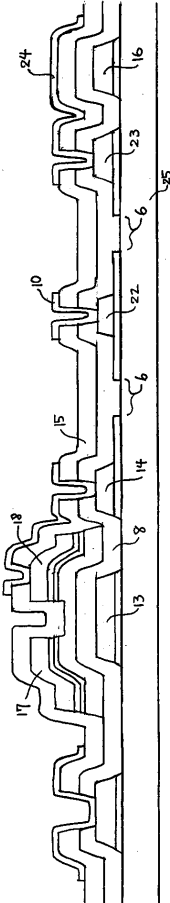
【図 10】

3回ホトリツガラス工程 (2回ハートン露光)



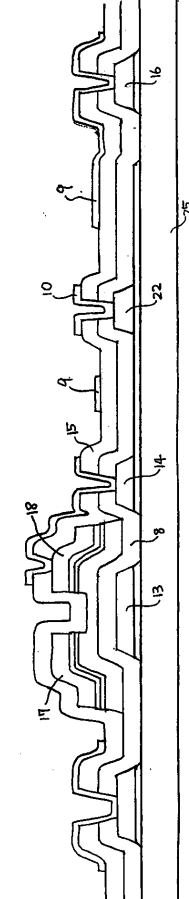
【図 12】

4回ホトリツガラス工程 (2回ハートン露光)



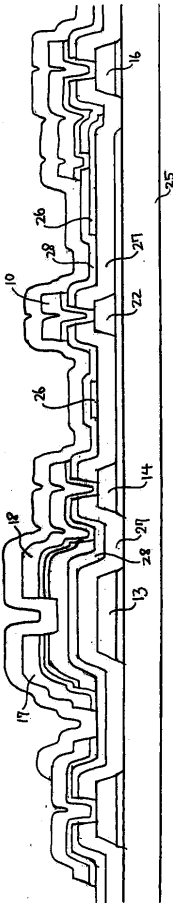
【図 11】

4回ホトリツガラス工程 (2回ハートン露光)



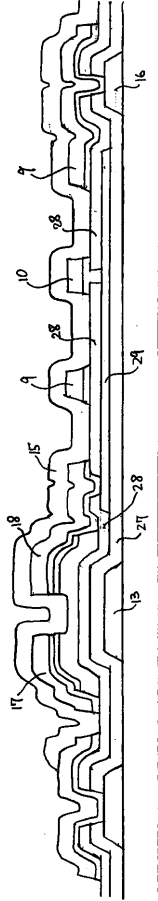
【図 13】

4回ホトリツガラス工程 (2回ハートン露光)



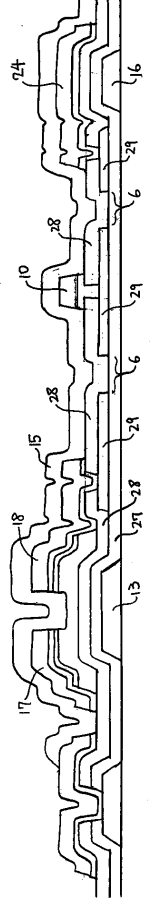
【図 14】

4回ホトリツガラス工程(1回ハーフトン露光)



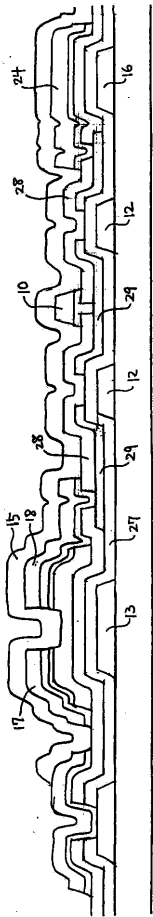
【図 15】

4回ホトリツガラス工程(1回ハーフトン露光)



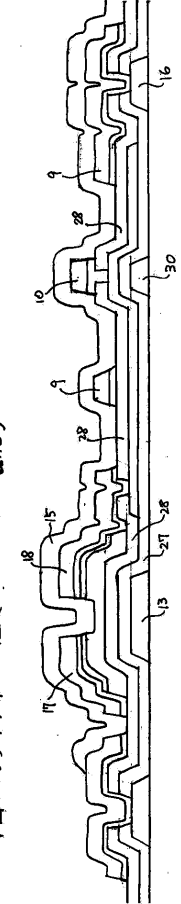
【図 16】

4回ホトリツガラス工程(1回ハーフトン露光)



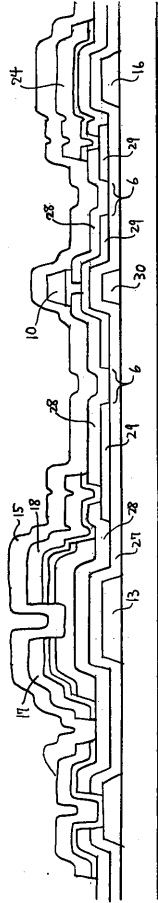
【図 17】

4回ホトリツガラス工程(1回ハーフトン露光)



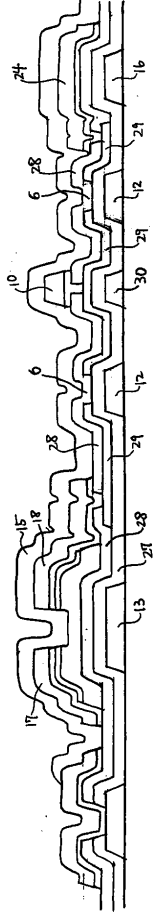
【図 18】

4回ホトリソガラス工程（1回ハーフトーン露光）

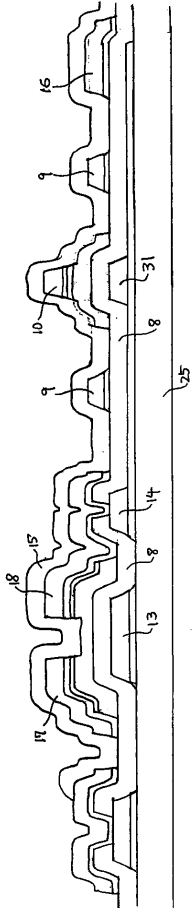


【図 19】

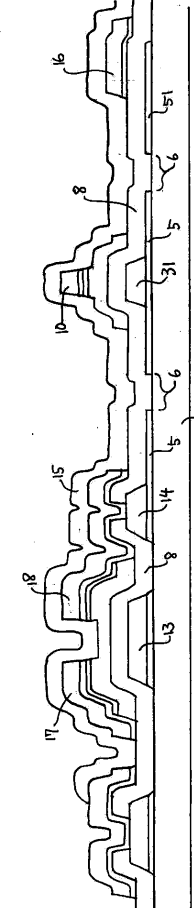
4回ホトリソガラス工程（1回ハーフトーン露光）



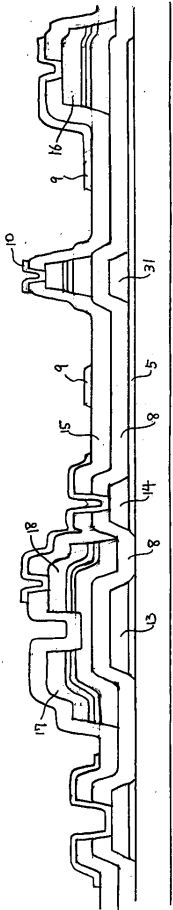
【図 20】



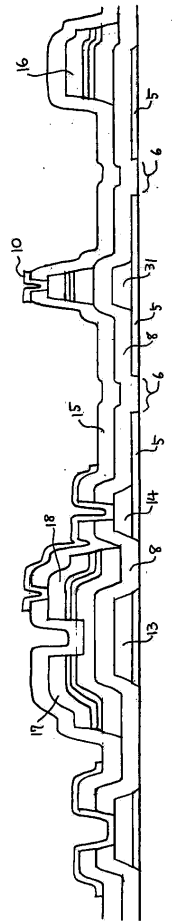
【図 21】



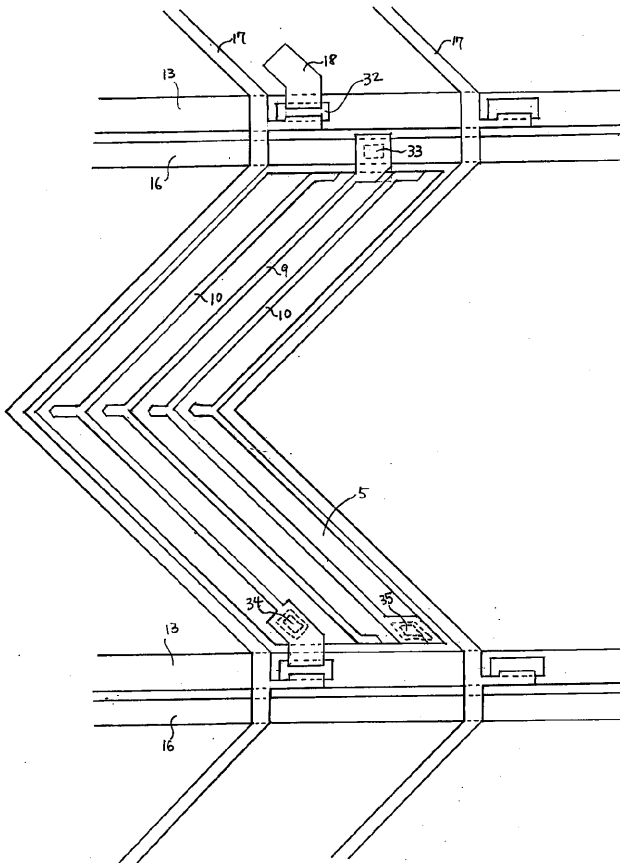
【図 2 2】



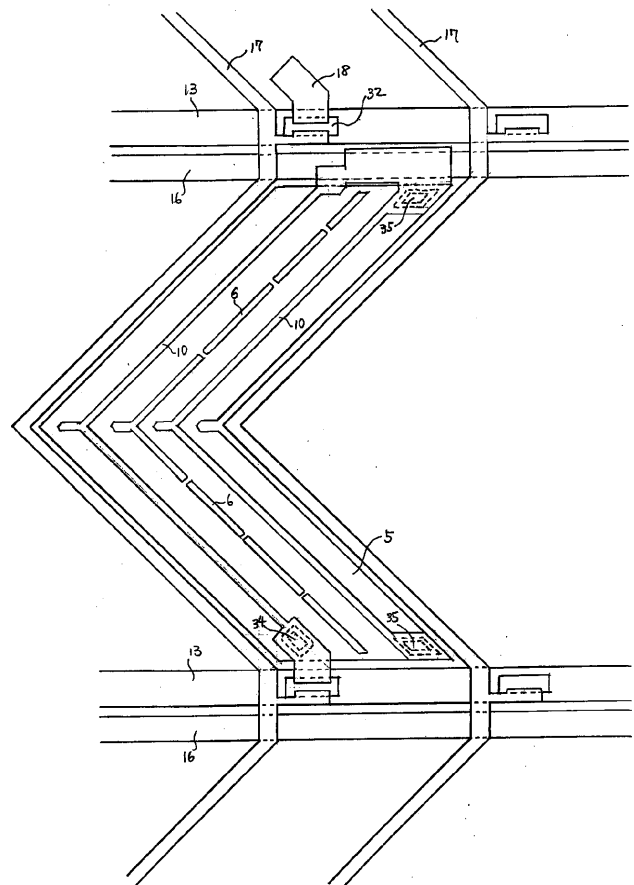
【図 2 3】



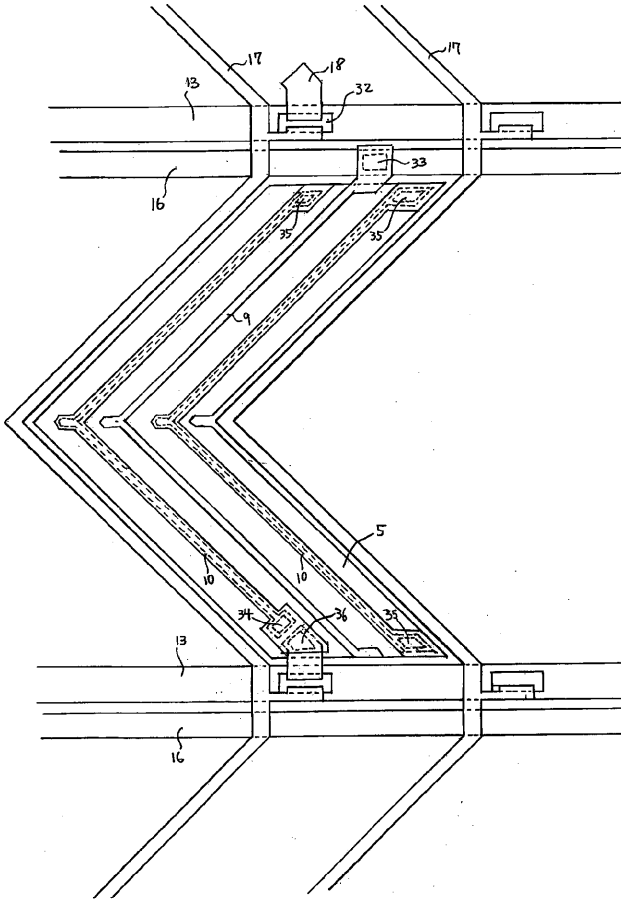
【図 2 4】



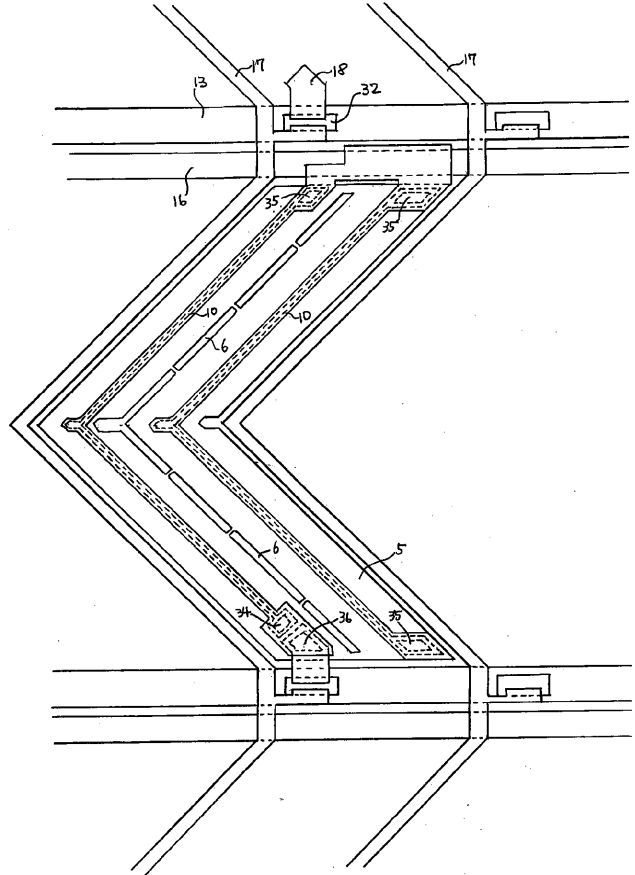
【図 2 5】



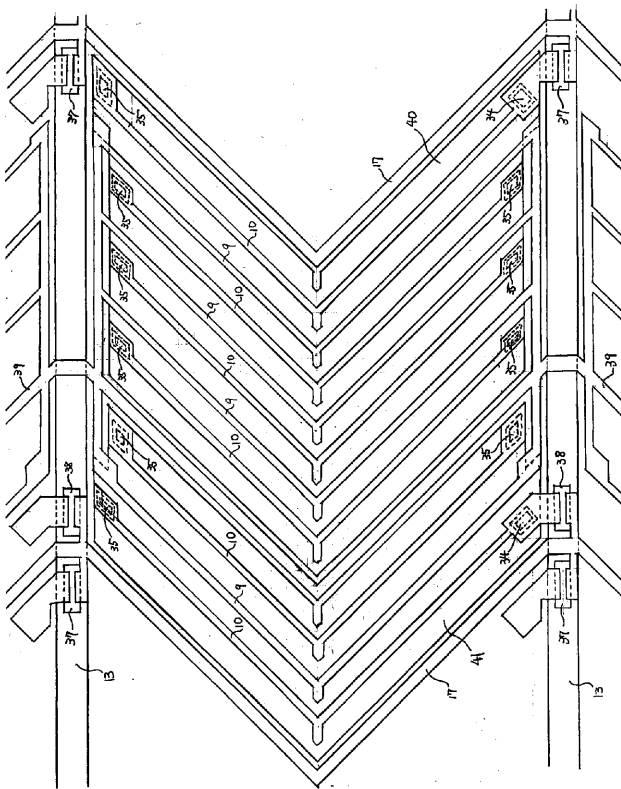
【図 26】



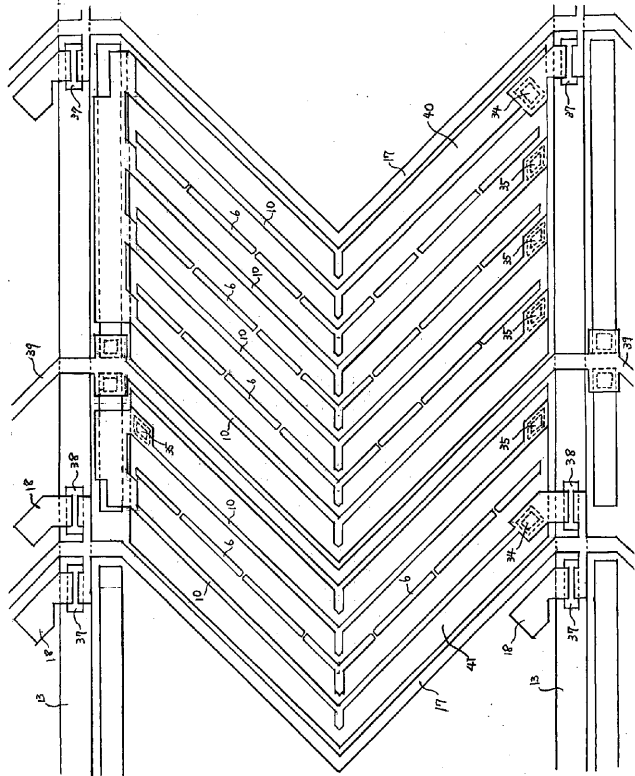
【図 27】



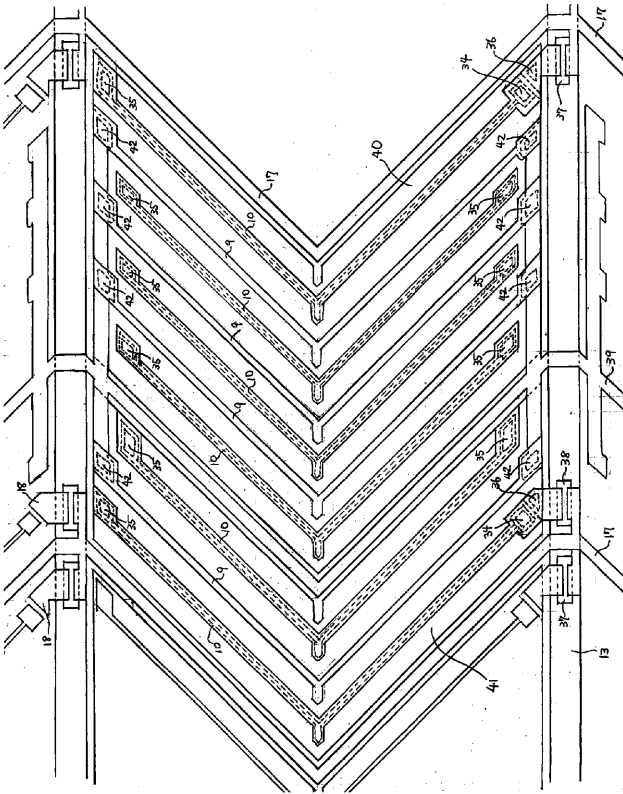
【図 28】



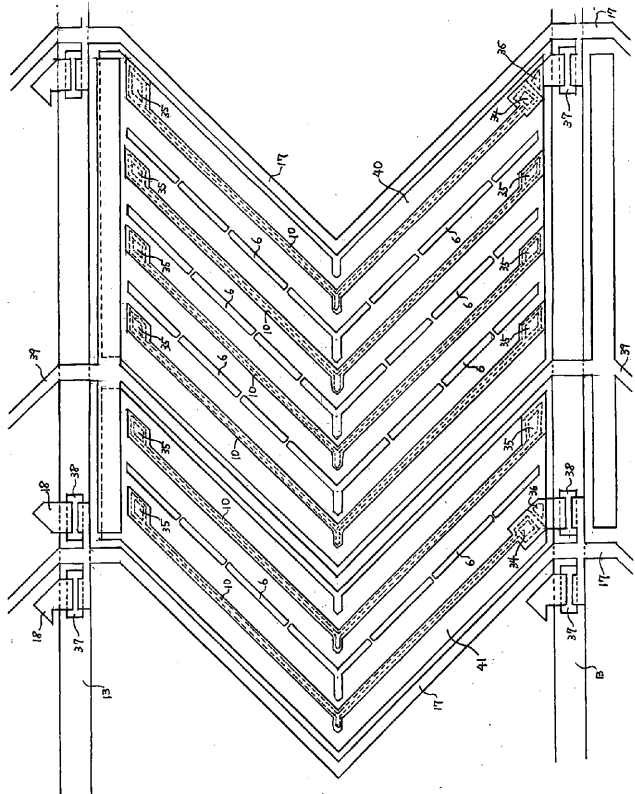
【図 29】



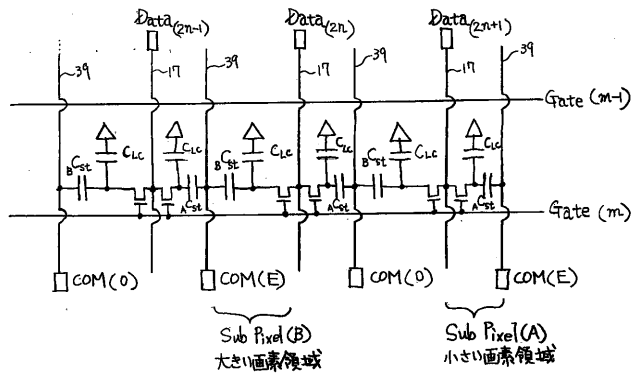
【図 30】



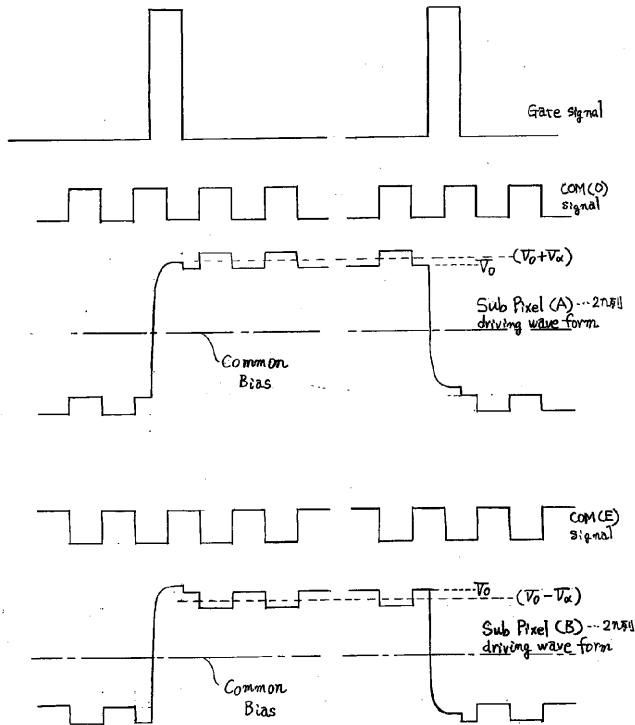
【図 31】



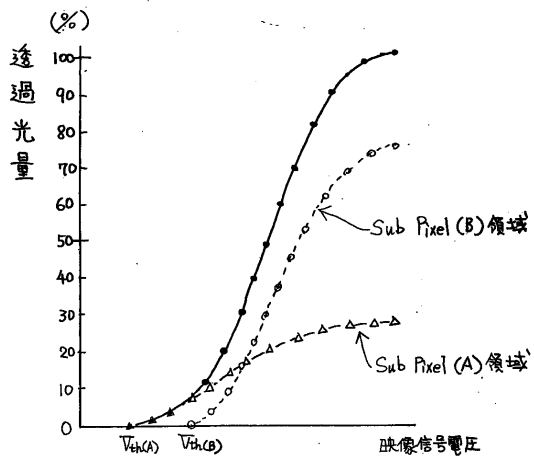
【図 32】



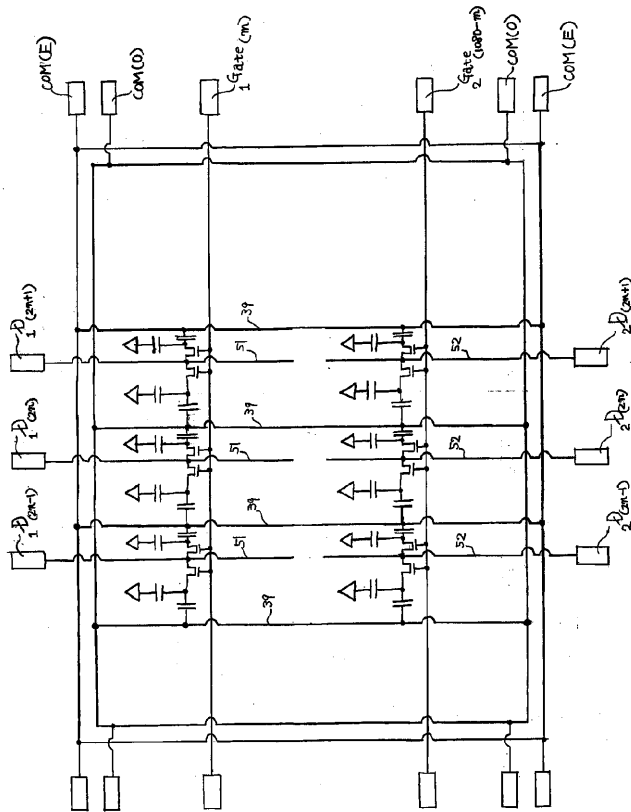
【図 34】



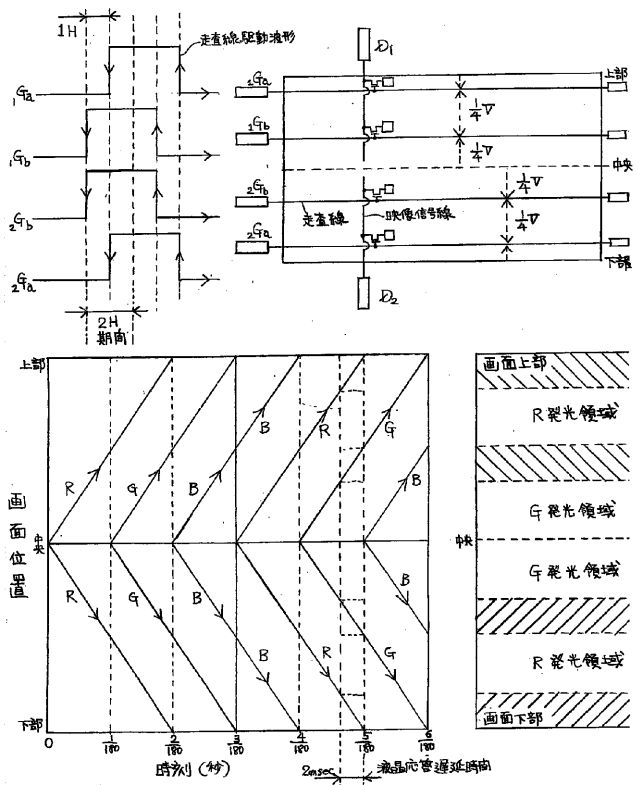
【図 33】



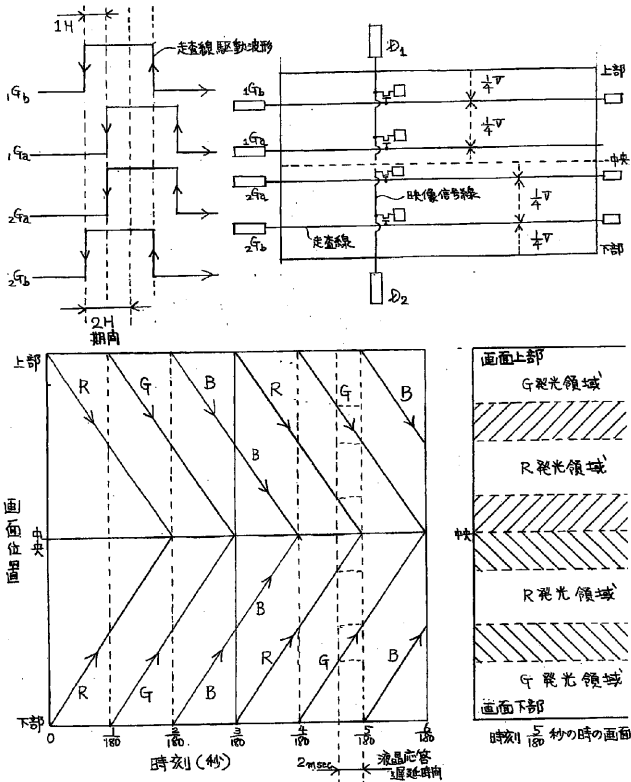
【図 35】



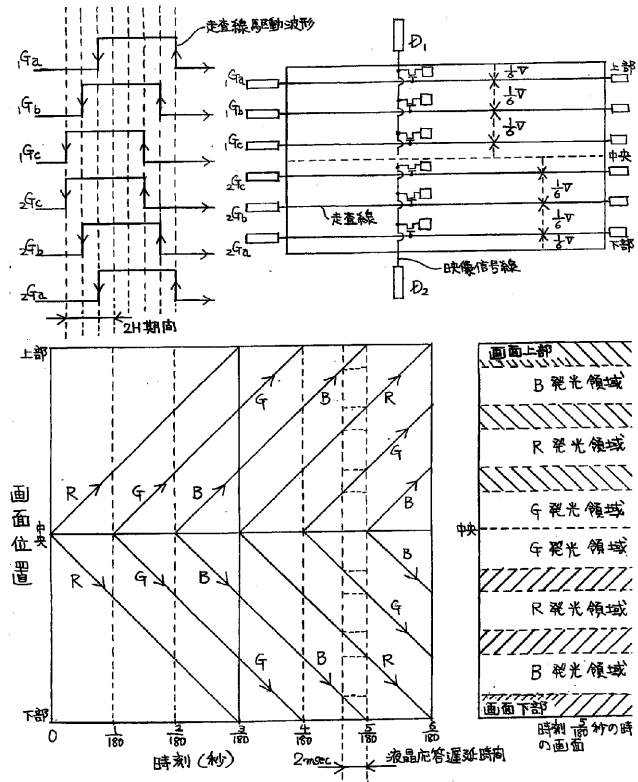
【図 36】



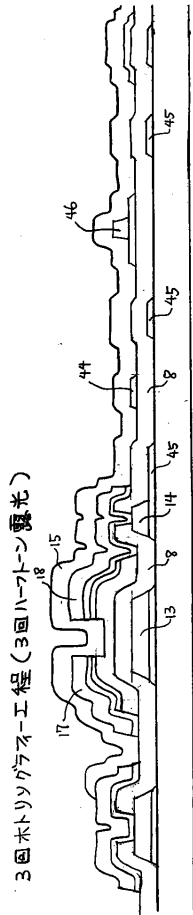
【図 37】



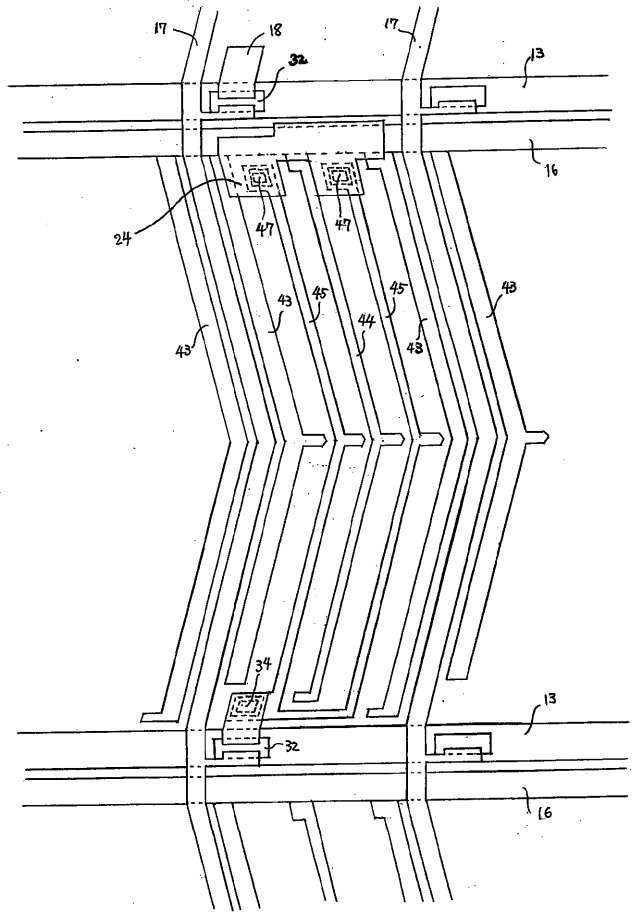
【図 38】



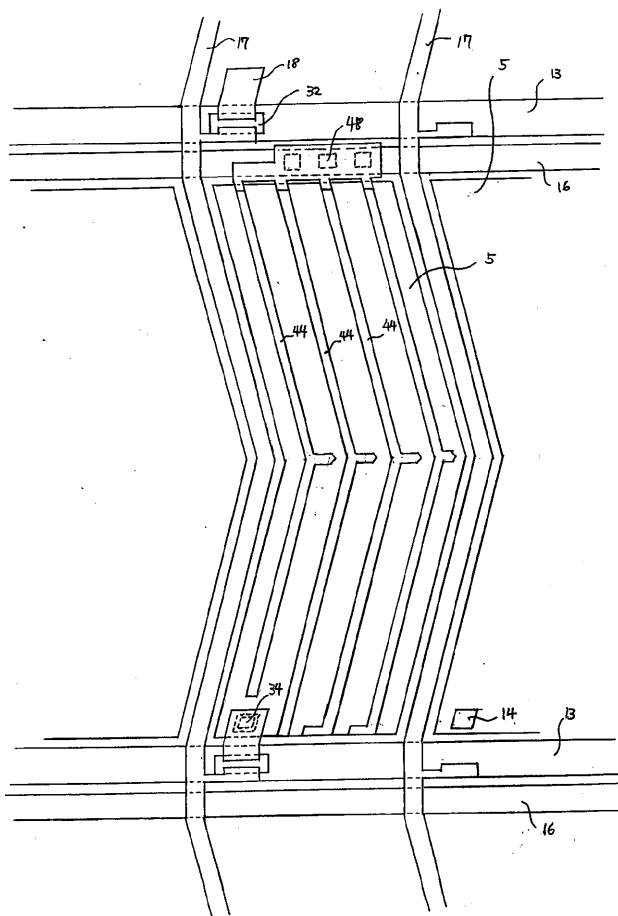
【図 48】



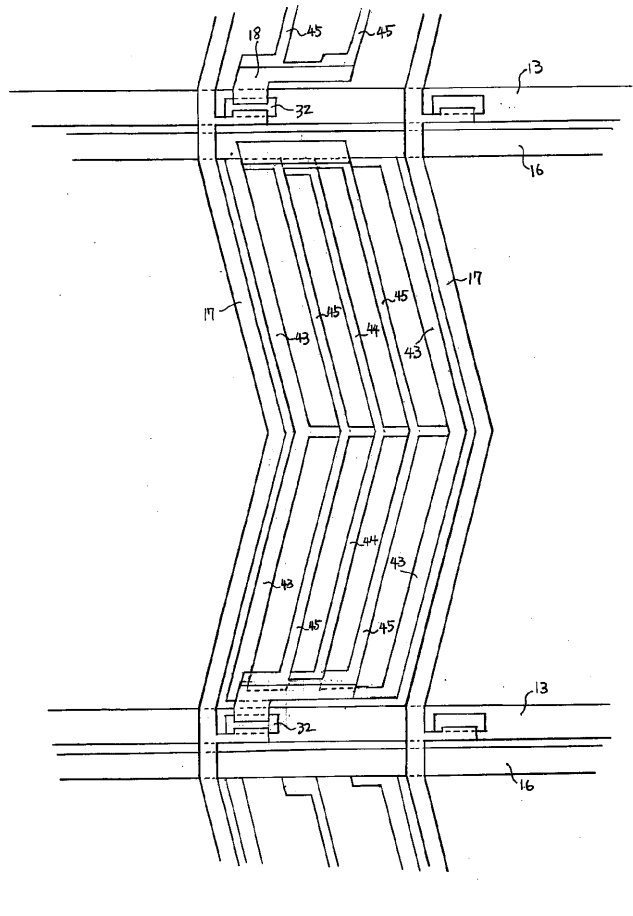
【図 49】



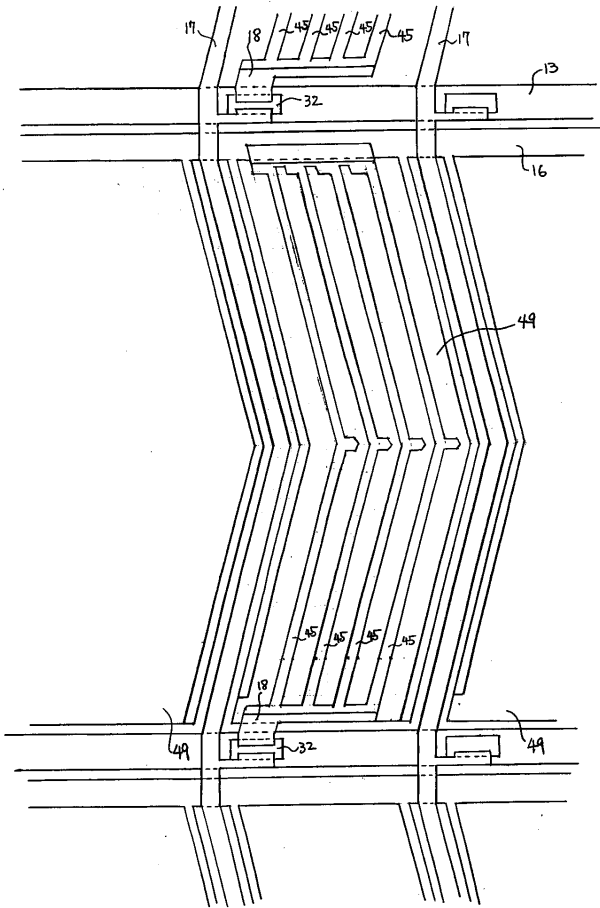
【図 50】



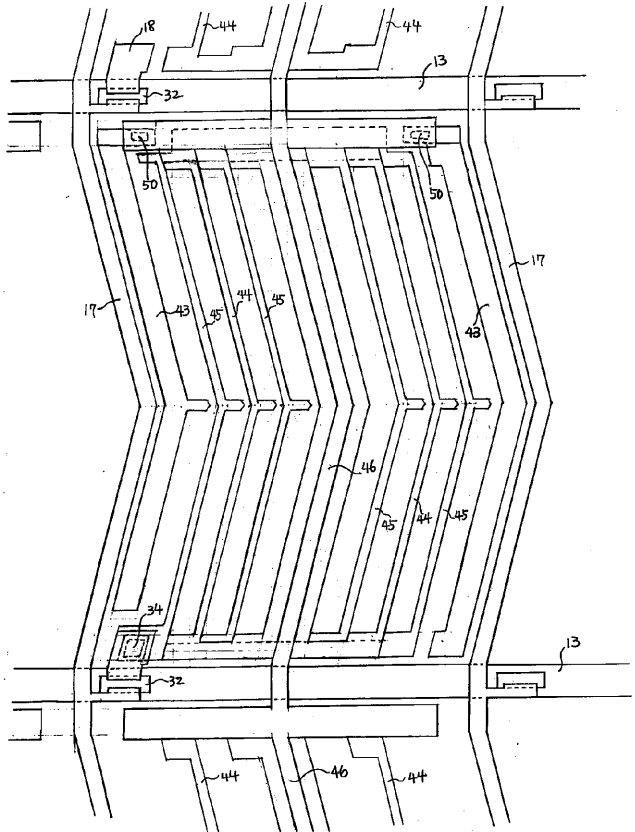
【図 51】



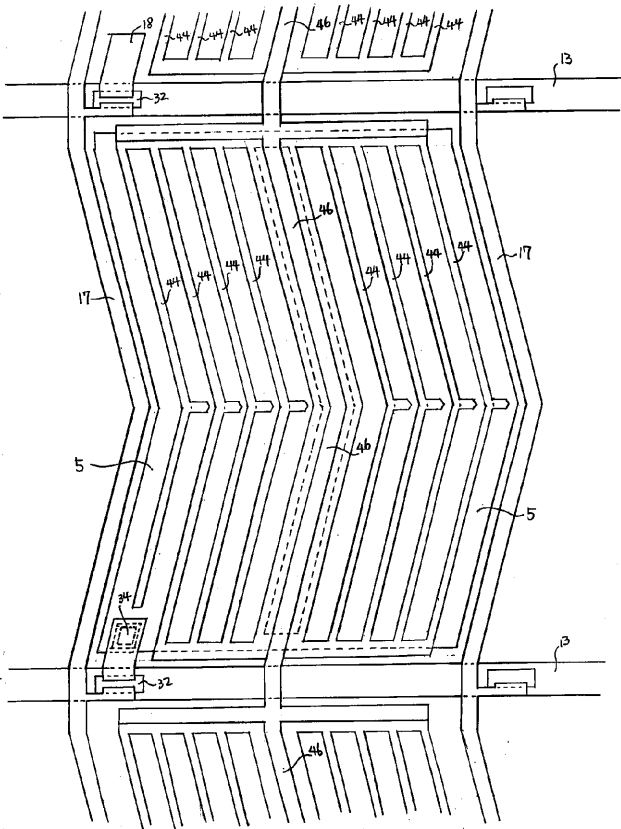
【図 5 2】



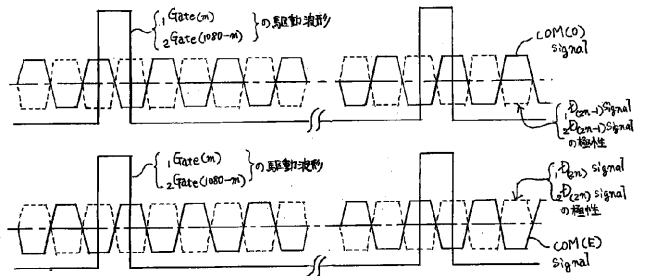
【図 5 3】



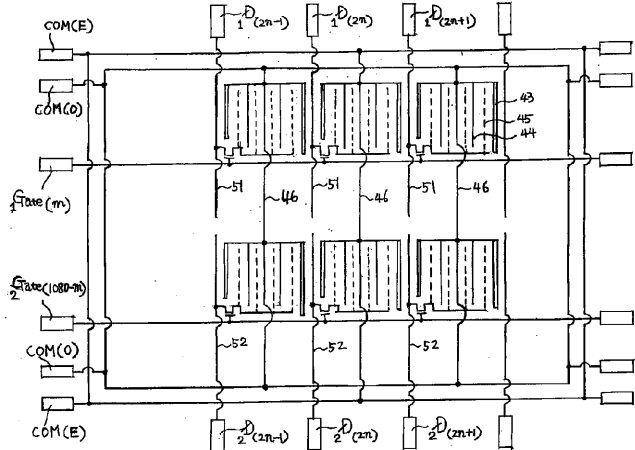
【図 5 4】



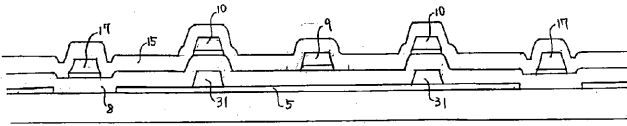
【図 5 5】



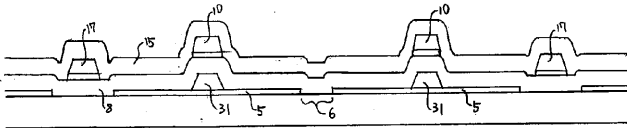
【図 5 6】



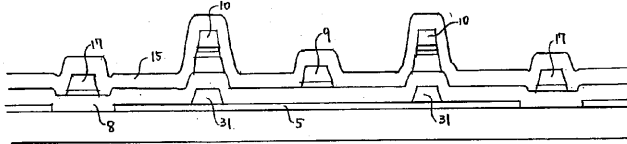
【図 57】



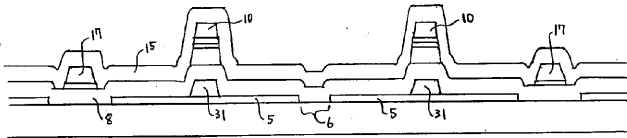
【図 58】



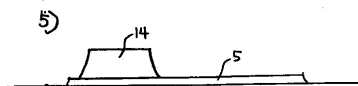
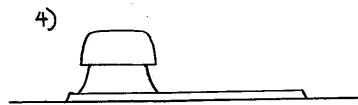
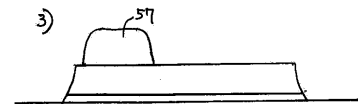
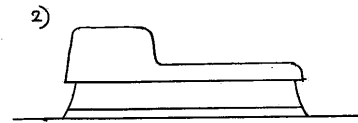
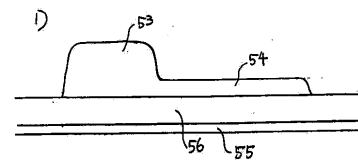
【図 59】



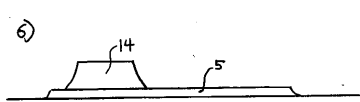
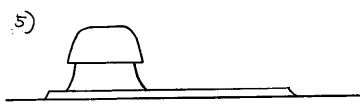
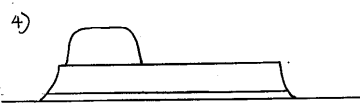
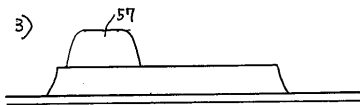
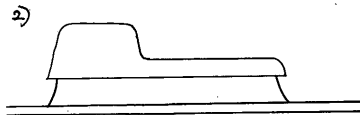
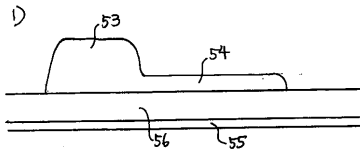
【図 60】



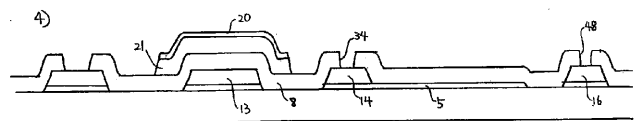
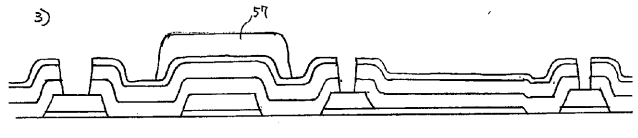
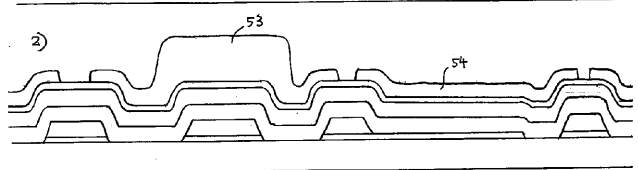
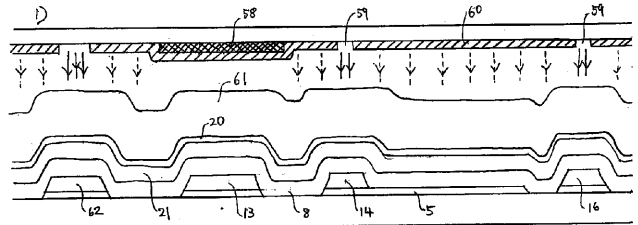
【図 61】



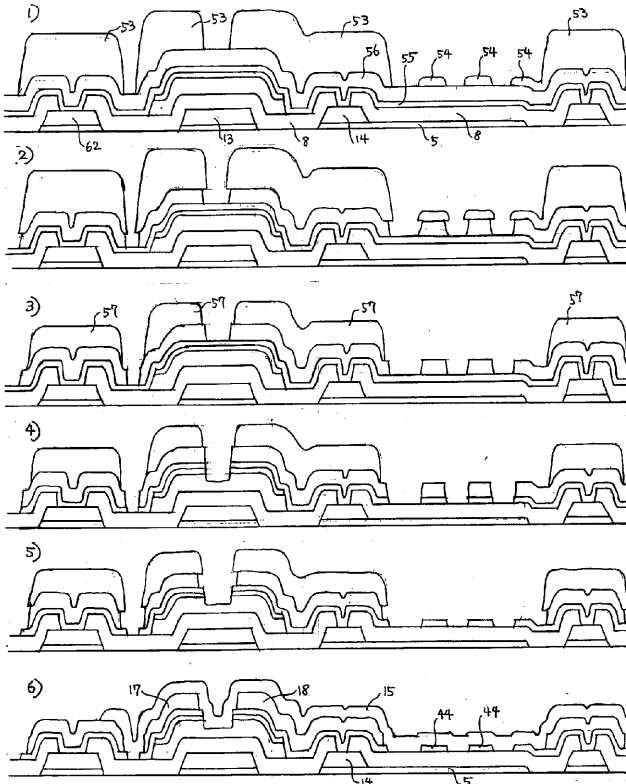
【図 62】



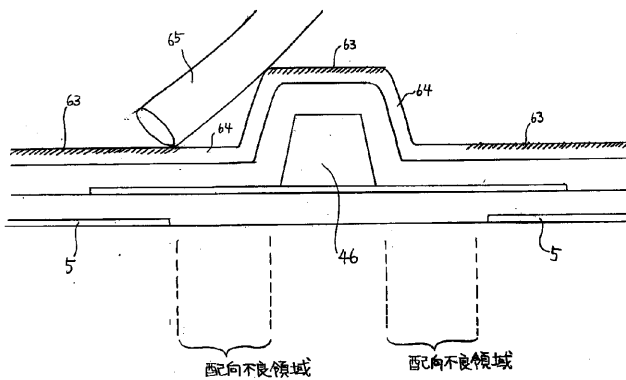
【図 63】



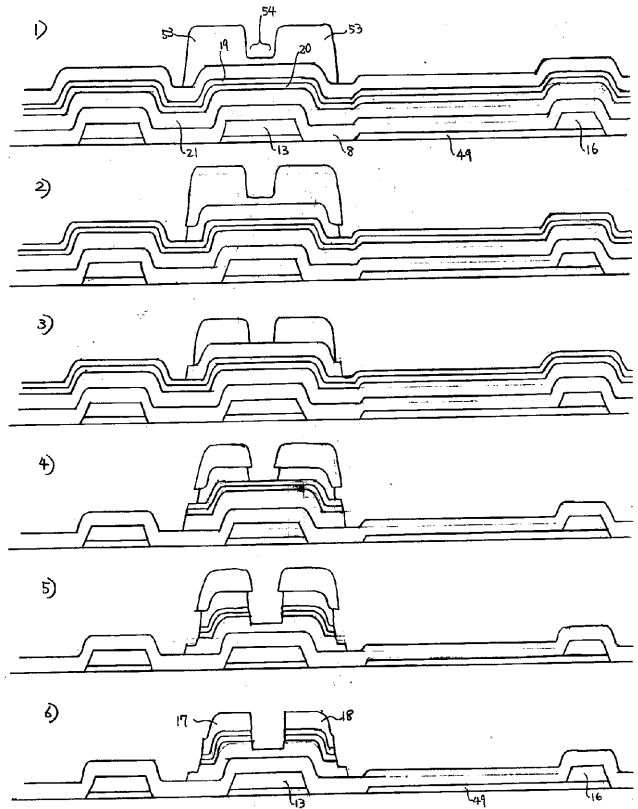
【図 6 4】



【図 6 6】

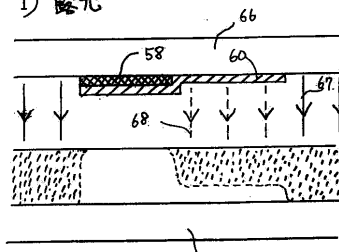


【図 6 5】

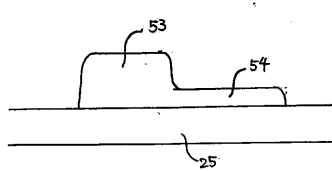


【図 6 7】

1) 露光

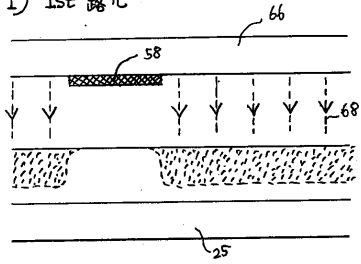


2) 現像後

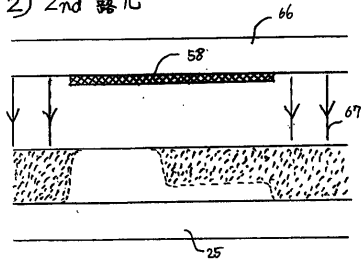


【図 68】

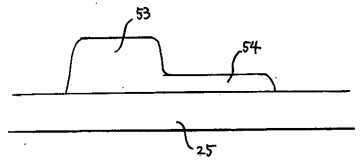
1) 1st 露光



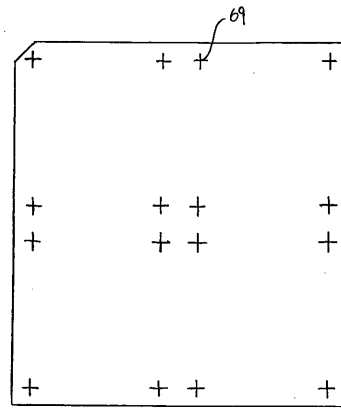
2) 2nd 露光



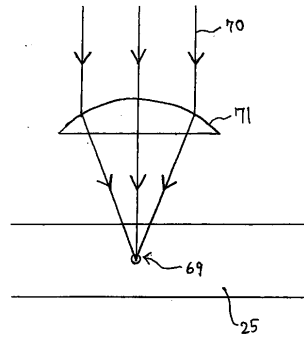
3) 現像後



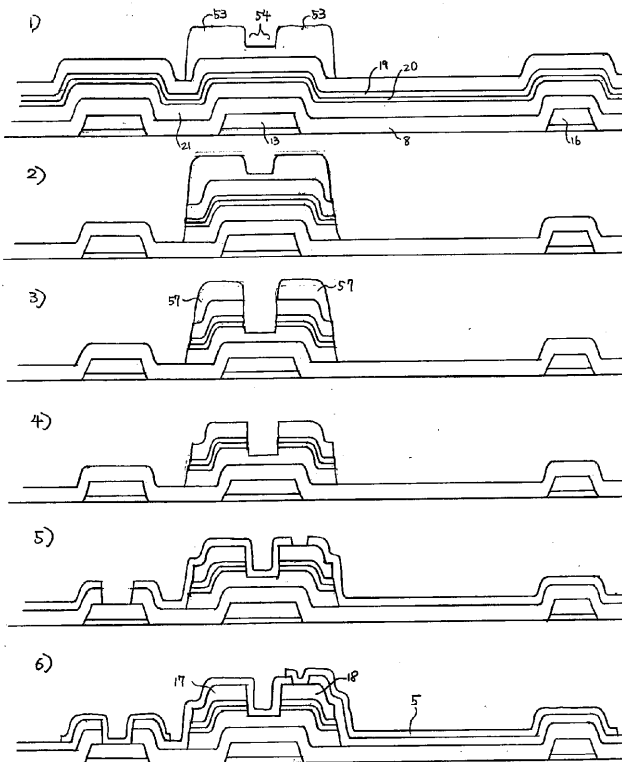
【図 69】



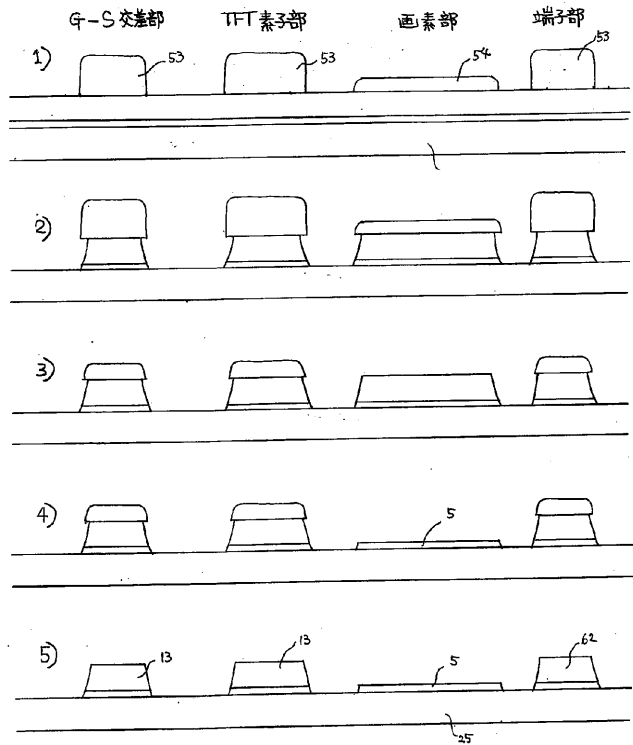
【図 70】



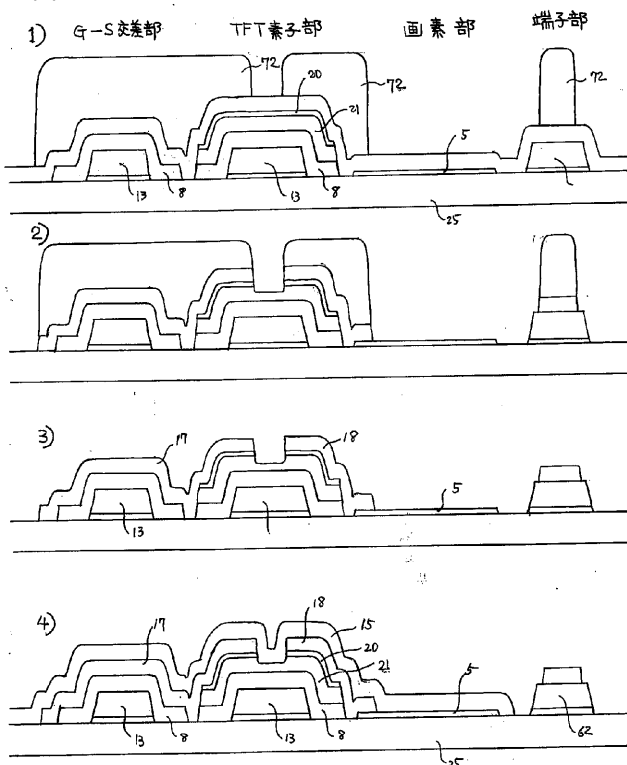
【図 71】



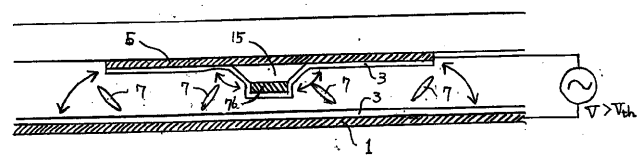
【図 72】



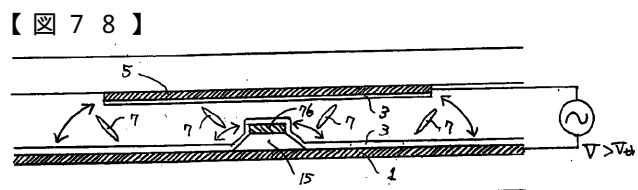
【 図 7 4 】



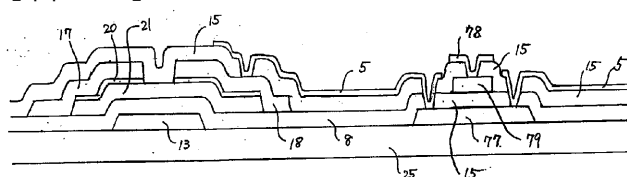
【 図 7 7 】



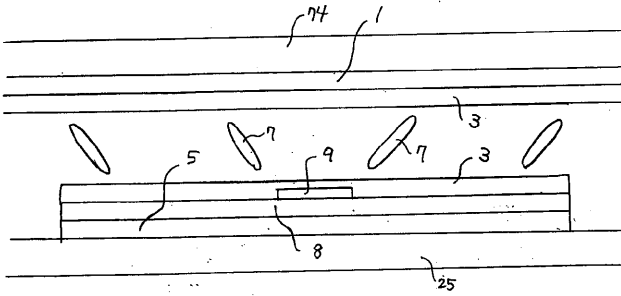
【圖 7 8】



【 図 8 0 】



【図 8 1】



【図 8 2】

MVAモード 3回ホトリソグラフィー工程 (A)

- 1) Gate電極, 画素電極, 共通電極, 画素電極内コンタクトパッドの形成
--- 第1回めのハーフトン露光法を用いたホトリソグラフィー工程.
- 2) 薄膜半導体層素子分離, コンタクトホール形成
--- 第2回めのハーフトン露光法を用いたホトリソグラフィー工程.
- 3) Source電極, Drain電極, 配向方向制御電極の形成
--- 通常のノーマル露光法を用いたホトリソグラフィー工程.

薄膜トランジスタのチャネル部のオミックコンタクト層をドライエッチング後にシリコン窒化膜パッシベーション層をマスクデポジション法を用いて局所成膜する。(Gate電極端子部, Source電極端子部, 共通電極端子部には成膜しない。)

【図 8 4】

IPSモード 3回ホトリソグラフィー工程 (C)

- 1) Gate電極, 櫛歯状画素電極, 映像信号線(Source電極)シールド用共通電極, 画素電極内コンタクトパッド, 映像信号線シールド用共通電極内コンタクトパッドの形成
--- 第1回めのハーフトン露光法を用いたホトリソグラフィー工程.
- 2) 薄膜半導体層素子分離, コンタクトホール形成
--- 第2回めのハーフトン露光法を用いたホトリソグラフィー工程.
- 3) Source電極(映像信号線), Drain電極, 画素中央共通電極, 櫛歯状共通電極の形成
--- 第3回めのハーフトン露光法を用いたホトリソグラフィー工程.

薄膜トランジスタのチャネル部のオミックコンタクト層をドライエッチング後にシリコン窒化膜パッシベーション層をマスクデポジション法を用いて局所成膜する。(Gate電極端子部, Source電極端子部, 共通電極端子部には成膜しない。)

【図 8 3】

MVAモード 3回ホトリソグラフィー工程 (B)

- 1) Gate電極, 画素電極, 画素電極内コンタクトパッドの形成
--- 第1回めのハーフトン露光法を用いたホトリソグラフィー工程.
- 2) 薄膜半導体層素子分離, コンタクトホール形成
--- 第2回めのハーフトン露光法を用いたホトリソグラフィー工程.
- 3) Source電極, Drain電極, 配向方向制御電極, 共通電極の形成
--- 通常のノーマル露光法を用いたホトリソグラフィー工程.

薄膜トランジスタのチャネル部のオミックコンタクト層をドライエッチング後にシリコン窒化膜パッシベーション層をマスクデポジション法を用いて局所成膜する。(Gate電極端子部, Source電極端子部, 共通電極端子部には成膜しない。)

【図 8 5】

FFSモード 3回ホトリソグラフィー工程 (D)

- 1) Gate電極, 画素電極, 画素電極内コンタクトパッドの形成
--- 第1回めのハーフトン露光法を用いたホトリソグラフィー工程.
 - 2) 薄膜半導体層素子分離, コンタクトホール形成
--- 第2回めのハーフトン露光法を用いたホトリソグラフィー工程.
 - 3) Source電極(映像信号線), Drain電極, 画素中央共通電極, 櫛歯状共通電極の形成
--- 第3回めのハーフトン露光法を用いたホトリソグラフィー工程.
- 薄膜トランジスタのチャネル部のオミックコンタクト層をドライエッチング後にシリコン窒化膜パッシベーション層をマスクデポジション法を用いて局所成膜する。(Gate電極端子部, Source電極端子部, 共通電極端子部には成膜しない。)

专利名称(译)	低成本大屏幕宽视角高速响应液晶显示装置		
公开(公告)号	JP2007334275A	公开(公告)日	2007-12-27
申请号	JP2006202563	申请日	2006-06-15
[标]申请(专利权)人(译)	三国电子有限会社		
申请(专利权)人(译)	三国电子有限会社		
[标]发明人	田中 栄 鯨島 俊之		
发明人	田中 栄 鯨島 俊之		
IPC分类号	G02F1/1343 G02F1/1368 G02F1/1337		
CPC分类号	G02F1/134363 G02F1/133707 G02F2001/134372 G02F2001/136231 G02F2001/136236 G02F2001/13712 G09G3/3648 G09G2310/0218 G09G2310/0283		
FI分类号	G02F1/1343 G02F1/1368 G02F1/1337 G02F1/133.550		
F-TERM分类号	2H090/HA16 2H090/HC05 2H090/HC14 2H090/HD14 2H090/KA04 2H090/LA01 2H090/MA01 2H090/MB01 2H092/GA13 2H092/GA14 2H092/JA24 2H092/MA13 2H092/MA14 2H092/MA16 2H092/NA01 2H092/NA04 2H092/NA27 2H092/PA02 2H092/QA06 2H192/AA24 2H192/BA25 2H192/BA51 2H192/BB02 2H192/BB12 2H192/BB53 2H192/BC51 2H192/CB05 2H192/CC04 2H192/CC32 2H192/CC55 2H192/DA12 2H192/DA42 2H192/EA62 2H192/HA44 2H192/JA13 2H192/JA32 2H193/ZA04 2H193/ZA07 2H193/ZB14 2H193/ZC30 2H193/ZG34 2H193/ZQ11 2H193/ZQ16 2H290/AA34 2H290/BB24 2H290/BB44 2H290/BB87 2H290/CA42 2H290/CA46		
其他公开文献	JP5477523B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：在三个光刻工艺中制造具有大尺寸，宽视角和快速响应的液晶显示装置。ŽSOLUTION：在通过半色调曝光技术形成栅电极，公共电极，像素电极和接触垫之后，通过半色调曝光技术形成a-Si岛和接触孔。通过常规曝光技术形成源电极，漏电极，取向控制电极。通过使用掩模沉积或喷墨涂覆方法或喷涂的P-CVD方法形成钝化层，以局部地施加钝化层。因此，可以在三个光刻工艺中制造具有大尺寸，宽视角和快速响应的用于液晶显示器的TFT阵列基板。Ž

