

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-316590

(P2007-316590A)

(43) 公開日 平成19年12月6日(2007.12.6)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1343 (2006.01)	GO2F 1/1343	2H091
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H092
GO2F 1/1335 (2006.01)	GO2F 1/1335 500	
	GO2F 1/1335 505	

審査請求 有 請求項の数 15 O L 外国語出願 (全 32 頁)

(21) 出願番号	特願2007-2972 (P2007-2972)	(71) 出願人	599010163
(22) 出願日	平成19年1月11日 (2007.1.11)		友▲達▼光電股▲ふん▼有限公司
(31) 優先権主張番号	095108958		台湾新竹科学工業園區新竹市力行二路1號
(32) 優先日	平成18年3月16日 (2006.3.16)	(74) 代理人	100104156
(33) 優先権主張国	台湾 (TW)		弁理士 龍華 明裕
		(72) 発明者	張 峻桓
			台湾新竹科学工業園區新竹市力行二路一號
		F ターム (参考)	2H091 FA02Y FA35Y FD04 GA02 GA03
			GA13 LA16
			2H092 GA17 GA29 JA46 JB13 JB22
			JB31 JB51 JB63 JB69 NA01
			NA23 PA08 PA09

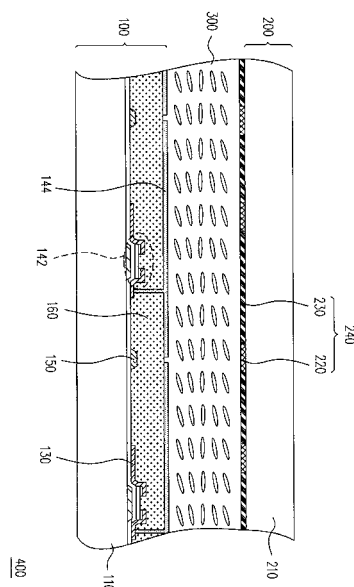
(54) 【発明の名称】 ピクセル構造および液晶ディスプレイパネル

(57) 【要約】

【課題】 ピクセル構造を提供する。

【解決手段】 ピクセル構造は、基板、スキャンライン、データライン、能動素子、ピクセル電極および共有ラインを備える。能動素子は、スキャンラインおよびデータラインに電気接続されている。ピクセル電極は、能動素子に電気接続されている。ピクセル電極は、データラインと交差するようにデータラインの上方に設けられている。共有ラインは、ピクセル電極の下方に設けられ、共有ラインの一部はピクセル電極によって覆われている。

【選択図】 図3A



【特許請求の範囲】

【請求項 1】

ピクセル構造であって、
基板と、
前記基板の上に設けられたスキャンラインおよびデータラインと、
前記スキャンラインおよび前記データラインに電気接続された能動素子と、
前記能動素子に電気接続されたピクセル電極であって、前記データラインと交差するよう
に前記データラインの上方に設けられたピクセル電極と、
前記ピクセル電極の下方に設けられた共有ラインであって、当該共有ラインの一部は前
記ピクセル電極によって覆われている共有ラインと
を備えるピクセル構造。

10

【請求項 2】

前記ピクセル電極と前記データラインの間に設けられた平坦化層
をさらに備える請求項 1 に記載のピクセル構造。

【請求項 3】

前記データラインは前記共有ラインと平行である
請求項 1 に記載のピクセル構造。

【請求項 4】

前記ピクセル電極は前記データラインの上方に対応するように設けられた複数の開口部
を有する
請求項 1 に記載のピクセル構造。

20

【請求項 5】

前記データラインの下方に設けられた光遮蔽層
をさらに備える請求項 4 に記載のピクセル構造。

【請求項 6】

液晶ディスプレイパネルであって、
能動素子アレイ基板であって、
第 1 基板と、

前記第 1 基板の上に設けられた複数のスキャンラインおよび複数のデータラインと、
前記第 1 基板の上に設けられた複数の能動素子であって、それぞれが前記複数のスキャ
ンラインのうちの 1 本と前記複数のデータラインのうちの 1 本に電気接続されている複数
の能動素子と、
前記第 1 基板の上に、前記複数のデータラインと交差するように前記複数のデータライ
ンの上方に設けられた複数のピクセル電極であって、それぞれが前記複数の能動素子のう
ちの 1 つに電気接続された複数のピクセル電極と、

30

前記第 1 基板の上且つ前記複数のピクセル電極の下方に設けられた複数の共有ラインで
あって、それぞれが、隣り合う 2 つのピクセル電極の間に設けられる複数の共有ラインと
を有しており、当該 2 つの隣り合うピクセル電極は各共有ラインの少なくとも 2 つの辺を
覆っている能動素子アレイ基板と、

カラーフィルタ基板であって、

40

第 2 基板と、

前記第 2 基板の上方に設けられたカラーフィルタアレイであって、ブラックマトリクス
およびカラーフィルタ膜を含むカラーフィルタアレイとを有するカラーフィルタ基板と、
前記カラーフィルタ基板および前記能動素子アレイ基板の間に設けられた液晶層と
を備える液晶ディスプレイパネル。

【請求項 7】

前記能動素子アレイ基板は、前記複数のピクセル電極と前記複数のデータラインの間に
設けられた平坦化層をさらに有する

請求項 6 に記載の液晶ディスプレイパネル。

【請求項 8】

50

前記複数のデータラインは前記複数の共有ラインと平行である

請求項 6 に記載の液晶ディスプレイパネル。

【請求項 9】

前記能動素子アレイ基板が有する各ピクセル電極は、対応するデータラインの上方に対応するように設けられた複数の開口部を含む

請求項 6 に記載の液晶ディスプレイパネル。

【請求項 10】

前記カラーフィルタ基板が有する前記ブラックマトリクスは、前記能動素子アレイ基板が有する前記複数のデータラインと位置合わせされている

請求項 9 に記載の液晶ディスプレイパネル。

10

【請求項 11】

前記カラーフィルタ基板が有する前記ブラックマトリクスのライン幅は、6 μm から 20 μm の範囲内にある

請求項 10 に記載の液晶ディスプレイパネル。

【請求項 12】

前記カラーフィルタ基板が有する前記ブラックマトリクスはさらに、前記能動素子アレイ基板が有する前記複数の共有ラインとも位置合わせされている

請求項 10 に記載の液晶ディスプレイパネル。

【請求項 13】

前記能動素子アレイ基板はさらに、各データラインの下方に設けられた光遮蔽層を少なくとも有する

請求項 9 に記載の液晶ディスプレイパネル。

20

【請求項 14】

前記カラーフィルタ基板が有する前記ブラックマトリクスは前記能動素子アレイ基板が有する前記複数のデータラインと位置合わせされている

請求項 13 に記載の液晶ディスプレイパネル。

【請求項 15】

前記カラーフィルタ基板が有する前記ブラックマトリクスはさらに、前記能動素子アレイ基板が有する前記複数の共有ラインとも位置合わせされている

請求項 14 に記載の液晶ディスプレイパネル。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明はピクセル構造およびディスプレイパネルに関する。より具体的には、ピクセル構造および液晶ディスプレイパネルに関し、液晶ディスプレイパネルの表示画質を改善するための技術に関する。

【背景技術】

【0002】

今日のライフスタイルに適応すべく、動画デバイスまたは画像デバイスの薄型化および軽量化が徐々に進んできている。よく知られた陰極線管 (CRT) ディスプレイにはメリットもあるものの、構成要素の 1 つである電子銃のため大型で設置には広いスペースを占めてしまうというデメリットがある。CRT ディスプレイでは画像を出力する場合に放射線が発せられ、目に悪影響を与えるなどの問題が生じている。このため、光電子技術および半導体製造技術に基づき液晶ディスプレイなどのフラットパネルディスプレイ (FPD) が開発されており、普及しつつある。

40

【0003】

図 1 は、よく知られた薄膜トランジスタアレイ基板を示す上面図である。図 1 に示すように、よく知られた薄膜トランジスタアレイ基板 10 は、ガラス基板 11 およびその上に設けられた複数のピクセル構造 15 を備える。各ピクセル構造 15 は、スキャンライン 12、データライン 13、共有ライン 14、薄膜トランジスタ 16 および透過型導電性電極

50

１７（例えばインジウムスズ酸化物（ITO））を有する。薄膜トランジスタ１６は、対応するスキャンライン１２およびデータライン１３に電気接続されている。透過型導電性電極１７は、薄膜トランジスタ１６に電気接続されている。さらに、透過型導電性電極１７と共有ライン１４は、その下にストレージ容量を形成する。

【０００４】

薄膜トランジスタアレイ基板１０およびカラーフィルタ基板（不図示）の間に液晶層を満たすことによって、液晶ディスプレイパネル（不図示）が形成される。しかし、各データライン１３は対応する共有ライン１４と交差しているので、両ライン間でクロストークが発生する。このため、データライン１３内で複数の異なる信号が変換されると、各透過型導電性電極１７の電圧レベルが干渉を受けてしまい、液晶ディスプレイパネルの表示画

10

【０００５】

上述した問題を解決するために考案された別のよく知られた薄膜トランジスタアレイ基板の構成を説明する。図２は、別のよく知られた薄膜トランジスタアレイ基板を示す上面図である。図２に示すように、よく知られた薄膜トランジスタアレイ基板２０では、共有ライン２４がデータライン１３と平行になるようにガラス基板１１の上に設けられている。このような構成として、データライン１３と共有ライン２４の間でのクロストークの発生を防止する。また、薄膜トランジスタアレイ基板２０は高開口率レイアウトに基づいて設計されているので、各ピクセルユニット２５の透過型導電性電極２７が部分的に、互いに隣接する複数のデータライン１３と重なっている。

20

【０００６】

各透過型導電性電極２７が部分的に、互いに隣接する複数のデータライン１３と重なっているため、各透過型導電性電極２７と左側のデータライン１３の間で寄生容量 C_{pd} が発生する。さらに、各透過型導電性電極２７と右側のデータライン１３の間で寄生容量 C_{pd}' が発生する。寄生容量 C_{pd} および C_{pd}' の値は、互いに隣接する複数のデータライン１３と透過型導電性電極２７が重なった面積によって決まる。

【０００７】

各マスクのレイアウト上では、互いに隣接するデータライン１３と各透過型導電性電極２７が重なった領域の面積は互いに等しくなっているが、実際の製造工程においてはリソグラフィプロセスを実行するたびに重ねずれが生じる。このような重ねずれは、大型パネルの製造工程において特に発生しやすい。隣接するデータライン１３と透過型導電性電極２７を重ねり合わせる際のずれが大きすぎると、ドット反転方式の場合に１つのピクセル構造において寄生容量 C_{pd} と寄生容量 C_{pd}' の値が互いに大きく異なってしまうので、異なる極性の容量結合効果を相殺することができない。このため、薄膜トランジスタアレイ基板２０を備える液晶ディスプレイパネル（不図示）では、縞模様が表示されたり１枚の同じグレイスケール画像においてムラが発生することがある。

30

【発明の開示】

【発明が解決しようとする課題】

【０００８】

上述の内容を鑑みて、本発明は能動素子アレイ基板でのクロストークを低減することができるピクセル構造および液晶ディスプレイパネルを提供することを目的とする。

40

【０００９】

さらに、液晶ディスプレイパネルのムラをなくすることができるピクセル構造および液晶ディスプレイパネルを提供することも目的とする。

【課題を解決するための手段】

【００１０】

上述またはその他の目的を達成するべく、本発明は基板、スキャンライン、データライン、能動素子、ピクセル電極および共有ラインを備えるピクセル構造を提供する。能動素子は、スキャンラインおよびデータラインに電気接続される。ピクセル電極は、能動素子に電気接続されており、データラインと交差するようにデータラインの上方に設けられて

50

いる。共有ラインは、ピクセル電極の下方に設けられる。共有ラインの一部はピクセル電極によって覆われている。

【0011】

本発明の一実施形態によると、上述のピクセル構造はさらに、ピクセル電極とデータラインの間に設けられた平坦化層を備える。

【0012】

本発明の一実施形態によると、上述のピクセル構造のデータラインは共有ラインと平行である。

【0013】

本発明の一実施形態によると、上述のピクセル構造のピクセル電極は、データラインの上方に対応するように設けられた複数の開口部を有する。さらに、上述のピクセル構造はデータラインの下方に設けられた光遮蔽層を備える。 10

【0014】

本発明はまた、能動素子アレイ基板、カラーフィルタ基板および液晶層を備える液晶ディスプレイパネルを提供する。液晶層は、カラーフィルタ基板および能動素子アレイ基板の間に設けられる。能動素子アレイ基板は、第1基板、複数のスキャンライン、複数のデータライン、複数の能動素子、複数のピクセル電極および複数の共有ラインを有する。複数のスキャンラインおよび複数のデータラインは、第1基板の上に設けられている。複数の能動素子は、第1基板の上に設けられていて、それぞれが複数のスキャンラインのうちの1本と複数のデータラインのうちの1本に電気接続されている。複数のピクセル電極は 20 第1基板の上に設けられ、それぞれが複数の能動素子のうちの1つに電気接続されている。複数のピクセル電極は、複数のデータラインと交差するように複数のデータラインの上方に設けられている。複数の共有ラインは、第1基板の上に且つ複数のピクセル電極の下方に設けられ、2つの隣り合うピクセル電極は各共有ラインの少なくとも2つの辺を覆っている。カラーフィルタ基板は、第2基板と第2基板の上に設けられたカラーフィルタアレイを有する。カラーフィルタアレイは、ブラックマトリクスおよびカラーフィルタ膜を含む。

【0015】

本発明の一実施形態に係る液晶ディスプレイパネルによると、能動素子アレイ基板は、ピクセル電極およびデータラインの間に設けられた平坦化層をさらに有する。 30

【0016】

本発明の一実施形態によると、液晶ディスプレイパネルのデータラインは共有ラインと平行である。

【0017】

本発明の一実施形態によると、能動素子アレイ基板が有する各ピクセル電極は、対応するデータラインの上方に対応するように設けられた複数の開口部を含む。また、カラーフィルタ基板が有するブラックマトリクスは、能動素子アレイ基板が有するデータラインと位置合わせされている。また、カラーフィルタ基板が有するブラックマトリクスのライン幅は例えば、6 μm から 20 μm の範囲内にある。しかし、この範囲に限定されない。また、ブラックマトリクスはさらに、能動素子アレイ基板が有する共有ラインとも位置合 40 わせされている。

【0018】

本発明の一実施形態に係る液晶ディスプレイパネルにおいて、能動素子アレイ基板はさらに、各データラインの下方に設けられた光遮蔽層を少なくとも有する。また、カラーフィルタ基板が有するブラックマトリクスは能動素子アレイ基板が有するデータラインと位置合わせされている。ブラックマトリクスはさらに、能動素子アレイ基板が有する共有ラインとも位置合わせされている。

【発明の効果】

【0019】

以上の説明から分かるように、本発明に係るピクセル構造では、データラインが共有ラ 50

インと重なり合うように設けられていない。このため、データラインと共有ラインの間でクロストークが発生しない。また、各ピクセル電極とデータラインが重なり合う部分の面積は同一となり、処理中の重ねずれが原因で異なることはない。このため、本発明に係るピクセル構造に基づき製造された能動素子アレイ基板において、各ピクセル電極のグレイスケール電圧が所定のレベルに維持される。さらにこのような能動素子アレイ基板を用いて製造された液晶ディスプレイパネルでは、ムラの発生を大幅に減少させ、表示画質を向上させることができる。

【 0 0 2 0 】

上述およびその他の本発明の目的、特徴および効果を説明するべく、望ましい実施形態を添付図面に基づき以下で詳述する。

10

【 0 0 2 1 】

上述の一般的な説明および以下に詳述する内容はどちらも例に過ぎず、求められればさらに説明を加えるものと理解されたい。

【 図面の簡単な説明 】

【 0 0 2 2 】

【 図 1 】よく知られた薄膜トランジスタアレイ基板を示す上面図である。

【 0 0 2 3 】

【 図 2 】別のよく知られた薄膜トランジスタアレイ基板を示す上面図である。

【 0 0 2 4 】

【 図 3 A 】本発明の第 1 実施形態に係る液晶ディスプレイパネルを示す概略断面図である。

20

【 0 0 2 5 】

【 図 3 B 】図 3 A に示した液晶ディスプレイパネルイが備える能動素子アレイ基板を示す部分上面図である。

【 0 0 2 6 】

【 図 4 A 】本発明の第 2 実施形態に係る液晶ディスプレイパネルを示す概略断面図である。

【 0 0 2 7 】

【 図 4 B 】図 4 A に示した液晶ディスプレイパネルイが備える能動素子アレイ基板を示す部分上面図である。

30

【 0 0 2 8 】

【 図 5 A 】本発明の第 3 実施形態に係る液晶ディスプレイパネルを示す概略断面図である。

【 0 0 2 9 】

【 図 5 B 】図 5 A に示した液晶ディスプレイパネルイが備える能動素子アレイ基板を示す部分上面図である。

【 0 0 3 0 】

【 図 5 C 】図 5 B の切断線 F - F ' に沿って能動素子アレイ基板を示す概略断面図である。

【 発明を実施するための最良の形態 】

40

【 0 0 3 1 】

< 第 1 実施形態 >

図 3 A は、本発明の第 1 実施形態に係る液晶ディスプレイパネルを示す概略断面図である。図 3 B は、図 3 A に示した液晶ディスプレイパネルイが備える能動素子アレイ基板を示す部分上面図である。なお、図 3 A に示した能動素子アレイ基板の概略断面図は、図 3 B に示す切断線 C - C ' に沿ったものである。図 3 A および図 3 B に示すように、第 1 実施形態に係る液晶ディスプレイパネル 4 0 0 は、能動素子アレイ基板 1 0 0、カラーフィルタ基板 2 0 0 および液晶層 3 0 0 を備える。液晶層 3 0 0 は、能動素子アレイ基板 1 0 0 およびカラーフィルタ基板 2 0 0 の間に設けられている。

【 0 0 3 2 】

50

能動素子アレイ基板 100 は、第 1 基板 110、複数のスキャンライン 120、複数のデータライン 130、複数の能動素子 142、複数のピクセル電極 144 および複数の共有ライン 150 を有する。第 1 基板 110 は例えば、ガラス基板、石英基板またはその他の透過性材料から成る基板である。スキャンライン 120 は例えば、アルミ合金製ラインまたはその他の導電性材料から成るラインで、第 1 基板 110 の上に平行に配設されている。データライン 130 は例えば、クロム製ライン、アルミ合金製ラインまたはその他の導電性材料から成るラインで、第 1 基板 110 の上に平行に配設されているが、スキャンライン 120 とは直交するように設けられている。能動素子 142 は例えば、薄膜トランジスタまたはこれ以外の 3 極スイッチングデバイスで、第 1 基板 110 の上に設けられている。各能動素子 142 はスキャンライン 120 およびデータライン 130 が交差している箇所に隣接しており、スキャンライン 120 およびデータライン 130 に電氣的に接続されている。ピクセル電極 144 は第 1 基板 110 の上に設けられ、各ピクセル電極 144 は能動素子 142 のうちの 1 つに電気接続されている。ピクセル電極 144 は例えば、透過型電極、反射型電極または半透過型電極であり、形成材料の例としてはインジウムスズ酸化物 (ITO)、インジウム亜鉛酸化物 (IZO)、金属などの透過型導電材料または非透過型導電材料が挙げられる。さらに、ピクセル電極 144 はデータライン 130 の上方に、データライン 130 と交差するように配設されている。共有ライン 150 は、クロム製ライン、アルミ合金製ラインまたはその他の適切な導電性材料から成るラインであって、第 1 基板 110 の上にデータライン 130 と平行になるように設けられ、且つピクセル電極 144 の下方に配設されている。各共有ライン 150 は、隣接する 2 つのピクセル電極 144 に対応付けられてその間に設けられ、この 2 つの隣接するピクセル電極 144 は対応する共有ライン 150 の少なくとも 2 つの辺を覆っている。

【0033】

カラーフィルタ基板 200 は、第 2 基板 210 およびカラーフィルタアレイ 240 を有する。第 2 基板 210 は例えば、ガラス基板、石英基板またはその他の透過型材料から成る基板である。カラーフィルタアレイ 240 は、第 2 基板 210 の上に設けられ、ブラックマトリクス 220 およびカラーフィルタ膜 230 を含む。ブラックマトリクス 220 は例えば、クロム、黑色樹脂またはその他の光遮蔽材料から成る。カラーフィルタ膜 230 は例えば、カラー樹脂またはその他のカラー染料から成る。

【0034】

スキャンライン 120、データライン 130、能動素子 142、ピクセル電極 144 および共有ライン 150 によって、ピクセル構造 140 が構成されている。つまり、各ピクセル構造 140 はスキャンライン 120、データライン 130、能動素子 142、ピクセル電極 144 および共有ライン 150 を有する。

【0035】

本発明の一実施形態によると、図 3B に示すように、能動素子アレイ基板 100 が有するデータライン 130 および共有ライン 150 は平行である。また図 3A に示すように、能動素子アレイ基板 100 はさらに、例えば有機絶縁材料または無機絶縁材料から成る平坦化層 160 を有する。この平坦化層 160 はピクセル電極 144 およびデータライン 130 の間に設けられている。

【0036】

各ピクセル構造 140 において、データライン 130 と共有ライン 150 は互いに重なっていないので、データライン 130 と共有ライン 150 の間でクロストークは発生しない。このため、ピクセル電極 144 のグレイスケール電圧のレベルは、データライン 130 内で複数の異なる信号が変換されても干渉を受けない。よって、液晶ディスプレイパネル 400 の表示画質を改善することができる。またさらに、ピクセル構造 140 の構成によると、ピクセル電極 144 はデータライン 130 の上方に設けられ、データライン 130 と交差している。このような構成とすることによって、能動素子アレイ基板 100 製造中に実行されるリソグラフィプロセスで重ねずれが発生しても、各ピクセル電極 144 と対応するデータライン 130 が重なる領域の面積はすべて同じになる。従って、各ピク

セル電極 144 と対応するデータライン 130 の間に発生する寄生容量 C_{pd} の値はすべて同じである。このため能動素子アレイ基板 100 では、すべてのピクセル電極 144 が所望のレベルのグレイスケール電圧を達成することができ、液晶ディスプレイパネルのムラが大幅に低減し、表示画質を改善することができる。またさらに、ピクセル電極 144 とデータライン 130 の間のプロセスウィンドウが改善される。

【0037】

< 第 2 実施形態 >

図 4 A は、本発明の第 2 実施形態に係る液晶ディスプレイパネルを示す概略断面図である。図 4 B は、図 4 A に示した液晶ディスプレイパネルが備える能動素子アレイ基板を示す部分上面図である。なお、図 4 A に示した能動素子アレイ基板の概略断面図は、図 4 B に示す切断線 D - D' に沿ったものである。図 4 A および図 4 B に示すように、第 2 実施形態に係る液晶ディスプレイパネル 600 は、第 1 実施形態に係る液晶ディスプレイパネル 400 と類似しているが、能動素子アレイ基板 500 において各ピクセル構造 540 のピクセル電極 544 が、データライン 130 の上方に対応するように設けられた複数の開口部 544a を有する点で第 1 実施形態とは異なる。より具体的には、開口部 544a はデータライン 130 のライン幅の範囲内に収まるように設けられている。このような構成とすることによって、各ピクセル電極 544 とデータライン 130 が重なる領域を小さくすることができる。このため、各ピクセル電極 544 とデータライン 130 の間に発生する寄生容量 C_{pd} も低減され、垂直方向のクロストークを低減することができる。

【0038】

上述したように第 2 実施形態によると、液晶ディスプレイパネル 600 のデータライン 130 または共有ライン 150 の上で光漏れが発生するのを避けるべく、カラーフィルタ基板 200 が有するブラックマトリクス 220 は、能動素子アレイ基板 500 が有するデータライン 130 と位置合わせされている。ブラックマトリクス 220 はさらに、共有ライン 150 とも位置合わせされている（つまり、カラーフィルタ基板 200 のブラックマトリクス 220 が、データライン 130 と同じく共有ライン 150 を遮蔽する）。ブラックマトリクス 220 のライン幅は例えば、6 μm から 20 μm の範囲内に納まるように設定されるが、これに限定されるものではない。

【0039】

< 第 3 実施形態 >

図 5 A は、本発明の第 3 実施形態に係る液晶ディスプレイパネルを示す概略断面図である。図 5 B は、図 5 A に示した液晶ディスプレイパネルが備える能動素子アレイ基板を示す部分上面図である。なお、図 5 A に示した能動素子アレイ基板の概略断面図は、図 5 B に示す切断線 E - E' に沿ったものである。図 5 C は、図 5 B の切断線 F - F' に沿った、能動素子アレイ基板を示す概略断面図である。図 5 A から図 5 C に示すように、液晶ディスプレイパネル 800 は、第 2 実施形態に係る液晶ディスプレイパネル 600 を変形したものである。液晶ディスプレイパネル 800 では、能動素子アレイ基板 700 が有するデータライン 130 がそれぞれ、少なくとも光遮蔽層 710 をその下方に含む。光遮蔽層 710 は、光漏れを防ぐべくデータライン 130 の下方に設けられる。光遮蔽層 710 は例えば、クロム層、アルミニウム層またはその他の光遮蔽材料から成る層である。第 3 実施形態によると、カラーフィルタ基板 200 が有するブラックマトリクス 220 は能動素子アレイ基板 700 のデータライン 130 と位置合わせされている。ブラックマトリクス 220 はさらに、共有ライン 150 とも位置合わせされている。つまり、ブラックマトリクス 220 はデータライン 130 に加えて共有ライン 150 も遮蔽する。第 3 実施形態によると、ブラックマトリクス 220 のライン幅は例えば、6 μm から 15 μm の範囲内に収まるように設定される。データライン 130 の下方に光遮蔽層 710 が設けられているので、データライン 130 の上方に対応するように設けられるブラックマトリクス 220 はライン幅を小さくすることが可能となり、開口率を上げることができる。

【0040】

能動素子アレイ基板 700 に光遮蔽層 710、カラーフィルタ基板 200 にブラックマ

トリクス 220 が設けられるので、液晶ディスプレイパネル 800 のデータライン 130 または共有ライン 150 の上方で発生する光漏れを遮蔽することができる。このため、液晶ディスプレイパネル 800 はより高い表示画質を持つ。

【0041】

上記の説明から分かるように、本発明の実施形態に係るピクセル構造および液晶ディスプレイパネルは少なくとも以下に述べる効果を奏する。

【0042】

1. 本発明の実施形態に係るピクセル構造によると、データラインと共通ラインが互いに平行であり、データラインは共有ラインと重ならないので、データラインと共有ラインの間でクロストークが発生しない。従って、このようなピクセル構造に基づいて製造された液晶ディスプレイパネルは好適な表示画質を達成することができる。

10

【0043】

2. 本発明の実施形態に係るピクセル構造の構成によると、異なるピクセル電極とそれぞれに対応するデータラインが重なる領域の面積はすべて同じである。このため、各ピクセル電極とそれぞれに対応するデータラインが重なり合う領域の面積は、処理中に発生する重ねずれが原因で互いに異なることはない。このため、上述のピクセル構造を用いて能動素子アレイ基板を製造すると、ピクセル電極とデータラインの間のプロセスウィンドウを改善することができる。

【0044】

3. 本発明の実施形態に係るピクセル構造によると、ピクセル電極は対応するデータラインの上方に配置され、対応するデータラインと交差している。このため、各ピクセル電極と対応するデータラインが重なり合う面積はすべて等しい。従って、本発明の実施形態に係るピクセル構造を利用して製造した能動素子アレイ基板では、各ピクセル電極を普通の方法で所定の電荷量を持つよう帯電させる（または放電させる）ことができる。このようにして製造された能動素子アレイ基板を用いて液晶ディスプレイパネルを製造すると、ムラが大幅に低減された液晶ディスプレイパネルを実現することができ、好適な表示画質が達成される。

20

【0045】

4. 本発明の第 2 実施形態によると、各ピクセル電極は複数の開口部を含み、各ピクセル電極と対応するデータラインが重なり合う領域の面積を小さくしている。またさらに、各ピクセル電極と対応するデータラインの間に発生する寄生容量も低減することができる。このため、垂直方向のクロストークを減らすことができる。

30

【0046】

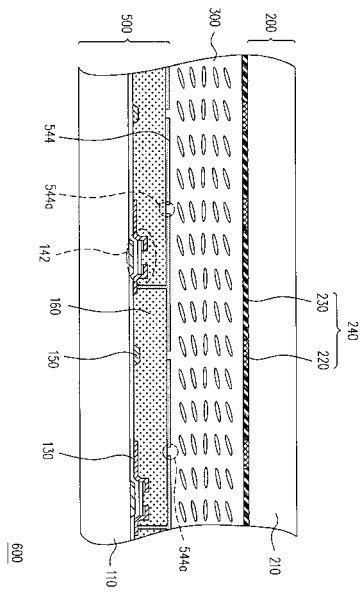
5. 本発明の第 3 実施形態によると、光漏れ領域を遮蔽すべく、少なくとも 1 つの光遮蔽層がさらに各データラインの下方に設けられている。このため第 3 実施形態では、ブラックマトリクスのライン幅を小さくすることができ、一部開口率を上げることができる。

【0047】

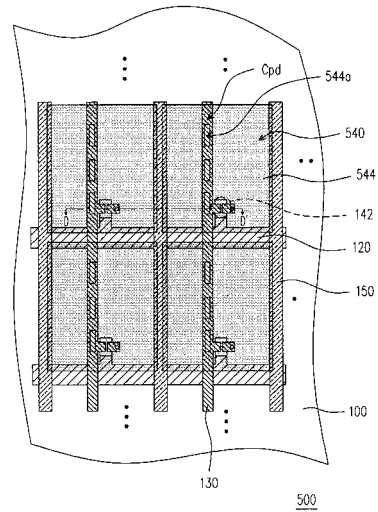
本発明の目的および範囲を離れることなく、本発明の実施形態に係る構造をさまざまに変更することができるのは当業者には明らかである。このため、本願請求項およびそれに類するものの範囲内に含まれる限り、本発明の実施形態の変形も本発明の範囲に含むものとする。

40

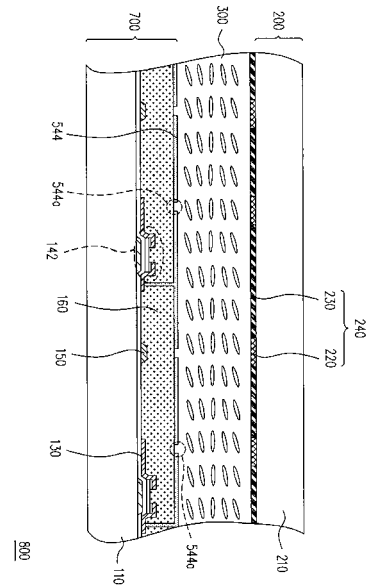
【図 4 A】



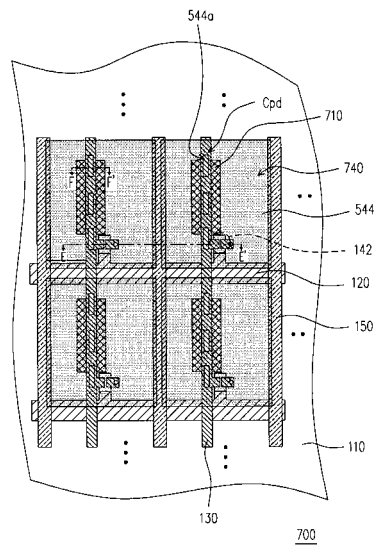
【図 4 B】



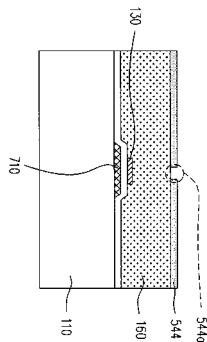
【図 5 A】



【図 5 B】



【図 5 C】



【手続補正書】

【提出日】平成19年1月11日(2007.1.11)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正の内容】

【0007】

各マスクのレイアウト上では、互いに隣接するデータライン13と各透過型導電性電極27が重なった領域の面積は互いに等しくなっているが、実際の製造工程においてはリソグラフィプロセスを実行するたびに重ねずれが生じる。このような重ねずれは、大型パネルの製造工程において特に発生しやすい。隣接するデータライン13と透過型導電性電極27を重ねり合わせる際のずれが大きすぎると、ドット反転方式の場合に1つのピクセル構造において寄生容量 C_{pd} と寄生容量 C_{pd}' の値が互いに大きく異なってしまうので、異なる極性の容量結合効果を相殺することができない。このため、薄膜トランジスタアレイ基板20を備える液晶ディスプレイパネル(不図示)では、縞模様が表示されたり1枚の同じグレースケール画像においてムラが発生することがある。

【特許文献1】米国特許第6784949号明細書

【 外国語明細書 】

PIXEL STRUCTURE AND LIQUID CRYSTAL DISPLAY PANEL

BACKGROUND OF THE INVENTION

Field of Invention

[0001] The present invention relates to a pixel structure and a display panel, and more particularly, to a pixel structure and a liquid crystal display panel for improving the display quality of the liquid crystal display panel.

Description of Related Art

[0002] In order to suit the modern lifestyle, video or image devices are gradually becoming thin and light. Though the conventional cathode ray tube (CRT) display has advantages, the CRT display has a large volume and occupies a lot of space due to the electron gun therein. When the CRT display outputs images, radiant rays are emitted, causing problems such as eye damage. Therefore, with optoelectronic technology and semiconductor manufacturing technology, flat panel displays (FPDs) such as the liquid crystal display have been developed and have gradually become mainstream products in the market.

[0003] FIG. 1 is a top view of a conventional thin film transistor array substrate. Referring to FIG. 1, a conventional thin film transistor array substrate 10 comprises a glass substrate 11 and a plurality of pixel structures 15 disposed on the glass substrate 11. Each of the pixel structures 15 comprises a scan line 12, a data line 13, a common line 14, a thin film transistor 16 and a transmissive conductive electrode 17 (e.g. indium tin oxide (ITO)). The thin film transistor 16 is electrically connected to the

corresponding scan line 12 and data line 13. The transmissive conductive electrode 17 is electrically connected to the thin film transistor 16. Furthermore, the transmissive conductive electrode 17 and the common line 14 therebelow form a storage capacitance.

[0004] After a liquid crystal layer is filled between the thin film transistor array substrate 10 and a color filter substrate (not shown), a liquid crystal display panel (not shown) is thus formed. However, since each data line 13 crosses over the corresponding common line 14, a crosstalk occurs between each data line 13 and the corresponding common line 14. Thus, the voltage level of each transmissive conductive electrode 17 is interfered when different signals are transformed in the corresponding data line 13, and further, the display quality of the liquid crystal display panel is deteriorated.

[0005] In order to solve the above problems, another conventional film transistor array substrate design is provided. FIG. 2 is a top view of another conventional thin film transistor array substrate. Referring to FIG. 2, in the conventional thin film transistor array substrate 20, common lines 24 are disposed over the glass substrate 11 parallel with the data lines 13, thus avoiding the crosstalk occurring between the data lines 13 and the common lines 24. Furthermore, a high aperture ratio layout is employed to design the thin film transistor array substrate 20, such that a transmissive conductive electrode 27 of each pixel unit 25 is partially overlaid on the adjacent data lines 13.

[0006] Since each of the transmissive conductive electrodes 27 is partially overlaid on adjacent data lines 13, parasitic capacitances C_{pd} are generated between each transmissive conductive electrode 27 and the data line 13 on the left side thereof. Additionally, parasitic capacitances C_{pd}' are generated between each transmissive conductive electrode 27 and the data line 13 on the right side thereof. The values of

the parasitic capacitances C_{pd} and C_{pd}' depend on the overlay areas of the transmissive conductive electrode 27 and the adjacent data lines 13.

[0007] Though the overlay areas of each transmissive conductive electrode 27 and the adjacent data lines 13 are equal according to the layout of each mask, in practical fabrication, an overlay shift is generated in each lithography process. The overlay shift is especially prone to occur when fabricating large-size panels. When the overlay shift of a partial region of the transmissive conductive electrode 27 and adjacent data lines 13 is too large, in the dot inversion, due to the big value difference between parasitic capacitances C_{pd} and C_{pd}' in single pixel structure, capacitance coupling effects of different polarities cannot be offset. Therefore, the liquid crystal display panel (not shown) fabricated by the thin film transistor array substrate 20 may display strips or mura may occur in the same grayscale picture.

SUMMARY OF THE INVENTION

[0008] In view of the above, an object of the present invention is to provide a pixel structure and a liquid crystal display panel for diminishing the crosstalk of the active device array substrate.

[0009] Another object of the present invention is to provide a pixel structure and a liquid crystal display panel for eliminating the mura of the liquid crystal display panel.

[0010] In order to achieve the above or other objects, the present invention provides a pixel structure, which comprises a substrate, a scan line, a data line, an active device, a pixel electrode and a common line. The active device is electrically connected to the scan line and the data line. The pixel electrode is electrically connected to the active device, and is disposed above the data line and crosses over the data line. The common

line is disposed below the pixel electrode, and the pixel electrode covers a part of the common line.

[0011] In an embodiment of the present invention, the abovementioned pixel structure further comprises a planarization layer disposed between the pixel electrode and the data line.

[0012] In an embodiment of the present invention, the data line of the abovementioned pixel structure is parallel with the common line.

[0013] In an embodiment of the present invention, the pixel electrode of the abovementioned pixel structure has a plurality of openings disposed above the data line. Furthermore, the pixel structure further comprises a light shielding layer disposed below the data line.

[0014] The present invention further provides a liquid crystal display panel, which comprises an active device array substrate, a color filter substrate and a liquid crystal layer. The liquid crystal layer is disposed between the active device array substrate and the color filter substrate. The active device array substrate comprises a first substrate, a plurality of scan lines, a plurality of data lines, a plurality of active devices, a plurality of pixel electrodes and a plurality of common lines. The scan lines and the data lines are disposed over the first substrate. The active devices are disposed over the first substrate, and each of the active devices is electrically connected to one of the scan lines and one of the data lines. The pixel electrode is disposed over the first substrate, and each of the pixel electrodes is electrically connected to one of the active devices. The pixel electrodes are disposed above the data lines and cross over the data lines. The common lines are disposed over the first substrate and below the pixel electrodes, and at least two sides of each common line are respectively covered by two

adjacent pixel electrodes. The color filter substrate comprises a second substrate and a color filter array disposed over the second substrate. The color filter array comprises a black matrix and a color filter film.

[0015] In a liquid crystal display panel according to an embodiment of the present invention, the active device array substrate further comprises a planarization layer disposed between the pixel electrode and the data line.

[0016] In an embodiment of the present invention, the data lines of the liquid crystal display panel are parallel with the common lines.

[0017] In an embodiment of the present invention, each pixel electrode of the active device array substrate has a plurality of openings disposed above the data line. Furthermore, the black matrix of the color filter substrate is aligned with the data lines of the active device array substrate. The linewidth of the black matrix of the color filter substrate falls in a range of, for example, $6\ \mu\text{m}$ ~ $20\ \mu\text{m}$, but is not limited to this range. The black matrix is further aligned with the common lines of the active device array substrate.

[0018] In a liquid crystal display panel according to an embodiment of the present invention, the active device array substrate further comprises at least a light shielding layer disposed below each data line. Furthermore, the black matrix of the color filter substrate is aligned with the data lines of the active device array substrate. The black matrix is further aligned with the common lines of the active device array substrate.

[0019] In view of the above, in the pixel structure of the present invention, the data line is not overlaid on the common line, so that a crosstalk does not occur between the data line and the common line. Furthermore, the overlay areas of each pixel electrode and the data line are the same and may not change with the overlay shift of the processes.

Therefore, in the active device array substrate fabricated from the pixel structure of the present invention, each pixel electrode is maintained at a predetermined grayscale voltage level. When the active device array substrate is further applied in a liquid crystal display panel, the mura of the liquid crystal display panel can be greatly reduced, and better display quality can be attained.

[0020] In order to make aforementioned and other objects, features and advantages of the present invention comprehensible, preferred embodiments accompanied with figures are described in detail below.

[0021] It is to be understood that both the foregoing general description and the following detailed description are exemplary, and are intended to provide further explanation of the invention as claimed.

BRIEF DESCRIPTION OF THE DRAWINGS

[0022] FIG. 1 is a top view of the conventional thin film transistor array substrate.

[0023] FIG. 2 is a top view of another conventional thin film transistor array substrate.

[0024] FIG. 3A is a schematic cross sectional view of the liquid crystal display panel according to a first embodiment of the present invention.

[0025] FIG. 3B is a partial top view of the active device array substrate of the liquid crystal display panel of FIG. 3A.

[0026] FIG. 4A is a schematic cross sectional view of the liquid crystal display panel according to the second embodiment of the present invention.

[0027] FIG. 4B is a partial top view of the active device array substrate of the liquid crystal display panel of FIG. 4A.

[0028] FIG. 5A is a schematic cross sectional view of the liquid crystal display panel according to the third embodiment of the present invention.

[0029] FIG. 5B is a partial top view of the active device array substrate of the liquid crystal display panel of FIG. 5A.

[0030] FIG. 5C is a schematic cross sectional view of the active device array substrate along the section line F-F' of FIG. 5B.

DESCRIPTION OF EMBODIMENTS

The First Embodiment

[0031] FIG. 3A is a schematic cross sectional view of the liquid crystal display panel according to a first embodiment of the present invention. FIG. 3B is a partial top view of the active device array substrate of the liquid crystal display panel of FIG. 3A, in which the active device array substrate in FIG. 3A is a schematic cross sectional view taken along the section line C-C' of FIG. 3B. Referring to FIG. 3A and FIG. 3B together, the liquid crystal display panel 400 of the embodiment comprises an active device array substrate 100, a color filter substrate 200 and a liquid crystal layer 300. The liquid crystal layer 300 is disposed between the active device array substrate 100 and the color filter substrate 200.

[0032] The active device array substrate 100 comprises a first substrate 110, a plurality of scan lines 120, a plurality of data lines 130, a plurality of active devices 142, a plurality of pixel electrodes 144 and a plurality of common lines 150. The first substrate 110 is, for example, a glass substrate, a quartz substrate or another substrate made of transmissive material. The scan lines 120 are, for example, aluminum alloy lines or other lines made of conductive material, and are disposed over the first substrate

110 in parallel. The data lines 130 are, for example, chromium lines, aluminum alloy lines or other lines made of conductive material, and are also disposed over the first substrate 110 in parallel but perpendicular to the scan lines 120. The active devices 142 are, for example, thin film transistors or other tri-polar switching devices disposed over the first substrate 110. Each of the active devices 142 is adjacent to the intersection of a scan line 120 and a data line 130 and is electrically connected to the scan line 120 and the data line 130. The pixel electrodes 144 are disposed over the first substrate 110, and each of the pixel electrodes 144 is electrically connected to one of the active devices 142. Each of the pixel electrodes 144 is, for example, a transmissive electrode, reflective electrode or a transfective electrode, and the material thereof is, for example, indium tin oxide (ITO), indium zinc oxide (IZO), metal, or another transmissive or nontransmissive conductive material. Furthermore, the pixel electrodes 144 are disposed above the data lines 130 and cross over the data lines 130. The common lines 150 are chromium lines, aluminum alloy lines or other lines made of proper conductive material, and are disposed over the first substrate 110 in parallel with the data lines 130 and below the pixel electrodes 144. Each of the common lines 150 is correspondingly disposed between two adjacent pixel electrodes 144, and the two adjacent pixel electrodes 144 respectively cover at least two sides of the corresponding common line 150.

[0033] The color filter substrate 200 comprises a second substrate 210 and a color filter array 240. The second substrate 210 is, for example, a glass substrate, a quartz substrate or another substrate made of transmissive material. The color filter array 240 is disposed over the second substrate 210, and comprises a black matrix 220 and a color filter film 230. The black matrix 220 is made of, for example, chromium, black resin

or another light shielding material. The color filter film 230 is made of, for example, color resin or another color dye.

[0034] It should be noted that the scan lines 120, the data lines 130, the active devices 142, the pixel electrodes 144 and the common lines 150 constitute pixel structures 140. In other words, each pixel structure 140 comprises a scan line 120, a data line 130, an active device 142, a pixel electrode 144 and a common line 150.

[0035] According to an embodiment of the invention, as shown in FIG. 3B, the data lines 130 and the common lines 150 of the active device array substrate 100 are parallel. Furthermore, as shown in FIG. 3A, the active device array substrate 100 further comprises a planarization layer 160 that is made of, for example, an organic insulating material or an inorganic insulating material, and the planarization layer 160 is disposed between the pixel electrodes 144 and the data lines 130.

[0036] In each pixel structure 140, since the data line 130 is not overlaid on the common line 150, a cross-talk does not occur between the data line 130 and the common line 150. Thus, the grayscale voltage level of the pixel electrode 144 is not interfered when different signals are transformed in the data line 130, i.e. the display quality of the liquid crystal display panel 400 is improved. Furthermore, according to the design of the pixel structure 140, the pixel electrode 144 is disposed above the data line 130 and crosses over the data line 130. As such, though an overlay shift is generated among lithography processes during fabricating the active device array substrate 100, the overlay area of each pixel electrode 144 and the corresponding data line 130 is identical. The values of the parasitic capacitance C_{pd} generated between different pixel electrodes 144 and the data line 130 corresponding thereto are the same. As such, in the active device array substrate 100, all of the pixel electrodes 144 can

achieve a predetermined grayscale voltage level, and thus the mura of the liquid crystal display panel can be greatly reduced and further the display quality can be enhanced. Furthermore, a better process window between the pixel electrodes 144 and the data lines 130 is provided.

The Second Embodiment

[0037] FIG. 4A is a schematic cross sectional view of the liquid crystal display panel according to the second embodiment of the present invention. FIG. 4B is a partial top view of the active device array substrate of the liquid crystal display panel in FIG. 4A, in which the active device array substrate of FIG. 4A is a schematic cross sectional view taken along the section line D-D' of FIG. 4B. Referring to FIG. 4A and FIG. 4B together, the liquid crystal display panel 600 of the embodiment is similar to the liquid crystal display panel 400 of the first embodiment, but the difference lies in that in the active device array substrate 500, the pixel electrode 544 of each pixel structure 540 has a plurality of openings 544a disposed above the data line 130. More specifically, the openings 544a are distributed in a range of the line-width of the data line 130. As such, the overlay area of each of the pixel electrode 544 and data line 130 can be reduced, such that the parasitic capacitance C_{pd} between pixel electrode 544 and the data line 130 is accordingly reduced, thereby reducing the vertical crosstalk.

[0038] As described above, in the embodiment, in order to prevent a light leakage occurring over the data lines 130 or common lines 150 of the liquid crystal display panel 600, the black matrix 220 of the color filter substrate 200 is aligned with the data lines 130 of the active device array substrate 500, and the black matrix 220 is also aligned with the common lines 150, i.e., the black matrix 220 of the color filter substrate shields the common lines 150 in addition to the data lines 130. The line-width of the

black matrix 220 falls in a range of, for example, $6\ \mu\text{m}$ ~ $20\ \mu\text{m}$, but is not limited to this range.

The Third Embodiment

[0039] FIG. 5A is a schematic cross sectional view of the liquid crystal display panel according to the third embodiment of the present invention. FIG. 5B is a partial top view of the active device array substrate of the liquid crystal display panel in FIG. 5A, in which the active device array substrate of FIG. 5A is a schematic cross sectional view taken along the section line E-E' of FIG. 5B. FIG. 5C is a schematic cross sectional view of the active device array substrate taken along the section line F-F' of FIG. 5B. Referring to FIG. 5A and FIG. 5C together, the liquid crystal display panel 800 is a variation of the liquid crystal display panel 600 of the second embodiment. In the liquid crystal display panel 800, each data line 130 of the active device array substrate 700 further comprises at least a light shielding layer 710 therebelow. The light shielding layer 710 is disposed below the data lines 130 to shield the light leakage herein. The light shielding layer 710 is, for example, a chromium layer, an aluminum layer or another light shielding material layer. According to the embodiment, the black matrix 220 of the color filter substrate 200 is aligned with the data lines 130 of the active device array substrate 700, and the black matrix 220 is also aligned with the common lines 150, i.e. the black matrix 220 shields the common lines 150 in addition to the data lines 130. In the embodiment, the line-width of the black matrix 220 falls in a range of, for example, $6\ \mu\text{m}$ ~ $15\ \mu\text{m}$. Since a light shielding layer 710 is disposed below the data lines 130, the line-width of the black matrix 220 correspondingly disposed above the data lines 130 can be reduced, thus raising the aperture ratio.

[0040] With the light shielding layer 710 of the active device array substrate 700 and the black matrix 220 of the color filter substrate 200, the light leakage above the data lines 130 or common lines 150 of the liquid crystal display panel 800 may be shielded, such that the liquid crystal display panel 800 has better display quality.

[0041] In view of the above, the pixel structure and the liquid crystal display panel of the present invention has at least the following advantages.

[0042] 1. In the pixel structure of the present invention, the data lines and the common lines are parallel, i.e. the data lines are not overlaid on the common lines, and thus the crosstalk may not occur between the data lines and the common lines. Therefore, the liquid crystal display panel fabricated by the pixel structure has favorable display quality.

[0043] 2. The design of the pixel structure of the present invention allows the overlay areas of different pixel electrodes and the corresponding data lines being the same, so that the overlay area of each pixel electrode and the corresponding data line may not be changed due to the overlay shift in the processes. Therefore, if the pixel structure is adopted to fabricate an active device array substrate, a better process window between the pixel electrodes and the data lines is provided.

[0044] 3. In the pixel structure of the present invention, the pixel electrodes are disposed above the corresponding data lines and cross over the corresponding data lines, such that the overlay areas of different pixel electrodes and the corresponding data line are the same. Therefore, in the active device array substrate fabricated by the pixel structure of the present invention, each pixel electrode can be normally charged (or discharged) to a predetermined electric charge quantity. When the active device array substrate is further applied in a liquid crystal display panel, the mura of the liquid

crystal display panel can be greatly reduced, thereby favorable display quality is provided.

[0045] 4. In the second embodiment of the present invention, each pixel electrode has a plurality of openings, so the overlay area of each pixel electrode and the corresponding data line can be reduced. in addition, the parasitic capacitance between each pixel electrode and the corresponding data line can also be reduced, thus diminishing the vertical crosstalk.

[0046] 5. In the third embodiment of the present invention, at least one light shielding layer is further disposed below each of the data lines to shield the light leakage region. Therefore, in the embodiment, the line-width of the black matrix can be reduced, thus partially raising the aperture ratio.

[0047] It will be apparent to those skilled in the art that various modifications and variations can be made to the structure of the present invention without departing from the scope or spirit of the invention. In view of the foregoing, it is intended that the present invention cover modifications and variations of this invention provided they fall within the scope of the following claims and their equivalents.

WHAT IS CLAIMED IS:

1. A pixel structure, comprising:
 - a substrate;
 - a scan line and a data line disposed over the substrate;
 - an active device electrically connected to the scan line and the data line;
 - a pixel electrode electrically connected to the active device, wherein the pixel electrode is disposed above the data line and crosses over the data line; and
 - a common line disposed below the pixel electrode, wherein the pixel electrode covers a part of the common line.
2. The pixel structure of claim 1, further comprising a planarization layer disposed between the pixel electrode and the data line.
3. The pixel structure of claim 1, wherein the data line is parallel with the common line.
4. The pixel structure of claim 1, wherein the pixel electrode has a plurality of openings disposed above the data line.
5. The pixel structure of claim 4, further comprising a light shielding layer disposed below the data line.
6. A liquid crystal display panel, comprising:
 - an active device array substrate, comprising:
 - a first substrate;
 - a plurality of scan lines and a plurality of data lines disposed over the first substrate;

a plurality of active devices disposed over the first substrate, and each of the active devices being electrically connected to one of the scan lines and one of the data lines;

a plurality of pixel electrodes disposed over the first substrate, and each of the pixel electrodes being electrically connected to one of the active devices, wherein the pixel electrodes are disposed above the data lines and cross over the data lines;

a plurality of common lines disposed over the first substrate and below the pixel electrodes, and each of the common lines being correspondingly disposed between two adjacent pixel electrodes, wherein the two adjacent pixel electrodes respectively cover at least two sides of each common line;

a color filter substrate, comprising:

a second substrate;

a color filter array disposed above the second substrate and comprising a black matrix and a color filter film; and

a liquid crystal layer disposed between the color filter substrate and the active device array substrate.

7. The liquid crystal display panel of claim 6, wherein the active device array substrate further comprises a planarization layer disposed between the pixel electrodes and the data lines.

8. The liquid crystal display panel of claim 6, wherein the data lines are parallel with the common lines.

9. The liquid crystal display panel of claim 6, wherein each pixel electrode of the active device array substrate has a plurality of openings disposed above the corresponding data line.

10. The liquid crystal display panel of claim 9, wherein the black matrix of the color filter substrate is aligned with the data lines of the active device array substrate.

11. The liquid crystal display panel of claim 10, wherein the line-width of the black matrix of the color filter substrate falls in a range of $6\ \mu\text{m} \sim 20\ \mu\text{m}$.

12. The liquid crystal display panel of claim 10, wherein the black matrix of the color filter substrate is further aligned with the common lines of the active device array substrate.

13. The liquid crystal display panel of claim 9, wherein the active device array substrate further comprises at least a light shielding layer disposed below each data line.

14. The liquid crystal display panel of claim 13, wherein the black matrix of the color filter substrate is aligned with the data lines of the active device array substrate.

15. The liquid crystal display panel of claim 14, wherein the black matrix of the color filter substrate is further aligned with the common lines of the active device array substrate.

ABSTRACT OF THE DISCLOSURE

A pixel structure is provided. The pixel structure includes a substrate, a scan line, a data line, an active device, a pixel electrode and a common line. The active device is electrically connected to the scan line and the data line. The pixel electrode is electrically connected to the active device. The pixel electrode is disposed above the data line and crosses over the data line. The common line is disposed below the pixel electrode, and the pixel electrode covers a part of the common line.

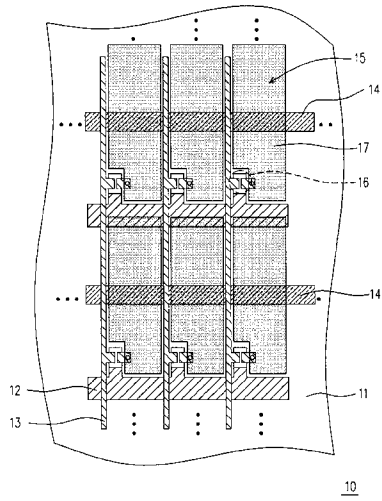


FIG. 1 (PRIOR ART)

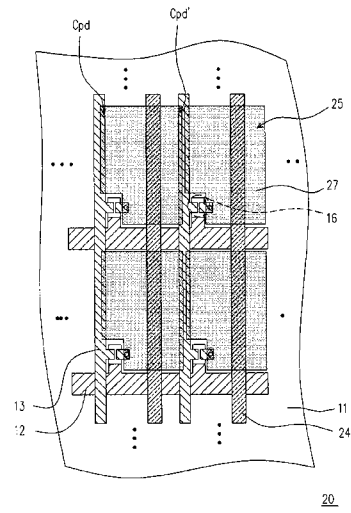


FIG. 2 (PRIOR ART)

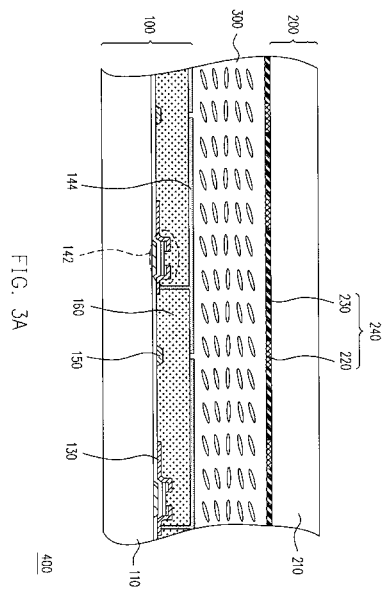


FIG. 3A

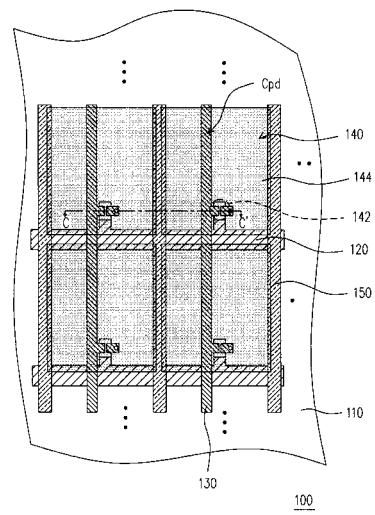


FIG. 3B

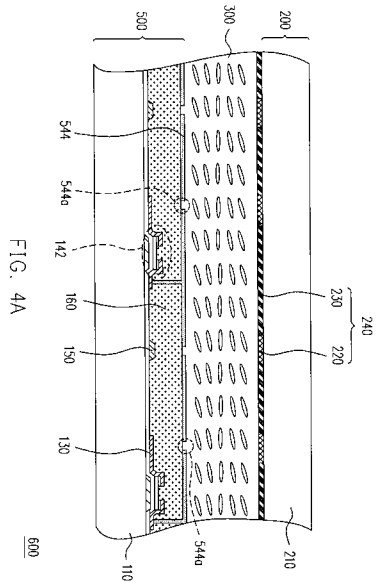


FIG. 4A

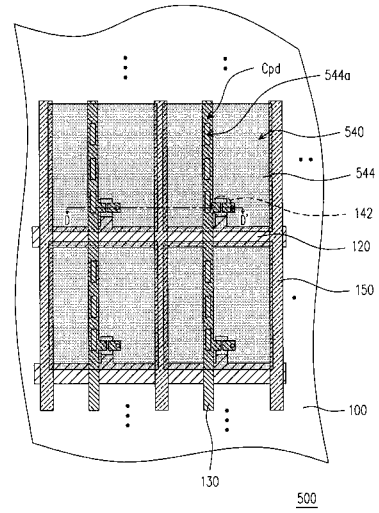


FIG. 4B

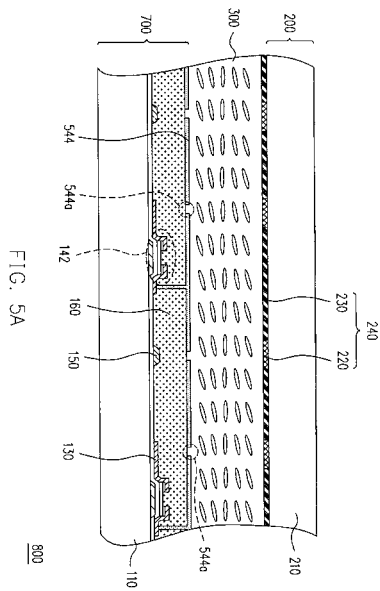


FIG. 5A

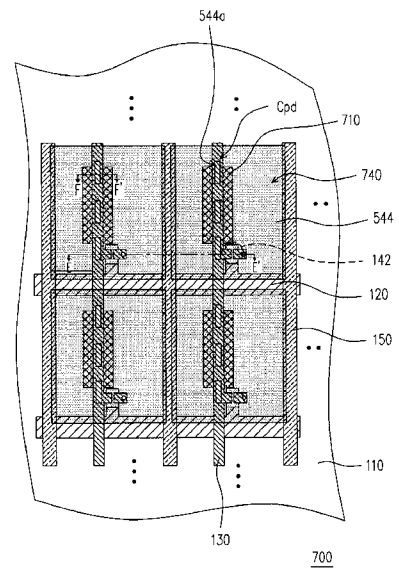
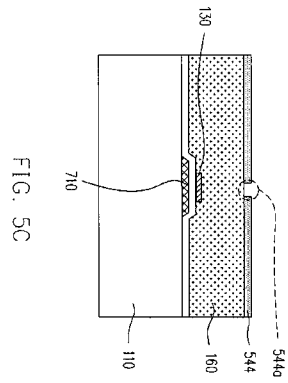


FIG. 5B



专利名称(译)	像素结构和液晶显示面板		
公开(公告)号	JP2007316590A	公开(公告)日	2007-12-06
申请号	JP2007002972	申请日	2007-01-11
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股份有限公司		
[标]发明人	張峻桓		
发明人	張 峻桓		
IPC分类号	G02F1/1343 G02F1/1368 G02F1/1335		
CPC分类号	G02F1/136227		
FI分类号	G02F1/1343 G02F1/1368 G02F1/1335.500 G02F1/1335.505		
F-TERM分类号	2H091/FA02Y 2H091/FA35Y 2H091/FD04 2H091/GA02 2H091/GA03 2H091/GA13 2H091/LA16 2H092/GA17 2H092/GA29 2H092/JA46 2H092/JB13 2H092/JB22 2H092/JB31 2H092/JB51 2H092/JB63 2H092/JB69 2H092/NA01 2H092/NA23 2H092/PA08 2H092/PA09 2H191/FA02Y 2H191/FA14Y 2H191/FD04 2H191/GA04 2H191/GA05 2H191/GA19 2H191/LA21 2H192/AA24 2H192/CC66 2H192/DA15 2H192/EA17 2H192/EA22 2H192/EA43 2H192/EA67 2H291/FA02Y 2H291/FA14Y 2H291/FD04 2H291/GA04 2H291/GA05 2H291/GA19 2H291/LA21		
代理人(译)	龙华 明裕		
优先权	095108958 2006-03-16 TW		
其他公开文献	JP4690349B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供像素结构和液晶显示面板，其中可以减少有源器件阵列基板中的串扰并提供像素结构和液晶显示面板，其中液晶显示面板的不均匀性可以被淘汰。SOLUTION：像素结构包括基板，扫描线，数据线，有源器件，像素电极和公共线。有源器件电连接到扫描线和数据线。像素电极电连接到有源器件。像素电极设置在数据线上并跨越数据线。公共线设置在像素电极下方，像素电极覆盖公共线的一部分。

