

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-183628

(P2007-183628A)

(43) 公開日 平成19年7月19日(2007.7.19)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1343 (2006.01)	GO2F 1/1343	2H092
GO2F 1/1368 (2006.01)	GO2F 1/1368	

審査請求 有 請求項の数 30 O L (全 26 頁)

(21) 出願番号	特願2006-345345 (P2006-345345)	(71) 出願人	501426046 エルジー・フィリップス エルシーデー カンパニー、リミテッド 大韓民国 ソウル、ヨンドゥンポーク、ヨ イドードン 20
(22) 出願日	平成18年12月22日 (2006.12.22)	(74) 代理人	100064447 弁理士 岡部 正夫
(31) 優先権主張番号	10-2005-0133552	(74) 代理人	100085176 弁理士 加藤 伸晃
(32) 優先日	平成17年12月29日 (2005.12.29)	(74) 代理人	100094112 弁理士 岡部 譲
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100096943 弁理士 白井 伸一
		(74) 代理人	100101498 弁理士 越智 隆夫

最終頁に続く

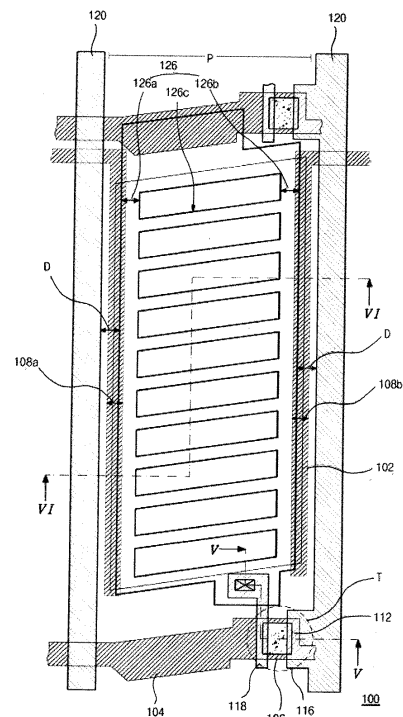
(54) 【発明の名称】 横電界方式の液晶表示装置用アレイ基板とその製造方法

(57) 【要約】

【課題】本発明は、液晶表示装置に係り、特に、高輝度及び広視野角を具現する横電界方式の液晶表示装置用アレイ基板とその製造方法に関する。

【解決手段】本発明は、基板と；前記基板上に、第1方向に形成されたゲート配線と；前記基板上に、第2方向に形成されたデータ配線と；前記ゲート配線及びデータ配線に連結された薄膜トランジスタと；プレート状であって、第1透明導電性物質で前記基板上に形成される共通電極と；前記共通電極の上部に、第2透明導電性物質で構成されて、前記第2方向に沿って形成されて、相互に離隔された第1及び第2パターンと、前記第1及び第2パターンを連結して、前記第1及び第2パターンに斜めに形成されて相互に離隔する多数の第3パターンとを含むことを特徴とする横電界方式の液晶表示装置用アレイ基板を提供する。これによって、開口率、視野角及び輝度が改善される。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

基板と；

前記基板上に第 1 方向に形成されたゲート配線と；

前記基板上に第 2 方向に形成されたデータ配線と；

前記ゲート配線及びデータ配線に連結された薄膜トランジスタと；

プレート状であって、第 1 透明導電性物質で前記基板上に形成される共通電極と；

前記共通電極の上部に第 2 透明導電性物質で構成されて、前記第 2 方向に沿って形成されて、相互に離隔された第 1 及び第 2 パターンと前記第 1 及び第 2 パターンを連結して、前記第 1 及び第 2 パターンに斜めに形成され相互に離隔する多数の第 3 パターンとを含むことを特徴とする横電界方式の液晶表示装置用アレイ基板。 10

【請求項 2】

前記共通電極と画素電極間に形成されて、約 3 ないし 4 の誘電率を有する絶縁膜をさらに含むことを特徴とする請求項 1 に記載の横電界方式の液晶表示装置用アレイ基板。

【請求項 3】

前記絶縁膜は、酸化シリコン SiO_2 、ベンゾシクロブテン BCB 及びアクリル系樹脂のうちのいずれかで構成されることを特徴とする請求項 2 に記載の横電界方式の液晶表示装置用アレイ基板。

【請求項 4】

前記共通電極と前記データ配線間に形成される第 1 及び第 2 金属パターンをさらに含むことを特徴とする請求項 1 に記載の横電界方式の液晶表示装置用アレイ基板。 20

【請求項 5】

前記第 1 及び第 2 金属パターンは、前記共通電極と接触することを特徴とする請求項 4 に記載の横電界方式の液晶表示装置用アレイ基板。

【請求項 6】

前記第 1 及び第 2 金属パターンは、前記データ配線と重なることを特徴とする請求項 4 に記載の横電界方式の液晶表示装置用アレイ基板。

【請求項 7】

一画素領域の前記第 1 金属パターンは、他の画素領域の前記第 2 金属パターンと一体に構成されることを特徴とする請求項 4 に記載の横電界方式の液晶表示装置用アレイ基板。 30

【請求項 8】

前記第 1 及び第 2 金属パターンは、前記ゲート配線と同一層に同一物質で構成されることを特徴とする請求項 4 に記載の横電界方式の液晶表示装置用アレイ基板。

【請求項 9】

前記多数の第 3 パターンは、前記第 1 方向に対して 0° ないし 45° の角を有することを特徴とする請求項 1 に記載の横電界方式の液晶表示装置用アレイ基板。

【請求項 10】

前記第 1 及び第 2 透明導電性物質は、インジウムスズオキシド ITO とインジウムジンクオキシド IZO のいずれかを含むことを特徴とする請求項 1 に記載の横電界方式の液晶表示装置用アレイ基板。 40

【請求項 11】

前記ゲート配線は、第 1、第 2 及び第 3 層を含むことを特徴とする請求項 1 に記載の横電界方式の液晶表示装置用アレイ基板。

【請求項 12】

前記第 1 層は、前記共通電極と同一層に同一物質で構成されて、前記第 2 及び第 3 層各々は、モリブデン Mo とアルミニウム合金 AlNd を含むことを特徴とする請求項 11 に記載の横電界方式の液晶表示装置用アレイ基板。

【請求項 13】

前記共通電極と前記データ配線間に形成されて、各々第 4 及び第 5 層で構成される第 1 及び第 2 金属パターンをさらに含み、前記第 4 層は、前記第 2 層と同一層に同一物質で構 50

成されて、前記第5層は、前記第3層と同一層に同一物質で構成されることを特徴とする請求項12に記載の横電界方式の液晶表示装置用アレイ基板。

【請求項14】

第1マスクを利用して、基板上に透明導電性物質で構成されて、プレート状の共通電極を形成する段階と；

第2マスクを利用して、前記共通電極が形成された基板上に、第1方向に延長されたゲート配線とゲート電極を形成する段階と；

前記共通電極、前記ゲート配線及び前記ゲート電極の上部にゲート絶縁膜を形成する段階と；

第3マスクを利用して、前記ゲート絶縁膜の上部に前記ゲート電極に対応する半導体層を形成する段階と； 10

第4マスクを利用して、前記半導体層及びゲート絶縁膜の上部に相互に離隔するソース電極及びドレイン電極と、第2方向に延長されたデータ配線を形成する段階と；

第5マスクを利用して、前記ソース電極及びドレイン電極と前記データ配線の上部に、前記ドレイン電極を露出するドレインコンタクトホールを含む保護層を形成する段階と；

第6マスクを利用して、前記保護層の上部に第1及び第2パターンと、前記第1及び第2パターンを連結する多数の第3パターンを含み、前記ドレインコンタクトホールを通じて前記ドレイン電極に連結される画素電極を形成する段階とを含み、前記第1及び第2パターンは、前記第2方向に平行であって、相互に離隔して、前記多数の第3パターンは、相互に離隔して前記第1及び第2パターンに対して傾いていることを特徴とする横電界方式の液晶表示装置用アレイ基板の製造方法。 20

【請求項15】

前記ゲート絶縁膜は、酸化シリコン SiO_2 、ベンゾシクロブテンBCB及びアクリル系樹脂のうちのいずれかで構成されて、3ないし4の誘電率を有することを特徴とする請求項14に記載の横電界方式の液晶表示装置用アレイ基板の製造方法。

【請求項16】

前記共通電極と前記データ配線間に、第1及び第2金属パターンを形成する段階をさらに含むことを特徴とする請求項14に記載の横電界方式の液晶表示装置用アレイ基板の製造方法。

【請求項17】

前記第1及び第2パターンは、前記共通電極と接触して、前記データ配線と重なることを特徴とする請求項16に記載の横電界方式の液晶表示装置用アレイ基板の製造方法。

【請求項18】

一画素領域の前記第1金属パターンは、他の画素領域の前記第2金属パターンと一体に構成されることを特徴とする請求項16に記載の横電界方式の液晶表示装置用アレイ基板の製造方法。

【請求項19】

前記第1及び第2金属パターンは、前記ゲート配線と同時に形成されることを特徴とする請求項16に記載の横電界方式の液晶表示装置用アレイ基板の製造方法。

【請求項20】

前記多数の第3パターンは、前記第1方向に対して 0° ないし 45° の角を有することを特徴とする請求項14に記載の横電界方式の液晶表示装置用アレイ基板の製造方法。

【請求項21】

第1マスクを利用して、基板上に第1方向に延長されたゲート配線と、ゲート電極及びプレート状の共通電極を形成する段階と；

前記共通電極、前記ゲート配線及び前記ゲート電極の上部にゲート絶縁膜を形成する段階と；

第2マスクを利用して、前記ゲート絶縁膜の上部に前記ゲート電極に対応する半導体層を形成する段階と；

第3マスクを利用して、前記半導体層及びゲート絶縁膜の上部に相互に離隔するソース 50

電極及びドレイン電極と、第2方向に延長されたデータ配線を形成する段階と；

第4マスクを利用して、前記ソース電極及びドレイン電極と前記データ配線の上部に、前記ドレイン電極を露出するドレインコンタクトホールを含む保護層を形成する段階と；

第5マスクを利用して、前記保護層の上部に第1及び第2パターンと、前記第1及び第2パターンを連結する多数の第3パターンを含み、前記ドレインコンタクトホールを通じて前記ドレイン電極に連結される画素電極を形成する段階とを含み、前記第1及び第2パターンは、前記第2方向に平行であって、相互に離隔して、前記多数の第3パターンは、相互に離隔して前記第1及び第2パターンに対して傾いていることを特徴とする横電界方式の液晶表示装置用アレイ基板の製造方法。

【請求項22】

10

前記ゲート配線と前記ゲート電極及び前記共通電極を形成する段階は、基板上に第1ないし第3金属物質層を連続して形成する段階と；

前記第3金属物質層の上部にフォトレジスト層を形成する段階と；

前記フォトレジスト層の上部に第1透過率を有する第1領域と、前記第1透過率より小さい第2透過率を有する第2領域及び前記第2透過率より小さい第3透過率を有する第3領域を含むマスクを位置させる段階と；

前記マスクを利用して、前記フォトレジスト層を露光及び現像することによって前記第3金属物質層の上部に第1厚さを有する第1フォトレジストパターンと、前記第1厚さより小さい第2厚さを有して、前記第1フォトレジストパターンの両側に位置する第2フォトレジストパターン及び前記第2厚さと同一な厚さを有する第3フォトレジストパターンを形成して、前記第1領域に対応する前記第3金属物質層を前記第2及び第3フォトレジストパターン間に露出する段階と；

20

前記第1ないし第3フォトレジストパターンによって露出された第3金属物質層及びその下部の第1及び第2金属物質層を連続的に除去して、第1ないし第3金属物質パターンを形成する段階と；

前記第2及び第3フォトレジストパターンを除去することによって前記第3金属物質パターンを露出する段階と；

前記第1フォトレジストパターンによって露出された前記第2及び第3金属物質パターンを連続的に除去して、前記第1金属物質パターンを露出させる段階と；

前記第1フォトレジストパターンを除去する段階を含み、前記第1フォトレジストパターンの下部の第1ないし第3金属物質パターンは、前記ゲート配線及び前記ゲート電極で定義されて、前記露出された第1金属物質パターンは、前記共通電極で定義されることを特徴とする請求項21に記載の横電界方式の液晶表示装置用アレイ基板の製造方法。

30

【請求項23】

前記第3領域は、不透明層またはスリット層を含むことを特徴とする請求項22に記載の横電界方式の液晶表示装置用アレイ基板の製造方法。

【請求項24】

前記第2及び第3フォトレジストパターンは、前記第3領域に対応して形成されることを特徴とする請求項22に記載の横電界方式の液晶表示装置用アレイ基板の製造方法。

【請求項25】

40

前記第1金属物質層は、インジウムスズオキサイドITOとインジウムジンクオキサイドIZOのいずれかを含み、前記第2及び第3金属物質層各々は、モリブデンMoとアルミニウム合金AlNdを含むことを特徴とする請求項22に記載の横電界方式の液晶表示装置用アレイ基板の製造方法。

【請求項26】

前記第1ないし第3金属物質層を連続的に除去することによって形成される前記第1ないし第3金属物質パターンは、テーパ状の側面を有することを特徴とする請求項25に記載の横電界方式の液晶表示装置用アレイ基板の製造方法。

【請求項27】

前記ゲート配線と前記ゲート電極の第2及び第3金属物質パターンは、実質的に同一な

50

形状であることを特徴とする請求項 26 に記載の横電界方式の液晶表示装置用アレイ基板の製造方法。

【請求項 28】

前記ゲート配線と前記ゲート電極及び前記共通電極の形成と同時に、前記共通電極の両側に第 1 及び第 2 金属パターンを形成する段階をさらに含むことを特徴とする請求項 21 に記載の横電界方式の液晶表示装置用アレイ基板の製造方法。

【請求項 29】

前記第 1 及び第 2 金属パターンは、前記第 2 方向に沿って形成されることを特徴とする請求項 28 に記載の横電界方式の液晶表示装置用アレイ基板の製造方法。

【請求項 30】

前記多数の第 3 パターンは、前記第 1 方向に対して 0° ないし 45° の角を有することを特徴とする請求項 21 に記載の横電界方式の液晶表示装置用アレイ基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に係り、特に、高輝度及び広視野角を具現する横電界方式の液晶表示装置用アレイ基板とその製造方法に関する。

【背景技術】

【0002】

一般の液晶表示装置の駆動原理は、液晶の光学的異方性と分極性質を利用する。液晶は、構造が細く長いために、分子の配列において方向性を有しており、任意に液晶に電界を加えると、分子配列の配列方向が制御できる。

従って、液晶の分子配列方向を任意に調節すると、光学的異方性によって液晶の分子配列方向に光が屈折して画像情報を表現する。

【0003】

現在は、薄膜トランジスタと薄膜トランジスタに連結された画素電極が行列方式で配列された能動行列液晶表示装置 (AM-LCD、以下、液晶表示装置と称する) が解像度及び動画像の具現能力が優れていて最も注目を浴びている。

【0004】

液晶表示装置は、共通電極が形成されたカラーフィルター基板 (上部基板) と画素電極が形成されたアレイ基板 (下部基板) と、両基板間に充填された液晶とで構成されるが、このような液晶表示装置は、共通電極と画素電極が上下に印加される電場によって液晶を駆動する方式であって、透過率と開口率等の特性が優れる。

【0005】

ところが、上下に印加される電場による液晶駆動は、視野角特性が優れない短所がある。従って、このような短所を克服するために、新しい技術が提案されている。後述する液晶表示装置は、横電界による液晶駆動方法であって、視野角特性が優れる長所がある。

【0006】

以下、図 1 を参照して、一般の横電界方式の液晶表示装置を詳しく説明する。

図 1 は、一般の横電界方式の液晶表示装置の断面を示した拡大断面図である。

【0007】

図 1 に示したように、一般の横電界方式の液晶表示装置 5 は、向かい合う第 1 基板 10 及び第 2 基板 40 と、両基板間に介される液晶層 L を含む。

第 1 基板 10 には、多数の画素 P ごとに薄膜トランジスタ T と、共通電極 30 及び画素電極 32 が構成される。

薄膜トランジスタ T は、ゲート電極 14 と、ゲート電極 14 の上部に絶縁膜 16 を間に積層された半導体層 18 と、半導体層 18 の上部に相互に離隔して構成されたソース電極 20 及びドレイン電極 22 とを含む。

共通電極 30 と画素電極 32 は、透明な材質で形成されて、同一基板上に、相互に平行に離隔して構成される。

10

20

30

40

50

【0008】

図面には示していないが、画素Pの一側に沿って延長されたゲート配線(図示せず)と、これとは垂直な方向に延長されたデータ配線(図示せず)が構成されて、共通電極18に電圧を印加する共通配線(図示せず)が構成される。

第2基板40には、ゲート配線(図示せず)及びデータ配線(図示せず)と薄膜トランジスタTに対応する一面にブラックマトリックス42が構成されて、画素Pに対応してカラーフィルタ44a、44bが構成される。

液晶層LCは、共通電極30と画素電極32の水平電界45によって動作される。

【0009】

以下、図2を参照して、横電界方式の液晶表示装置を構成するアレイ基板の構成を説明する。 10

図2は、従来の第1例による横電界方式の液晶表示装置用アレイ基板の構成を概略的に示した平面図である。

【0010】

図2に示したように、基板10上に一方向に延長されたゲート配線12と、ゲート配線12とは垂直に交差して画素領域Pを定義するデータ配線24が構成される。

また、ゲート配線12とは平行に離隔して画素領域Pを横切る共通配線15を構成する。

ゲート配線12とデータ配線24の交差点には、ゲート配線12に連結されたゲート電極14、ゲート電極14の上部の半導体層18、半導体層18の上部のソース電極20及びドレイン電極22を含む薄膜トランジスタTが構成される。 20

画素領域Pには、共通配線15と接触しながら画素領域Pに垂直に延長された共通電極30が構成されて、ドレイン電極22と接触しながら共通電極30と平行に離隔された位置に延長された画素電極32が構成される。

【0011】

前述したような構成は、輝度を確保するために共通電極30と画素電極32を透明電極で形成するが、実際は、共通電極30と画素電極32が透明だとしても、電極自体を開口領域として使用することはできない。

これは、一般の横電界構造では、両電極30、32間に発生した電界が両電極30、32のエッジ部までのみ影響を与えるため、両電極30、32のエッジ部のみ開口領域として使用される。従って、輝度面からするとまだ不足である。 30

【0012】

このような問題を改善するために、以下、図3のAH-IPS(advanced horizontal in-plane switching)方式の液晶表示装置用アレイ基板が提案されている。

【0013】

すなわち、一般の構成より画素電極の間隔を狭く構成して、画素電極の下部にプレート状の共通電極を構成する構造である。

このような構成は、画素電極の上部に位置する液晶も精密に制御することによって上下及び左右180°の広視野角と共に対角線方向の視野角でも色の相変移が無く、高い明暗比を得ることを特徴とする。 40

【0014】

図3は、従来の第2例による横電界方式の液晶表示装置用アレイ基板の一画素領域を示しており、所謂、AH-IPS方式の液晶表示装置用アレイ基板である。

図3に示したように、従来のAH-IPS方式の液晶表示装置用アレイ基板は、透明な絶縁基板50の第1方向に位置したゲート配線54と、ゲート配線54と交差する第2方向に位置したデータ配線72を含む。

【0015】

ゲート配線54とデータ配線72の交差点には、ゲート配線54に連結されるゲート電極56と、ゲート電極56の上部の半導体層62と、アクティブ層62の上部に位置してデータ配線72と接触するソース電極68と、これとは所定間隔離隔されたドレイン電 50

極 70 とを含む薄膜トランジスタ T が構成される。半導体層 62 は、アクティブ層 (図示せず) とアクティブ層の上部のオーミックコンタクト層 (図示せず) を含む。

【0016】

ゲート配線 54 とデータ配線 72 が交差して定義される画素領域 P には、プレート状の共通電極 52 が構成されて、共通電極 52 の上部には、多数の垂直部が離隔された形状でパターンニングされた画素電極 78 が構成される。

【0017】

画素電極 78 の上下には、第 1 パターン 78a 及び第 2 パターン 78b を備えて、多数の垂直部で構成される画素電極 78 を連結して、画素電極 78 は、第 2 パターン 78b によって薄膜トランジスタ T に連結される。

10

【0018】

前述した構成は、下部の共通電極 52 と上部の画素電極 78 間に発生する電界によって液晶層 (図示せず) を駆動して、共通電極 52 と画素電極 78 間が大変近くなる効果によって電界は、画素電極 78 の中心に位置する液晶 (図示せず) までも正常動作させる。

従って、一般の横電界方式の液晶表示装置に比べて透過領域が増加して、高い輝度を有する長所がある。

【0019】

図 4A と図 4B は、各々図 3 の I I I - I I I 線、I V - I V 線に沿って切断した断面図である。

図 4A と図 4B に示したように、基板 50 に画素領域 P が定義されて、画素領域 P の一側に薄膜トランジスタ T が構成される。薄膜トランジスタ T は、ゲート配線 54 に連結されるゲート電極 56 と、ゲート電極 56 の上部の半導体層 62 と、アクティブ層 62 の上部に位置してデータ配線 72 と接触するソース電極 68 と、これとは所定間隔離隔されたドレイン電極 70 とを含む。

20

【0020】

画素領域 P の両側には、データ配線 72 が構成されて、画素領域 P にプレート状の共通電極 52 が形成される。また、共通電極 52 の上部にゲート絶縁膜 58 と保護膜 74 を間に棒状の多数の画素電極 (図 3 の 78) が形成される。

【0021】

ところが、画素電極 78 と共通電極 52 の重なる面積が広いために、画素電極 78 と共通電極 52 間に発生する補助用量も増加する。すなわち、従来の第 1 例のような構造に比べて補助用量の大きさが 5 倍程度であって、これによって、薄膜トランジスタ T の大きさも大きくする。結果的に、開口領域を蚕食して輝度を低下する問題がある。

30

【0022】

また、前述したように、画素電極を垂直な方向に配列すると、左右の視野角特性が改善されるが、上下及び対角線方向の視野角特性は、改善されずに視野角特性が悪い問題がある。

【発明の開示】

【発明が解決しようとする課題】

【0023】

本発明は、前述したような問題を解決するために提案されており、本発明の第 1 構造は、画素電極を横の方向に対して 0 ~ 45 ° の傾きを有するように横に配置する。一方、画素電極と共通電極間に 3 ~ 4 程度の低い誘電率値を有する絶縁膜を構成する。

40

本発明の第 2 構造は、データ配線と画素電極間に光を遮断する手段をさらに構成する。

また、本発明による横電界方式のアレイ基板を構成するにおいて、工程を単純化する方法及びゲート金属の逆テーパー現象を防ぐための方法を提供する。

【課題を解決するための手段】

【0024】

本発明は、前述したような目的を達成するために、基板と；前記基板上に第 1 方向に形成されたゲート配線と；前記基板上に第 2 方向に形成されたデータ配線と；前記ゲート配

50

線及びデータ配線に連結された薄膜トランジスタと；プレート状であって、第1透明導電性物質で前記基板上に形成される共通電極と；前記共通電極の上部に第2透明導電性物質で構成されて、前記第2方向に沿って形成されて、相互に離隔された第1及び第2パターンと前記第1及び第2パターンを連結して、前記第1及び第2パターンに斜めに形成され相互に離隔する多数の第3パターンとを含むことを特徴とする横電界方式の液晶表示装置用アレイ基板を提供する。

【0025】

前記共通電極と画素電極間に形成されて、約3ないし4の誘電率を有する絶縁膜をさらに含む。

【0026】

前記絶縁膜は、酸化シリコン SiO_2 、ベンゾシクロブテンBCB及びアクリル系樹脂のうちのいずれかで構成される。

【0027】

前記共通電極と前記データ配線間に形成される第1及び第2金属パターンをさらに含む。

【0028】

前記第1及び第2金属パターンは、前記共通電極と接触して、また、前記第1及び第2金属パターンは、前記データ配線と重なる。

【0029】

一画素領域の前記第1金属パターンは、他の画素領域の前記第2金属パターンと一体に構成される。

【0030】

前記第1及び第2金属パターンは、前記ゲート配線と同一層に同一物質で構成される。

【0031】

前記多数の第3パターンは、前記第1方向に対して 0° ないし 45° の角を有する。

【0032】

前記第1及び第2透明導電性物質は、インジウムスズオキシドITOとインジウムジンクオキシドIZOのいずれかを含む。

【0033】

前記ゲート配線は、第1、第2及び第3層を含み、前記第1層は、前記共通電極と同一層に同一物質で構成されて、前記第2及び第3層各々は、モリブデンMoとアルミニウム合金AlNdを含む。

【0034】

前記共通電極と前記データ配線間に形成されて、各々第4及び第5層で構成される第1及び第2金属パターンをさらに含み、前記第4層は、前記第2層と同一層に同一物質で構成されて、前記第5層は、前記第3層と同一層に同一物質で構成される。

【0035】

また、本発明は、第1マスクを利用して、基板上に透明導電性物質で構成されて、プレート状の共通電極を形成する段階と；第2マスクを利用して、前記共通電極が形成された基板上に、第1方向に延長されたゲート配線とゲート電極を形成する段階と；前記共通電極、前記ゲート配線及び前記ゲート電極の上部にゲート絶縁膜を形成する段階と；第3マスクを利用して、前記ゲート絶縁膜の上部に前記ゲート電極に対応する半導体層を形成する段階と；第4マスクを利用して、前記半導体層及びゲート絶縁膜の上部に相互に離隔するソース電極及びドレイン電極と、第2方向に延長されたデータ配線を形成する段階と；第5マスクを利用して、前記ソース電極及びドレイン電極と前記データ配線の上部に、前記ドレイン電極を露出するドレインコンタクトホールを含む保護層を形成する段階と；第6マスクを利用して、前記保護層の上部に第1及び第2パターンと、前記第1及び第2パターンを連結する多数の第3パターンを含み、前記ドレインコンタクトホールを通じて前記ドレイン電極に連結される画素電極を形成する段階とを含み、前記第1及び第2パターンは、前記第2方向に平行であって、相互に離隔して、前記多数の第3パターンは、相互

に離隔して前記第1及び第2パターンに対して傾いていることを特徴とする横電界方式の液晶表示装置用アレイ基板の製造方法を提供する。

【0036】

前記ゲート絶縁膜は、酸化シリコン SiO_2 、ベンゾシクロブテンBCB及びアクリル系樹脂のうちのいずれかで構成されて、3ないし4の誘電率を有する。

【0037】

前記共通電極と前記データ配線間に、第1及び第2金属パターンを形成する段階をさらに含む。

【0038】

前記第1及び第2パターンは、前記共通電極と接触して、前記データ配線と重なる。

10

【0039】

一画素領域の前記第1金属パターンは、他の画素領域の前記第2金属パターンと一体に構成される。

【0040】

前記第1及び第2金属パターンは、前記ゲート配線と同時に形成される。

【0041】

前記多数の第3パターンは、前記第1方向に対して 0° ないし 45° の角を有する。

【0042】

さらに、第1マスクを利用して、基板上に第1方向に延長されたゲート配線と、ゲート電極及びプレート状の共通電極を形成する段階と；前記共通電極、前記ゲート配線及び前記ゲート電極の上部にゲート絶縁膜を形成する段階と；第2マスクを利用して、前記ゲート絶縁膜の上部に前記ゲート電極に対応する半導体層を形成する段階と；第3マスクを利用して、前記半導体層及びゲート絶縁膜の上部に相互に離隔するソース電極及びドレイン電極と、第2方向に延長されたデータ配線を形成する段階と；第4マスクを利用して、前記ソース電極及びドレイン電極と前記データ配線の上部に、前記ドレイン電極を露出するドレインコンタクトホールを含む保護層を形成する段階と；第5マスクを利用して、前記保護層の上部に第1及び第2パターンと、前記第1及び第2パターンを連結する多数の第3パターンを含み、前記ドレインコンタクトホールを通じて前記ドレイン電極に連結される画素電極を形成する段階とを含み、前記第1及び第2パターンは、前記第2方向に平行であって、相互に離隔して、前記多数の第3パターンは、相互に離隔して前記第1及び第2パターンに対して傾いていることを特徴とする横電界方式の液晶表示装置用アレイ基板の製造方法を提供する。

20

30

【0043】

前記ゲート配線と前記ゲート電極及び前記共通電極を形成する段階は、基板上に第1ないし第3金属物質層を連続して形成する段階と；前記第3金属物質層の上部にフォトレジスト層を形成する段階と；前記フォトレジスト層の上部に第1透過率を有する第1領域と、前記第1透過率より小さい第2透過率を有する第2領域及び前記第2透過率より小さい第3透過率を有する第3領域を含むマスクを位置させる段階と；前記マスクを利用して、前記フォトレジスト層を露光及び現像することによって前記第3金属物質層の上部に第1厚さを有する第1フォトレジストパターンと、前記第1厚さより小さい第2厚さを有して、前記第1フォトレジストパターンの両側に位置する第2フォトレジストパターン及び前記第2厚さと同一な厚さを有する第3フォトレジストパターンを形成して、前記第1領域に対応する前記第3金属物質層を前記第2及び第3フォトレジストパターン間に露出する段階と；前記第1ないし第3フォトレジストパターンによって露出された第3金属物質層及びその下部の第1及び第2金属物質層を連続的に除去して、第1ないし第3金属物質パターンを形成する段階と；前記第2及び第3フォトレジストパターンを除去することによって前記第3金属物質パターンを露出する段階と；前記第1フォトレジストパターンによって露出された前記第2及び第3金属物質パターンを連続的に除去して、前記第1金属物質パターンを露出させる段階と；前記第1フォトレジストパターンを除去する段階を含み、前記第1フォトレジストパターンの下部の第1ないし第3金属物質パターンは、前記ゲ

40

50

ート配線及び前記ゲート電極で定義されて、前記露出された第1金属物質パターンは、前記共通電極で定義されることを特徴とする横電界方式の液晶表示装置用アレイ基板の製造方法を提供する。

【0044】

前記第3領域は、不透明層またはスリット層を含む。

【0045】

前記第2及び第3フォトリソパターンは、前記第3領域に対応して形成される。

【0046】

前記第1金属物質層は、インジウムスズオキサイドITOとインジウムジnk-
オキサイドIZOのいずれかを含み、前記第2及び第3金属物質層各々は、モリブデンM 10
oとアルミニウム合金AlNdを含む。

【0047】

前記第1ないし第3金属物質層を連続的に除去することによって形成される前記第1ないし第3金属物質パターンは、テーパ状の側面を有する。

【0048】

前記ゲート配線と前記ゲート電極の第2及び第3金属物質パターンは、実質的に同一な形状である。

【0049】

前記ゲート配線と前記ゲート電極及び前記共通電極の形成と同時に、前記共通電極の両側に第1及び第2金属パターンを形成する段階をさらに含む。 20

【0050】

前記第1及び第2金属パターンは、前記第2方向に沿って形成される。

【0051】

前記多数の第3パターンは、前記第1方向に対して0°ないし45°の角を有する。

【0052】

以下、添付した図を参照して、本発明の望ましい実施例を説明する。

【発明の効果】

【0053】

本発明による横電界方式の液晶表示装置用アレイ基板の第1効果は、透明なプレート状の共通電極の上部に棒状の透明な画素電極を狭い間隔で構成することによって開口領域が 30
拡大される。

【0054】

第2効果は、共通電極と画素電極間に介される絶縁膜として誘電率の低い絶縁物質を使用して、共通電極と画素電極間に発生する補助用量の大きさを減少させて、これによって、薄膜トランジスタの大きさも小くなる。従って、開口率を改善する。

【0055】

第3効果は、画素電極を横に配置して、これを横の方向に対して0～45°の傾きを有するように構成することによって上下及び左右のみならず対角線方向への視野角特性を改善する。

【0056】

第4効果は、画素電極のパターンとデータ配線間の光漏れ領域に、遮蔽手段をさらに構成することによってブラックマトリックスの工程マージン程度の開口領域を確保して、これも輝度を改善する。 40

【0057】

第5効果は、ゲート配線と共通電極を同一工程によって製作して、既存に比べて、マスク工程を減少させるので、工程収率を改善する。

【0058】

第6効果は、ゲート配線の側面またはゲート配線に形成したコンタクトホールの内壁をテーパ状に構成することができて、面接触する場合の接触不良問題を解決して、製品の信頼性を改善する。 50

【実施例 1】

【0059】

本発明の実施例 1 による横電界方式の液晶表示装置用アレイ基板は、広視野角を確保するために、画素電極を斜めに形成して、また、補助用量を低めるために、画素電極と共通電極間に誘電率の低い絶縁膜を介することを特徴とする。

【0060】

図 5 は、本発明の実施例 1 による横電界方式の液晶表示装置用アレイ基板の一画素を拡大した平面図である。

図 5 に示したように、基板 100 上に、第 1 方向にゲート配線 104 を構成して、ゲート配線 104 と交差する第 2 方向にデータ配線 120 を構成する。

10

【0061】

この時、ゲート配線 104 とデータ配線 120 が交差して画素領域 P を定義する。

ゲート配線 104 とデータ配線 120 の交差点には、ゲート電極 106、半導体層 112、ソース電極 116 及びドレイン電極 118 を含む薄膜トランジスタ T を構成する。

【0062】

画素領域 P には、プレート状の共通電極 102 と棒状の画素電極 126 を構成する。

画素電極 126 は、画素領域 P の両側で、データ配線 120 と平行に離隔された第 1 パターン 126a と、第 2 パターン 126b と、第 1 パターン 126a 及び第 2 パターン 126b を連結する多数の第 3 パターン 126c とで構成する。

【0063】

この時、多数の第 3 パターン 126c 間の距離は、多数の第 3 パターン 126c と下部の共通電極 102 間に発生する電界が、画素電極 126 の各中心部まで及ぶように狭く設計する。

20

【0064】

また、多数の第 3 パターン 126c を構成する時、横の方向に対して 0～45° の傾きを有するように構成して、画素電極 126 の傾きの方向は、画素領域 P 間の垂直または水平方向を中心に対称される形態で構成することによって上下の視野角のみならず対角方向への視野角も改善する。

【0065】

一方、共通電極 102 の両側に長手方向に沿って第 1 金属パターン 108a と第 2 金属パターン 108b を構成する。

30

第 1 金属パターン 108a 及び第 2 金属パターン 108b は、プレート状の共通電極 102 の両側に面接触しながらパターンニングされて、隣接する画素領域 P 間に一体に構成する。

【0066】

第 1 金属パターン 108a 及び第 2 金属パターン 108b は、共通電極 102 の抵抗を低めると同時に、光漏れ領域 D の一部を遮蔽する機能をする。

すなわち、画素電極 126 の第 1 パターン 126a 及び第 2 パターン 126b が位置した共通電極 102 の両側に定義される光漏れ領域 D では、液晶の異常配列によって光が漏れる現象が発生するために、この部分を第 1 金属パターン 108a 及び第 2 金属パターン 108b で遮蔽する。これによって、上部基板(図示せず)にブラックマトリックス(図示せず)を設計する時、工程マージンが減少する長所がある。

40

【0067】

詳しく説明すると、ブラックマトリックス(図示せず)は、別途の基板(図示せず、カラーフィルター基板)にデータ配線 120 から共通電極 102 の両側までの光漏れ領域 D を遮蔽するように設計して、この時、ミスアラインによる工程誤差を短縮するために、マージンをさらに置いて設計する。

【0068】

ところが、前述したように、アレイ基板に第 1 金属パターン 108a 及び第 2 金属パターン 108b が存在すると、第 1 金属パターン 108a 及び第 2 金属パターン 108b が

50

遮蔽した領域を除いた領域のみを遮るようになって、特に、工程マージンを多く置く必要がないので、開口領域が拡大される長所がある。

【0069】

また、本発明の実施例1によるアレイ基板は、画素電極126と共通電極102間に誘電率値が3～4の低い絶縁膜(図示せず)を構成することを特徴とする。

このような構成によって、画素電極126と共通電極102間に発生する補助用量を元々の設計値に合うように大幅に低めることができる。

従って、補助用量に合わせて薄膜トランジスタTの大きさを最小化するので、開口領域が拡大される。

【0070】

以下、工程によって本発明の実施例1による横電界方式の液晶表示装置用アレイ基板の製造方法を説明する。

【0071】

図6Aないし図6Gと図7Aないし図7Gは、図5のV-V線、VI-VI線に沿って切断して、本発明の工程順に示した工程断面図である。

図6Aと図7Aは、第1マスク工程を示した図である。

図6Aと図7Aに示したように、基板100に多数の画素領域Pを定義する。

基板100上にインジウムスズオキサイドITOとインジウムジニクオキサイドIZOを含む透明な導電性金属グループのうちから選択された一つを蒸着して第1マスク工程によってパターンニングして、画素領域Pにプレート状の共通電極102を形成する。

【0072】

図6Bと図7Bは、第2マスク工程を示した図である。

図6Bと図7Bに示したように、共通電極102が形成された基板100全面に、アルミニウムAl、アルミニウム合金AlNd、タングステンW、銅Cu、モリブデンMo、クロムCr、モリブデントングステンMoW等を含む導電性金属グループのうちから選択された一つを蒸着してパターンニングし、画素領域Pの第1辺に沿ってゲート配線(図5の104)を形成する。この時、ゲート配線104の一部をゲート電極106として使用したり、ゲート配線104から突出され延長してゲート電極106を形成したりすると同時に、共通電極102の一侧と他側に各各長手方向に沿って第1金属パターン108aと第2金属パターン108bを形成する。

ここで、第1金属パターン108aと第2金属パターン108bは、隣接する画素領域P間に一体に構成する。

【0073】

図6Cと図7Cは、誘電率の低い絶縁膜を形成する工程図である。

図6Cと図7Cに示したように、ゲート配線(図5の104)と第1金属パターン108a及び第2金属パターン108bが形成された基板100全面に、誘電率の低い絶縁物質を蒸着してゲート絶縁膜110を形成する。

誘電率の低い物質としては、誘電率が3.4程度の酸化シリコンSiO₂を例えており、場合によって、誘電率が3以下の有機物質を使用する。

有機物質としては、ベンゾシクロブテンBCBとアクリル系樹脂等がある。

【0074】

このように、誘電率が3～4の範囲に属する絶縁物質を使用すると、ゲート絶縁膜として使用される窒化シリコンSiN_x膜に比べて、全体的に補助用量が2.5倍に減少されるので、元々の設計値に合うように補助用量を合わせて、大面積のスイッチング素子を使用しなくても良い。

従って、開口領域が拡大できる長所がある。

【0075】

図6Dと図7Dは、第3マスク工程を示した図である。

図6Dと図7Dに示したように、ゲート絶縁膜110が形成された基板100全面に、

10

20

30

40

50

純粋非晶質シリコン a-Si:H と不純物を含む非晶質シリコン n^+ a-Si:H を連続的に蒸着した後、第 3 マスク工程によってパターニングして、ゲート電極 106 の上部のゲート絶縁膜 110 上にアイランド状のアクティブ層 112a とオーミックコンタクト層 112b で構成される半導体層 112 を形成する。

【0076】

図 6 E と図 7 E は、第 4 マスク工程を示した図である。

図 6 E と図 7 E に示したように、半導体層 112 が形成された基板 100 全面に、アルミニウム Al、アルミニウム合金 AlNd、クロム Cr、モリブデン Mo、モリブデンタングステン MoW、タングステン W、銅 Cu 等を含む導電性金属グループのうちから選択された一つまたは一つ以上を蒸着してパターニングし、オーミックコンタクト層 114 の上部に離隔されたソース電極 116 とドレイン電極 118 と、ソース電極 116 と接触してゲート配線 (図 5 の 104) と交差する方向にデータ配線 120 を形成する。 10

【0077】

図 6 F と図 7 F は、第 5 マスク工程を示した図である。

図 6 F と図 7 F に示したように、ソース電極 116 及びドレイン電極 118 が形成された基板 100 全面に、前述したように、誘電率の低い無機絶縁膜または、場合によって、有機絶縁膜を蒸着または塗布して保護膜 122 を形成する。

保護膜 122 をパターニングして、ドレイン電極 118 の一部を露出するドレインコンタクトホール 124 を形成する。

【0078】

20

図 6 G と図 7 G は、第 6 マスク工程を示した図である。

図 6 G と図 7 G に示したように、保護膜 122 が形成された基板 100 全面に、インジウムスズオキシサイド ITO とインジウムジンクオキシサイド IZO を含む透明な導電性金属グループのうちから選択された一つを蒸着してパターニングし、画素電極 126 を形成する。画素電極 126 は、画素領域 P の両側に各々長手方向に沿って延長された第 1 パターン 126a と、第 2 パターン 126b と、第 1 パターン 126a 及び第 2 パターン 126b を連結する多数の第 3 パターン 126c を含む。

【0079】

多数の第 3 パターン 126c は、横の方向に対して $0 \sim 45^\circ$ の傾きを有するように構成して、隣接する画素領域 P 間に垂直または水平方向を中心に対称される傾きを有するように設計する。また、画素電極 126 は、ドレインコンタクトホール 124 を通じてドレイン電極 118 に連結される。 30

前述したような工程によって本発明の実施例 1 による横電界方式の液晶表示装置用アレイ基板を製作する。

【0080】

本発明の実施例 1 によるアレイ基板は、共通電極と画素電極間に誘電率の低いゲート絶縁膜を介することによって補助用量を元々の設計値に合うように大幅に低めるので、薄膜トランジスタの大きさを最小化して開口領域を確保する。

また、画素電極を横に配置すると同時に、傾きを有するように設計することによって上下及び対角線方向に視野角特性を改善して、広視野角を具現する。 40

【0081】

以下、実施例 2 によってデータ配線の両側の光漏れ領域を完全に遮蔽して、データ配線に対応して構成されるブラックマトリックスを除去するアレイ基板の構造を提案する。

【実施例 2】

【0082】

本発明の実施例 2 は、データ配線と画素電極間に光漏れ領域を完全に遮蔽するための遮蔽手段を構成することの特徴とする。

【0083】

図 8 は、本発明の実施例 2 による横電界方式の液晶表示装置用アレイ基板の一画素を拡大した平面図である。

50

図 8 に示したように、基板 200 上に、第 1 方向にゲート配線 204 を構成して、ゲート配線 204 と交差する第 2 方向にデータ配線 220 を構成する。

【0084】

この時、ゲート配線 204 とデータ配線 220 が交差して画素領域 P を定義する。

ゲート配線 204 とデータ配線 220 の交差点には、ゲート電極 206、半導体層 212、ソース電極 216 及びドレイン電極 218 を含む薄膜トランジスタ T を構成する。

【0085】

画素領域 P には、プレート状の共通電極 202 と棒状の画素電極 226 を構成する。

画素電極 226 は、画素領域 P の両側で、データ配線 220 と平行に離隔された第 1 パターン 226 a 及び第 2 パターン 226 b と、第 1 パターン 226 a 及び第 2 パターン 226 b を連結する多数の第 3 パターン 226 c を含む。 10

この時、多数の第 3 パターン 226 c 間の距離は、多数の第 3 パターン 226 c 各々と下部の共通電極 202 間に発生する電界が、画素電極 226 の各中心部まで及ぶように狭く設計する。

【0086】

また、多数の第 3 パターン 226 c を構成する時、横の方向に対して 0 ～ 45 ° の傾きを有するように構成して、画素電極 226 の傾きの方向は、画素領域 P 間の垂直または水平方向を中心に対称される形態で構成することによって上下の視野角のみならず対角方向への視野角も改善する。

【0087】

一方、画素電極 226 の第 1 パターン 226 a 及び第 2 パターン 226 b とデータ配線 220 の光漏れ領域 D を完全に遮蔽しながら、データ配線 220 の長手方向に延長された第 1 金属パターン 208 a と、第 2 金属パターン 208 b を形成する。 20

第 1 金属パターン 208 a 及び第 2 金属パターン 208 b は、共通電極 202 の両側に直接接触するように構成して、隣接する画素領域 P 間に一体に構成する。

【0088】

第 1 金属パターン 208 a 及び第 2 金属パターン 208 b の存在によってデータ配線 220 に対応して別途の基板に構成したブラックマトリックス (図示せず) の除去が可能になる。従って、ブラックマトリックス (図示せず) の合着マージン程度を開口領域として使用することができる。 30

【0089】

一方、第 1 金属パターン 208 a 及び第 2 金属パターン 208 b をデータ配線 220 の一側の下部まで延長して構成するため、第 1 金属パターン 208 a 及び第 2 金属パターン 208 b に流れる共通信号がデータ配線 220 に及ばないようにするために、第 1 金属パターン 208 a 及び第 2 金属パターン 208 b とデータ配線 220 間に誘電率の低い有機物質を利用して絶縁膜を形成する。

【0090】

以下、断面図を参照して、前述したアレイ基板の断面構成を説明する。

【0091】

図 9 A と図 9 B は、図 8 の V I I - V I I 線、V I I I - V I I I 線に沿って切断した断面図である。 40

図 9 A と図 9 B に示したように、基板 200 に画素領域 P が定義されて、画素領域 P の一側には、薄膜トランジスタ T が位置する。

【0092】

薄膜トランジスタ T は、ゲート電極 206 と、ゲート電極 206 の上部にゲート絶縁膜 210 を間にアクティブ層 212 a 及びオーミックコンタクト層 212 b を含む半導体層 212 と、オーミックコンタクト層 212 b の上部で離隔されたソース電極 216 及びドレイン電極 218 とを含む。

【0093】

画素領域 P の両側には、データ配線 220 が位置して、画素領域 P には、プレート状の 50

共通電極 202 が位置して、共通電極 202 の上部には、ゲート絶縁膜 210 と保護膜 222 を間に置いて画素電極の第 1 パターン 226 a 及び第 2 パターン 226 b と多数の第 3 パターン 226 c が位置する。

【0094】

この時、共通電極 202 とデータ配線 220 の光漏れ領域 D に対応して、共通電極 202 と接触しながら延長された第 1 金属パターン 208 a と第 2 金属パターン 208 b が位置することを特徴とする。

【0095】

ここで、ゲート絶縁膜 210 は、ベンゾシクロブテン BCB 及びアクリル系樹脂のように、誘電率が 3 以下の絶縁物質で構成する。

10

誘電率の低い絶縁膜は、前述したように、第 1 金属パターン 208 a 及び第 2 金属パターン 208 b とデータ配線 220 間に信号干渉が起きないようにする。

【0096】

以上、本発明の実施例 2 によるアレイ基板の構成を説明して、製造方法は、実施例 1 のように 6 マスク工程によって製作することができる。

【0097】

以下、実施例 3 によって実施例 1 及び 2 に比べて工程を単純化する製造方法を提案して、この時、ゲート電極が多層で構成される場合発生する逆テーパー現象を防ぐ方法を同時に提案する。

【実施例 3】

20

【0098】

本発明の実施例 3 は、マスク工程を単純化する方法と多層の金属を同時にパターンする時に発生する逆テーパー現象を防ぐ方法を提案することを特徴とする。

【0099】

図 10 は、本発明の実施例 3 による横電界方式の液晶表示装置用アレイ基板の一画素を拡大した平面図である。

図 10 に示したように、基板 300 上に、第 1 方向にゲート配線 314 を構成して、ゲート配線 314 と交差する第 2 方向にデータ配線 332 を構成する。

【0100】

この時、ゲート配線 314 とデータ配線 332 が交差して画素領域 P を定義する。

30

ゲート配線 314 とデータ配線 332 の交差点には、ゲート電極 316、半導体層 324、ソース電極 328 及びドレイン電極 330 を含む薄膜トランジスタ T を構成する。

【0101】

画素領域 P には、プレート状の共通電極 318 と棒状の画素電極 338 を構成する。

画素電極 338 は、画素領域 P の両側で、データ配線 332 と平行に離隔された第 1 パターン 338 a 及び第 2 パターン 338 b と、第 1 パターン 338 a 及び第 2 パターン 338 b を連結する多数の第 3 パターン 338 c で構成する。

【0102】

この時、多数の第 3 パターン 338 c 間の距離は、多数の第 3 パターン 338 c 各々と下部の共通電極 318 間に発生する電界が、画素電極 338 の各中心部まで及ぶように狭く設計する。

40

【0103】

また、多数の第 3 パターン 338 c を構成する時、横の方向に対して 0～45° の傾きを有するように構成して、画素電極 338 の傾きの方向は、画素領域 P 間の垂直または水平方向を中心に対称される形態で構成することによって上下の視野角のみならず対角方向への視野角も改善する。

【0104】

前述した構成のうち、共通電極 318 とゲート配線 314 とゲート電極 316 を同一な工程で形成して、5 マスク工程によって製作することができる。この時、共通電極 318 の両側に抵抗を低めるために、第 1 金属パターン 320 a と第 2 金属パターン 320 b を

50

形成する。第1金属パターン320a及び第2金属パターン320bを形成する場合、両金属パターンは、隣接する画素領域P間に一体に構成することによって共通電極318間の共通信号を伝達する役割をする。

【0105】

一方、ゲート配線314は、信号遅延を防ぐために、アルミニウム系列の金属を使用するが、アルミニウム系列の金属層は、透明電極層との接触特性が良くないために、透明電極層とアルミニウム系列の金属層間にバッファ金属層をさらに形成して、このようなバッファ層として主に使用する金属がモリブデンMoである。

【0106】

ところで、モリブデンMoは、アルミニウム系列の金属層と同一なエッチング溶液を使用してエッチングする場合、エッチング率がアルミニウム系列の金属層より大きいために、内側へとオーバーエッチングされて、アルミニウム系列の金属層と逆テーパ状になる。

10

【0107】

この場合、上部に蒸着する絶縁膜(図示せず)が滑らかに蒸着されないようにして、絶縁膜にクラックのような欠陥を与えて、さらに、絶縁膜(図示せず)の上部に形成される構成をエッチング溶液を利用してパターンニングする場合、エッチング溶液が絶縁膜のクラックに侵透して下部のゲート配線314をエッチングする欠陥が発生する。

【0108】

また、金属層自体にホールを構成する場合、ホールの内壁に面接触する方式として外部の電極を連結するが、この時、ホールの内壁の逆テーパによって外部の電極がオープンされる不良が発生する。

20

【0109】

従って、本発明の実施例3による製造方法は、ゲート配線314及びゲート電極316の側面が逆テーパ状で構成されないようにするために、この部分に対応してハーフトーンまたはスリットマスクを使用したハーフトーン露光を行うことによってこれを解消する。

【0110】

以下、これを、工程図を参照して説明する。

【0111】

図11Aないし図11Jと図12Aないし図12Jは、図10のIX-IX線、X-X線に沿って切断して、本発明の実施例3による工程順に示した工程断面図である。

30

図11Aないし図11Fと図12Aないし図12Fは、第1マスク工程を示した図である。

【0112】

図11Aと図12Aに示したように、多数の画素領域Pを定義した基板300上に、透明導電性物質層302と第1金属物質層304と第2金属物質層306を積層する。

透明導電性物質層302は、インジウムスズオキシドITOとインジウムジンクオキシドIZOを含む透明導電性金属グループのうちから選択された一つを蒸着して形成し、第1金属物質層302は、モリブデンMoを蒸着して形成し、第2金属物質層306は、アルミニウム合金AlNdを蒸着して形成する。

40

【0113】

図11Bと図12Bに示したように、第2金属物質層306の上部にフォトレジストを塗布してフォトレジスト層308を積層して、フォトレジスト層308の離隔された上部に透過部B1と遮断部B2と半透過部B3とで構成した第1マスクMを位置させる。

【0114】

第1マスクMの半透過部B3は、半透明な形態で形成されたり、スリットの形態で形成されたりする。半透過部B3の透過率は、透過部B1の透過率より小さくて、遮断部B2の透過率よりは大きい。

【0115】

50

従って、第1マスクMを利用して、フォトリジスト層308を露光すると、半透過部B3に対応するフォトリジスト層308は、透過部B1と遮断部B2に各々対応するフォトリジスト層308に比べて、中間程度の光の量に露出される。

【0116】

この時、第1マスクMの遮断部B2は、ゲート電極316とゲート配線314と第1及び第2金属パターン(図10の320a、320b)をパターンニングするためであって、半透過部B3は、ゲート配線314と第1金属パターン326a及び第2金属パターン326bの両側の逆テーパーを防ぐためであるので、遮断部B2の両側に位置すると同時に、半透過部B3は、画素領域Pに透明な共通電極318を形成するためであるので、画素領域Pにも対応するように構成する。

10

それ以外の領域には、透過部B1が対応するように構成する。

マスクMを利用した露光工程及び現像工程を行って、フォトリジスト層308をパターンニングする。

【0117】

図11Cと図12Cに示したように、第2金属物質層306の上部に、相互に高さを異にする第1フォトリジストパターン310及び第2フォトリジストパターン312が形成される。第1フォトリジストパターン310は、遮断部B2に対応して、第2フォトリジストパターン312は、半透過部B3に対応する。また、透過部B1に対応したフォトリジスト層(図11Bと図12Bの308)は、全て除去されその下部の第2金属物質層306を露出させる。

20

【0118】

第1フォトリジストパターン310及び第2フォトリジストパターン312の周辺に露出された第2金属物質層306と、その下部の第1金属物質層304と、透明導電性物質層302を同一な第1エッチング液によって除去する工程を行う。

【0119】

図11Dと図12Dに示したように、エッチング工程が完了すると、第1フォトリジストパターン310及び第2フォトリジストパターン312の下部に透明導電性物質パターンM1と、第1金属物質パターンM2と第2金属物質パターンM3が残る。

【0120】

この時、半透過部(図11BのB3)を利用した露光によってフォトリジスト層が薄く残される部分Bに対応した下部の透明導電性物質パターンM1と第1金属物質パターンM2及び第2金属物質パターンM3は、テーパー状で構成される。すなわち、第1金属物質パターンM2の側面が透明導電性物質パターンM1の側面よりは少し中に入った状態になって、第2金属物質パターンM3の側面よりは、突出された状態になる。

30

【0121】

図11Eと図12Eは、アッシング工程を示しており、アッシング工程によって第1フォトリジストパターン310及び第2フォトリジストパターン312のうち、高さが低い第2フォトリジストパターン312が完全に除去され下部の第2金属物質パターンM3が部分的に露出させる。

この時、画素領域Pに対応する部分は、両側に残留した第2フォトリジストパターン312の下部を除いては、第2金属物質パターンM3が殆ど露出された状態になる。

40

【0122】

図11Fと図12Fに示したように、露出された第2金属物質パターンM3と下部の第1金属物質パターンM2を同一な第2エッチング液によって除去する工程を行う。

一方、第2エッチング液は、下部の透明金属パターンM1をエッチングしないため、前述した第1エッチング液とは異なる種類である。

【0123】

ところが、第2エッチング液は、アルミニウム系列の第2金属物質パターンM3と、モリブデン層である第1金属物質パターンM2に対するエッチングの割合が異なる特徴があって、特に、第1金属物質パターンM2が速くエッチングされる現象を見せる。

50

【0124】

従って、第2エッチング液を利用して第1金属物質パターンM2及び第2金属物質パターンM3をエッチングすると、第2金属物質パターン(M3、アルミニウム合金層)に比べて、下部の第1金属物質パターン(M2、モリブデン層)がさらにエッチングされるが、第1金属物質パターンM2が第2金属物質パターンM3に比べて、側面がさらに突出された状態であるので、エッチング工程が完了すると、第1金属物質パターンM2と第2金属物質パターンM3の側面は、一直線上に同一になったり、少しテーパ状に構成されたりする。

【0125】

一方、厚さを異にする第1及び第2フォトリソパターン(図11Eの310、312)を形成しないで同一な高さのフォトリソパターンのみを形成して下部の金属をエッチングした場合、透明導電性物質パターンM1と第1金属物質パターンM2及び第2金属物質パターンM3の側面が一直線上にエッチングされる。

【0126】

この状態で、第2エッチング液で第1金属物質パターンM2と第2金属物質パターンM3をエッチングすると、モリブデン層である第1金属物質パターンM2がオーバーエッチングされ第1金属物質パターンM2及び第2金属物質パターンM3は、逆テーパ状になる。

【0127】

従って、本発明の第1マスク工程は、このような問題を解決する。

【0128】

第1金属パターンM2及び第2金属パターンM3をエッチングする工程で、画素領域Pに対応した部分は、第1金属パターンM2及び第2金属パターンM3が全て除去され下部の透明導電性物質パターンが残り、これは、共通電極318の機能をする。

【0129】

従って、第1マスク工程によって両側面がテーパ状に構成されたゲート配線314とゲート電極316を構成して、画素領域Pにプレート状の共通電極318を構成し、共通電極318の両側に各々第1金属パターン320aと第2金属パターン320bを形成する。以後、第1フォトリソパターン310を除去する。

【0130】

前述した第1マスク工程は、ゲート配線314及びゲート電極316の側面テーパを重点的に説明したが、第1マスク工程の際、ゲート配線314の一端にコンタクトホール(図示せず)を形成する工程が同時に行われて、この時、コンタクトホールの内部壁がテーパ状になる。

【0131】

従って、外部から信号の印加を受けるための手段として、コンタクトホール(図示せず)の内部に面接触する電極を形成する場合、コンタクトホール(図示せず)の内壁の逆テーパ状によって発生する電極との接触問題が防げる。

【0132】

図11Gと図12Gは、第2マスク工程を示した図である。

図11Gと図12Gに示したように、ゲート配線314とゲート電極316と共通電極318と、共通電極318の両側に各々第1金属パターン320aと第2金属パターン320bとが形成された基板300全面に、酸化シリコン SiO_2 のような誘電率の低い絶縁物質を蒸着または塗布してゲート絶縁膜322を形成する。

【0133】

ゲート絶縁膜322の上部に、純粋非晶質シリコン a-Si:H と不純物を含む非晶質シリコン n+a-Si:H を連続的に蒸着した後、第3マスク工程によってパターンし、ゲート電極316の上部のゲート絶縁膜322上にアイランド状のアクティブ層324aとオーミックコンタクト層324bを形成する。アクティブ層324aとオーミックコンタクト層324bは、半導体層324を構成する。

10

20

30

40

50

【0134】

図11Hと図12Hは、第3マスク工程を示した図である。

図11Hと図12Hに示したように、アクティブ層324aとオーミックコンタクト層324bが形成された基板300全面に、アルミニウムAl、アルミニウム合金AlNd、クロムCr、モリブデンMo、モリブデンタングステンMoW、タングステンW、銅Cu等を含む導電性金属グループのうちから選択された一つまたは一つ以上を蒸着してパターンニングし、オーミックコンタクト層324bの上部に離隔されたソース電極328とドレイン電極330と、ソース電極328から延長されて、ゲート配線(図10の314)と交差して画素領域Pを定義するデータ配線332を形成する。

【0135】

10

図11Iと図12Iは、第4マスク工程を示した図である。

図11Iと図12Iに示したように、ソース電極328及びドレイン電極330が形成された基板300全面に、誘電率の低い無機絶縁膜または、場合によって、有機絶縁膜を蒸着または塗布して保護膜334を形成する。

保護膜334をパターンニングして、ドレイン電極330の一部を露出するドレインコンタクトホール336を形成する。

【0136】

図11Jと図12Jは、第5マスク工程を示した図である。

図11Jと図12Jに示したように、保護膜334が形成された基板300全面に、インジウムスズオキシドITOとインジウムジンカーオキシドIZOを含む透明な導電性金属グループのうちから選択された一つを蒸着してパターンニングし、画素領域Pの両側に各々長手方向に沿って延長された第1パターン338a及び第2パターン338bと、第1パターン338a及び第2パターン338bを連結する多数の第3パターン338cを形成すると同時に、多数の第3パターン338cは、横の方向に対して0〜45°の傾きを有して、隣接する画素領域P間に対称される方向に傾き有するように設計する。

20

前述したように、5マスク工程によって本発明の実施例3による横電界方式の液晶表示装置を製作することができる。

【図面の簡単な説明】

【0137】

30

【図1】一般の横電界方式の液晶表示装置の一部を概略的に示した断面図である。

【図2】従来の第1例による横電界方式の液晶表示装置用アレイ基板の一部を示した平面図である。

【図3】従来の第2例による横電界方式の液晶表示装置用アレイ基板の一画素を拡大した平面図である。

【図4A】図3のIII-III線に沿って切断した断面図である。

【図4B】図3のIV-IV線に沿って切断した断面図である。

【図5】本発明の実施例1による横電界方式の液晶表示装置用アレイ基板の一画素を拡大した平面図である。

【図6A】図5のV-V線に沿って切断した部分の製造工程断面図である。

40

【図6B】図6Aに続く製造工程を示す断面図である。

【図6C】図6Bに続く製造工程を示す断面図である。

【図6D】図6Cに続く製造工程を示す断面図である。

【図6E】図6Dに続く製造工程を示す断面図である。

【図6F】図6Eに続く製造工程を示す断面図である。

【図6G】図6Fに続く製造工程を示す断面図である。

【図7A】図5のVI-VI線に沿って切断した部分の製造工程断面図である。

【図7B】図7Aに続く製造工程を示す断面図である。

【図7C】図7Bに続く製造工程を示す断面図である。

【図7D】図7Cに続く製造工程を示す断面図である。

50

【図 7 E】図 7 D に続く製造工程を示す断面図である。
【図 7 F】図 7 E に続く製造工程を示す断面図である。
【図 7 G】図 7 F に続く製造工程を示す断面図である。
【図 8】本発明の実施例 2 による横電界方式の液晶表示装置用アレイ基板の一画素を拡大した平面図である。

【図 9 A】図 8 の V I I - V I I 線に沿って切断した断面図である。

【図 9 B】図 8 の V I I I - V I I I 線に沿って切断した断面図である。

【図 1 0】本発明の実施例 3 による横電界方式の液晶表示装置用アレイ基板の一画素を拡大した平面図である。

【図 1 1 A】図 1 0 の I X - I X 線に沿って切断した部分の製造工程断面図である。

10

【図 1 1 B】図 1 1 A に続く製造工程を示す断面図である。

【図 1 1 C】図 1 1 B に続く製造工程を示す断面図である。

【図 1 1 D】図 1 1 C に続く製造工程を示す断面図である。

【図 1 1 E】図 1 1 D に続く製造工程を示す断面図である。

【図 1 1 F】図 1 1 E に続く製造工程を示す断面図である。

【図 1 1 G】図 1 1 F に続く製造工程を示す断面図である。

【図 1 1 H】図 1 1 G に続く製造工程を示す断面図である。

【図 1 1 I】図 1 1 H に続く製造工程を示す断面図である。

【図 1 1 J】図 1 1 I に続く製造工程を示す断面図である。

【図 1 2 A】図 1 0 の X - X 線に沿って切断した部分の製造工程断面図である。

20

【図 1 2 B】図 1 2 A に続く製造工程を示す断面図である。

【図 1 2 C】図 1 2 B に続く製造工程を示す断面図である。

【図 1 2 D】図 1 2 C に続く製造工程を示す断面図である。

【図 1 2 E】図 1 2 D に続く製造工程を示す断面図である。

【図 1 2 F】図 1 2 E に続く製造工程を示す断面図である。

【図 1 2 G】図 1 2 F に続く製造工程を示す断面図である。

【図 1 2 H】図 1 2 G に続く製造工程を示す断面図である。

【図 1 2 I】図 1 2 H に続く製造工程を示す断面図である。

【図 1 2 J】図 1 2 I に続く製造工程を示す断面図である。

【符号の説明】

30

【 0 1 3 8 】

1 0 0 : 基板

1 0 2 : 共通電極

1 0 4 : ゲート配線

1 0 6 : ゲート電極

1 0 8 a : 第 1 金属パターン

1 0 8 b : 第 2 金属パターン

1 1 6 : ソース電極

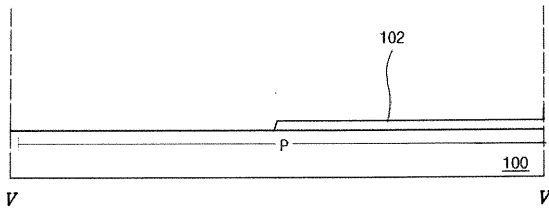
1 1 8 : ドレイン電極

1 2 0 : データ配線

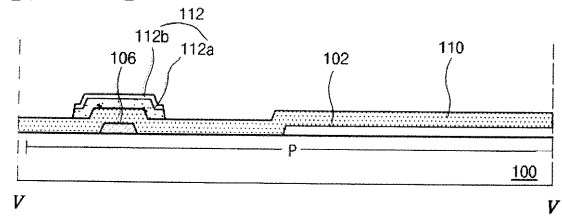
40

1 2 6 : 画素電極

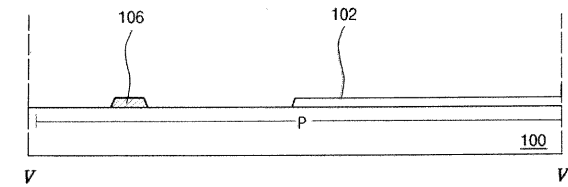
【図 6 A】



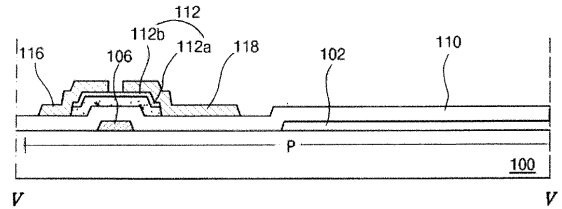
【図 6 D】



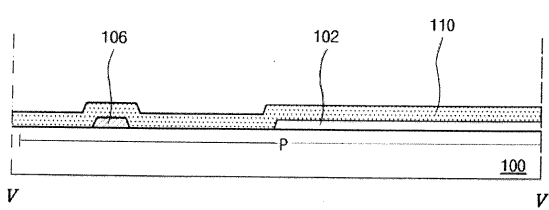
【図 6 B】



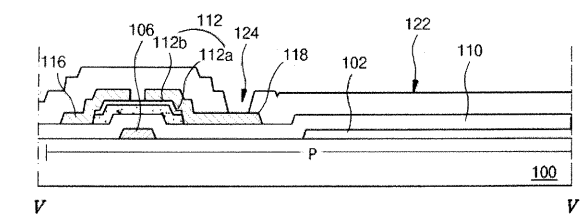
【図 6 E】



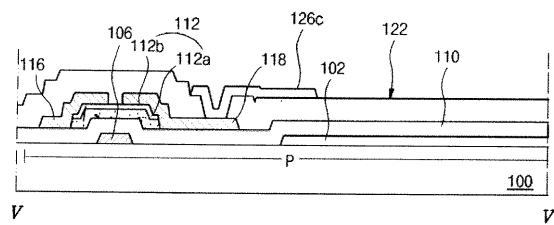
【図 6 C】



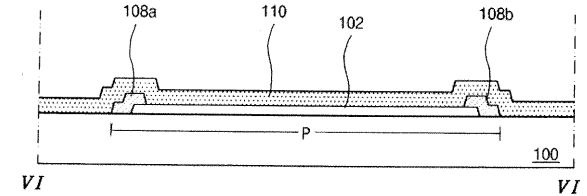
【図 6 F】



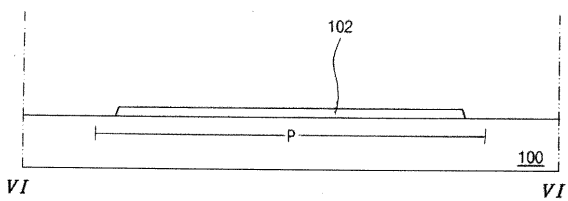
【図 6 G】



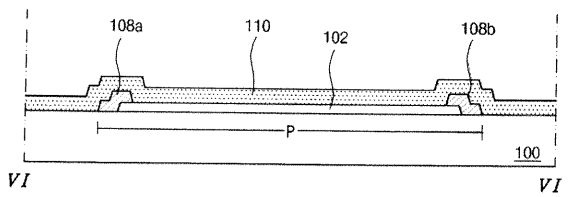
【図 7 C】



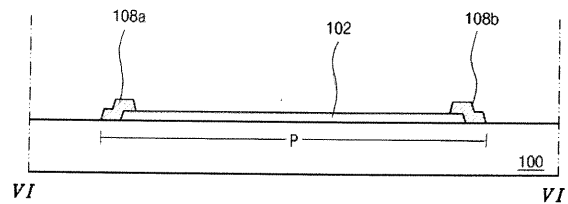
【図 7 A】



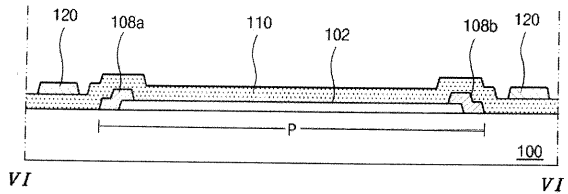
【図 7 D】



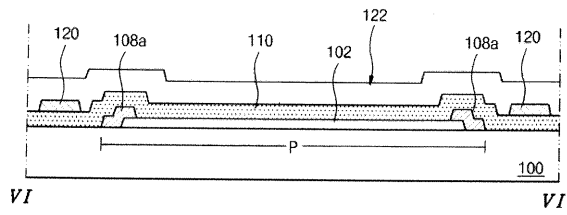
【図 7 B】



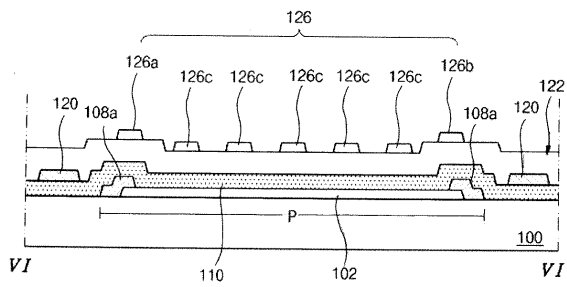
【図 7 E】



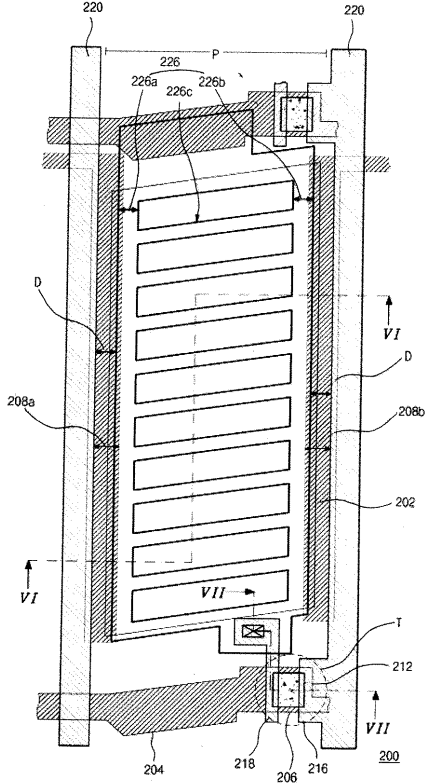
【図 7 F】



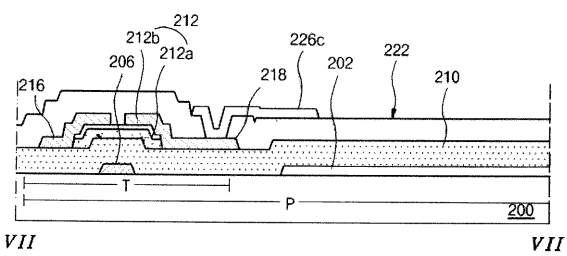
【図 7 G】



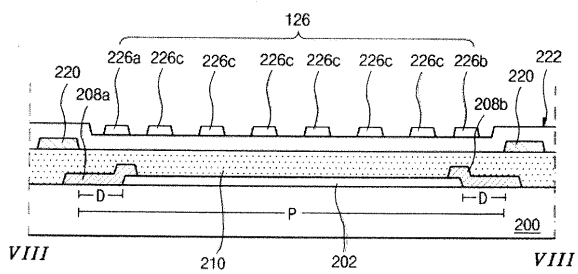
【図 8】



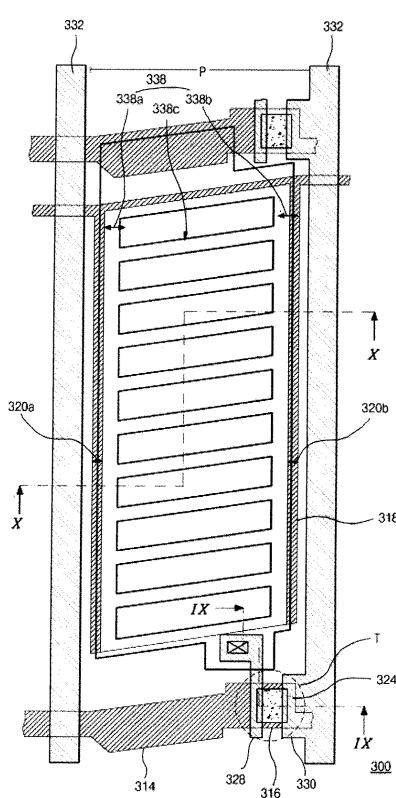
【図 9 A】



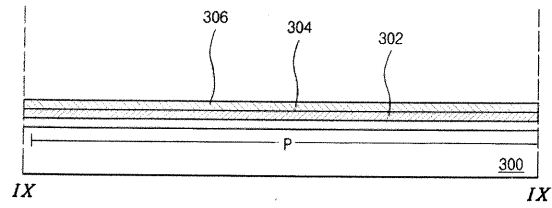
【図 9 B】



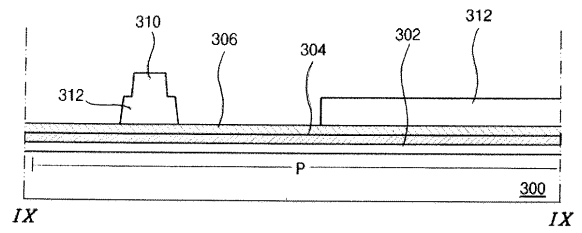
【図 10】



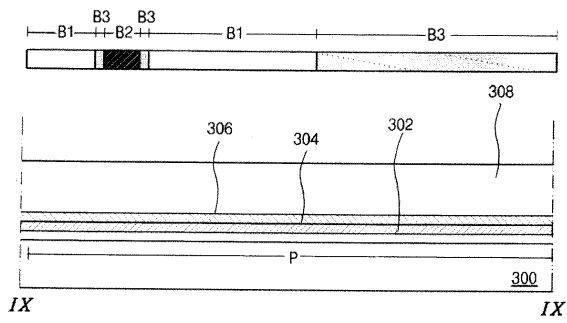
【図 1 1 A】



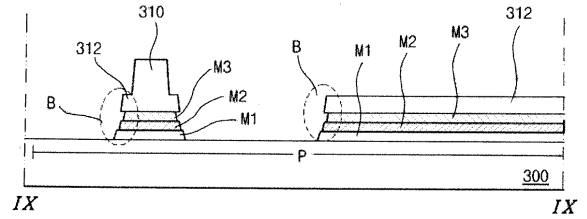
【図 1 1 C】



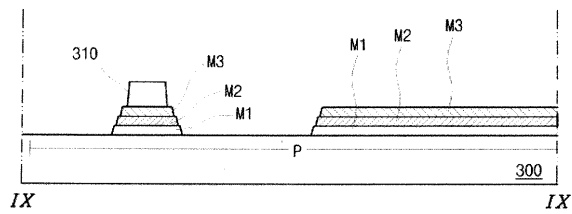
【図 1 1 B】



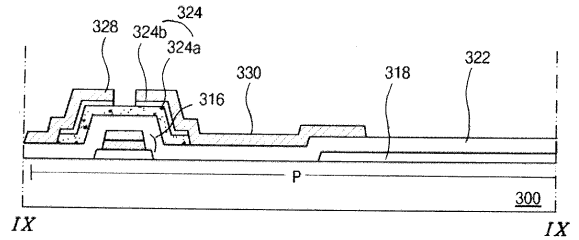
【図 1 1 D】



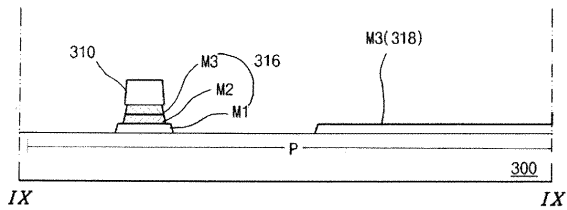
【図 1 1 E】



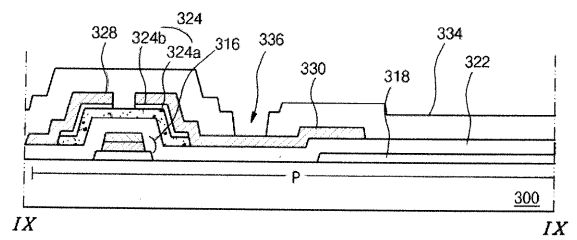
【図 1 1 H】



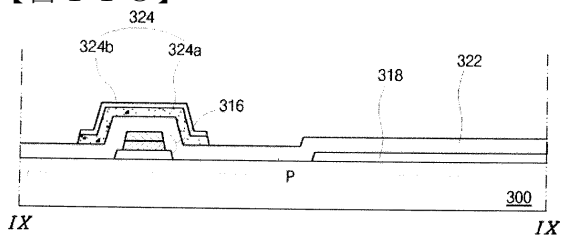
【図 1 1 F】



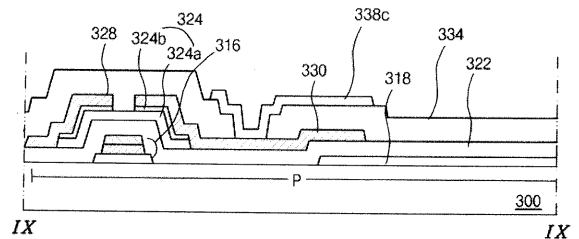
【図 1 1 I】



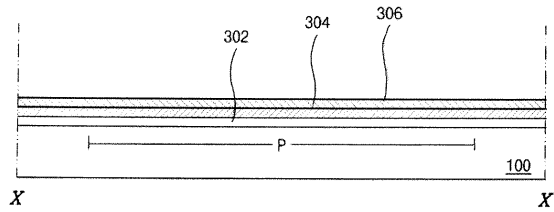
【図 1 1 G】



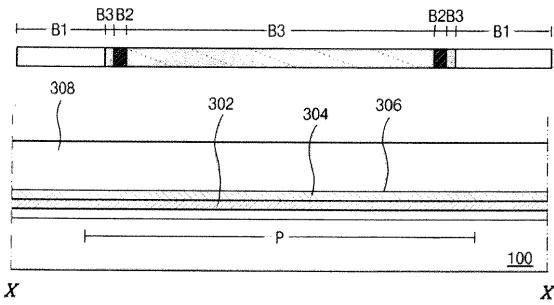
【図 1 1 J】



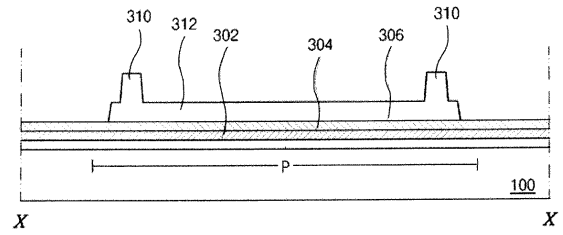
【図 1 2 A】



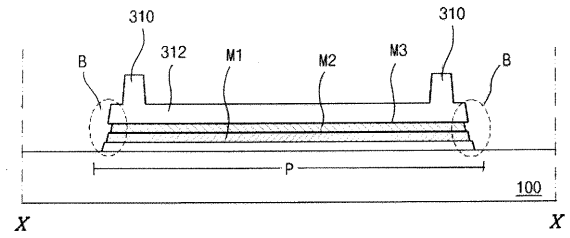
【図 1 2 B】



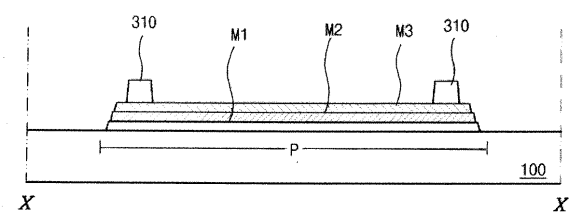
【図 1 2 C】



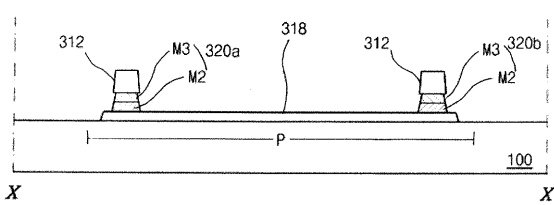
【図 1 2 D】



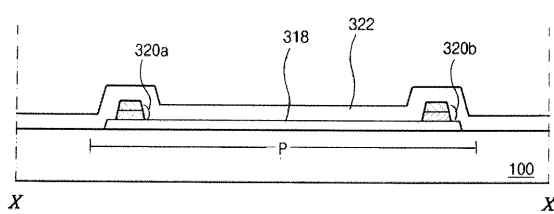
【図 1 2 E】



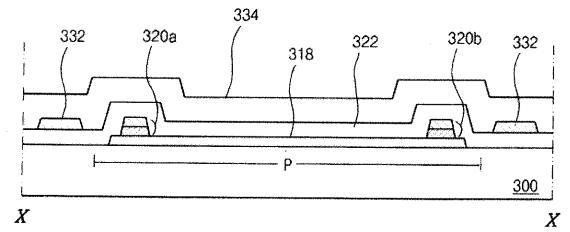
【図 1 2 F】



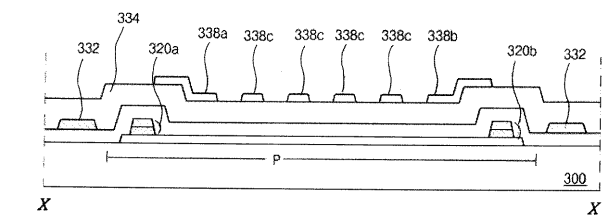
【図 1 2 G】



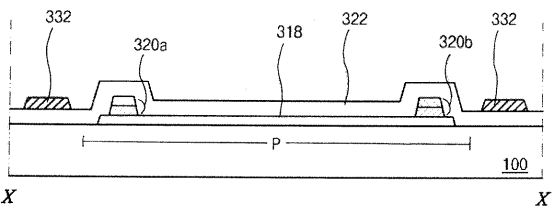
【図 1 2 I】



【図 1 2 J】



【図 1 2 H】



フロントページの続き

(74)代理人 100104352

弁理士 朝日 伸光

(74)代理人 100128657

弁理士 三山 勝巳

(72)発明者 キム ドソン

大韓民国 730-300 キョンサンブット クミシ クピョンドン 454 プヨン アパー
ト 205/1301

(72)発明者 アン ビュンチョル

大韓民国 431-070 キョンギド アニャンシ ドンアング ピョンチョンドン 899-
2 ヒャンチョン アパート 203/903

Fターム(参考) 2H092 GA14 GA15 GA17 HA04 JA24 JA34 JA37 JA41 JB05 JB16
JB57 KB24 MA01 MA16 NA01 NA07 NA29 QA16

专利名称(译)	用于横向电场型液晶显示装置的阵列基板及其制造方法		
公开(公告)号	JP2007183628A	公开(公告)日	2007-07-19
申请号	JP2006345345	申请日	2006-12-22
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji.菲利普斯杜天公司，有限公司		
[标]发明人	キムドソン アンビュンチョル		
发明人	キム ドソン アン ビュンチョル		
IPC分类号	G02F1/1343 G02F1/1368		
CPC分类号	G02F1/13439 G02F1/133345 G02F2001/134372 G02F2001/13629		
FI分类号	G02F1/1343 G02F1/1368		
F-TERM分类号	2H092/GA14 2H092/GA15 2H092/GA17 2H092/HA04 2H092/JA24 2H092/JA34 2H092/JA37 2H092/JA41 2H092/JB05 2H092/JB16 2H092/JB57 2H092/KB24 2H092/MA01 2H092/MA16 2H092/NA01 2H092/NA07 2H092/NA29 2H092/QA16 2H092/JB23 2H192/AA24 2H192/BB13 2H192/BB53 2H192/BB84 2H192/BC31 2H192/CB05 2H192/CB81 2H192/CC04 2H192/CC15 2H192/EA04 2H192/EA17 2H192/HA44 2H192/HA62 2H192/JA32		
代理人(译)	臼井伸一 朝日 伸光		
优先权	1020050133552 2005-12-29 KR		
其他公开文献	JP4718433B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：为水平电场（面内切换）模式液晶显示装置提供阵列基板，实现高亮度和宽视角，并提供制造基板的方法。解决方案：阵列基板面内切换模式液晶显示装置包括：基板；沿基板上的第一方向形成的栅极线；在基板上沿第二方向形成的数据线；薄膜晶体管连接到栅极线和数据线；公共电极，在基板上具有板状，由第一透明导电材料形成；第一和第二图案彼此分开，包括第二透明导电材料并沿公共电极上的第二方向形成，以及组合第一和第二图案的大量第三图案，倾斜于第一和第二图案形成。彼此分开。这导致孔径比，视角和亮度的改善。

