

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2007-133365
(P2007-133365A)

(43) 公開日 平成19年5月31日(2007.5.31)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H092
HO1L 21/336 (2006.01)	HO1L 29/78 612D	5F11O
HO1L 29/786 (2006.01)	HO1L 29/78 612B	
	HO1L 29/78 613A	

審査請求 有 請求項の数 14 O L (全 32 頁)

(21) 出願番号	特願2006-177801 (P2006-177801)	(71) 出願人	501426046 エルジー・フィリップス エルシーデー カンパニー、リミテッド 大韓民国 ソウル、ヨンドウンポーク、ヨ イドードン 2O
(22) 出願日	平成18年6月28日 (2006.6.28)	(74) 代理人	100064447 弁理士 岡部 正夫
(31) 優先権主張番号	10-2005-0106837	(74) 代理人	100085176 弁理士 加藤 伸晃
(32) 優先日	平成17年11月9日 (2005.11.9)	(74) 代理人	100094112 弁理士 岡部 譲
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100096943 弁理士 臼井 伸一
		(74) 代理人	100101498 弁理士 越智 隆夫

最終頁に続く

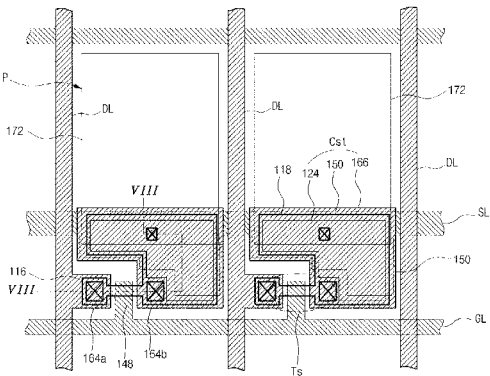
(54) 【発明の名称】 液晶表示装置用アレイ基板及びその製造方法

(57) 【要約】

【課題】 駆動回路一体型の液晶表示装置とその製造方法を提供する。

【解決手段】 表示領域と非表示領域を有する基板を備える段階；非表示領域に位置する第1及び第2半導体層と、表示領域に位置する第3及び第4半導体層と、第4半導体層上の第1ストレージ電極を第1マスク工程によって形成する段階；第1半導体層上の第1ゲート電極と、第2及び第3半導体層並びに第1ストレージ電極を覆う第1金属及び第2金属パターンを第2マスク工程によって形成する段階；高濃度p型の不純物p+を有して第1ゲート電極から露出された第1半導体層の両側領域をドーピングする段階；第2及び第3半導体層の中央部に第2及び第3ゲート電極を、第1ストレージ電極の上部に第2ストレージ電極を第3マスク工程によって形成する段階に続き、ドーピングする段階及び第4～第7マスク工程により所定の電極等を形成する段階によって液晶表示装置用アレイ基板を製造する。

【選択図】 図7



【特許請求の範囲】

【請求項 1】

表示領域と非表示領域を有する基板を備える段階と；

前記非表示領域に位置する第 1 半導体層、第 2 半導体層と、前記表示領域に位置する第 3 半導体層、第 4 半導体層と、前記第 4 半導体層上に位置する第 1 ストレージ電極を第 1 マスク工程によって形成する段階と；

前記第 1 半導体層上に位置する第 1 ゲート電極と、前記第 2 半導体層、第 3 半導体層及び前記第 1 ストレージ電極を覆う第 1 金属パターン、第 2 金属パターンを第 2 マスク工程によって形成する段階と；

高濃度 p 型の不純物 p⁺を有して前記第 1 ゲート電極から露出された第 1 半導体層の両側領域をドーピングする段階と； 10

前記第 2 半導体層、第 3 半導体層の中央部に、第 2 ゲート電極、第 3 ゲート電極と、前記第 1 ストレージ電極の上部に、第 2 ストレージ電極を第 3 マスク工程によって形成する段階と；

高濃度 n 型の不純物 n⁺を有して第 2 ゲート電極から露出された第 2 半導体層の両側領域と、低濃度 n 型の不純物 n⁻を有して前記第 3 ゲート電極から露出された前記第 3 半導体層の両側領域をドーピングする段階と；

前記第 2 ゲート電極、第 3 ゲート電極と、前記第 1 金属パターン上に位置して、前記第 1 ないし第 3 半導体層の各々のドーピング領域を露出する層間絶縁膜を第 4 マスク工程によって形成する段階と； 20

前記第 1 半導体層のドーピング領域に連結される第 1 ソース電極及び第 1 ドレイン電極と、前記第 2 半導体層のドーピング領域に連結される第 2 ソース電極及び第 2 ドレイン電極と、前記第 3 半導体層のドーピング領域に連結される第 3 ソース電極及び第 3 ドレイン電極と、前記第 2 ストレージキャパシタの上部に、第 3 ストレージキャパシタを第 5 マスク工程によって形成する段階と；

前記第 1 ないし第 3 ソース電極と前記第 1 ないし第 3 ドレイン電極上に位置して、前記第 3 ストレージ電極と前記第 3 ドレイン電極のいずれかを露出させるコンタクトホールを有する保護層を第 6 マスク工程によって形成する段階と；

前記保護層上に、前記コンタクトホールを通じて前記第 3 ストレージ電極と前記第 3 ドレイン電極のいずれかに連結される画素電極を第 7 マスク工程によって形成する段階とを含むことを特徴とする液晶表示装置用アレイ基板の製造方法。 30

【請求項 2】

前記第 1 マスク工程は、前記第 1 ないし第 4 半導体層上に、第 1 伝導性金属物質を蒸着する段階と；

前記第 1 伝導性金属物質上に、フォトレジスト物質をコーティングすることによってフォトレジスト層を形成する段階と；

前記フォトレジスト層の上部に透過部、遮断部、半透過部を含む第 1 マスクを配置する段階と；

前記第 1 マスクを通じて前記フォトレジスト層を光に露光する段階と；

前記フォトレジスト層を蒸着して、前記非表示領域に位置する第 1 フォトレジストパターン及び第 2 フォトレジストパターンと前記表示領域に位置する第 4 フォトレジストパターンを形成する段階と； 40

第 1 ないし第 4 フォトレジストパターンを、前記第 4 フォトレジストパターンの厚さが、前記第 1 ないし第 3 フォトレジストパターン各々の厚さより大きい値を有するように形成する段階と；

前記第 1 ないし第 4 フォトレジストパターンをエッチングマスクとして利用して前記第 1 伝導性金属層をエッチングし、前記第 1 ないし第 4 フォトレジストパターン各々に対応する第 1 ないし第 4 金属パターンを形成する段階と；

前記第 1 ないし第 3 フォトレジストパターンと前記第 1 ないし第 3 フォトレジストパターンから露出された前記第 1 ないし第 3 金属パターンを除去する段階とを含むことを特徴 50

とする請求項 1 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 3】

前記基板と前記第 1 ないし第 4 半導体層間に、バッファ層を形成する段階をさらに含むことを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 4】

前記第 2 マスク工程は、前記第 1 ないし第 4 半導体層と前記第 1 ストレージ電極が形成された基板全面に位置する絶縁層と、第 2 伝導性金属層を連続的に形成して、前記第 2 伝導性金属層は、前記 1 金属パターン、第 2 金属パターンとしてパターンニングされる段階を含むことを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 5】

前記第 3 マスク工程は、前記第 1 ゲート電極と前記第 1 金属パターン、第 2 金属パターン上に、フォトリソスト物質をコーティングしてフォトリソストパターンを形成する段階と；

前記第 1 半導体層に、アクティブ領域と、前記アクティブ領域の周辺に位置するオーミックコンタクト領域を定義して、前記第 2 半導体層、第 3 半導体層に、前記アクティブ領域と前記オーミックコンタクト領域と、前記アクティブ領域と前記オーミックコンタクト領域間に位置する L D D 領域を各々定義する段階と；

前記フォトリソスト層を光に露光する段階と；

前記フォトリソスト層を現像して、前記第 1 半導体層上の第 1 フォトリソストパターンと、前記第 2 半導体層のアクティブ領域及び L D D 領域上の第 2 フォトリソストパターンと、前記第 3 半導体層のアクティブ領域及び L D D 領域上の第 3 フォトリソストパターンと、前記第 4 半導体層上に第 4 フォトリソストパターンを形成する段階と；

エッチングマスクとして前記第 1 ないし第 4 フォトリソストパターンを利用して金属パターンをエッチングし、前記第 2 フォトリソストパターンの下部に位置する前記第 2 ゲート電極、前記第 3 フォトリソストパターンの下部に位置する第 3 ゲート電極、前記第 4 フォトリソストパターンの下部に位置する第 2 ストレージ電極を形成する段階と；

高濃度 n 型の不純物 n + を有して前記第 2 半導体層、第 3 半導体層のオーミックコンタクト領域を各々ドーピングして、高濃度 n 型の不純物 n + を有して前記第 1 ストレージ電極から露出された前記第 4 半導体層の領域をドーピングする段階と；

前記第 2 半導体層、第 3 半導体層の L D D 領域に対応する第 2 ゲート電極、第 3 ゲート電極の一部領域を露出させるために前記第 2 フォトリソストパターン、第 3 フォトリソストパターンの一部を除去する段階と；

前記第 2 ゲート電極、第 3 ゲート電極の露出された一部領域を除去する段階と；

低濃度 n 型の不純物 n - を有して前記第 2 半導体層、第 3 半導体層の L D D 領域をドーピングする段階とを含むことを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 6】

前記第 2 ソース電極、第 3 ソース電極各々は、各々のオーミックコンタクト領域のソース領域に連結されて、前記第 2 ドレイン電極、第 3 ドレイン電極各々は、各々のオーミックコンタクト領域のドレイン領域に連結されることを特徴とする請求項 5 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 7】

前記第 3 半導体層、第 4 半導体層は、一体型に形成されることを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 8】

前記第 3 ドレイン電極と前記第 3 ストレージ電極は、一体型に形成されることを特徴とする請求項 7 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 9】

前記画素電極は、前記第 3 ストレージ電極を通じて前記第 3 ドレイン電極に連結されることを特徴とする請求項 8 に記載の液晶表示装置用アレイ基板の製造方法。

10

20

30

40

50

【請求項 10】

前記第 1 ないし第 3 ストレージ電極と、前記第 1 ストレージ電極、第 2 ストレージ電極間と前記第 2 ストレージ電極、第 3 ストレージ電極間に介された絶縁層は、ストレージキャパシタを構成することを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 11】

前記第 4 半導体層上に、前記第 1 ストレージ電極と前記第 4 半導体層間のオーミックコンタクト領域を得るために、高濃度 n 型の不純物 n⁺が前記第 1 ストレージ電極の下部に拡散されるように、前記基板を熱処理する段階をさらに含むことを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板の製造方法。

10

【請求項 12】

表示領域と非表示領域を含む基板と；

前記非表示領域に位置する n 型の駆動薄膜トランジスタ及び p 型の駆動薄膜トランジスタと、前記表示領域に位置するスイッチング薄膜トランジスタと；

前記表示領域に位置して、順に積層された第 1 ないし第 3 ストレージ電極と、その間に介された絶縁層を含み、前記第 1 ストレージ電極は、その下部に位置する第 1 半導体層と接触するストレージキャパシタと；

前記表示領域に位置して、前記スイッチング薄膜トランジスタに連結された画素電極とを含むことを特徴とする液晶表示装置用アレイ基板。

【請求項 13】

20

前記 p 型の駆動薄膜トランジスタは、アクティブ領域と前記アクティブ領域の周辺に位置するオーミックコンタクト領域を含む第 2 半導体層と、第 1 ゲート電極と、第 1 ソース電極及び第 1 ドレイン電極を含み、前記 p 型の駆動薄膜トランジスタのオーミックコンタクト領域は、高濃度 p 型の不純物 p⁺でドーピングされて、前記 n 型の駆動薄膜トランジスタは、アクティブ領域と前記アクティブ領域の周辺に位置するオーミックコンタクト領域と、前記アクティブ領域と前記オーミックコンタクト領域間に位置する LDD 領域を含む第 3 半導体層と、第 2 ゲート電極と、第 2 ソース電極及び第 2 ドレイン電極を含み、前記 n 型の駆動薄膜トランジスタのオーミックコンタクト領域は、高濃度 n 型の不純物 n⁺でドーピングされて、前記 n 型の駆動薄膜トランジスタの LDD 領域は、低濃度 n 型の不純物 n⁻でドーピングされることを特徴とする請求項 12 に記載の液晶表示装置用アレイ

30

【請求項 14】

前記第 1 ないし第 3 半導体層は、ポリシリコン物質で構成されることを特徴とする請求項 13 に記載の液晶表示装置用アレイ基板。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に係り、特に、駆動回路一体型の液晶表示装置とその製造方法に関する。

【背景技術】

40

【0002】

一般的な液晶表示装置は、薄膜トランジスタ TFT を含むアレイ基板とカラーフィルタ基板間に液晶を注入して、この液晶の異方性による光の屈折率の差を利用してイメージを得る表示装置である。

【0003】

このような表示装置のスイッチング素子として使用される薄膜トランジスタは、アレイ部の設計によって多様な形態で構成できて、特に、アクティブ層として使用される半導体層には、非晶質シリコンまたは、多結晶シリコン(ポリシリコン)を使用する。

【0004】

この時、一般的なスイッチング素子としては、水素化された非晶質シリコン(a-Si :

50

H)が主に利用されるが、これは、低温工程が可能であって、低価の絶縁基板が使用できるからである。

【0005】

ところが、水素化された非晶質シリコンは、原子配列が無秩序であるために、弱い結合(weak Si-Si bond)及びダングリングボンド(dangling bond)が存在して、光の照射や電場の印加時、準安定状態に変化され、薄膜トランジスタ素子として活用時、安定性が問題になっており、電気的特性(低い電界効果の移動度： $0.1 \sim 1.0 \text{ cm}^2/\text{V} \cdot \text{s}$)が良くないので、駆動回路としては、使用し難い。

【0006】

一方、ポリシリコンは、非晶質シリコンに比べて、電界効果と移動度が大きいので、基板上に、駆動回路が形成できて、ポリシリコンを利用して、基板に直接駆動回路を形成すると、実装が大変簡単になり、液晶パネルがさらにコンパクトに製作できる長所がある。

【0007】

図1は、従来によるスイッチング素子と駆動回路が1つの基板に形成された一体型の液晶表示装置を概略的に示した図である。

図1に示したように、絶縁基板10は、表示領域D1と非表示領域D2で定義されて、前記表示領域D1には、多数の画素領域Pがマトリックス状に位置して、各画素ごとにスイッチング素子T及びこれに連結された画素電極17が構成される。

また、前記画素領域Pの一侧に沿って延長されたゲート配線12と、これとは垂直に交差するデータ配線14が構成される。

【0008】

前記非表示領域D2には、駆動回路部16、18が構成されるが、前記駆動回路部16、18は、基板10の一侧に位置して、前記ゲート配線12に信号を印加するゲート駆動回路部16と、これとは平行ではない基板10の他側に位置して、前記データ配線14に信号を印加するデータ駆動回路部18を含む。

【0009】

前記ゲート駆動回路部16及びデータ駆動回路部18は、外部から入力された信号を調節し、各々ゲート配線12及びデータ配線14を通じて画素部Pに、ディスプレイコントロール信号及びデータ信号を供給するための装置である。

【0010】

従って、前記ゲート駆動回路部16及びデータ駆動回路部18は、入力される信号を適切に出力させるために、一般的には、インバータであるCMOS(Complementary Metal-Oxide Semiconductor)構造の薄膜トランジスタで構成される。

【0011】

前記CMOSは、高速信号処理が要求される駆動回路部薄膜トランジスタに使用される半導体技術の一種であって、陰電気で充電された余分の電子等(n型の半導体)と陽電気で充電された正孔等(p型の半導体)を利用して1つの伝導体を形成し、相互補完的な方法として、前記2種類の半導体の効果的な電気制御に使用される。

【0012】

このように、非表示領域の駆動回路部を構成するCMOS素子は、n型及びp型の多結晶薄膜トランジスタの組合で構成されて、前記表示領域のスイッチング素子は、n型及びp型の多結晶薄膜トランジスタで構成される。

【0013】

図2は、従来による液晶表示装置の表示領域を示した概略的な平面図である。

図2に示したように、基板30の一面に、第1方向に、ゲート配線GLが構成されて、前記ゲート配線GLと交差して、画素領域Pを定義するデータ配線DLが構成される。

【0014】

前記ゲート配線GL及びデータ配線DLの交差部には、ゲート電極52とアクティブ層(38、多結晶シリコン層)と、ソース電極74aとドレイン電極74bとで構成された多結晶の薄膜トランジスタTが構成されて、前記画素領域Pには、前記ドレイン電極74b

と接触する画素電極 8 2 が構成される。

【0015】

また、前記画素領域 P には、第 1 ストレージ電極 4 0、第 2 ストレージ電極 5 4、第 3 ストレージ電極 7 6 で形成されたストレージキャパシタ C st が構成される。

【0016】

前記のような構成は、液晶パネルの表示領域の一部を示しており、このような形状が連続され表示領域を構成する。

【0017】

前述した表示装置の周辺に、駆動回路部(図示せず)を形成して、駆動回路部(図示せず)には、前記ゲート配線 G L 及びデータ配線 D L に信号を伝達するための駆動回路(図示せず)が形成される。 10

【0018】

前記駆動回路(図示せず)は、多結晶薄膜トランジスタ T の組合によって構成されて、駆動の特性が速くて、漏洩電流を有しないようにするために、n 型の多結晶薄膜トランジスタ T も、前述したように、C M O S 薄膜トランジスタの組合によって形成することができる。

【0019】

以下、図 3 A 及び図 3 B は、従来によるスイッチング素子と駆動回路が 1 つの基板に形成される一体型の液晶表示装置用アレイ基板を示した概略的な断面図である。

【0020】

図 3 A は、駆動回路部を示した断面図であって、図 3 B は、前記図 2 の I I I - I I I 線に沿って切断した断面図である。 20

図 3 A と図 3 B に示したように、非表示領域 D 2 に構成した駆動回路 D C は、C M O S 薄膜トランジスタ T の組合によって構成されて、前記 C M O S 薄膜トランジスタ T は、n 型の薄膜トランジスタ T n と p 型の薄膜トランジスタ T p の組合によって構成される。

【0021】

表示領域 D 1 に構成された単一画素領域 P は、スイッチング素子 T s と、これと接触しながら画素領域 P 全面に形成された画素電極 8 2 と、補助容量部であるストレージキャパシタ C st が形成される。

【0022】

この時、前記表示領域 P に使用するスイッチング素子 T s は、n 型または、p 型の多結晶薄膜トランジスタを使用するが、一般的には、n 型の多結晶薄膜トランジスタを使用する。 30

【0023】

前記ストレージキャパシタ C st は、第 1 ストレージ電極 4 0、第 2 ストレージ電極 5 4、第 3 ストレージ電極 7 6 で形成されて、等価回路的には、2 つのキャパシタ C 1、C 2 が直列連結された状態である。

このような構成は、領域を拡大しなくても、補助容量がさらに確保できる長所がある。

【0024】

前述したような構成の駆動回路一体型の液晶表示装置用アレイ基板は、一般的に、ストレージキャパシタ C st を形成するためのドーピング工程と、n 型の多結晶薄膜トランジスタ T n を形成するための n + イオンドーピング工程と、p 型の多結晶薄膜トランジスタ T p を形成するための p + イオンドーピング工程を含む 9 マスク工程を必要とする。 40
以下、工程図面を参照して、従来による駆動回路一体型の液晶表示装置用アレイ基板の製造方法を説明する。

【0025】

図 4 A ないし図 4 I は、従来による液晶表示装置用アレイ基板の非表示領域での製造工程を示した概略的な断面図であって、図 5 A ないし図 5 I は、従来による液晶表示装置用アレイ基板の表示領域での製造工程を示した概略的な平面図であり、図 6 A ないし図 6 I は、各々図 5 A ないし図 5 I の V I - V I 線に沿って切断した断面図である。 50

【0026】

図4Aと図5Aと図6Aは、第1マスク工程を示した図である。

図4Aと図5Aと図6Aに示したように、基板30に、表示領域D1と非表示領域D2を定義して、表示領域D1には、多数の画素領域Pを定義する。
この時、非表示領域D2に、第1領域A1と第2領域A2を定義して、前記画素領域Pに、第3領域A3と第4領域A4を定義する。

【0027】

前述したように、第1ないし第4領域A1、A2、A3、A4が定義された基板30の一面に、絶縁物質を蒸着してバッファ層32を形成し、前記バッファ層32の上部に非晶質シリコン(a-Si:H)を蒸着した後、結晶化する工程を行う。一般的には、レーザーを利用して結晶化を行う。

10

【0028】

結晶化工程によって結晶化された層をパターンし、前記第1領域A1と第2領域A2と第3領域A3に、アクティブ層として機能する第1ないし第3多結晶半導体層34、36、38を形成して、前記第4領域A4に、第1ストレージ電極として機能する第4多結晶半導体層40を形成する。

この時、第3多結晶半導体層38と第4多結晶半導体層40は、一体に形成することができる。

【0029】

図4Bと図5Bと図6Bは、第2マスク工程を示しており、前記第4領域A4の第4多結晶半導体層40にイオンをドーピングする工程を示した図である。

20

図4Bと図5Bと図6Bに示したように、第1ないし第4多結晶半導体層34、36、38、40が形成された基板30全面に、フォトリソistを塗布した後、第2マスク工程によってパターンし、前記第1領域A1と第2領域A2及び第3領域A3を遮蔽する第1フォトリソistパターン42を形成する。

【0030】

前記第1フォトリソistパターン42によって遮蔽されない第4領域A4の第4多結晶半導体層40の表面に、n+イオンをドーピングする工程を行う。

【0031】

前記第4多結晶半導体層40は、電極の役割をして、低い抵抗を有するために、イオン(nまたは、p型のイオン)をドーピングする工程を行う。イオンドーピング工程が完了されると、前記第1フォトリソistパターン42を除去する工程を行う。

30

【0032】

図4Cと図5Cと図6Cは、第3マスク工程を示した断面図である。

図4Cと図5Cと図6Cに示したように、前記第4領域A4の第4多結晶半導体層40にイオンをドーピングして第1ストレージ電極を形成する工程後、前記第1ないし第4多結晶半導体層34、36、38、40が形成された基板30全面にゲート絶縁膜46を形成する。

【0033】

前記ゲート絶縁膜46は、窒化シリコンSiNxと酸化シリコンSiO₂を含む無機絶縁物質グループのうちから選択された1つ以上の物質を蒸着して形成する。

40

【0034】

前記ゲート絶縁膜46が形成された基板30全面に、導電性金属を蒸着して第3マスク工程によってパターンし、前記第1ないし第3多結晶半導体層34、36、38の中心に対応する上部に第1ないし第3ゲート電極48、50、52を形成して、前記第4領域A4の第4多結晶半導体層40に対応する上部に第2ストレージ電極54を形成すると同時に、前記第3領域A3に構成したゲート電極52から延長され、画素領域Pの一側に位置するようにゲート配線GLを形成して、前記第2ストレージ電極54から延長され画素領域Pを横切るストレージ配線SLを形成する。

【0035】

50

図4Dと図5Dと図6Dは、第4マスク工程を示しており、第2領域A2と第3領域A3の第2多結晶半導体層36及び第3多結晶半導体層38に、n+イオンをドーピングするための工程断面図である。

【0036】

図4Dと図5Dと図6Dに示したように、第1ないし第3電極48、50、52と第2ストレージ電極54とゲート配線(図示せず)が形成された基板30全面にフォトリソを塗布した後、第4マスク工程によってパターンし、前記第1領域A1を覆うフォトリソパターン56を形成する。

【0037】

前記フォトリソパターン56間に露出された第2領域A2と第3領域A3にn+イオンをドーピングする工程を行う。 10

【0038】

前記第2領域A2と第3領域A3の第2半導体層36と第3半導体層38領域の前記第2ゲート電極50と第3ゲート電極52の周辺に露出された表面にn+イオンがドーピングされて、イオンがドーピングされた領域は、抵抗性接触(ohmic contact)の特性を有する。

前述したような第4マスク工程が完了すると、前記フォトリソパターン56を除去する工程を行う。

【0039】

図4Eと図5Eと図6Eは、第5マスク工程を示しており、第1領域A1の半導体層にp+イオンをドーピングするための工程断面図である。 20

図4Eと図5Eと図6Eに示したように、第1ないし第3ゲート電極48、50、52と第2ストレージ電極54が形成された基板30にフォトリソを塗布した後、第5マスク工程によってパターンし、第2領域A2と第3領域A3及び第4領域A4を覆うフォトリソパターン58を形成する。

ここで、前記第4領域A4は、もう第2ストレージ電極54が形成された状態であるので、フォトリソパターンを形成しなくても良い。

【0040】

第1領域A1の露出された第1半導体層34のゲート電極48の周辺に露出された表面にp+イオンをドーピングする工程を行う。この時、イオンがドーピングされた領域は、前述したように、抵抗性接触(ohmic contact)の特性を有する。 30

【0041】

図4Fと図5Fと図6Fは、第6マスク工程を示した工程断面図である。

前述したように、第1ないし第3半導体層34、36、38にイオンをドーピングして抵抗性接触領域(以下、オーミックコンタクト領域と称する。)の形成工程が行われた基板30に、窒化シリコンSiNxと酸化シリコンSiO₂を含む無機絶縁物質グループのうちから選択された1つを蒸着して層間絶縁膜60を形成する。

【0042】

前記層間絶縁膜60とその下部のゲート絶縁膜46を第6マスク工程によってパターンし、前記第1ないし第3半導体層34、36、38のオーミックコンタクト領域(イオンドーピング領域)を露出するコンタクトホールを形成する。 40

【0043】

詳しくは、前記第1ないし第3ゲート電極48、50、52を中心に両側の半導体層34、36、38、すなわち、オーミックコンタクト領域を各々露出する第1ないし第3コンタクトホール62、64、66を形成する。前記第1ないし第3コンタクトホール62、64、66は、第1ないし第3ソースコンタクトホール62a、64a、66a及び第1ないし第3ドレインコンタクトホール62b、64b、66bで構成される。

【0044】

図4Gと図5Gと図6Gは、第7マスク工程を示した工程断面図である。

前記第1ないし第3半導体層34、36、38のオーミックコンタクト領域(イオンド 50

ーピング領域)の一部を露出する層間絶縁膜60が形成された基板30全面に、クロムCr、モリブデンMo、タングステンW、銅Cu、アルミニウム合金AlNd等を含む導電性金属グループのうちから選択された1つを蒸着してパターンし、前記露出されたオーミックコンタクト領域と接触する第1ないし第3ソース電極70a、72a、74aと第1ないし第3ドレイン電極70b、72b、74bを形成する。

【0045】

この時、前記第3領域A3に構成したドレイン電極74bから第4領域A4に延長された延長部をさらに形成して、これは、第3ストレージ電極76としての役割をする。また、前記表示領域D1の第3領域A3に形成したソース電極74aから延長され、前記ゲート配線GLと交差して画素領域Pの一側に延長されたデータ配線DLを形成する。

10

【0046】

前述した第1ないし第7マスク工程によって、非表示領域D2には、p型の多結晶薄膜トランジスタT(p)とn型の多結晶薄膜トランジスタT(n)の組合であるCMOS素子が形成され、前記表示領域D1の第3領域A3には、n型の多結晶薄膜トランジスタで構成されたスイッチング薄膜トランジスタTsが形成され、前記第4領域A4には、第1ストレージ電極40、第2ストレージ電極54、第3ストレージ電極(76、ソース/ドレイン金属層)で構成された第1ストレージキャパシタC1及び第2ストレージキャパシタC2は、ストレージキャパシタCstを構成する。

【0047】

図4Hと図5Hと図6Hは、第8マスク工程を示した工程断面図である。

20

図4Hと図5Hと図6Hに示したように、前記第1ないし第3領域A1、A2、A3ごとに第1ないし第3ソース電極70a、72a、74aと第1ないし第3ドレイン電極70b、72b、74bが形成された基板30全面に、前述した絶縁物質グループのうちから選択された1つ以上の物質を蒸着して保護層78を形成する。

【0048】

前記保護層78を第8マスク工程によってパターンし、前記第3領域A3のドレイン電極74bまたは、第3ストレージ電極76を露出するドレインコンタクトホール80を形成する。

【0049】

図4Iと図5Iと図6Iは、第9マスク工程を示した工程断面図である。

30

図4Iと図5Iと図6Iに示したように、前記保護層78が形成された基板30全面に、インジウムスズーオキサイドITOとインジウムジunkerオキサイドIZOを含む透明な導電性金属グループのうちから選択された1つを蒸着して、第9マスク工程によってパターンし、前記ドレイン電極74bまたは、これに延長された前記第3ストレージ電極76と接触しながら前記画素領域Pに位置する画素電極82を形成する。

【0050】

以上、前述したような第1ないし第9マスク工程によって、従来による駆動回路一体型の液晶パネルの薄膜トランジスタアレイ基板を製作することができる。

【0051】

従って、従来には、多数の工程によって駆動回路一体型のアレイ基板を製作するために、工程時間の遅延と生産費用の増加により工程収率が低下される問題がある。また、多数の工程による不良発生率を高める短所がある。

40

【発明の開示】

【発明が解決しようとする課題】

【0052】

本発明は、前述した問題を解決するために提案されており、工程数を減少させて工程時間を短縮し、工程費用を低下させると同時に、不良発生確率を低めて生産収率を高めることを目的とする。

【課題を解決するための手段】

【0053】

50

前記目的を達成するために、本発明の第1特徴は、表示領域と非表示領域を有する基板を備える段階と；前記非表示領域に位置する第1半導体層、第2半導体層と、前記表示領域に位置する第3半導体層、第4半導体層と、前記第4半導体層上に位置する第1ストレージ電極を第1マスク工程によって形成する段階と；前記第1半導体層上に位置する第1ゲート電極と、前記第2半導体層、第3半導体層及び前記第1ストレージ電極を覆う第1金属パターン、第2金属パターンを第2マスク工程によって形成する段階と；高濃度p型の不純物p⁺を有して前記第1ゲート電極から露出された第1半導体層の両側領域をドーピングする段階と；前記第2半導体層、第3半導体層の中央部に、第2ゲート電極、第3ゲート電極と、前記第1ストレージ電極の上部に、第2ストレージ電極を第3マスク工程によって形成する段階と；高濃度n型の不純物n⁺を有して第2ゲート電極から露出された第2半導体層の両側領域と、低濃度n型の不純物n⁻を有して前記第3ゲート電極から露出された前記第3半導体層の両側領域をドーピングする段階と；前記第2ゲート電極、第3ゲート電極と、前記第1金属パターン上に位置して、前記第1ないし第3半導体層の各々のドーピング領域を露出する層間絶縁膜を第4マスク工程によって形成する段階と；前記第1半導体層のドーピング領域に連結される第1ソース電極及び第1ドレイン電極と、前記第2半導体層のドーピング領域に連結される第2ソース電極及び第2ドレイン電極と、前記第3半導体層のドーピング領域に連結される第3ソース電極及び第3ドレイン電極と、前記第2ストレージキャパシタの上部に、第3ストレージキャパシタを第5マスク工程によって形成する段階と；前記第1ないし第3ソース電極と前記第1ないし第3ドレイン電極上に位置して、前記第3ストレージ電極と前記第3ドレイン電極のいずれかを露出させるコンタクトホールを有する保護層を第6マスク工程によって形成する段階と；前記保護層上に、前記コンタクトホールを通じて前記第3ストレージ電極と前記第3ドレイン電極のいずれかに連結される画素電極を第7マスク工程によって形成する段階とを含む液晶表示装置用アレイ基板の製造方法を提供する。

【0054】

前記第1マスク工程は、前記第1ないし第4半導体層上に、第1伝導性金属物質を蒸着する段階と；前記第1伝導性金属物質上に、フォトレジスト物質をコーティングすることによってフォトレジスト層を形成する段階と；前記フォトレジスト層の上部に透過部、遮断部、半透過部を含む第1マスクを配置する段階と；前記第1マスクを通じて前記フォトレジスト層を光に露光する段階と；前記フォトレジスト層を蒸着して、前記非表示領域に位置する第1フォトレジストパターン及び第2フォトレジストパターンと前記表示領域に位置する第4フォトレジストパターンを形成する段階と；第1ないし第4フォトレジストパターンを、前記第4フォトレジストパターンの厚さが、前記第1ないし第3フォトレジストパターン各々の厚さより大きい値を有するように形成する段階と；前記第1ないし第4フォトレジストパターンをエッチングマスクとして利用して前記第1伝導性金属層をエッチングし、前記第1ないし第4フォトレジストパターン各々に対応する第1ないし第4金属パターンを形成する段階と；前記第1ないし第3フォトレジストパターンと前記第1ないし第3フォトレジストパターンから露出された前記第1ないし第3金属パターンを除去する段階とを含む。

【0055】

前記基板と前記第1ないし第4半導体層間に、バッファ層を形成する段階をさらに含む。

【0056】

前記第2マスク工程は、前記第1ないし第4半導体層と前記第1ストレージ電極が形成された基板全面に位置する絶縁層と、第2伝導性金属層を連続的に形成して、前記第2伝導性金属層は、前記第1金属パターン、第2金属パターンとしてパターンニングされる段階を含む。

【0057】

前記第3マスク工程は、前記第1ゲート電極と前記第1金属パターン、第2金属パターン上に、フォトレジスト物質をコーティングしてフォトレジストパターンを形成する段階

と；前記第1半導体層に、アクティブ領域と、前記アクティブ領域の周辺に位置するオーミックコンタクト領域を定義して、前記第2半導体層、第3半導体層に、前記アクティブ領域と前記オーミックコンタクト領域と、前記アクティブ領域と前記オーミックコンタクト領域間に位置するLDD領域を各々定義する段階と；前記フォトリジスト層を光に露光する段階と；前記フォトリジスト層を現像して、前記第1半導体層上の第1フォトリジストパターンと、前記第2半導体層のアクティブ領域及びLDD領域上の第2フォトリジストパターンと、前記第3半導体層のアクティブ領域及びLDD領域上の第3フォトリジストパターンと、前記第4半導体層上に第4フォトリジストパターンを形成する段階と；エッチングマスクとして前記第1ないし第4フォトリジストパターンを利用して金属パターンをエッチングし、前記第2フォトリジストパターンの下部に位置する前記第2ゲート電極、前記第3フォトリジストパターンの下部に位置する第3ゲート電極、前記第4フォトリジストパターンの下部に位置する第2ストレージ電極を形成する段階と；高濃度n型の不純物n⁺を有して前記第2半導体層、第3半導体層のオーミックコンタクト領域を各々ドーピングして、高濃度n型の不純物n⁺を有して前記第1ストレージ電極から露出された前記第4半導体層の領域をドーピングする段階と；前記第2半導体層、第3半導体層のLDD領域に対応する第2ゲート電極、第3ゲート電極の一部領域を露出させるために前記第2フォトリジストパターン、第3フォトリジストパターンの一部を除去する段階と；前記第2ゲート電極、第3ゲート電極の露出された一部領域を除去する段階と；低濃度n型の不純物n⁻を有して前記第2半導体層、第3半導体層のLDD領域をドーピングする段階とを含む。

10

20

【0058】

前記第2ソース電極、第3ソース電極各々は、各々のオーミックコンタクト領域のソース領域に連結されて、前記第2ドレイン電極、第3ドレイン電極各々は、各々のオーミックコンタクト領域のドレイン領域に連結される。

【0059】

前記第3半導体層、第4半導体層は、一体型に形成され、前記第3ドレイン電極と前記第3ストレージ電極は、一体型に形成されて、前記画素電極は、前記第3ストレージ電極を通じて前記第3ドレイン電極に連結される。

【0060】

前記第1ないし第3ストレージ電極と、前記第1ストレージ電極、第2ストレージ電極間と前記第2ストレージ電極、第3ストレージ電極間に介された絶縁層は、ストレージキャパシタを構成する。

30

【0061】

前記第4半導体層上に、前記第1ストレージ電極と前記第4半導体層間のオーミックコンタクト領域を得るために、高濃度n型の不純物n⁺が前記第1ストレージ電極の下部に拡散されるように、前記基板を熱処理する段階をさらに含む。

【0062】

本発明の第2特徴は、表示領域と非表示領域を含む基板と；前記非表示領域に位置するn型の駆動薄膜トランジスタ及びp型の駆動薄膜トランジスタと、前記表示領域に位置するスイッチング薄膜トランジスタと；前記表示領域に位置して、順に積層された第1ないし第3ストレージ電極と、その間に介された絶縁層を含み、前記第1ストレージ電極は、その下部に位置する第1半導体層と接触するストレージキャパシタと；前記表示領域に位置して、前記スイッチング薄膜トランジスタに連結された画素電極とを含む液晶表示装置用アレイ基板を提供する。

40

【0063】

前記p型の駆動薄膜トランジスタは、アクティブ領域と前記アクティブ領域の周辺に位置するオーミックコンタクト領域を含む第2半導体層と、第1ゲート電極と、第1ソース電極及び第1ドレイン電極を含み、前記p型の駆動薄膜トランジスタのオーミックコンタクト領域は、高濃度p型の不純物p⁺でドーピングされて、前記n型の駆動薄膜トランジスタは、アクティブ領域と前記アクティブ領域の周辺に位置するオーミックコンタクト領

50

域と、前記アクティブ領域と前記オーミックコンタクト領域間に位置するLDD領域を含む第3半導体層と、第2ゲート電極と、第2ソース電極及び第2ドレイン電極を含み、前記n型の駆動薄膜トランジスタのオーミックコンタクト領域は、高濃度n型の不純物n+でドーピングされて、前記n型の駆動薄膜トランジスタのLDD領域は、低濃度n型の不純物n-でドーピングされる。

【0064】

前記第1ないし第3半導体層は、ポリシリコン物質で構成される。

【0065】

以下、本発明の実施例による駆動回路一体型の液晶表示装置用アレイ基板の製造方法を説明する。

【発明の効果】

【0066】

本発明による駆動回路一体型の液晶表示装置用アレイ基板の製造方法(7マスク製造方法)は、従来に比べて、工程が単純化され工程費用を節減して、工程時間が短縮される。

また、工程が単純化されることによって、不良発生確率が低減され、生産収率が改善される。

【実施例】

【0067】

図7は、本発明による液晶表示装置用アレイ基板の表示領域を概略的に示した平面図である。

図7に示したように、基板100上に、一方向に延長されたゲート配線GLと、前記ゲート配線GLと垂直に交差して画素領域Pを定義するデータ配線DLを構成する。

【0068】

前記ゲート配線GLとデータ配線DLの交差点には、スイッチング素子である多結晶薄膜トランジスタTsを構成して、前記画素領域Pには、画素電極172を構成する。

【0069】

前記多結晶薄膜トランジスタTsは、多結晶シリコン層である第3半導体層116と、ゲート電極148とソース電極164aドレイン電極164bを含み、前記画素電極172は、前記ドレイン電極164bと接触するように構成する。

【0070】

前記画素領域Pの一部には、補助容量部であるストレージキャパシタCstを構成するが、前記ストレージキャパシタCstは、第1ストレージ電極124と、ストレージ配線SLから前記第1ストレージ電極124の上部に延長された第2ストレージ電極150と、前記ドレイン電極164bから前記第2ストレージ電極150の上部に延長された第3ストレージ電極166で構成される。この時、前記第1ストレージ電極124とその下部の第4半導体層118は、オーミックコンタクトの特性を有するために、同一信号が流れるようにすることの特徴とする。

【0071】

以下、断面構成を参照して、前述した構成を含む駆動回路一体型の液晶表示装置用アレイ基板の構成を察する。

【0072】

図8A及び図8Bは、本発明の一実施例によるスイッチング素子と駆動回路部が1つの基板に形成される液晶表示装置用アレイ基板を示した概略的な断面図であって、図8Bは、図7のV I I I - V I I I 線に沿って切断した概略的な断面図である。

【0073】

図8Aと図8Bに示したように、駆動回路一体型の液晶表示装置用アレイ基板100は、表示領域D1と非表示領域D2に区分される。

前記非表示領域D2には、n型の多結晶薄膜トランジスタT(n)とp型の多結晶薄膜トランジスタT(p)の組合であるCMOSで構成された駆動回路を形成する。

【0074】

10

20

30

40

50

前記表示領域 D 1 には、スイッチング素子 T s と、第 1 ストレージ電極 1 2 4 と、第 2 ストレージ電極 1 5 0 と、第 3 ストレージ電極 1 8 2 を含むストレージキャパシタ C s t と、画素領域 P ごとに前記スイッチング素子 T s と接触する画素電極 1 7 2 を形成する。

【0075】

前記スイッチング素子 T s は、通常、n 型の多結晶薄膜トランジスタで構成されて、前記ストレージキャパシタ C s t は、第 1 ストレージ電極 1 2 4 及び第 2 ストレージ電極 1 5 0 で構成された第 1 ストレージキャパシタ C 1 と、前記第 2 ストレージ電極 1 5 0 及び第 3 ストレージ電極 1 8 2 で構成された第 2 ストレージキャパシタ C 2 を等価回路的に直列連結した構成である。

【0076】

前述した構成は、前記駆動回路 D C 及びスイッチング素子 T s で使用される n 型及び p 型の多結晶薄膜トランジスタの半導体層 (アクティブ層) と、前記ストレージキャパシタ C s t の半導体層 1 1 8 と、その上部の第 1 ストレージ電極 1 2 4 を単一マスク工程によって構成することを第 1 特徴とする。

【0077】

また、n 型及び p 型の多結晶薄膜トランジスタの第 1 ないし第 3 ゲート電極 1 3 6、1 4 6、1 4 8 と、前記 n 型の多結晶薄膜トランジスタ T (n) の第 2 半導体層 1 1 4 と第 3 半導体層 1 1 6 の表面に、部分的に n + イオンドーピングと、n - イオンドーピングを行い、前記 p 型の多結晶薄膜トランジスタの半導体層 1 1 2 に、p + イオンドーピング工程及び前記ストレージキャパシタ C s t の第 2 ストレージ電極 1 5 0 を形成する工程を、2 度のマスク工程によって行うことを第 2 特徴とする。

【0078】

本発明による駆動回路一体型の液晶表示装置用アレイ基板は、前述したマスク工程を含み、7 マスク工程によって製作することができる。

【0079】

以下、工程図面を参照して、本発明による駆動回路一体型の液晶表示装置用アレイ基板の製造工程を説明する。

【0080】

図 9 A ないし図 9 O は、本発明の一実施例による液晶表示装置用アレイ基板の非表示領域での製造工程を示した概略的な断面図であって、図 10 A ないし図 10 O は、本発明の一実施例による液晶表示装置用アレイ基板の表示領域での製造工程を示した概略的な断面図であり、図 11 A ないし図 11 O は、各々図 10 A ないし図 10 O の X I - X I 線に沿って切断した部分を示した断面図である。

【0081】

以下、図 9 A ないし図 9 E と図 10 A ないし図 10 E と図 11 A ないし図 11 E は、第 1 マスク工程を示した図である。

図 9 A と図 10 A と図 11 A に示したように、基板 100 を表示領域 D 1 と非表示領域 D 2 で定義して、前記表示領域 D 1 は、多数の画素領域 P で定義する。また、前記非表示領域 D 2 には、第 1 領域 A 1 と第 2 領域 A 2 を定義して、前記画素領域 P に、第 3 領域 A 3 と第 4 領域 A 4 を定義する。

【0082】

この時、第 1 領域 A 1 は、p 型の多結晶薄膜トランジスタ T (p) が形成される領域であって、第 2 領域 A 2 は、n 型の多結晶薄膜トランジスタ T (n) が形成される領域である。さらに、前記第 3 領域 A 3 は、スイッチング素子で n 型の多結晶薄膜トランジスタが形成される領域であって、前記第 4 領域 A 4 は、ストレージキャパシタ C s t が形成される領域である。

【0083】

前述したように、多数の領域 A 1、A 2、A 3、A 4 が定義された基板 100 全面に、バッファ層 102 と多結晶シリコン層 104 と第 1 伝導性金属層 106 を積層形成する。

【0084】

10

20

30

40

50

前記バッファ層102は、窒化シリコンSiNxと酸化シリコンSiNxを含む無機絶縁物質グループのうちから選択された1つまたは、それ以上の物質を蒸着して形成する。

【0085】

前記多結晶シリコン層104は、不純物を含まない純粋非晶質シリコン(a-Si:H)を蒸着した後、脱水素工程及び結晶化工程を行って形成する。

【0086】

前記第1伝導性金属層106は、タングステンW、モリブデンMo、クロムCr、モリブデンタングステンMoW等を含む導電性金属グループのうちから選択された1つを蒸着して形成する。

【0087】

前記第1伝導性金属層106が形成された基板100全面に、フォトレジストを塗布して感光層108を形成する。

【0088】

前記感光層108と離隔された上部に、透過部B1と遮断部B2と半透過部B3で構成されたマスクMを位置させる。前記遮断部B2は、第4領域A4に対応するようにして、前記半透過部B3は、第1領域ないし第3領域A1、A2、A3に対応するようにして、前記透過部B1は、その他の領域に対応するようにする。

【0089】

この時、前記マスクMは、前記感光層108の位置によって強度の異なる光を照射して、部分的に感光層を露光し、特に、前記半透過部B3は、光の回折による光強度の減少を利用して下部の感光層が表面から一部だけ露光されるようにすることを特徴とする。

【0090】

従って、図9Bと図10Bと図11Bに示したように、前記マスクの上部に光を照射した後、現像すると、前記第1領域A1と第2領域A2には、一部除去され最初より低くなった第1厚さt1の第1フォトレジストパターン110aと第2フォトレジストパターン110bが形成されて、前記第3領域A3と第4領域A4には、高さにその差を有する第1厚さt1と第2厚さt2を有する第3フォトレジストパターン110cが形成される。

【0091】

すなわち、前記第3領域A3と第4領域A4にかけて第3フォトレジストパターン110cがパターンされるが、前記マスクの半透過部(図9Aと図11AのB3)が位置した前記第3領域A3に対応する部分は、低い高さの第1厚さt1で形成される。

【0092】

前記第1ないし第3フォトレジストパターン110a、110b、110cの周辺に露出された前記第1伝導性金属層106及びその下部の多結晶シリコン層104を除去する工程を行う。

【0093】

図9Cと図10Cと図11Cに示したように、前記第1ないし第3フォトレジストパターン110a、110b、110cの下部には、第1ないし第4金属パターン120、122、123a、123bとその下部には、第1ないし第4半導体層112、114、116、118が残る。この時、前記第3半導体層116及び第4半導体層118は、一体にパターンされる。

【0094】

前記第1ないし第3フォトレジストパターン110a、110b、110cをアッシングする工程を行う。

【0095】

図9Dと図10Dと図11Dに示したように、前記第1ないし第3フォトレジストパターン110a、110b、110cで、前記第1領域A1と第2領域A2と第3領域A3に対応する部分は、除去され、前記第4領域A4に対応する前記第1ないし第3フォトレジストパターン110a、110b、110cに対応する部分は、残れて、第4フォトレジストパターン126になる。

10

20

30

40

50

【0096】

前記第1領域A1と第2領域A2と第3領域A3に対応して露出された第1ないし第4金属パターン120、122、123a、123bを除去する工程を行う。

【0097】

図9Eと図10Eと図11Eに示したように、第1ないし第3領域A1、A2、A3には、第1ないし第3半導体層112、114、116が露出されて、前記第4領域の第4半導体層118の上部には、前記第3半導体層116に対応する部分がエッチングされた第3金属パターン(124、以下、第1ストレージ電極と称する。)が残る。

【0098】

以上、前述した第1マスク工程によって、第1領域A1と第2領域A2と第3領域A3に、第1ないし第3半導体層112、114、116が形成できて、前記第4領域A4に、前記第3半導体層116と一体に構成された第4半導体層118と、第1ストレージ電極124を積層して形成することができる。この時、第1ストレージ電極124は、その下部に位置する第4半導体層118との電氣的連結によって電極体としての役割をする。

【0099】

前述した工程で、前記第4半導体層118に第1ストレージ電極124を形成することによって、前記第4半導体層118を電極として使用するための別途の不純物イオンドーピング工程が省略できる。

【0100】

以下、図9Fないし図9Gと図10Fないし図10Gと図11Fないし図11Gは、第2マスク工程を示した図である。

【0101】

図9Fと図10Fと図11Fに示したように、前記第4領域A4に、第1ストレージ電極124が形成された基板100全面に、ゲート絶縁膜128と第2伝導性金属層130を積層して、前記第2伝導性金属層130上に、フォトリソを塗布して感光層132を形成する。

第2マスクによって、前記感光層132を露光して現像する工程を行う。

【0102】

図9Gと図10Gと図11Gに示したように、第1領域A1と第2領域A2に残された第1フォトリソパターン134a及び第2フォトリソパターン134bと、前記第3領域A3と前記第4領域A4に残された第3フォトリソパターン134cの周辺に露出された第2伝導性金属層(図9Fと図11Fの130)を除去する工程を行う。

【0103】

前記第1領域A1の第1フォトリソパターン134aの下部には、ゲート電極136が形成されて、前記第2領域A2と前記第3領域A3及び第4領域A4には、第1金属パターン138と第2a金属パターン140a及び第2b金属パターン140bが各々残される。

【0104】

この時、前記第1領域A1の第1半導体層112をアクティブ領域ARと、前記アクティブ領域ARの両側のオーミックコンタクト領域OCRとで定義すると、前記ゲート電極136は、前記アクティブ領域ARに対応するように形成する。

【0105】

前述した工程で、前記第2a金属パターン140a及び第2b金属パターン140bの一侧と他側に連結されたゲート配線GLとストレージ配線SLを形成する。

【0106】

前記第1ないし第3フォトリソパターン134a、134b、134cを除去する工程を行う。

【0107】

図9Hと図10Hと図11Hは、第1領域の第1半導体層に、p+イオンをドーピングする工程を示した図である。

図 9 H と図 10 H と図 11 H に示したように、前記第 1 領域 A 1 に、ゲート電極 136 と、前記第 2 領域 A 2 に、第 1 金属パターン 138 と、前記第 3 領域 A 3 及び第 4 領域 A 4 に、前記第 2 a 金属パターン 140 a 及び第 2 b 金属パターン 140 b が形成された基板 100 全面に、p+イオンドーピング工程を行う。

前記第 1 領域 A 1 に構成した第 1 半導体層 112 のオーミックコンタクト領域は、p+イオンドーピングされる。

【0108】

図 9 I ないし図 9 K と図 10 I ないし図 10 K と図 11 I ないし図 11 K は、第 3 マスク工程を示した図である。

図 9 I と図 10 I と図 11 I に示したように、前記ゲート電極 136 と第 1 金属パターン、第 2 a 金属パターン及び第 2 b 金属パターン(図 9 H と図 11 H の 138、140 a、140 b)が形成された基板 100 全面に、感光層を形成し第 3 マスク工程によってパターンし、前記第 1 領域 A 1 には、これを覆う第 1 フォトレジストパターン 142 a と、前記第 2 領域 A 2 には、第 2 フォトレジストパターン 142 b とその下部のゲート電極 146 と、前記第 3 領域 A 3 には、第 3 フォトレジストパターン 142 c とその下部のゲート電極 148 と、前記第 4 領域 A 4 には、第 4 フォトレジストパターン 142 d とその下部の第 2 ストレージ電極 150 を形成する。

【0109】

前記第 3 領域 A 3 のゲート電極 148 は、ゲート配線 G L から突出された形状であって、前記第 2 ストレージ電極 150 は、前記ストレージ配線 S L から突出延長された形状である。

【0110】

この時、前記第 2 領域 A 2 及び第 3 領域 A 3 の第 2 半導体層 114 及び第 3 半導体層 116 をアクティブ領域 A R と、アクティブ領域 A R の両側のオーミックコンタクト領域 O C R と、前記オーミックコンタクト領域 O C R とアクティブ領域 A R 間を L D D 領域で定義すると、前記第 2 ゲート電極 146 及び第 3 ゲート電極 148 は、前記アクティブ領域 A R 及び L D D 領域 L D D に対応して位置するように形成する。

【0111】

前記第 1 ないし第 4 フォトレジストパターン 142 a、142 b、142 c、142 d をそのまま置いた状態で、基板 100 全面に、n+イオンドーピング工程を行う。

【0112】

前記第 2 フォトレジストパターン 142 b と第 3 フォトレジストパターン 142 c によって遮れない第 2 半導体層 114 及び第 3 半導体層 116 のオーミックコンタクト領域 O C R が n+イオンドーピングされる。

【0113】

この時、前記第 1 ストレージ電極 124 の周辺に露出された前記第 4 半導体層の表面領域 S P にも、n+イオンがドーピングされる。

【0114】

図 9 J ないし図 9 K と図 10 J ないし図 10 K と図 11 J ないし図 11 K は、第 2 領域と第 3 領域の半導体層に低ドーピング領域である L D D 領域を形成するための工程である。

図 9 J と図 10 J と図 11 J に示したように、前記第 1 ないし第 4 フォトレジストパターンをアッシング(ashing)した結果を示した図である。

【0115】

図 9 J と図 10 J と図 11 J に示したように、前記第 1 ないし第 4 領域(A 1、A 2、A 3、A 4)に残された第 1 ないし第 4 フォトレジストパターン 142 a、142 b、142 c、142 d をアッシング(ashing)する工程を行う。

【0116】

前記アッシング工程は、乾式エッチング工程と類似であって、前記第 1 ないし第 4 フォトレジストパターン 142 a、142 b、142 c、142 d を完全に除去する目的より

は、周辺の一部だけを除去して下部金属層の一部を露出するためである。

【0117】

従って、本工程では、フォトリジストパターンのアッシングによって、第2半導体層114及び第3半導体層116のLDD領域LDDに対応する上部の第2ゲート電極146及び第3ゲート電極148を露出する。この時、前記第2ストレージ電極150及びゲート配線GLとストレージ配線SLの周辺も一部露出される。

【0118】

以後、前記第2ゲート電極146及び第3ゲート電極148の露出された部分を除去する工程を行う。

【0119】

図9Kと図10Kと図11Kは、LDD領域を形成するためのn-イオンをドーピングする工程を示した図である。

10

【0120】

図9Kと図10Kと図11Kに示したように、前述した工程で、第2領域A2と第3領域A3に位置した第2ゲート電極146及び第3ゲート電極148の周辺一部が除去された部分に対応する第2半導体層114及び第3半導体層116のLDD領域LDDにn-イオンをドーピングする工程を行う。

【0121】

前記n-イオンドーピングされたLDD領域を形成する理由は、チャンネル(アクティブ領域)に近接した領域で、熱電子効果によって発生する漏洩電流特性を最小化するためである。

20

【0122】

前記第2半導体層114及び第3半導体層116にLDD領域を形成した後、前記第1ないし第4領域A1、A2、A3、A4の第1ないし第4フォトリジストパターン142a、142b、142c、142dを除去する工程を行う。

【0123】

以上、前述した第2ないし第3マスク工程によって、第1領域A1の第1半導体層112の上部に第1ゲート電極136を形成して、前記第1ゲート電極136が位置していない第1半導体層112の表面に、p+イオンをドーピングしてオーミックコンタクト領域を形成し、前記第2領域A2及び第3領域A3の第2半導体層114及び第3半導体層116には、n+イオンとn-イオンを各々ドーピングして、オーミックコンタクト領域とLDD領域を実質的に定義すると同時に、各々第2ゲート電極146及び第3ゲート電極148を形成した。また、前記第4領域A4には、第2ストレージ電極150を形成する工程を行う。

30

【0124】

図9Lと図10Lと図11Lは、第4マスク工程を示した図である。

図9Lと図10Lと図11Lに示したように、第1ないし第3領域A1、A2、A3に、各々第1ないし第3ゲート電極136、146、148が形成されて、前記第4領域A4に、第2ストレージ電極150が形成された基板100全面に、酸化シリコンSiO₂と窒化シリコンSiNxを含む無機絶縁物質グループのうちから選択された1つを蒸着して層間絶縁膜152を形成する。

40

【0125】

前記層間絶縁膜152が形成された基板100全面に、フォトリジストを塗布した後、第4マスク工程によってパターンし、前記第1ないし第3半導体層112、114、116のオーミックコンタクト領域を各々露出する第1ないし第3コンタクトホール154、156、158を形成する。

【0126】

詳しくは、第1ないし第3領域A1、A2、A3に形成した各々の第1ないし第3ゲート電極136、146、148を中心に、両側の第1ないし第3半導体層112、114、116、すなわち、オーミックコンタクト領域を各々露出するように、前記第1ないし

50

第3コンタクトホール154、156、158は、第1ないし第3ソースコンタクトホール154a、156a、158aと第1ないし第3ドレインコンタクトホール154b、156b、158bを含む。

【0127】

前記層間絶縁膜152が形成された基板100を熱処理する工程を行うことができる。

【0128】

前記第1ストレージ電極124の周辺に露出された前記第4半導体層118の表面にドーピングされたイオン(n+イオン)が、前記第1ストレージ電極124の下部に拡散される現象が起きる。このことによって、前記第1ストレージ電極124とその下部の第4半導体層118は、オーミックコンタクトを構成して相互に信号が流れるようになる。

10

【0129】

さらに、前述した工程でコンタクトホールを形成しながら前記第3半導体層116の第3ドレインコンタクトホール158bの代わりに、前記第1ストレージ電極124の周辺に露出された第4半導体層118または、前記第1ストレージ電極124を露出してコンタクトホールを形成することもできる。

【0130】

これが可能な理由は、前記第3半導体層116と第4半導体層118が一体に形成され同一な信号が流れる構造で形成されたためである。

【0131】

図9Mと図10Mと図11Mは、第5マスク工程を示した図である。

20

図9Mと図10Mと図11Mに示したように、層間絶縁膜152全面に、前述した導電性金属物質グループのうちから選択された1つ以上の金属物質を蒸着してパターンし、第1ないし第3半導体層112、114、116の両側に各々接触する第1ないし第3ソース電極160a、162a、164aと第1ないし第3ドレイン電極160b、162b、164bを形成する。

【0132】

この時、前記第3領域A3に対応する第3ドレイン電極164bを前記第4領域A4に拡張して、拡張された領域は、第3ストレージ電極として使用する。

【0133】

前記第1ないし第3ソース電極160a、162a、164a及び第1ないし第3ドレイン電極160b、162b、164bを形成すると同時に、第3領域A3の第3ソース電極164aから画素領域Pの一侧に延長されるようにデータ配線DLを形成する。

30

【0134】

図9Nと図10Nと図11Nは、第6マスク工程を示した図である。

図9Nと図10Nと図11Nに示したように、前記第1ないし第3ソース電極160a、162a、164a及び第1ないし第3ドレイン電極160b、162b、164bと第3ストレージ電極166が形成された基板100全面に、窒化シリコンSiNxと酸化シリコンSiO₂を含む無機絶縁物質グループのうちから選択された1つまたは、それ以上の物質を蒸着して保護層168を形成する。

【0135】

40

前記保護層168を第6マスク工程によってパターンし、前記第3ドレイン電極164bまたは、第3ストレージ電極166の一部を露出するドレインコンタクトホール170を形成する。

【0136】

図9Oと図10Oと図11Oは、第7マスク工程を示した図である。

図9Oと図10Oと図11Oに示したように、前記保護層168が形成された基板100全面に、インジウムスズオキサイドITOとインジウムジニクオキサイドIZOを含む透明な物質グループのうちから選択された1つまたは、それ以上を蒸着して、第7マスク工程によってパターンし、前記露出された第3ドレイン電極164bまたは、第3ストレージ電極166と接触しながら前記画素領域P全面に位置するように画素電極1

50

7 2 を形成する。

【0 1 3 7】

前述したような7マスク工程によって、本発明による駆動回路一体型の液晶表示装置用アレイ基板を製作ができる。

【図面の簡単な説明】

【0 1 3 8】

【図 1】従来によるスイッチング素子と駆動回路が1つの基板に形成された一体型の液晶表示装置を概略的に示した図である。

【図 2】従来による液晶表示装置の表示領域を示した概略的な平面図である。

【図 3 A】従来によるスイッチング素子と駆動回路が1つの基板に形成される一体型の液晶表示装置用アレイ基板を示した概略的な断面図である。 10

【図 3 B】図 2 の I I I - I I I 線に沿って切断した断面図である。

【図 4 A】従来による液晶表示装置用アレイ基板の非表示領域での製造工程を示した概略的な断面図である。

【図 4 B】図 4 A に続く製造工程を示す断面図である。

【図 4 C】図 4 B に続く製造工程を示す断面図である。

【図 4 D】図 4 C に続く製造工程を示す断面図である。

【図 4 E】図 4 D に続く製造工程を示す断面図である。

【図 4 F】図 4 E に続く製造工程を示す断面図である。

【図 4 G】図 4 F に続く製造工程を示す断面図である。 20

【図 4 H】図 4 G に続く製造工程を示す断面図である。

【図 4 I】図 4 H に続く製造工程を示す断面図である。

【図 5 A】従来による液晶表示装置用アレイ基板の表示領域での製造工程を示した概略的な平面図である。

【図 5 B】図 5 A に続く製造工程を示す平面図である。

【図 5 C】図 5 B に続く製造工程を示す平面図である。

【図 5 D】図 5 C に続く製造工程を示す平面図である。

【図 5 E】図 5 D に続く製造工程を示す平面図である。

【図 5 F】図 5 E に続く製造工程を示す平面図である。

【図 5 G】図 5 F に続く製造工程を示す平面図である。 30

【図 5 H】図 5 G に続く製造工程を示す平面図である。

【図 5 I】図 5 H に続く製造工程を示す平面図である。

【図 6 A】各々図 5 A ないし図 5 I の V I - V I 線に沿って切断した部分の断面図である。

【図 6 B】図 6 A に続く製造工程を示す断面図である。

【図 6 C】図 6 B に続く製造工程を示す断面図である。

【図 6 D】図 6 C に続く製造工程を示す断面図である。

【図 6 E】図 6 D に続く製造工程を示す断面図である。

【図 6 F】図 6 E に続く製造工程を示す断面図である。

【図 6 G】図 6 F に続く製造工程を示す断面図である。 40

【図 6 H】図 6 G に続く製造工程を示す断面図である。

【図 6 I】図 6 H に続く製造工程を示す断面図である。

【図 7】本発明による液晶表示装置用アレイ基板の表示領域を概略的に示した平面図である。

【図 8 A】本発明の一実施例によるスイッチング素子と駆動回路部が1つの基板に形成される液晶表示装置用アレイ基板を示した概略的な断面図である。

【図 8 B】図 7 の V I I I - V I I I 線に沿って切断した部分の概略的な断面図である。

【図 9 A】本発明の一実施例による液晶表示装置用アレイ基板の非表示領域での製造工程を示した概略的な断面図である。

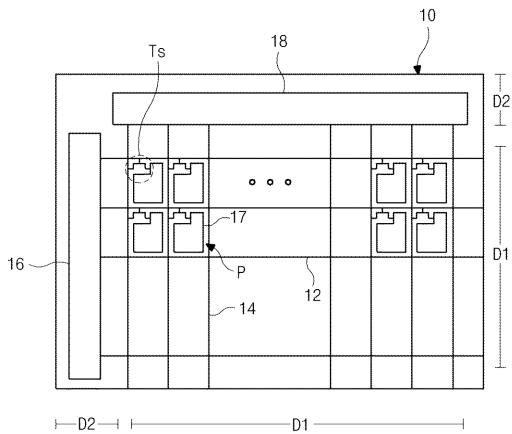
【図 9 B】図 9 A に続く製造工程を示す断面図である。 50

- 【図 9 C】図 9 B に続く製造工程を示す断面図である。
- 【図 9 D】図 9 C に続く製造工程を示す断面図である。
- 【図 9 E】図 9 D に続く製造工程を示す断面図である。
- 【図 9 F】図 9 E に続く製造工程を示す断面図である。
- 【図 9 G】図 9 F に続く製造工程を示す断面図である。
- 【図 9 H】図 9 G に続く製造工程を示す断面図である。
- 【図 9 I】図 9 H に続く製造工程を示す断面図である。
- 【図 9 J】図 9 I に続く製造工程を示す断面図である。
- 【図 9 K】図 9 J に続く製造工程を示す断面図である。
- 【図 9 L】図 9 K に続く製造工程を示す断面図である。 10
- 【図 9 M】図 9 L に続く製造工程を示す断面図である。
- 【図 9 N】図 9 M に続く製造工程を示す断面図である。
- 【図 9 O】図 9 N に続く製造工程を示す断面図である。
- 【図 10 A】本発明の一実施例による液晶表示装置用アレイ基板の表示領域での製造工程を示した概略的な断面図である。
- 【図 10 B】図 10 A に続く製造工程を示す断面図である。
- 【図 10 C】図 10 B に続く製造工程を示す断面図である。
- 【図 10 D】図 10 C に続く製造工程を示す断面図である。
- 【図 10 E】図 10 D に続く製造工程を示す断面図である。
- 【図 10 F】図 10 E に続く製造工程を示す断面図である。 20
- 【図 10 G】図 10 F に続く製造工程を示す断面図である。
- 【図 10 H】図 10 G に続く製造工程を示す断面図である。
- 【図 10 I】図 10 H に続く製造工程を示す断面図である。
- 【図 10 J】図 10 I に続く製造工程を示す断面図である。
- 【図 10 K】図 10 J に続く製造工程を示す断面図である。
- 【図 10 L】図 10 K に続く製造工程を示す断面図である。
- 【図 10 M】図 10 L に続く製造工程を示す断面図である。
- 【図 10 N】図 10 M に続く製造工程を示す断面図である。
- 【図 10 O】図 10 N に続く製造工程を示す断面図である。
- 【図 11 A】各々図 10 A ないし図 10 O の X I - X I 線に沿って切断した部分を示した 30
断面図である。
- 【図 11 B】図 11 A に続く製造工程を示す断面図である。
- 【図 11 C】図 11 B に続く製造工程を示す断面図である。
- 【図 11 D】図 11 C に続く製造工程を示す断面図である。
- 【図 11 E】図 11 D に続く製造工程を示す断面図である。
- 【図 11 F】図 11 E に続く製造工程を示す断面図である。
- 【図 11 G】図 11 F に続く製造工程を示す断面図である。
- 【図 11 H】図 11 G に続く製造工程を示す断面図である。
- 【図 11 I】図 11 H に続く製造工程を示す断面図である。
- 【図 11 J】図 11 I に続く製造工程を示す断面図である。 40
- 【図 11 K】図 11 J に続く製造工程を示す断面図である。
- 【図 11 L】図 11 K に続く製造工程を示す断面図である。
- 【図 11 M】図 11 L に続く製造工程を示す断面図である。
- 【図 11 N】図 11 M に続く製造工程を示す断面図である。
- 【図 11 O】図 11 N に続く製造工程を示す断面図である。
- 【符号の説明】
- 【0139】
- 116：第3半導体層
- 118：第4半導体層
- 124：第1ストレージ電極 50

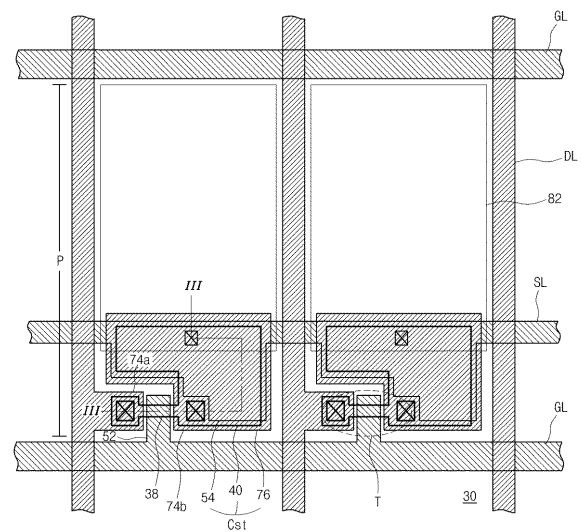
148 : 第3ゲート電極
 150 : 第2ストレージ電極
 164a : 第3ソース電極
 164b : 第3ドレイン電極
 166 : 第3ストレージ電極
 172 : 画素電極
 GL : ゲート配線
 DL : データ配線
 SL : ストレージ配線
 P : 画素領域

10

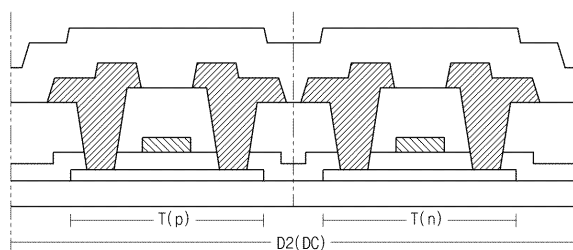
【図1】



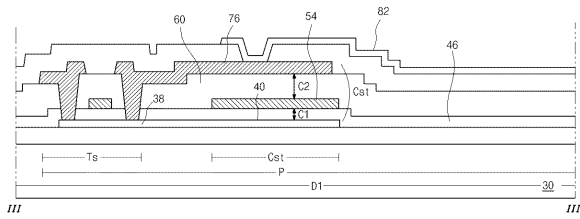
【図2】



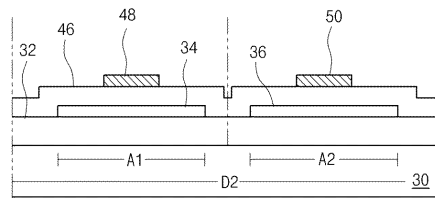
【図3A】



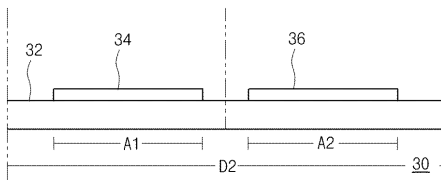
【図 3 B】



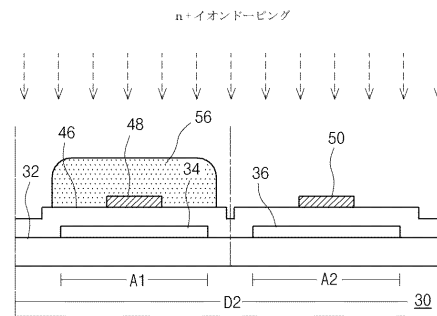
【図 4 C】



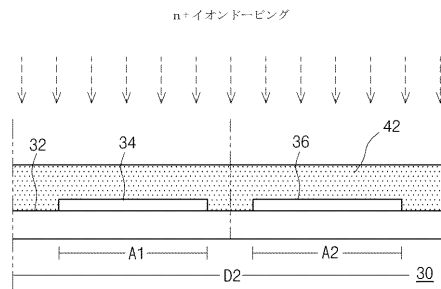
【図 4 A】



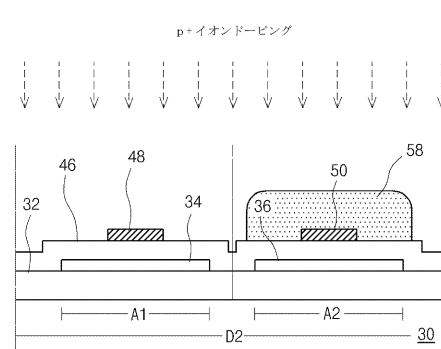
【図 4 D】



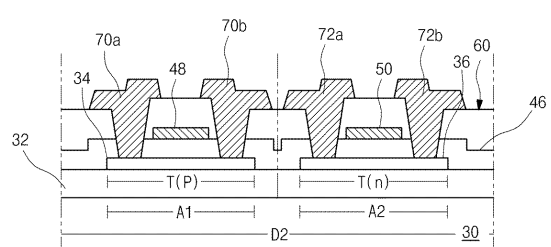
【図 4 B】



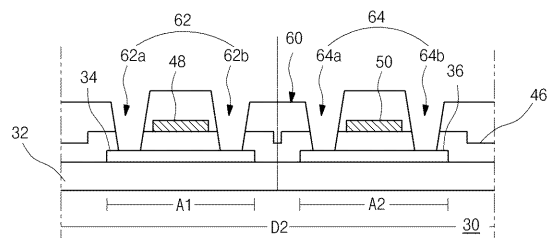
【図 4 E】



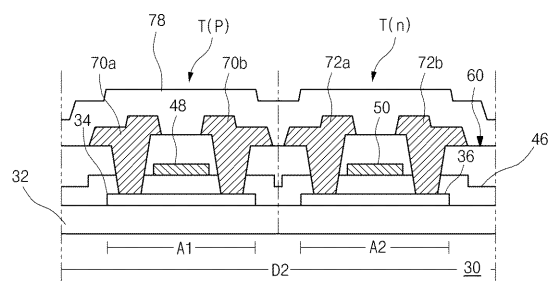
【図 4 G】



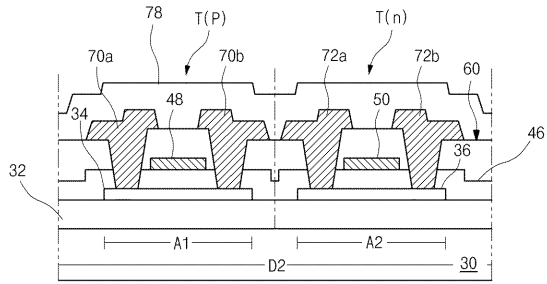
【図 4 F】



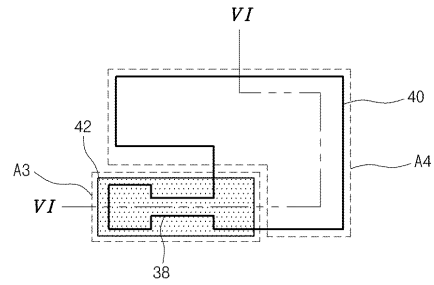
【図 4 H】



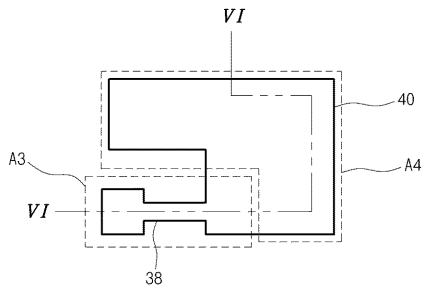
【図 4 I】



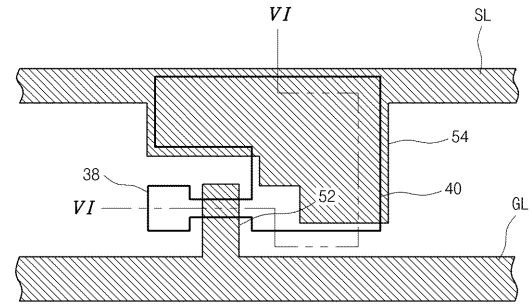
【図 5 B】



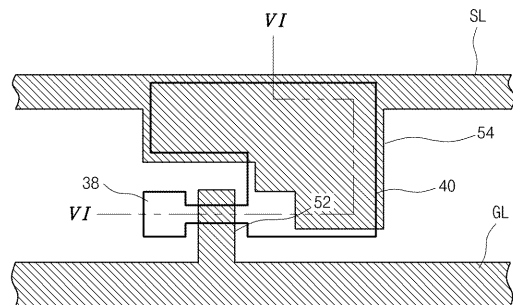
【図 5 A】



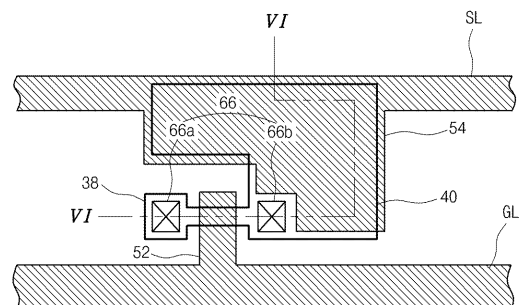
【図 5 C】



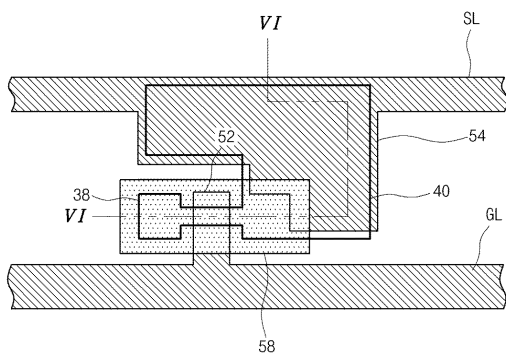
【図 5 D】



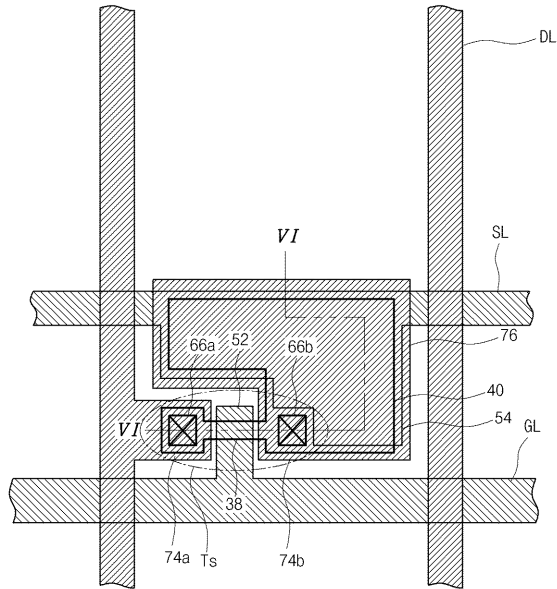
【図 5 F】



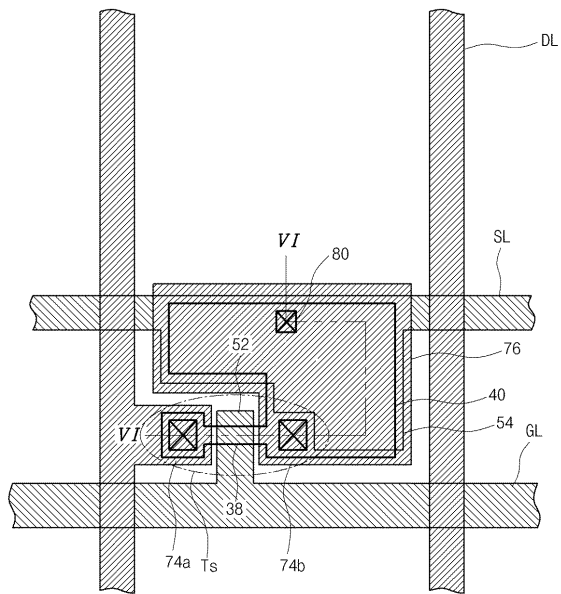
【図 5 E】



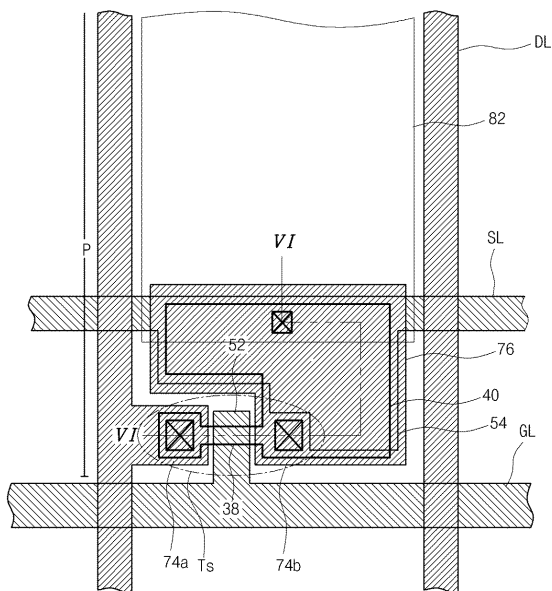
【図 5 G】



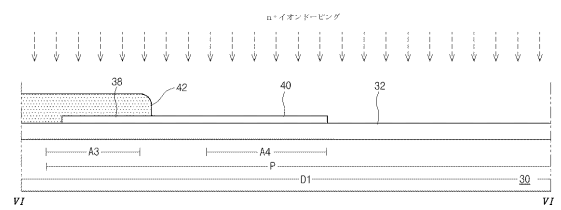
【図 5 H】



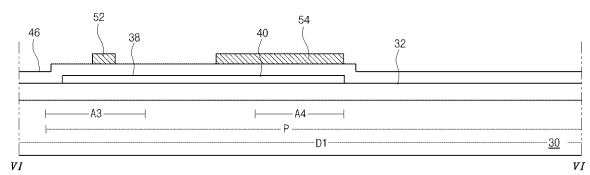
【図 5 I】



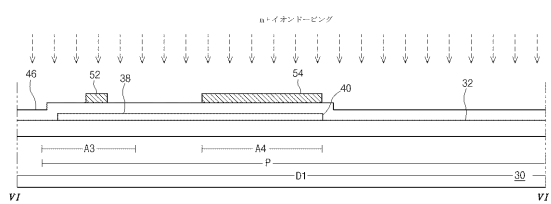
【図 6 B】



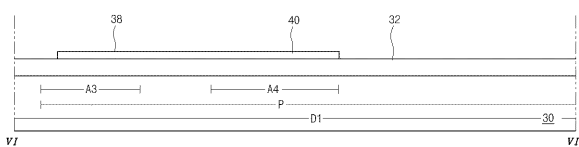
【図 6 C】



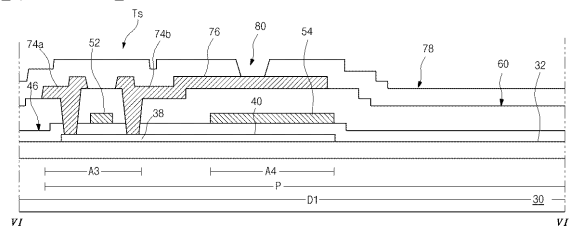
【図 6 D】



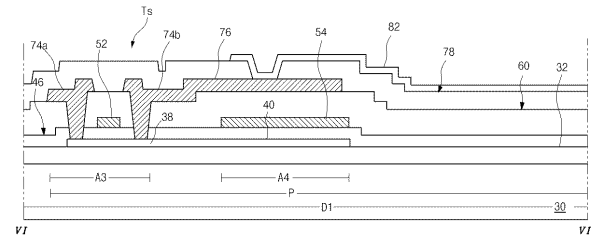
【図 6 A】



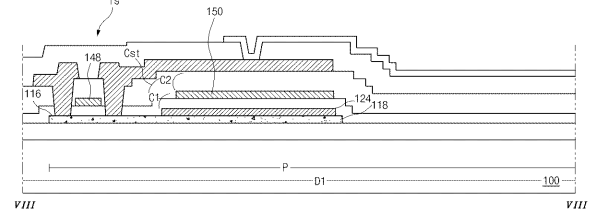
【図 6 H】



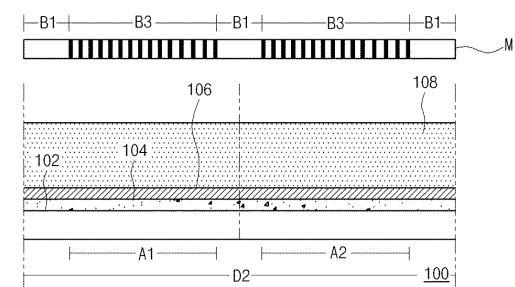
【図 6 I】



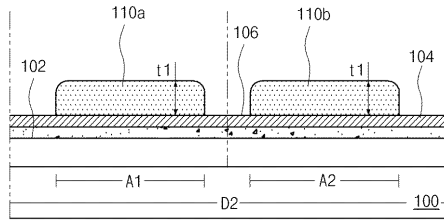
【图 8 B】



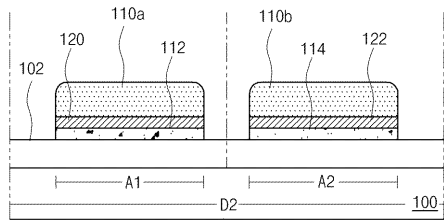
【図 9 A】



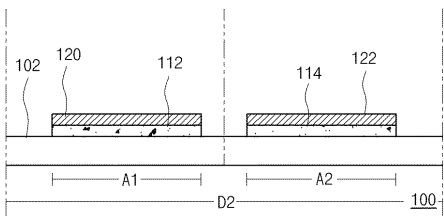
【図 9 B】



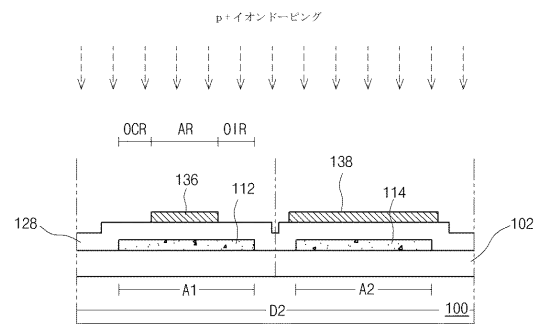
【図 9 C】



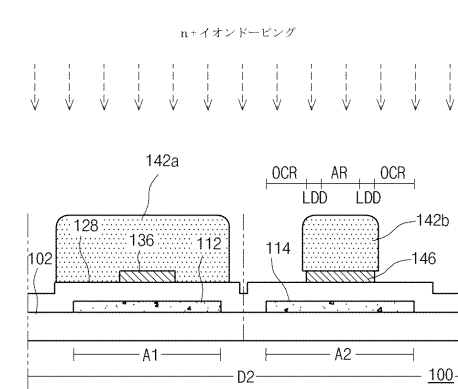
【図 9 D】



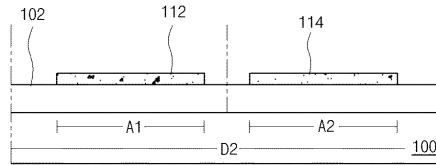
【図 9 H】



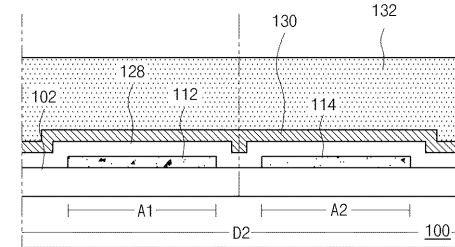
【図 9 I】



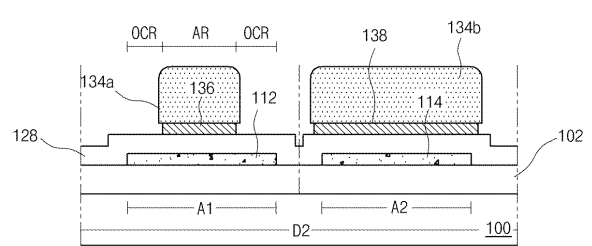
【図 9 E】



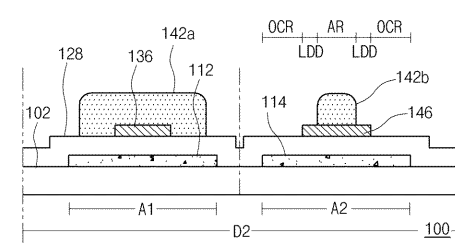
【図 9 F】



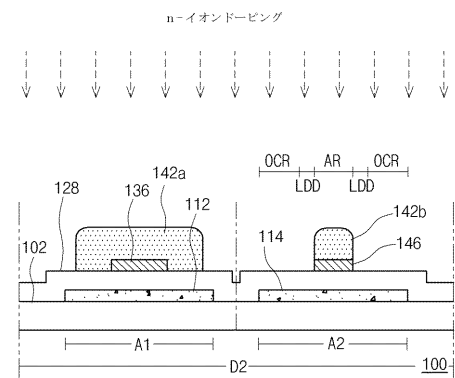
【図 9 G】



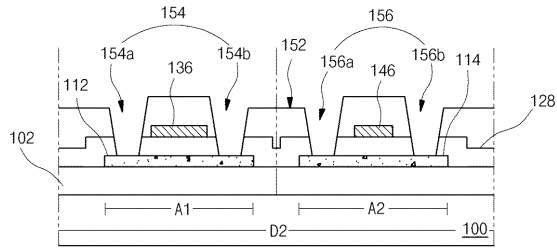
【図 9 J】



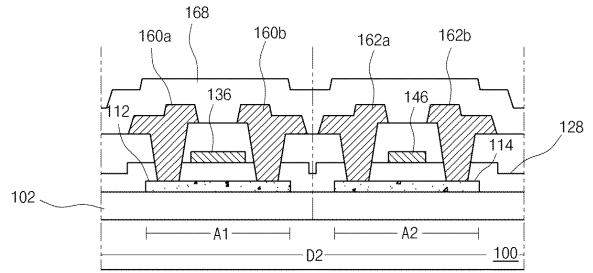
【図 9 K】



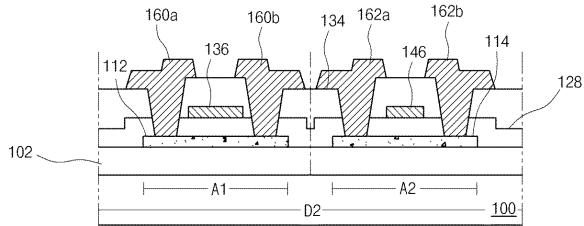
【図 9 L】



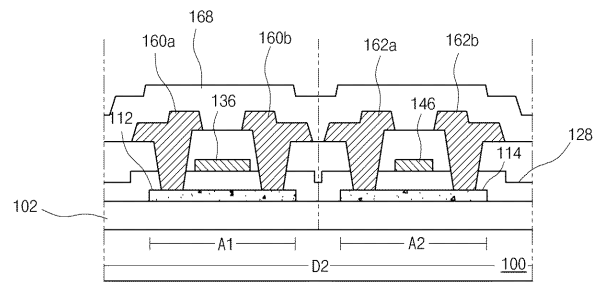
【図 9 N】



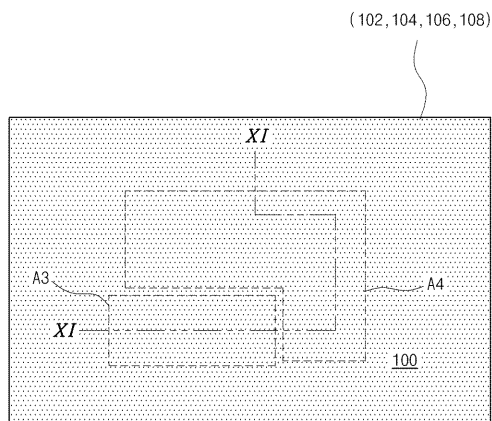
【図 9 M】



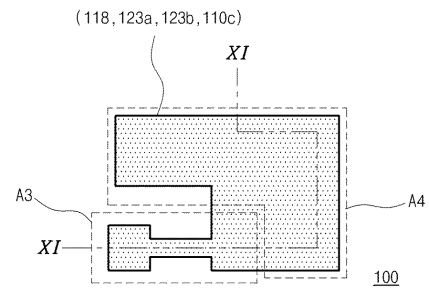
【図 9 O】



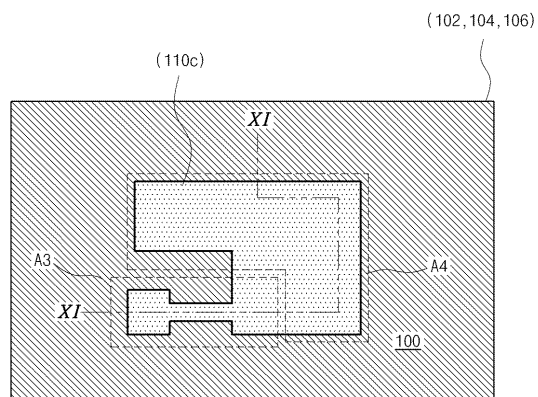
【図 10 A】



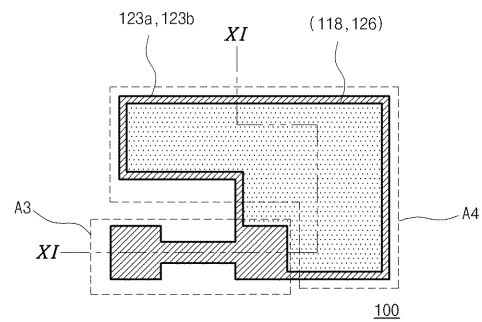
【図 10 C】



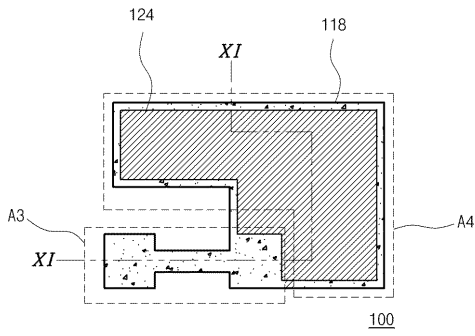
【図 10 B】



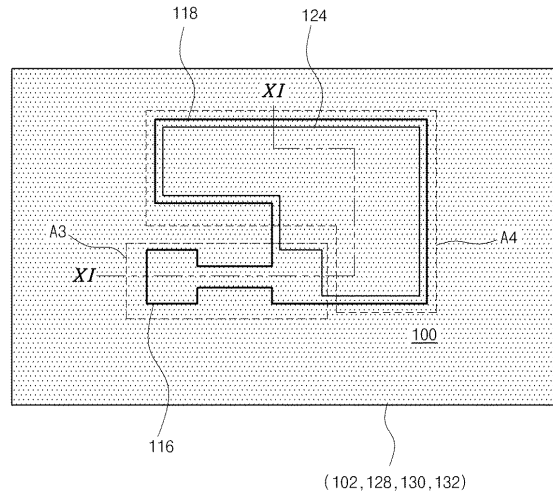
【図 10 D】



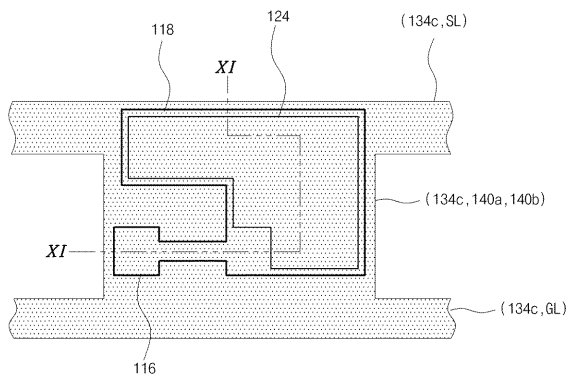
【 図 1 0 E 】



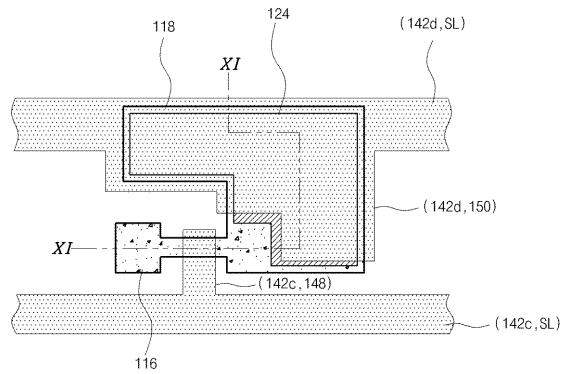
【 図 1 0 F 】



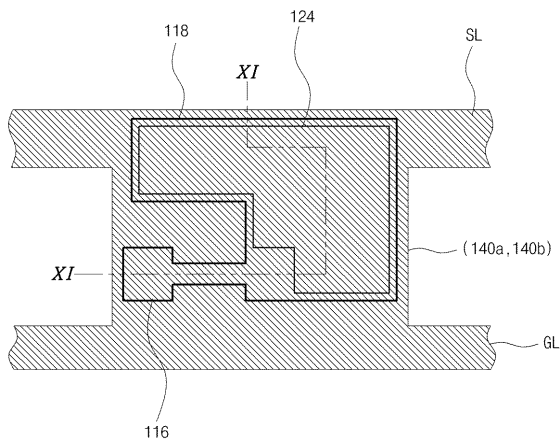
【 図 1 0 G 】



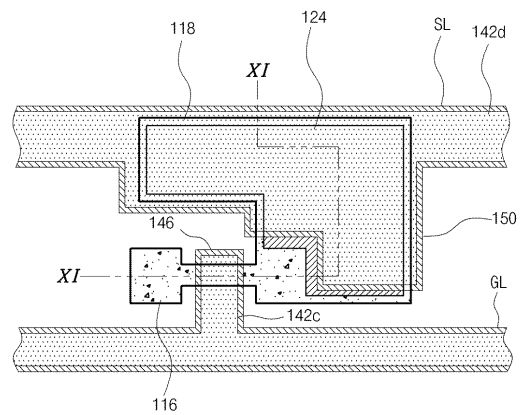
【図 10 I】



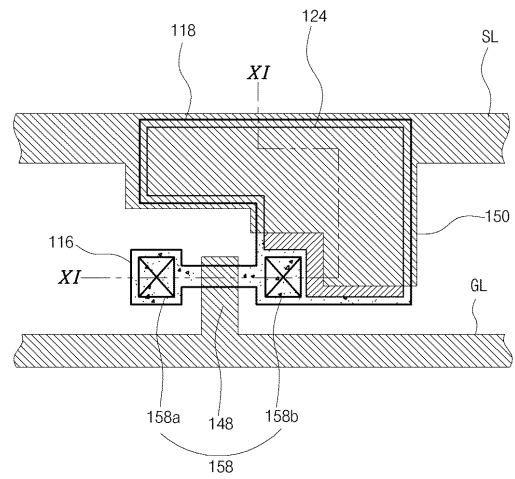
【 図 1 0 H 】



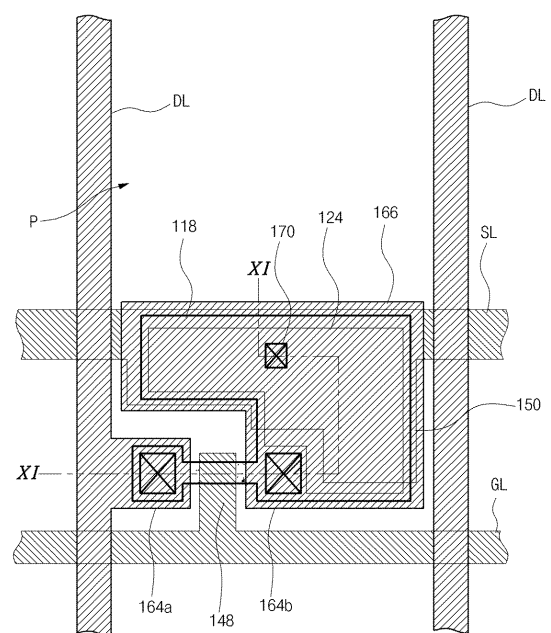
【図 10 J】



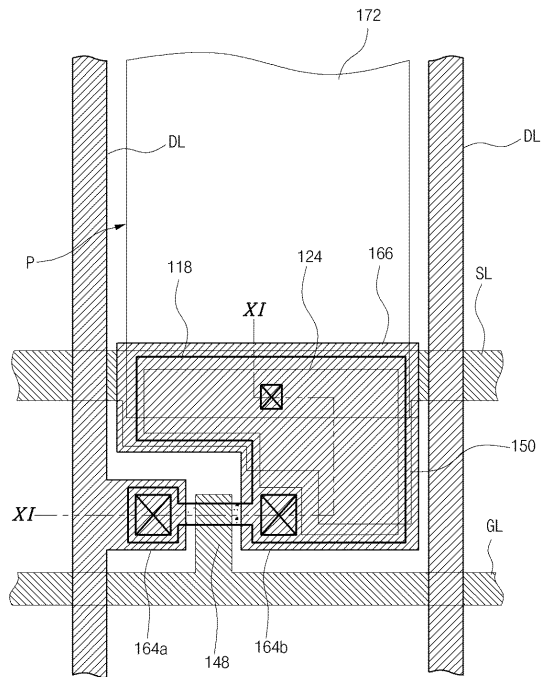
【 図 1 0 L 】



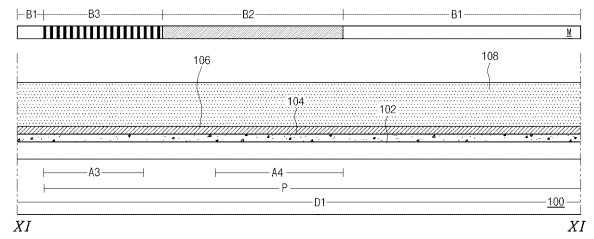
【図 10 N】



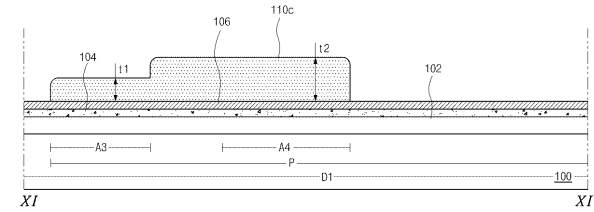
【図 100】



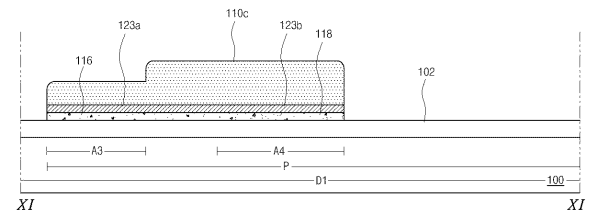
【図 11A】



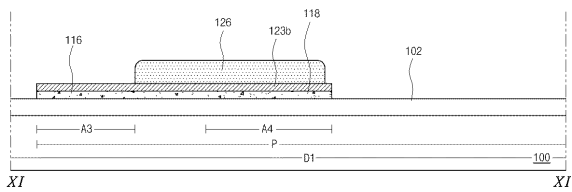
【図 11B】



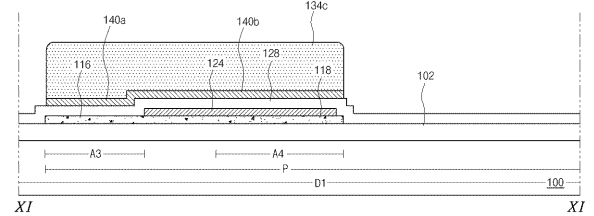
【図 11C】



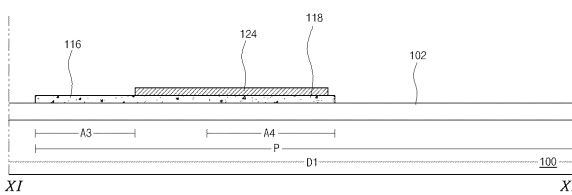
【図 11D】



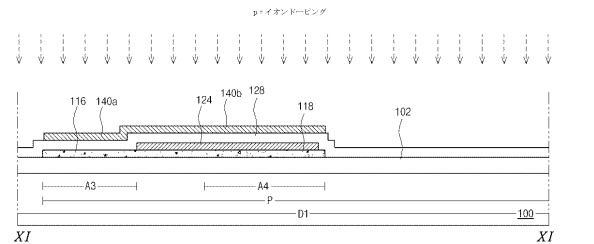
【図 11G】



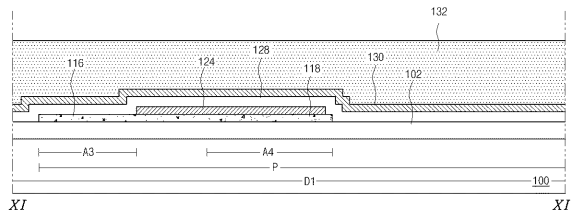
【図 11E】



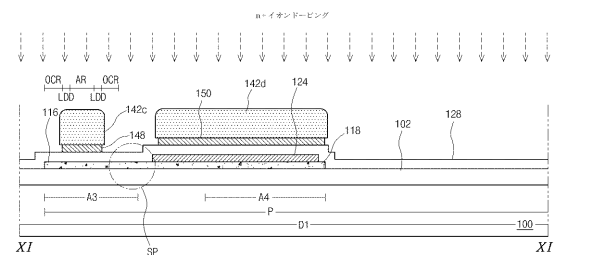
【図 11H】



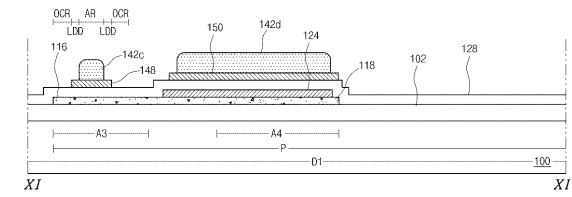
【図 11F】



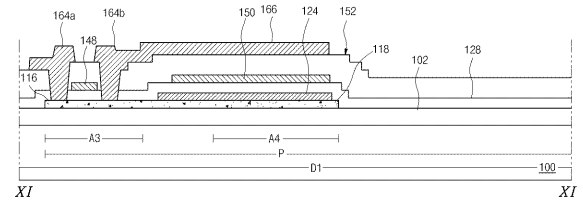
【図 11I】



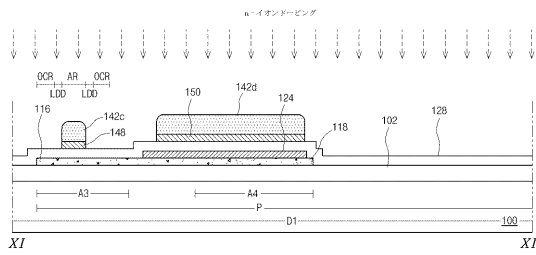
【図 1 1 J】



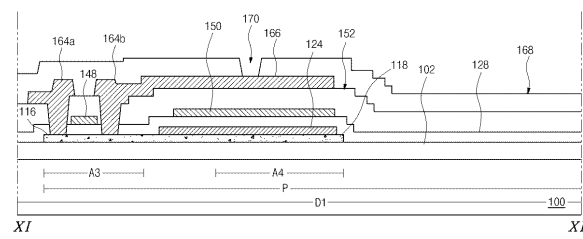
【図 1 1 M】



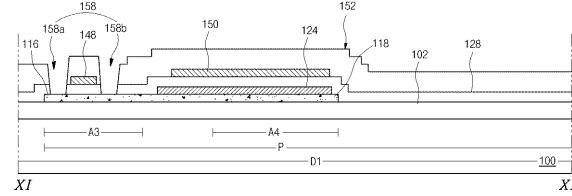
【図 1 1 K】



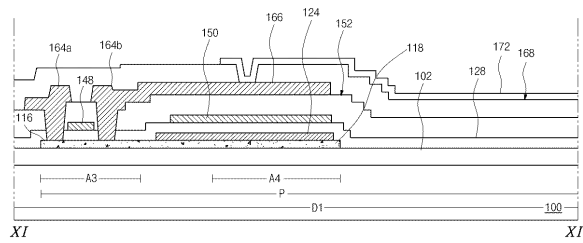
【図 1 1 N】



【図 1 1 L】



【図 1 1 O】



フロントページの続き

(74)代理人 100096688

弁理士 本宮 照久

(74)代理人 100104352

弁理士 朝日 伸光

(74)代理人 100128657

弁理士 三山 勝巳

(72)発明者 イ ソクウ

大韓民国 431-050 キョンギド アニャンシ ドンアング ビサンドン 1102 ボンジ
グァナク アパート 127-1207

(72)発明者 パク ヨンイン

大韓民国 431-080 キョンギド アニャンシ ドンアング ホギェドン 811 ボンジ
ホギェ2チャ ヒュンデ ホームタウン 202-201

Fターム(参考) 2H092 GA59 JA25 JB44 JB65 JB66 JB69 KA04 MA14 MA16 MA27

MA28 MA37 NA25 NA27 NA29

5F110 AA16 BB02 BB04 CC02 DD13 DD14 DD17 EE02 GG02 GG13

GG35 GG42 HJ12 HL02 HL22 HM15 NN03 NN23 NN24 NN33

NN73 PP35 QQ11

专利名称(译)	用于液晶显示装置的阵列基板及其制造方法		
公开(公告)号	JP2007133365A	公开(公告)日	2007-05-31
申请号	JP2006177801	申请日	2006-06-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji.菲利普斯杜天公司，有限公司		
[标]发明人	イソクウ パクヨンイン		
发明人	イソクウ パク ヨンイン		
IPC分类号	G02F1/1368 H01L21/336 H01L29/786		
CPC分类号	H01L27/1288 G02F1/13454 G02F1/136213 H01L27/1255		
FI分类号	G02F1/1368 H01L29/78.612.D H01L29/78.612.B H01L29/78.613.A		
F-TERM分类号	2H092/GA59 2H092/JA25 2H092/JB44 2H092/JB65 2H092/JB66 2H092/JB69 2H092/KA04 2H092/MA14 2H092/MA16 2H092/MA27 2H092/MA28 2H092/MA37 2H092/NA25 2H092/NA27 2H092/NA29 5F110/AA16 5F110/BB02 5F110/BB04 5F110/CC02 5F110/DD13 5F110/DD14 5F110/DD17 5F110/EE02 5F110/GG02 5F110/GG13 5F110/GG35 5F110/GG42 5F110/HJ12 5F110/HL02 5F110/HL22 5F110/HM15 5F110/NN03 5F110/NN23 5F110/NN24 5F110/NN33 5F110/NN73 5F110/PP35 5F110/QQ11 2H192/AA24 2H192/BC31 2H192/CB02 2H192/CB53 2H192/DA12 2H192/DA67 2H192/FB02 2H192/HA44 2H192/HA84 2H192/HA90		
代理人(译)	臼井伸一 朝日 伸光		
优先权	1020050106837 2005-11-09 KR		
其他公开文献	JP4567635B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种具有集成驱动电路的液晶显示装置及其制造方法。解决方案：液晶显示装置的阵列基板通过以下步骤制造：制备限定显示区域和非显示区域的基板；通过第一掩模工艺在非显示区域，显示区域中的第三和第四半导体层以及第四半导体层上的第一存储电极形成第一和第二半导体层；在第一半导体层上形成第一栅电极，以及通过第二掩模工艺覆盖第二和第三半导体层以及第一存储电极的第一和第二金属图案；用高浓度p型杂质（ p^+ ）掺杂第一半导体层的端部并由第一栅电极暴露，以分别在第二和第三半导体层的中心部分上形成第二和第三栅电极；通过第三掩模工艺在第一存储电极上方存储电极并随后对它们进行掺杂；并通过第四至第七掩模工艺形成规定的电极等。Z

