

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-79582

(P2007-79582A)

(43) 公開日 平成19年3月29日(2007.3.29)

(51) Int. Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G02F 1/1368	2H092
G02F 1/1343 (2006.01)	G02F 1/1343	2H093
G02F 1/133 (2006.01)	G02F 1/133 550	5C006
G09G 3/36 (2006.01)	G09G 3/36	5C080
G09G 3/20 (2006.01)	G09G 3/20 621B	
審査請求 有 請求項の数 27 O L (全 20 頁) 最終頁に続く		

(21) 出願番号 特願2006-251775 (P2006-251775)
 (22) 出願日 平成18年9月15日 (2006.9.15)
 (31) 優先権主張番号 10-2005-0086308
 (32) 優先日 平成17年9月15日 (2005.9.15)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839
 三星電子株式会社
 Samsung Electronics
 Co., Ltd.
 大韓民国京畿道水原市靈通区梅灘洞416
 (74) 代理人 110000051
 特許業務法人共生国際特許事務所
 (72) 発明者 申 ギョン 周
 大韓民国 京畿道 華城市 台安邑 半月
 里 現代アパート #105-1102
 (72) 発明者 金 賢 ウク
 大韓民国 京畿道 龍仁市 器興邑 三星
 電子株式会社内

最終頁に続く

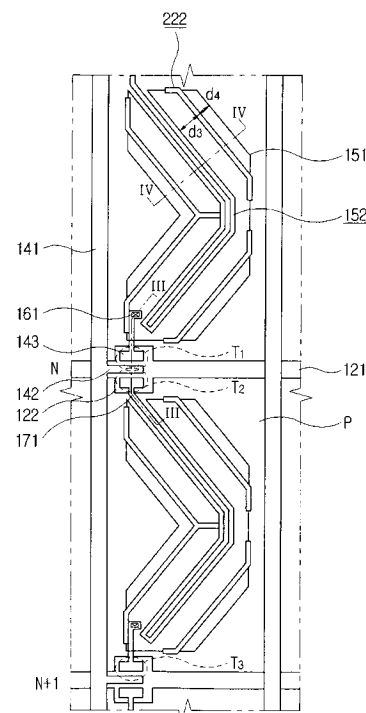
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 ラテラルフィールドを強化させることによって応答速度や開口率を増加させることのできる液晶表示装置を提供する。

【解決手段】 絶縁交差するゲート線およびデータ線と、前記ゲート線とデータ線の交差領域に設けられる第1薄膜トランジスタと、該第1薄膜トランジスタに連結されて切開パターンが形成される第1画素電極と、少なくとも一部が前記切開パターンに沿って形成される延長電極とを含む第1画素と、前記ゲート線とデータ線の交差領域に設けられる第2薄膜トランジスタと、前記第1画素の前記延長電極と同一のデータ電圧が印加される第2画素電極とを含む第2画素と、前記第1画素および第2画素にデータ電圧を印加するデータ駆動部と、前記第1画素および第2画素に互いに異なる極性のデータ電圧が印加されるように前記データ駆動部を制御する信号制御部とを有する。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

絶縁交差するゲート線およびデータ線と、

前記ゲート線とデータ線の交差領域に設けられる第 1 薄膜トランジスタと、該第 1 薄膜トランジスタに連結されて切開パターンが形成される第 1 画素電極と、少なくとも一部が前記切開パターンに沿って形成される延長電極とを含む第 1 画素と、

前記ゲート線とデータ線の交差領域に設けられる第 2 薄膜トランジスタと、前記第 1 画素の前記延長電極と同一のデータ電圧が印加される第 2 画素電極とを含む第 2 画素と、

前記第 1 画素および第 2 画素にデータ電圧を印加するデータ駆動部と、

前記第 1 画素および第 2 画素に互いに異なる極性のデータ電圧が印加されるように前記データ駆動部を制御する信号制御部とを有することを特徴とする液晶表示装置。 10

【請求項 2】

前記第 2 薄膜トランジスタと同一のゲートオン電圧およびデータ電圧の印加を受ける第 3 薄膜トランジスタをさらに有し、

前記延長電極の一部は、前記第 3 薄膜トランジスタに含まれていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記延長電極は、前記第 2 薄膜トランジスタのドレイン電極と一体であることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 4】

前記延長電極は、前記第 2 画素電極と連結されていることを特徴とする請求項 1 に記載の液晶表示装置。 20

【請求項 5】

前記延長電極は、前記データ線と同一の層に形成されることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 6】

前記延長電極は、前記第 2 画素電極と同一の層に形成されることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 7】

前記第 1 画素と前記第 2 画素は、前記データ線の延長方向に隣接して配置されることを特徴とする請求項 1 に記載の液晶表示装置。 30

【請求項 8】

前記第 1 画素は後段ゲート線に連結されており、前記第 2 画素は前段ゲート線に連結されていることを特徴とする請求項 7 に記載の液晶表示装置。

【請求項 9】

前記第 1 画素と前記第 2 画素は、前記ゲート線の延長方向に配置されていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 10】

前記第 1 画素は前段データ線に連結されており、前記第 2 画素は後段データ線に連結されていることを特徴とする請求項 9 に記載の液晶表示装置。 40

【請求項 11】

前記第 1 画素電極は「L」字形状であることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 12】

前記データ線は、前記第 1 画素電極の縁に対応するように形成されることを特徴とする請求項 11 に記載の液晶表示装置。

【請求項 13】

前記データ線は、直線形状であることを特徴とする請求項 11 に記載の液晶表示装置。

【請求項 14】

前記第 1 画素には、データ線の延長方向に隣接する画素およびゲート線の延長方向に隣 50

接する画素とは互いに異なる極性のデータ電圧が印加されることを特徴とする請求項 1 3 に記載の液晶表示装置。

【請求項 1 5】

前記切開パターンは、前記ゲート線の延長方向と鋭角をなすことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 1 6】

前記切開パターンは、前記ゲート線の延長方向と 4 5 度の角度をなすことを特徴とする請求項 1 5 に記載の液晶表示装置。

【請求項 1 7】

前記第 1 画素電極は「L」字形状であり、

10

前記切開パターンは前記第 1 画素電極の縁に平行に形成されることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 1 8】

前記第 1 画素電極は、前記切開パターンを中心として実質的に面積が同一であり、互いに電氣的に連結されている第 1 部分領域と第 2 部分領域とに分けられていることを特徴とする請求項 1 7 に記載の液晶表示装置。

【請求項 1 9】

前記第 1 部分領域と前記第 2 部分領域の幅はそれぞれ 6 0 μ m 以上であることを特徴とする請求項 1 8 に記載の液晶表示装置。

【請求項 2 0】

20

前記延長電極の幅は前記切開パターンの幅より小さいことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 2 1】

前記切開パターンの幅は 8 μ m 以下であることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 2 2】

絶縁交差するゲート線およびデータ線と、

前記ゲート線とデータ線の交差領域に設けられて、互いに異なる極性のデータ電圧が印加される第 1 薄膜トランジスタおよび第 2 薄膜トランジスタと、

前記第 1 薄膜トランジスタに連結されて、互いに対向する第 1 部分領域および第 2 部分領域を有する画素電極と、

30

前記第 2 薄膜トランジスタに電氣的に連結されて、前記第 1 部分領域および前記第 2 部分領域の間に位置する延長電極とを有することを特徴とする液晶表示装置。

【請求項 2 3】

前記第 1 薄膜トランジスタと第 2 薄膜トランジスタは、前記データ線の延長方向に配置されて、前記第 1 薄膜トランジスタは後段ゲート線に連結され、前記第 2 薄膜トランジスタは前段ゲート線に連結されていることを特徴とする請求項 2 2 に記載の液晶表示装置。

【請求項 2 4】

前記第 1 薄膜トランジスタと第 2 薄膜トランジスタは、前記ゲート線の延長方向に配置されて、前記第 1 薄膜トランジスタは前段データ線に連結され、前記第 2 薄膜トランジスタは後段データ線に連結されていることを特徴とする請求項 2 2 に記載の液晶表示装置。

40

【請求項 2 5】

前記画素電極は「L」字形状であり、前記データ線は直線形状であることを特徴とする請求項 2 2 に記載の液晶表示装置。

【請求項 2 6】

前記画素電極は、ドットインバージョン (dot inversion) されることを特徴とする請求項 2 5 に記載の液晶表示装置。

【請求項 2 7】

画素電極切開パターンを有する画素電極と、前記画素電極切開パターンに沿って形成されて前記画素電極と異なる極性のデータ電圧が印加される延長電極とを含む第 1 基板と、

50

前記第1基板と対向し、共通電極切開パターンを有する共通電極を含む第2基板と、
前記第1基板と前記第2基板の間に位置し、誘電率異方性が負である液晶層とを有する
ことを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関し、より詳しくは、ラテラルフィールドを強化させること
によって応答速度や開口率を増加させることのできる液晶表示装置に関するものである。

【背景技術】

【0002】

液晶表示装置は、薄膜トランジスタが形成されている薄膜トランジスタ基板と、カラー
フィルタ層が形成されているカラーフィルタ基板、そしてこれらの間に液晶層が位置して
いる液晶表示パネルを含む。液晶表示パネルは非発光素子であるため、薄膜トランジスタ
基板の後面には光を供給するためのバックライトユニットが位置することができる。バック
ライトユニットから供給された光は液晶層の配列状態に応じて透過量が調節される。

【0003】

近年、テレビのようなディスプレイ装置に液晶表示装置が適用されている。これはC R
T、P D Pなどと比較して、液晶表示装置の視野角、色再現性、輝度などの特性が大きく
向上したことを示すが、液晶表示装置の応答速度は依然として改善が要求されている。

P V A (p a t t e r n e d v e r t i c a l l y a l i g n e d) モードは視野
角を改善するためのモードであって、V A (v e r t i c a l l y a l i g n e d) モ
ードのうちの画素電極と共通電極にそれぞれ切開パターンを形成したものを指す。これら
切開パターンによって形成されるフリンジフィールド (f r i n g e f i e l d) を利
用して液晶分子が横になる方向を調節することによって視野角が向上される。

【0004】

しかしながら、P V A モードでは、切開パターンから離隔された部分ではフリンジフィ
ールドが弱化されて液晶の挙動が遅延するという問題がある。また、このような液晶挙動
の遅延によって画素電極の大きさが制限されて、開口率を増加させることに問題点がある
。

【発明の開示】

【発明が解決しようとする課題】

【0005】

そこで、本発明は上記従来の液晶表示装置における問題点に鑑みてなされたものであっ
て、本発明の目的は、ラテラルフィールドを強化させることによって応答速度や開口率を
増加させることのできる液晶表示装置を提供することにある。

【課題を解決するための手段】

【0006】

上記目的を達成するためになされた本発明による液晶表示装置は、絶縁交差するゲート
線およびデータ線と、前記ゲート線とデータ線の交差領域に設けられる第1薄膜トランジ
スタと、該第1薄膜トランジスタに連結されて切開パターンが形成される第1画素電極と
、少なくとも一部が前記切開パターンに沿って形成される延長電極とを含む第1画素と、
前記ゲート線とデータ線の交差領域に設けられる第2薄膜トランジスタと、前記第1画素
の前記延長電極と同一のデータ電圧が印加される第2画素電極とを含む第2画素と、前記
第1画素および第2画素にデータ電圧を印加するデータ駆動部と、前記第1画素および第
2画素に互いに異なる極性のデータ電圧が印加されるように前記データ駆動部を制御する
信号制御部とを有することを特徴とする。

【0007】

前記第2薄膜トランジスタと同一のゲートオン電圧およびデータ電圧の印加を受ける第
3薄膜トランジスタをさらに有し、前記延長電極の一部は前記第3薄膜トランジスタに含

10

20

30

40

50

まれているのが好ましい。

前記延長電極は、前記第2薄膜トランジスタのドレイン電極と一体であるのが好ましい。

。

前記延長電極は、前記第2画素電極と連結されているのが好ましい。

前記延長電極は、前記データ線と同一の層に形成されるのが好ましい。

前記延長電極は、前記第2画素電極と同一の層に形成されるのが好ましい。

前記第1画素と前記第2画素は前記データ線の延長方向に隣接して配置されるのが好ましい。

前記第1画素は後段ゲート線に連結されており、前記第2画素は前段ゲート線に連結されているのが好ましい。

10

前記第1画素と前記第2画素は前記ゲート線の延長方向に配置されているのが好ましい。

。

前記第1画素は前段データ線に連結されており、前記第2画素は後段データ線に連結されているのが好ましい。

前記第1画素電極は「L」字形状であるのが好ましい。

前記データ線は、前記第1画素電極の縁に対応するように形成されるのが好ましい。

前記データ線は直線形状であるのが好ましい。

前記第1画素には、データ線の延長方向に隣接する画素およびゲート線の延長方向に隣接する画素とは互いに異なる極性のデータ電圧が印加されるのが好ましい。

前記切開パターンは、前記ゲート線の延長方向と鋭角をなすのが好ましい。

20

前記切開パターンは、前記ゲート線の延長方向と45度の角度をなすのが好ましい。

前記第1画素電極は「L」字形状であり、前記切開パターンは前記第1画素電極の縁に平行に形成されるのが好ましい。

前記第1画素電極は、前記切開パターンを中心として実質的に面積が同一であり、互いに電氣的に連結されている第1部分領域と第2部分領域とに分けられているのが好ましい。

。

前記第1部分領域と前記第2部分領域の幅はそれぞれ60μm以上であるのが好ましい。

。

前記延長電極の幅は前記切開パターンの幅より小さいのが好ましい。

前記切開パターンの幅は8μm以下であるのが好ましい。

30

【0008】

また、上記目的を達成するためになされた本発明による液晶表示装置は、絶縁交差するゲート線およびデータ線と、前記ゲート線とデータ線の交差領域に設けられて、互いに異なる極性のデータ電圧が印加される第1薄膜トランジスタおよび第2薄膜トランジスタと、前記第1薄膜トランジスタに連結されて、互いに対向する第1部分領域および第2部分領域を有する画素電極と、前記第2薄膜トランジスタに電氣的に連結されて、前記第1部分領域および前記第2部分領域の間に位置する延長電極とを有することを特徴とする。

【0009】

前記第1薄膜トランジスタと第2薄膜トランジスタは、前記データ線の延長方向に配置されて、前記第1薄膜トランジスタは後段ゲート線に連結され、前記第2薄膜トランジスタは前段ゲート線に連結されているのが好ましい。

40

前記第1薄膜トランジスタと第2薄膜トランジスタは、前記ゲート線の延長方向に配置されて、前記第1薄膜トランジスタは前段データ線に連結され、前記第2薄膜トランジスタは後段データ線に連結されているのが好ましい。

前記画素電極は「L」字形状であり、前記データ線は直線形状であるのが好ましい。

前記画素電極は、ドットインバージョン(dot inversion)されるのが好ましい。

【0010】

また、上記目的を達成するためになされた本発明による液晶表示装置は、画素電極切開パターンを有する画素電極と、前記画素電極切開パターンに沿って形成されて前記画素電

50

極と異なる極性のデータ電圧が印加される延長電極とを含む第 1 基板と、前記第 1 基板と対向し、共通電極切開パターンを有する共通電極を含む第 2 基板と、前記第 1 基板と前記第 2 基板の間に位置し、誘電率異方性が負である液晶層とを有することを特徴とする。

【発明の効果】

【0011】

本発明に係る液晶表示装置によれば、ラテラルフィールドを強化させることによって応答速度や開口率を増加させることのできるという効果がある。

【発明を実施するための最良の形態】

【0012】

次に、本発明に係る液晶表示装置を実施するための最良の形態の具体例を図面を参照しながら説明する。 10

【0013】

詳細な説明に先立ち、いろいろな実施形態において同一の構成要素には同一の符号を付与した。同一の構成要素については第 1 の実施形態で代表的に説明し、他の実施形態では説明を省略するものとした。

【0014】

図 1 は本発明の第 1 の実施形態による液晶表示装置のブロック図である。

本発明の第 1 の実施形態による液晶表示装置 1 は、液晶表示パネル 300 およびこれに連結されたゲート駆動部 400 とデータ駆動部 500、ゲート駆動部 400 に連結された駆動電圧生成部 700 とデータ駆動部 500 に連結された階調電圧生成部 800、そしてこれらを制御する信号制御部 600 を含む。 20

【0015】

このうちの液晶表示パネル 300 を図 2 乃至図 4 を参照して説明すると次の通りである。

図 2 は、本発明の第 1 の実施形態による薄膜トランジスタ基板の配置図であり、図 3 は図 2 の I I I - I I I 線に沿った断面図であり、図 4 は図 2 の I V - I V 線に沿った液晶表示パネルの断面図である。

【0016】

図 2 乃至図 4 を参照すると、液晶表示パネル 300 は、互いに対向する薄膜トランジスタ基板 100 とカラーフィルタ基板 200、そして両基板 (100、200) の間に位置する液晶層 250 を含む。 30

まず、薄膜トランジスタ基板 100 を見ると、第 1 絶縁基板 111 上にゲート配線 (121、122) が形成されている。ゲート配線 (121、122) は金属単一層または多重層であることができる。ゲート配線 (121、122) は横方向にのびているゲート線 121 およびゲート線 121 に連結されている薄膜トランジスタ T1、T2 のゲート電極 122 を含む。

【0017】

図示されていないが、ゲート配線 (121、122) は画素電極 151 と重畳されて保存容量を形成する共通電極線をさらに含むことができ、共通電極線はゲート線 121 と平行に配置されることができる。 40

第 1 絶縁基板 111 上には窒化ケイ素 (SiNx) などからなるゲート絶縁膜 131 がゲート配線 (121、122) を覆っている。

ゲート電極 122 のゲート絶縁膜 131 の上部には非晶質シリコンなどの半導体からなる半導体層 132 が形成されており、半導体層 132 の上部にはシリサイドまたは n 型不純物が高濃度にドーピングされている n + 水素化非晶質シリコンなどの物質で形成された抵抗接触層 133 が形成されている。抵抗接触層 133 は 3 部分に分けられている。

【0018】

抵抗接触層 133 およびゲート絶縁膜 131 の上にはデータ配線 (141、142、143、171) が形成されている。データ配線 (141、142、143、171) も金属層からなる単一層または多重層であることができる。データ配線 (141、142、1 50

4 3、1 7 1) は、縦方向に形成されゲート線 1 2 1 と交差して画素 P を定義するデータ線 1 4 1、データ線 1 4 1 の分枝であり抵抗接触層 1 3 3 の上部まで延長されているソース電極 1 4 2、ソース電極 1 4 2 と分離されており一側の抵抗接触層 1 3 3 の上部に形成されているドレイン電極 1 4 3、そしてソース電極 1 4 2 と分離されており他側の抵抗接触層 1 3 3 の上部に形成されている延長電極 1 7 1 を含む。前段画素 P に連結されている延長電極 1 7 1 は隣接した後段画素 P の画素電極切開パターン 1 5 2 に沿って延長されている。延長電極 1 7 1 の幅 d 1 は画素電極切開パターン 1 5 2 の幅 d 2 より多少小さく形成されている。

【0019】

このようなゲート電極 1 2 2、ソース電極 1 4 2、ドレイン電極 1 4 3、そして延長電極 1 7 1 の構造によって、一つの画素 P には駆動薄膜トランジスタ T 1 と追加の薄膜トランジスタ T 2 がそれぞれ一つずつ形成されている。駆動薄膜トランジスタ T 1 と追加の薄膜トランジスタ T 2 は同一のゲート電極 1 2 2 とソース電極 1 4 2 を含む。これによって、駆動薄膜トランジスタ T 1 と追加の薄膜トランジスタ T 2 には同一のゲートオン電圧とデータ電圧が印加され、ドレイン電極 1 4 3 と延長電極 1 7 1 に加えられるデータ電圧は実質的に同一になる。

【0020】

したがって、後段画素 P の延長電極 1 7 1 には前段画素 P のデータ電圧が印加され、延長電極 1 7 1 とこれを囲んでいる画素電極 1 5 1 には互いに異なる極性のデータ電圧が印加される。

データ配線 (1 4 1、1 4 2、1 4 3、1 7 1) およびこれらが覆っていない半導体層 1 3 2 の上部には窒化ケイ素、PECVD 方法等によって蒸着された a-Si:C:O 膜または a-Si:O:F 膜、およびアクリル系有機絶縁膜などからなる保護膜 1 3 4 が形成されている。保護膜 1 3 4 にはドレイン電極 1 4 3 を露出させる接触孔 1 6 1 が形成されている。

【0021】

保護膜 1 3 4 の上部には画素電極 1 5 1 が形成されている。画素電極 1 5 1 は通常 ITO (indium tin oxide) または IZO (indium zinc oxide) などの透明な導電物質からなる。

画素電極 1 5 1 には画素電極切開パターン 1 5 2 が形成されている。画素電極切開パターン 1 5 2 は後述する共通電極切開パターン 2 2 2 と共に液晶層 2 5 0 を複数のドメインに分割するために形成されているものである。画素電極切開パターン 1 5 2 はゲート線 1 2 1 と約 45 度の角度をなしている。

【0022】

画素電極 1 5 1 は画素電極切開パターン 1 5 2 を中心に第 1 部分領域 A と第 2 部分領域 B とに分けられる。第 1 部分領域 A と第 2 部分領域 B は電氣的に互いに連結されて、同一のデータ電圧の印加を受ける。第 1 部分領域 A は共通電極切開パターン 2 2 2 を中心に第 1 ドメイン a および第 2 ドメイン b に分けられ、第 2 部分領域 B も共通電極切開パターン 2 2 2 によって第 3 ドメイン c と第 4 ドメイン d に分けられる。ここで、第 1 ドメイン a および第 4 ドメイン d はデータ線 1 4 1 に隣接し、一方、第 2 ドメイン b と第 3 ドメイン c は画素電極切開パターン 1 5 2 および延長電極 1 7 1 に隣接するようになる。

後述では、第 3 ドメイン c と第 4 ドメイン d を中心に説明し、これは第 1 ドメイン a と第 2 ドメイン b に同様に適用することができる。

【0023】

カラーフィルタ基板 2 0 0 を見ると、第 2 絶縁基板 2 1 1 上 (図 4 上では下に) に共通電極 2 2 1 が形成されている。共通電極 2 2 1 は ITO (indium tin oxide) または IZO (indium zinc oxide) などの透明な導電物質からなる。共通電極 2 2 1 は薄膜トランジスタ基板の画素電極 1 5 1 と共に電圧が印加され、液晶層 2 5 0 に電界 (電場) がかかる。

【0024】

10

20

30

40

50

共通電極 221 には共通電極切開パターン 222 が形成されている。共通電極切開パターン 222 は画素電極 151 の画素電極切開パターン 152 と共に液晶層 250 を複数のドメインに分割する役割を果たす。図示していないが、カラーフィルタ基板 200 はブラックマトリックス、カラーフィルタ、オーバーコート層などをさらに含むことができる。共通電極切開パターン 222 の幅 d_5 は約 $10\ \mu\text{m}$ 程度であることができる。

薄膜トランジスタ基板 100 とカラーフィルタ基板 200 の間に液晶層 250 が位置する。液晶層 250 は VA (vertically aligned) モードであって、液晶分子は電圧が加えられない状態では長さ方向が垂直をなしている。電圧が加えられると、液晶分子は誘電率異方性が負であるため電場に対して垂直方向に配列される。

【0025】

しかし、画素電極切開パターン 152 と共通電極切開パターン 222 が形成されていなければ、液晶分子は配列される方位角が決定されず多様な方向に無秩序に配列されるようになり、配向方向が異なる境界面で回位線 (disclination line) が生じる。画素電極切開パターン 152 と共通電極切開パターン 222 は液晶層 250 に電圧がかかる時にフリンジフィールドを形成して、液晶配向の方位角を決定する。また、液晶層 250 は画素電極切開パターン 152 と共通電極切開パターン 222 の配置によって多重領域に分けられる。

【0026】

液晶層 250 に印加される電場にはフリンジフィールドの他にラテラル (lateral) フィールドがある。

図 4 に示すように、フリンジフィールドは切開パターン (152、222) が形成されている部分で両基板 (100、200) の間に形成され、切開パターン (152、222) の幅 d_2 、 d_5 が大きくなるほど強くなる。

ラテラルフィールドは画素電極切開パターン 152 の下部に位置した延長電極 171 と周辺の画素電極 151 の間に水平方向に形成され、延長電極 171 と画素電極 151 との間の電圧差が大きくなるほど強くなる。

【0027】

このようなフリンジフィールドとラテラルフィールドが強いほど液晶の応答速度は速くなる。また、フリンジフィールドとラテラルフィールドが強いほど画素電極 151 の大きさを増加させても所望の応答速度を得ることができる。

本発明で、延長電極 171 には周辺の画素電極 151 と異なる極性のデータ電圧が印加されるので、電圧差は非常に大きくなりラテラルフィールドが強く形成される。

【0028】

本発明による延長電極 171 による効果は次の通りである。

第一に、強化されたラテラルフィールドによって液晶層 250 の応答速度が速くなる。

第二に、強化されたラテラルフィールドだけ画素電極切開パターン 152 の幅 d_2 を減少させて開口率を向上させることができる。延長電極 171 を用いて画素電極切開パターンの幅 d_2 を通常の約 $10\ \mu\text{m}$ から約 $8\ \mu\text{m}$ 以下に減らすことができ、約 $7\ \mu\text{m}$ とするのが好ましい。第三に、強化されたラテラルフィールドだけ画素電極 151 の大きさを増加させて開口率を増加させることができる。

【0029】

以上の延長電極 171 による効果において応答速度の増加と開口率の増加は互いに相反する。例えば、開口率を増加させるために画素電極 151 の大きさを増加させると、電場はそれだけ弱くなって応答速度は低下する。一方、延長電極 171 を用いて応答速度と開口率を全て改善させることができるのは勿論である。

【0030】

ラテラルフィールドによる応答速度改善効果を実験を通じて求めた。

液晶の応答速度 T_r はライジングタイム (rising time、 T_{on}) とフォールディングタイム (falling time、 T_{off}) を合わせて定める。ノーマリブラックモード (normally black mode) で、ライジングタイムは 10 %

10

20

30

40

50

透過率から 90 % 透過率になる時間と定義され、フォーリングタイムは反対に 90 % 透過率から 10 % 透過率になる時間と定義される。フォーリングタイムは液晶表示装置に拘わらず約 6 ms である反面、ライジングタイムは液晶表示装置に大きく影響を及ぼす。液晶の応答速度が遅ければ動画像にじみ (motion blur) 現象が発生して、ディスプレイ品質が低下する。

【0031】

一方、動画像実現のために、60 Hz 駆動で液晶の応答速度は通常 16 ms を基準とする。したがって、ライジングタイムが 10 ms 程度であれば動画像を実現することに無理がない。

実験ではこれによってライジングタイムが 10 ms 以下になる最大のドメイン幅を求めた。実験条件を見れば、ブラック電圧 V_b は 1.25 V であり、プレチルト電圧 (pretilt voltage、 $V_{pretilt}$) は 2.5 V、2.7 V の 2 種類に変更した。プレチルト電圧は液晶の応答速度を増加させるためにデータ電圧印加前に加えられる電圧であり、2.7 V まではディスプレイ品質に影響を及ぼさないと知られている。

【0032】

以下の表 1 に実験結果を整理したものを示す。

【表 1】

	プレチルト電圧	
	2.5 V	2.7 V
フリンジフィールド	25 μm	30 μm
フリンジフィールド+ラテラルフィールド	32 μm	36 μm

【0033】

表 1 を参照すると、プレチルト電圧が 2.5 V である場合、ラテラルフィールドを適用すればドメインの幅を 25 μm から 32 μm に増加させても 10 ms 以下のライジングタイムを得ることができるのが分かる。また、プレチルト電圧が 2.7 V である場合、ラテラルフィールドを適用すればドメインの幅を 30 μm から 36 μm に増加させても 10 ms 以下のライジングタイムを得ることができるのが分かる。

【0034】

表 1 の結果を図 4 を参照して説明すると次の通りである。

各ドメインの中間部分はフリンジフィールドが弱く作用するか或いは作用しない。したがって、各ドメインの中間部分に位置する液晶層 250 は周辺の液晶層 250 の動きに連動して動くようになるので、応答速度が遅くなる。しかし、第 3 ドメイン c の場合、ラテラルフィールドの影響で直接電場の影響が及ぶ液晶層 250 の範囲が増加して、応答速度が増加される。また、第 3 ドメイン c の幅 d3 を増加させても所望の応答速度を得ることができる。

【0035】

表 1 の結果から第 3 ドメイン c の幅を最大 36 μm まで増加させることができるのが分かる。反面、ラテラルフィールドが適用されない第 4 ドメイン d の幅 d4 は増加しない。

実施形態とは異なり、第 3 ドメイン c の幅を増加させずにライジングタイムのみを改善させることができるのは勿論である。

【0036】

駆動電圧生成部 700 は、薄膜トランジスタをターンオンさせるゲートオン電圧 V_{on} と、ターンオフさせるゲートオフ電圧 V_{off} 、そして共通電極層 251 に印加される共通電圧 V_{com} などを生成する。

階調電圧生成部 800 は液晶表示装置 1 の輝度と関連する複数の階調電圧 (gray scale voltage) を生成する。

ゲート駆動部 400 はスキャン駆動部 (scan driver) とも言い、ゲート線

10

20

30

40

50

121に連結されて、駆動電圧生成部700からのゲートオン電圧Vonとゲートオフ電圧Voffの組み合わせからなるゲート信号をゲート線121に印加する。

【0037】

データ駆動部500はソース駆動部(source driver)とも言い、階調電圧生成部800から階調電圧が印加され、信号制御部600の制御によって階調電圧を選択して、データ線141にデータ電圧Vdを印加する。

信号制御部600は、ゲート駆動部400、データ駆動部500、駆動電圧生成部700、および階調電圧生成部800などの動作を制御する制御信号を生成して、各ゲート駆動部400、データ駆動部500、駆動電圧生成部700に供給する。

【0038】

10

以下、液晶表示装置1の動作について詳しく説明する。

信号制御部600には外部のグラフィック制御器(graphic controller)からRGB階調信号R、G、Bおよびその表示を制御する制御入力信号(input control signal)、例えば、垂直同期信号(vertical synchronizing signal: Vsync)と水平同期信号(horizontal synchronizing signal: Hsync)、メインクロック(main clock: CLK)、データイネーブル信号(data enable signal: DE)などが提供される。信号制御部600は制御入力信号に基づいてゲート制御信号、データ制御信号および電圧選択制御信号(voltage selection control signal: VSC)を生成し、外部からの階調信号R、G、Bを液晶表示パネル300の動作条件に合うように適切に変換した後、ゲート制御信号をゲート駆動部400と駆動電圧生成部700に送信し、データ制御信号と処理した階調信号R'、G'、B'はデータ駆動部500に送信し、電圧選択制御信号VSCを階調電圧生成部800に送信する。

20

【0039】

ゲート制御信号は、ゲートオンパルス(ゲート信号のハイ区間)の出力開始を指示する垂直同期開始信号(vertical synchronization start signal: STV)、ゲートオンパルスの出力時期を制御するゲートクロック信号(gate clock signal: CPV)およびゲートオンパルスの幅を限定するゲートオンイネーブル信号(gate on enable signal: OE)などを含む。このうちのゲートオンイネーブル信号OEとゲートクロック信号CPVは駆動電圧生成部700に供給される。

30

【0040】

データ制御信号は、階調信号の入力開始を指示する水平同期開始信号(horizontal synchronization start signal: STH)、データ線141に該当データ電圧Vdを印加することを指示するロード信号(load signal、LOADまたはTP)、データ電圧の極性を反転させる反転制御信号RVSおよびデータクロック信号HCLKなどを含む。

【0041】

まず、階調電圧生成部800は電圧選択制御信号VSCによって決定された電圧値を有する階調電圧をデータ駆動部500に供給する。

40

ゲート駆動部400は信号制御部600からのゲート制御信号によってゲートオン電圧Vonを順次にゲート線121に印加して、ゲート線121に連結された薄膜トランジスタTをターンオンさせる。これと同時に、データ駆動部500は信号制御部600からのデータ制御信号によって、ターンオンされた薄膜トランジスタに連結されている画素170に対する階調信号R'、G'、B'に対応する階調電圧生成部800からのアナログデータ電圧Vdをデータ信号として該当データ線141に供給する。

【0042】

データ線141に供給されたデータ信号はターンオンされた薄膜トランジスタを通じて該当画素170に印加される。このような方式で1フレーム(frame)の間に全ての

50

ゲート線 1 2 1 に対して順次にゲートオン電圧 V_{on} を印加して、全ての画素 1 7 0 にデータ信号を印加する。1 フレームが終わって駆動電圧生成部 7 0 0 とデータ駆動部 5 0 0 に反転制御信号 RVS が供給されると、次のフレームの全てのデータ信号の極性が変わる。

【 0 0 4 3 】

ここで、フレームごとにデータ信号の極性が変わるインバージョンを図 5 (a) 及び (b) を参照して説明する。

第 1 の実施形態では、画素電極切開パターン 1 5 2 の間をって行く延長電極 1 7 1 は前段画素 P のデータ電圧が印加され、延長電極 1 7 1 とこれを囲んでいる画素電極 1 5 1 は互いに異なる極性のデータ電圧が印加されなければならない。したがって、上下方向、即ち、データ線の延長方向に隣接した画素 P の間には互いに異なる極性のデータ電圧が印加されなければならない。

10

【 0 0 4 4 】

図 5 (a) はドットインバージョン (dot inversion) 方式を示したものであって、上下方向だけでなく左右方向に隣接した画素 P の間に互いに異なる極性のデータ電圧が印加される。その後のフレームでは全ての画素 P の極性が変わるのは勿論である。

図 5 (b) はラインインバージョン (line inversion) 方式を示したものであって、上下方向に隣接した画素の間には互いに異なる極性のデータ電圧が印加されるが、左右方向、即ち、ゲート線の延長方向に隣接した画素 P の間には同じ極性のデータ電圧が印加される。

20

【 0 0 4 5 】

ラインインバージョン方式を例に上げて延長電極 1 7 1 の作用を説明すると次の通りである。

N 番目のゲート線 1 2 1 にゲートオン電圧が印加されると、これに連結された駆動薄膜トランジスタ T 1 と追加の薄膜トランジスタ T 2 が同時にターンオンされる。駆動薄膜トランジスタ T 1 のターンオンによって、これに連結された画素電極 1 5 1 には正極性または負極性データ電圧が充電され、追加の薄膜トランジスタ T 2 のターンオンによって、これに連結されており後段画素 P に延長されている延長電極 1 7 1 にも正極性または負極性データ電圧が充電される。

30

【 0 0 4 6 】

1 ゲートタイムが過ぎて、次の段である N + 1 番目のゲート線 1 2 1 にゲートオン電圧が印加されると、これに連結された画素電極 1 5 1 にデータ電圧が印加される。このとき、画素電極 1 5 1 に印加されるデータ電圧はラインインバージョンによって、予め充電されている延長電極 1 7 1 と反対極性を有するようになる。

例えば、共通電圧が 6 V であり、画素 P に正極性データ電圧として 1 2 V が印加され負極性データ電圧として 0 V が印加されるとすれば、N + 1 番目のゲート線 1 2 1 に連結された画素電極 1 5 1 と画素電極 1 5 1 の間をって行く延長電極 1 7 1 の間には 1 2 V の電圧差が発生する。このように大きい電圧差によってラテラルフィールドが強化されて、応答速度が増加し画素電極 1 5 1 の大きさを増加させることができる。

40

【 0 0 4 7 】

図 6 は、本発明の第 2 の実施形態による薄膜トランジスタ基板の配置図である。第 2 の実施形態では、画素電極切開パターン 1 5 2 の間をって行く延長電極 1 7 2 は前段画素 P のドレイン電極 1 4 3 と一体をなしている。これによって、延長電極 1 7 2 の構成が第 1 の実施形態に比べて簡単になり、第 1 の実施形態と類似したラテラルフィールド強化効果を得ることができる。

【 0 0 4 8 】

図 7 は、本発明の第 3 の実施形態による薄膜トランジスタ基板の配置図であり、図 8 は図 7 の V I I I - V I I I 線に沿った断面図である。

延長電極 1 7 3 はデータ線 1 4 1 と同一の層に設けられている。延長電極 1 7 3 は薄膜

50

トランジスタに直接連結されておらず、前段画素 P の画素電極 151 とラテラル接触孔 162 を通じて連結されている。これによって、延長電極 173 には前段画素電極 151 と同一のデータ電圧が印加され、ラテラルフィールド強化効果を得ることができる。

【0049】

図9は、本発明の第4の実施形態による薄膜トランジスタ基板の配置図であり、図10は図9のX-X線に沿った液晶表示パネルの断面図である。

延長電極174は画素電極151と同一の層に設けられている。延長電極174は前段画素Pの画素電極151と直接連結されている。これによって、延長電極173には前段画素電極151と同一のデータ電圧が印加され、ラテラルフィールド強化効果を得ることができる。

10

【0050】

図11は、本発明の第5の実施形態による薄膜トランジスタ基板の配置図である。

延長電極175は画素電極151と同一の層に設けられている。延長電極175は後段画素Pの画素電極151と直接連結されている。これによって、延長電極175には後段画素電極151のデータ電圧が印加され、ラテラルフィールド強化効果を得ることができる。

【0051】

以上の第2の実施形態乃至第5の実施形態で、液晶表示装置のインバージョン方式はドットインバージョンまたはラインインバージョンを含む。

【0052】

図12は、本発明の第6の実施形態による薄膜トランジスタ基板の配置図であり、図13(a)、(b)、(c)は本発明の第6の実施形態による液晶表示装置のインバージョン方式を示した図面である。

画素電極切開パターン152の間をって行く延長電極176には左右方向、即ち、ゲート線121の延長方向に隣接した画素Pと同一なデータ電圧が印加される。さらに具体的には、前段データ線に連結されている画素Pに延長されている延長電極176には後段データ線からデータ電圧が印加される。このために、一つの画素には駆動トランジスタT4とラテラルトランジスタT5が形成されている。

20

【0053】

第6の実施形態ではデータ線141の延長方向に隣接した画素Pの間に互いに異なる極性のデータ電圧が印加されなければならない。第6の実施形態でフレームごとにデータ信号の極性が変わるインバージョンを図13(a)~(c)を参照して説明する。

30

【0054】

図13(a)はドットインバージョン方式を示したものであって、上下方向だけでなく左右方向に隣接した画素Pの間に互いに異なる極性のデータ電圧が印加される。その後のフレームでは全ての画素Pの極性が変わるのは勿論である。

図13(b)はコラムインバージョン(column inversion)を示したものであって、左右方向に隣接した画素Pの間には互いに異なる極性のデータ電圧が印加されるが、上下方向、即ち、データ線の延長方向に隣接した画素Pの間には同じ極性のデータ電圧が印加される。

40

図13(c)は2-ドットインバージョンを示したものであって、左右方向に隣接した画素Pの間には互いに異なる極性のデータ電圧が印加される。反面、上下方向、即ち、データ線141の延長方向に隣接した画素Pには二つずつ対をなして異なる極性のデータ電圧が印加される。

【0055】

図14は、本発明の第7の実施形態による薄膜トランジスタ基板の配置図であり、図15は図14のXV-XV線に沿った液晶表示パネルの断面図である。

画素電極151は第1の実施形態乃至第6の実施形態とは異なり「L」字形状であり(Z-セル構造)、データ線141は画素電極151の縁に沿って形成されている。延長電極177は前段画素に連結されており画素電極切開パターン152の間をって行く。

50

【 0 0 5 6 】

第 7 の実施形態では画素電極 1 5 1 の縁、画素電極切開パターン 1 5 2、そして共通電極切開パターン 2 2 2 が互いに平行になっている。このような構造で、データ線 1 4 1 と画素電極 1 5 1 の間に形成されるラテラルフィールドの方向が液晶層 2 5 0 の挙動方向と一致する。これによって、データ線 1 4 1 隣接部のテクスチャー (texture) 制御力が改善されて開口率と応答速度が向上する。

第 7 の実施形態ではデータ線 1 4 1 と隣接した画素電極 1 5 1 の間にもラテラルフィールドが形成される。データ線 1 4 1 に印加されるデータ電圧の極性は変わり続けるので、データ線 1 4 1 には共通電圧と同一の電圧が印加されるとみることができる。したがって、データ線 1 4 1 と画素電極 1 5 1 の間の電圧差は大きくない。

10

【 0 0 5 7 】

例えば、共通電圧が 6 V であり、画素に正極性データ電圧として 1 2 V が印加され負極性データ電圧として 0 V が印加されるとすれば、極性が異なる延長電極 1 7 7 と画素電極 1 5 1 の間には約 1 2 V の電圧差が発生する反面、データ線 1 4 1 と画素電極 1 5 1 の間には約 6 V の電圧差が発生するといえる。これによって、データ線 1 4 1 と画素電極 1 5 1 の間には延長電極 1 7 7 と画素電極 1 5 1 の間より弱いラテラルフィールドが形成され、第 4 ドメインの幅 d 7 は第 3 ドメインの幅 d 6 より狭くなる。

第 7 の実施形態のためのインバージョンは図 5 (a) 及び (b) のようなドットインバージョン方式またはラインインバージョン方式が可能である。

【 0 0 5 8 】

20

図 1 6 は、本発明の第 8 の実施形態による薄膜トランジスタ基板の配置図であり、図 1 7 は図 1 6 の X V I I - X V I I 線に沿った液晶表示パネルの断面図である。

画素電極 1 5 1 は第 7 の実施形態のように「 L 」字形状であるが、データ線 1 4 1 は画素電極 1 5 1 の縁に沿って形成されず、直線形状に形成されている。延長電極 1 7 7 は前段画素に連結されており、画素電極切開パターン 1 5 2 の間を通って行く。

【 0 0 5 9 】

第 8 の実施形態ではデータ線 1 4 1 と画素電極 1 5 1 の間のラテラルフィールドは形成されない。反面、ゲート線 1 2 1 の延長方向に隣接した画素電極 1 5 1 の間にラテラルフィールドが形成される。このとき、ゲート線 1 2 1 の延長方向に隣接した画素電極 1 5 1 の間には互いに異なる極性のデータ電圧が印加される。このような構造で、隣接した画素電極 1 5 1 の間のラテラルフィールドは延長電極 1 7 7 と画素電極 1 5 1 の間のラテラルフィールドと実質的に同一の大きさで形成される。

30

例えば、共通電圧が 6 V であり、画素に正極性データ電圧として 1 2 V が印加され負極性データ電圧として 0 V が印加されるとすれば、極性が異なる延長電極 1 7 7 と画素電極 1 5 1 の間には約 1 2 V の電圧差が発生し、また極性が異なる隣接した画素電極 1 5 1 の間にも約 1 2 V の電圧差が発生する。したがって、第 3 ドメイン c の幅 d 8 および第 4 ドメイン d の幅 d 9 を全て最大 3 6 μm まで増加させることができ、各部分領域 A、B の幅を 6 0 μm 以上または 7 0 μm 以上に増加させることができる。

【 0 0 6 0 】

第 8 の実施形態では延長電極 1 7 8 と隣接した画素電極 1 5 1 に互いに異なる極性のデータ電圧を印加するためにラインインバージョンが行われなければならない。また、ゲート線 1 2 1 の延長方向に隣接した画素電極 1 5 1 の間に互いに異なる極性のデータ電圧が印加されるためにはコラムインバージョンが行われなければならない。したがって、第 8 の実施形態を実現するためにはドットインバージョンが行われなければならない。

40

一方、図示していないが、データ線 1 4 1 と画素電極 1 5 1 の間の干渉を減少させるために保護層 1 3 4 は厚さが大きい有機膜を含むことができる。

【 0 0 6 1 】

図 1 8 は、本発明の第 9 の実施形態による薄膜トランジスタ基板の配置図である。画素電極 1 5 1 は第 7 の実施形態のように「 L 」字形状である。データ線 1 4 1 の一部は画素電極 1 5 1 の縁に沿って形成されず直線形状に形成されており、残りの部分は画素電極 1

50

5 1 の縁に沿って形成されている。

【 0 0 6 2 】

本発明によって画素電極の大きさを増加させると多様な画素大きさの液晶表示装置に P V A モード、特に Z - セル構造を適用することができる。画素の大きさは液晶表示パネルの大きさと解像度によって決定される。本発明によれば各ドメインの幅を最大 3 6 μ m ままで増加させることができるので、相対的に大きい画素を有する液晶表示装置に Z - セル構造を適用させることができる。

【 0 0 6 3 】

尚、本発明は、上述の実施形態に限られるものではない。本発明の技術的範囲から逸脱しない範囲内で多様に変更実施することが可能である。

【図面の簡単な説明】

【 0 0 6 4 】

【図 1】本発明の第 1 の実施形態による液晶表示装置のブロック図である。

【図 2】本発明の第 1 の実施形態による薄膜トランジスタ基板の配置図である。

【図 3】図 2 の I I I - I I I 線に沿った断面図である。

【図 4】図 2 の I V - I V 線に沿った液晶表示パネルの断面図である。

【図 5】本発明の第 1 の実施形態による液晶表示装置のインバージョン方式を示した図面であり、(a) はドットインバージョン方式を示したものであり、(b) はラインインバージョン方式を示したものである。

【図 6】本発明の第 2 の実施形態による薄膜トランジスタ基板の配置図である。

【図 7】本発明の第 3 の実施形態による薄膜トランジスタ基板の配置図である。

【図 8】図 7 の V I I I - V I I I 線に沿った断面図である。

【図 9】本発明の第 4 の実施形態による薄膜トランジスタ基板の配置図である。

【図 1 0】図 9 の X - X 線に沿った液晶表示パネルの断面図である。

【図 1 1】本発明の第 5 の実施形態による薄膜トランジスタ基板の配置図である。

【図 1 2】本発明の第 6 の実施形態による薄膜トランジスタ基板の配置図である。

【図 1 3】本発明の第 6 の実施形態による液晶表示装置のインバージョン方式を示した図面であり、(a) はドットインバージョン方式を示したものであり、(b) はコラムインバージョンを示したものであり、(c) は 2 - ドットインバージョンを示したものである。

【図 1 4】本発明の第 7 の実施形態による薄膜トランジスタ基板の配置図である。

【図 1 5】図 1 4 の X V - X V 線に沿った液晶表示パネルの断面図である。

【図 1 6】本発明の第 8 の実施形態による薄膜トランジスタ基板の配置図である。

【図 1 7】図 1 6 の X V I I - X V I I 線に沿った液晶表示パネルの断面図である。

【図 1 8】本発明の第 9 の実施形態による薄膜トランジスタ基板の配置図である。

【符号の説明】

【 0 0 6 5 】

1	液晶表示装置
1 0 0	薄膜トランジスタ基板
1 1 1	第 1 絶縁基板
1 2 1	ゲート線
1 2 2	ゲート電極
1 3 1	ゲート絶縁膜
1 3 2	半導体層
1 3 3	抵抗接触層
1 3 4	保護膜
1 4 1	データ線
1 4 2	ソース電極
1 4 3	ドレイン電極
1 5 1	画素電極

10

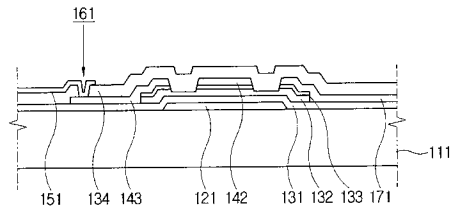
20

30

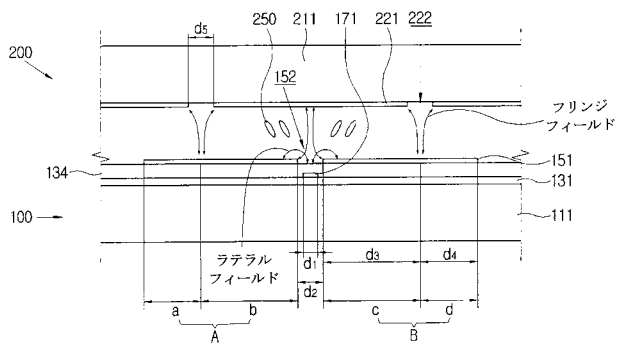
40

50

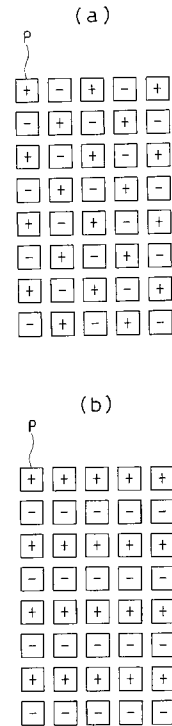
【図 3】



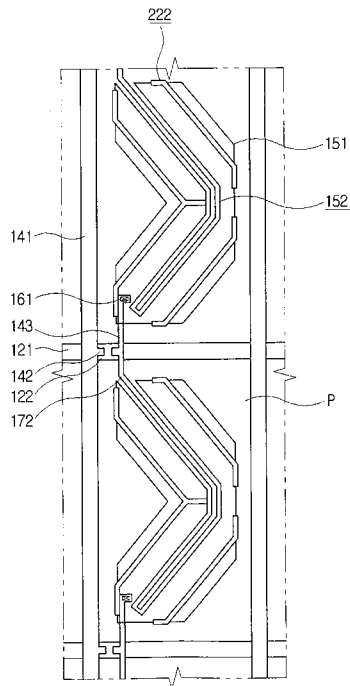
【図 4】



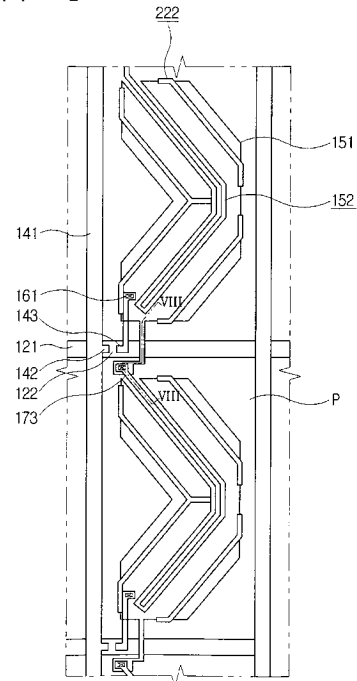
【図 5】



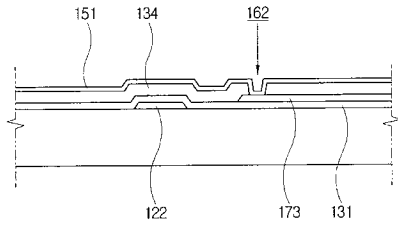
【図 6】



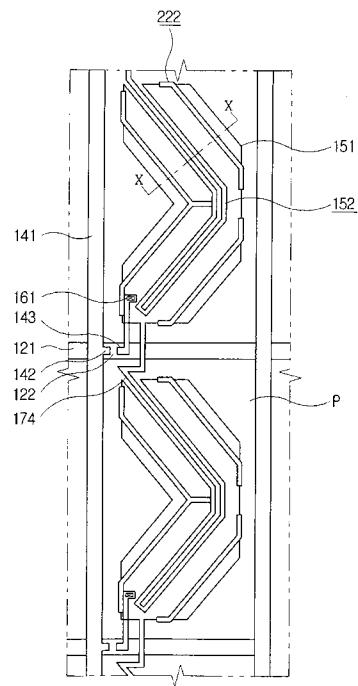
【図 7】



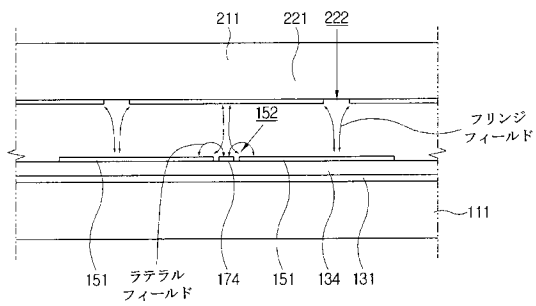
【図 8】



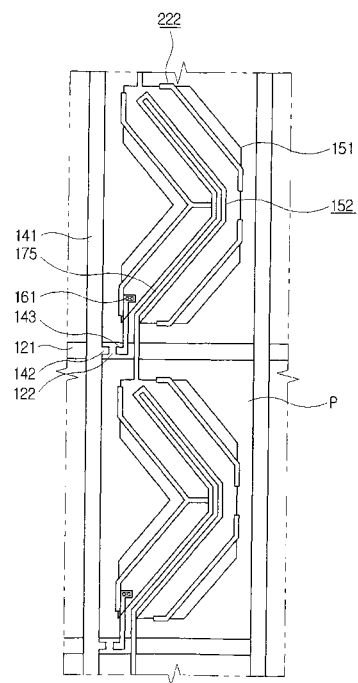
【図 9】



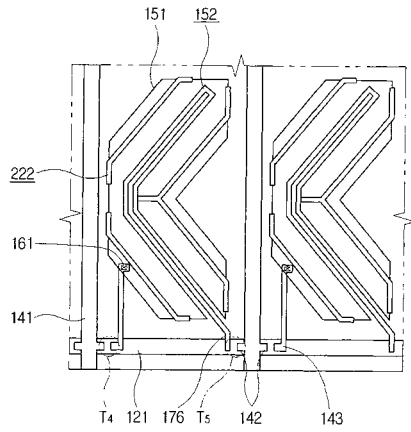
【図 10】



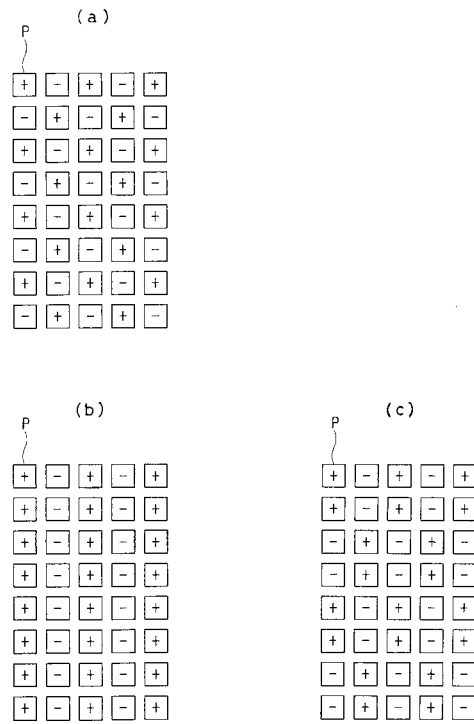
【図 11】



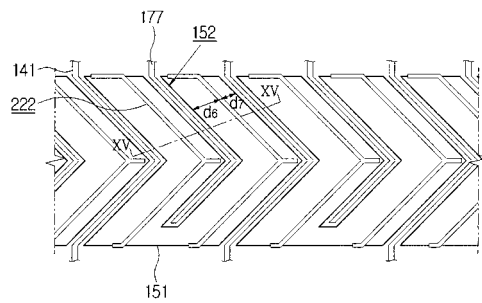
【図 1 2】



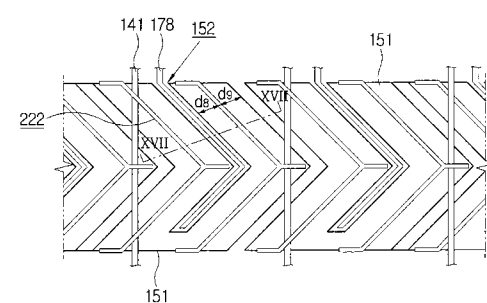
【図 1 3】



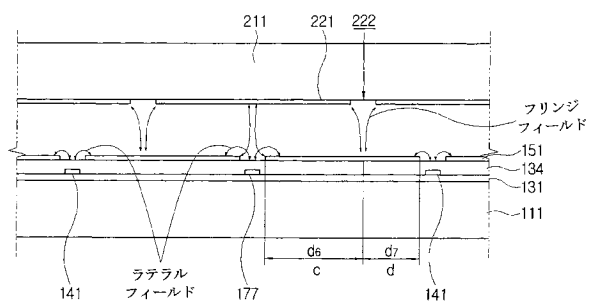
【図 1 4】



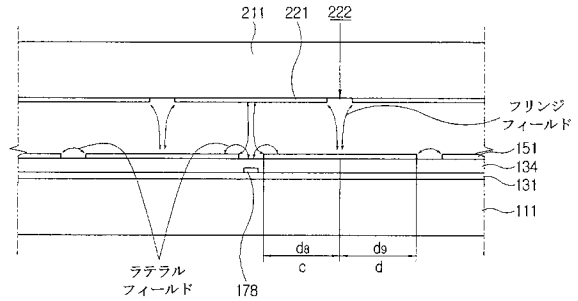
【図 1 6】



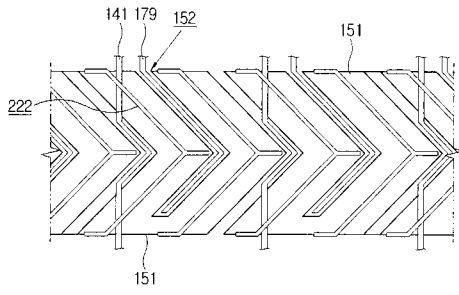
【図 1 5】



【図 1 7】



【図 18】



フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 2 1 F
	G 0 9 G 3/20	6 4 2 D
	G 0 9 G 3/20	6 8 0 F

(72)発明者 嚴 允 成

大韓民国 京畿道 龍仁市 水枝區 上ヒョン洞 雙龍アパート # 2 1 6 - 1 7 0 2

F ターム(参考) 2H092 GA13 GA15 JA26 JB05 JB06 JB42 JB45 NA05 NA07 PA06
QA09
2H093 NA16 NA32 NA34 NA43 NC34 NC40 ND13 ND22 NE03 NF09
5C006 AC26 AF42 AF43 BB16 BC02 BC06 BC08 BC20 BF34 FA11
5C080 AA10 BB05 DD01 DD08 FF11 JJ02 JJ06

专利名称(译)	液晶表示装置		
公开(公告)号	JP2007079582A	公开(公告)日	2007-03-29
申请号	JP2006251775	申请日	2006-09-15
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	申ギョン周 金賢ウク 嚴允成		
发明人	申 ギョン 周 金 賢 ウク 嚴 允 成		
IPC分类号	G02F1/1368 G02F1/1343 G02F1/133 G09G3/36 G09G3/20		
CPC分类号	G09G3/3648 G02F1/13624 G09G3/3614 G09G2320/068		
FI分类号	G02F1/1368 G02F1/1343 G02F1/133.550 G09G3/36 G09G3/20.621.B G09G3/20.621.F G09G3/20.642.D G09G3/20.680.F		
F-TERM分类号	2H092/GA13 2H092/GA15 2H092/JA26 2H092/JB05 2H092/JB06 2H092/JB42 2H092/JB45 2H092/NA05 2H092/NA07 2H092/PA06 2H092/QA09 2H093/NA16 2H093/NA32 2H093/NA34 2H093/NA43 2H093/NC34 2H093/NC40 2H093/ND13 2H093/ND22 2H093/NE03 2H093/NF09 5C006/AC26 5C006/AF42 5C006/AF43 5C006/BB16 5C006/BC02 5C006/BC06 5C006/BC08 5C006/BC20 5C006/BF34 5C006/FA11 5C080/AA10 5C080/BB05 5C080/DD01 5C080/DD08 5C080/FF11 5C080/JJ02 5C080/JJ06 2H192/AA24 2H192/BA13 2H192/BA25 2H192/BB53 2H192/BC12 2H192/CB05 2H192/CB14 2H192/EA22 2H192/EA43 2H192/GD61 2H192/JA13 2H193/ZA04 2H193/ZC02 2H193/ZC04 2H193/ZC07 2H193/ZC13 2H193/ZC14 2H193/ZC20 2H193/ZP03 2H193/ZQ08 2H193/ZQ16		
优先权	1020050086308 2005-09-15 KR		
其他公开文献	JP4785689B2		
外部链接	Espacenet		

摘要(译)

本发明提供一种液晶显示装置，该液晶显示装置能够通过增强横场来提高响应速度和开口率。 解决方案：栅极线和数据线隔离相交，在栅极线和数据线相交的区域中提供第一薄膜晶体管，以及连接到第一薄膜晶体管以形成切口图案的第一像素电极。 第一像素，其包括沿着切口图案形成的延伸电极的至少一部分，设置在栅极线和数据线的交叉区域中的第二薄膜晶体管，以及第一像素的延伸电极。 第二像素包括彼此施加相同数据电压的第二像素电极，向第一像素和第二像素施加数据电压的数据驱动器以及第一像素和第二像素彼此不同。 以及用于控制数据驱动器以施加极性数据电压的信号控制器。 [选择图]图2

