

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-52419

(P2007-52419A)

(43) 公開日 平成19年3月1日(2007.3.1)

(51) Int.Cl.	F I	テーマコード (参考)
G09F 9/30 (2006.01)	G09F 9/30 338	2H092
G02F 1/1368 (2006.01)	G02F 1/1368	5C094
H01L 29/786 (2006.01)	H01L 29/78 612C	5F110
	H01L 29/78 619B	

審査請求 未請求 請求項の数 12 O L (全 25 頁)

(21) 出願番号	特願2006-217219 (P2006-217219)	(71) 出願人	390019839
(22) 出願日	平成18年8月9日 (2006.8.9)		三星電子株式会社
(31) 優先権主張番号	10-2005-0074454		Samsung Electronics Co., Ltd.
(32) 優先日	平成17年8月12日 (2005.8.12)		大韓民国京畿道水原市靈通区梅灘洞416
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100072349
			弁理士 八田 幹雄
		(74) 代理人	100110995
			弁理士 奈良 泰男
		(74) 代理人	100114649
			弁理士 宇谷 勝幸
		(72) 発明者	朴 亨 俊
			大韓民国忠清南道天安市星井洞1131-1番地 ローズビル304号

最終頁に続く

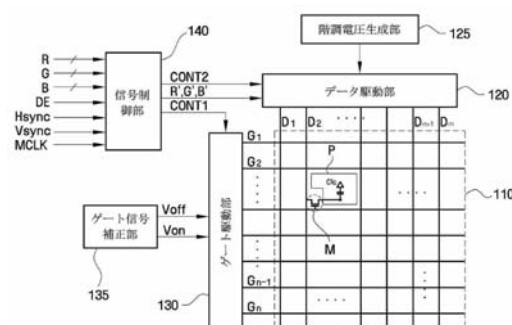
(54) 【発明の名称】 薄膜トランジスタ表示板及びこれを含む液晶表示装置

(57) 【要約】

【課題】 開口率を向上させて輝度を増加させることができる液晶表示装置を提供する。

【解決手段】 第1方向に延長されるデータ線62と前記データ線から分枝されたソース電極64と前記ソース電極と離隔されて形成されたドレイン電極66とを含むデータ配線と、前記データ配線下部に形成され前記ソース及びドレイン電極の下部で連結してチャネル領域を形成する半導体層42と、前記半導体層下部に形成され前記データ線と交差して第2方向への延長されるゲート線22と前記ゲート線から分枝されたゲート電極26とを含むゲート配線と、を有する薄膜トランジスタ表示板であって、ストレージキャパシタを有さず、かつキックバック電圧対策として前記ゲート線とゲート電極に溝を形成することにより液晶表示装置の開口率を向上させた。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 方向に延長されるデータ線と前記データ線から分枝されたソース電極と前記ソース電極とは離隔されて形成されたドレイン電極とを含むデータ配線と、

前記データ配線下部に形成され、前記ソース及びドレイン電極の下部で連結してチャンネル領域を形成する半導体層と、

前記半導体層下部に形成され、前記データ線と交差して第 2 方向へ延長されるゲート線と前記ゲート線から分枝されたゲート電極とを含むゲート配線と、を含み、

前記ゲート線は第 1 深さの第 1 溝を具備することを特徴とする薄膜トランジスタ表示板。

10

【請求項 2】

前記ゲート電極は前記ドレイン電極の下部領域に第 2 深さを有する第 2 溝を具備することを特徴とする請求項 1 に記載の薄膜トランジスタ表示板。

【請求項 3】

前記第 1 溝上部には前記第 1 溝を覆う光遮断膜をさらに含むことを特徴とする請求項 1 に記載の薄膜トランジスタ表示板。

【請求項 4】

前記光遮断膜は一つの画素領域幅の 30 ~ 70 % の幅を有することを特徴とする請求項 3 に記載の薄膜トランジスタ表示板。

【請求項 5】

前記光遮断膜は電圧が印加されないフローティング状態であることを特徴とする請求項 3 に記載の薄膜トランジスタ表示板。

20

【請求項 6】

前記光遮断膜はソース及びドレイン電極と同じ物質で形成されたことを特徴とする請求項 3 に記載の薄膜トランジスタ表示板。

【請求項 7】

前記第 2 溝の終端は前記ドレイン電極下部に形成されるチャンネル領域の終端と整列されることを特徴とする請求項 2 に記載の薄膜トランジスタ表示板。

【請求項 8】

前記第 1 深さは 9 ~ 11 μm であることを特徴とする請求項 1 に記載の薄膜トランジスタ表示板。

30

【請求項 9】

前記第 2 深さは 3 ~ 5 μm であることを特徴とする請求項 2 に記載の薄膜トランジスタ表示板。

【請求項 10】

カラーフィルター基板と、

第 1 項ないし第 9 項のうちいずれか一つの項の薄膜トランジスタ表示板と、

前記カラーフィルター基板と前記薄膜トランジスタ表示板間に介在された液晶層と、

を含むことを特徴とする液晶表示装置。

【請求項 11】

前記液晶の誘電率はノーマリーホワイトモードで 3 ~ 5 であることを特徴とする請求項 10 に記載の液晶表示装置。

40

【請求項 12】

前記液晶の誘電率はノーマリーブラックモードで 13 ~ 15 であることを特徴とする請求項 10 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は薄膜トランジスタ表示板及びこれを含む液晶表示装置に係り、さらに詳細には、開口率を向上させて輝度を増加させることができる薄膜トランジスタ表示板及びこれを

50

含む液晶表示装置に関する。

【背景技術】

【0002】

一般的に、液晶表示装置は電極が形成されている上部及び下部基板とその間に注入されている液晶物質を含み、上部及び下部基板は縁周りに形成されていて液晶物質を囲う密封材で結合していて、上部及び下部基板間に散布されているスペーサーにより支持されている。

【0003】

このような液晶表示装置は両基板間に注入されている誘電率異方性を有する液晶物質に電極を利用して電界を印加して、この電界の強度を調節して透過される光量を調節することによって画像を表示する。 10

【0004】

従来液晶表示装置の液晶パネルは複数のゲートライン及びデータラインに連結されている複数の画素を含み、各画素は複数のゲートライン及びデータラインに連結された薄膜トランジスタとこれに連結したストレージキャパシタC_{st}と液晶キャパシタC_{lc}を含む。ここで、ストレージキャパシタは薄膜トランジスタのゲート電極形成時共に形成されるストレージ電極とその上部に形成されるゲート絶縁膜及び画素電極で構成される。

【0005】

しかし、薄膜トランジスタのゲート電極形成時ストレージ電極を共に形成しなければならないので、ゲート配線の臨界値数(Critical Dimension:CD)が増加されて、液晶表示装置の開口率が減少される。 20

【特許文献1】韓国公開特許10—2005—0001956

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明が解決しようとする技術的課題は、開口率を向上させて輝度を増加させることができる薄膜トランジスタ表示板を提供することにある。

【0007】

本発明が解決しようとする他の技術的課題は、開口率を向上させて輝度を増加させることができる薄膜トランジスタ表示板を含む液晶表示装置を提供することにある。 30

【課題を解決するための手段】

【0008】

前記技術的課題を達成するための本発明の一実施形態による薄膜トランジスタ表示板は、第1方向に延長されるデータ線と前記データ線から分枝されたソース電極と前記ソース電極と離隔されて形成されたドレイン電極とを含むデータ配線と、前記データ配線下部に形成され、前記ソース及びドレイン電極の下部で連結してチャネル領域を形成する半導体層と、前記半導体層下部に形成され、前記データ線と交差して第2方向へ延長されるゲート線と前記ゲート線から分枝されたゲート電極とを含むゲート配線と、を含む。前記ゲート線は第1深さの第1溝を具備する。

【0009】

前記他の技術的課題を達成するための本発明の一実施形態による液晶表示装置はカラーフィルター基板、請求項第1ないし第9のうちいずれか一つの項の薄膜トランジスタ表示板及び前記カラーフィルター基板と前記薄膜トランジスタ表示板間に介在された液晶層を含む。 40

【0010】

その他実施形態の具体的な内容は詳細な説明及び図面に含まれている。

【発明の効果】

【0011】

上述したように、本発明の一実施形態による薄膜トランジスタ表示板及びこれを含む液晶表示装置は薄膜トランジスタと並列に連結されるストレージキャパシタを形成しないこ 50

とによってゲート配線の臨界値数を減少させることができ、液晶表示装置の開口率を向上させて輝度を増加させることができる。

【0012】

また、ゲート配線のゲート線とゲート電極にそれぞれ溝を形成することによってゲートとソース電極間に存在する寄生キャパシタ容量を減少させることによってストレージキャパシタを形成しないことにより増加するキックバック電圧の量を減少させることができる。

【発明を実施するための最良の形態】

【0013】

明細書全体にかけて同一参照符号は同一構成要素を指称する。

10

【0014】

以下、添付した図面を参照して本発明の実施形態を詳細に説明する。

【0015】

図1は本発明の一実施形態による液晶表示装置を概略的に示した構成図である。

【0016】

図1に示したように、本発明の一実施形態による液晶表示装置は液晶パネル110、データ駆動部120、階調電圧生成部125、ゲート駆動部130、ゲート信号補正部135及び信号制御部140等を含んで構成される。

【0017】

液晶パネル110は複数のゲートラインG1ないしGnと複数のデータラインD1ないしDmに連結されている複数の画素を含み、各画素は複数のゲートラインG1ないしGnと複数のデータラインD1ないしDmに連結されたスイッチング素子Mとこれに連結した液晶キャパシタC1cを含む。本発明では液晶パネル110の開口率増加のためにストレージキャパシタCstを含まない。これに対する説明は今後詳細に説明する。以下、薄膜トランジスタとスイッチング素子は同じ意味で使われることにする。

20

【0018】

行方向に形成されている複数のゲートラインG1ないしGnはスイッチング素子Mにゲート信号を伝達して、列方向に形成されている複数のデータラインD1ないしDmはスイッチング素子Mにデータ信号に該当する階調電圧を伝達する。スイッチング素子Mは三端子素子であって、制御端子はゲートラインG1ないしGnに連結されていて、入力端子はデータラインD1ないしDmに連結されていて、出力端子は液晶キャパシタC1cの1端子に連結されている。液晶キャパシタC1cはスイッチング素子Mの出力端子と共通電極（図示せず）間に連結されている。

30

【0019】

ゲート駆動部130は複数のゲートラインG1ないしGnに連結されていて、スイッチング素子Mを活性化させるゲート信号を複数のゲートラインG1ないしGnに提供し、データ駆動部120は複数のデータラインD1ないしDmに連結されている。ここでスイッチング素子MはMOSトランジスタが利用され、このようなMOSトランジスタはポリシリコンをチャネル領域にする薄膜トランジスタで実現できる。そしてゲート駆動部130やデータ駆動部120もMOSトランジスタで構成される。

40

【0020】

一般的に、薄膜トランジスタが形成されている基板に対向する対向基板には共通電極とカラーフィルタが形成され、両基板間に液晶が封入されることによって液晶パネル110が構成される。

【0021】

ここで、図面に示さなかったが、薄膜トランジスタはゲート電極、ソース電極、ドレイン電極、半導体層及び抵抗性接触層等で構成されており、ドレイン電極が画素電極と連結されて単位画素Pを形成する。そして、このような構造を有する薄膜トランジスタはゲートラインを介してゲート電極にゲート信号が印加されるとデータラインに印加されたデータ信号が抵抗性接触層及び半導体層を介してソース電極からドレイン電極に伝えられるこ

50

とによって動作する。

【0022】

すなわち、ソース電極にデータ信号が印加されると、ソース電極と連結された画素電極にこれと対応する電圧が印加されるが、これにより画素電極と共通電極間に電圧差が発生する。そして、画素電極と共通電極の電圧差によってその間に掲載されている液晶の分子配列が変化し、液晶の分子配列の変化によって画素の光透過量が変わるようになってそれぞれの画素別に印加されたデータ信号の差によって画素の色相差が発生する。このような色相の差を利用して液晶表示装置の画面をコントロールできるようになる。

【0023】

ソース電極に印加されるデータ信号はデータ駆動部120から提供して、ゲート電極に印加されるゲート信号はゲート駆動部130から提供する。 10

【0024】

ゲート駆動部130はゲート電極を活性化(Von)または非活性化(Off)させるゲート信号を複数のゲートラインに順次的に提供する。そうすることにより、データ駆動部120はゲート信号が印加されるタイミングに合わせてデータ信号に該当する階調電圧を複数のデータラインに提供する。データ駆動部120とゲート駆動部130間のタイミング同期化(synchronizing)は信号制御部140等により遂行される。

【0025】

これをさらに詳細によく見れば次のようである。

【0026】

信号制御部140は外部のグラフィック制御器(図示せず)からRGB映像信号R、G、B及びこれの表示を制御する入力制御信号、例えば垂直同期信号Vsync、水平同期信号Hsync、メインクロックMCLK及びデータイネーブル(enable)信号DE等の信号を受ける。また、信号制御部140は入力制御信号を基にしてゲート制御信号CONT1及びデータ制御信号CONT2等を生成して、映像信号R、G、Bを液晶パネル110の動作条件に合うように適切に処理する。その次に、ゲート制御信号CONT1はゲート駆動部130に、データ制御信号CONT2及び処理された映像信号R'、G'、B'はデータ駆動部120に供給される。 20

【0027】

ゲート制御信号CONT1はゲートオンパルスの出力開始を指示する垂直同期開始信号STV、ゲートオンパルスの出力タイミングを制御するゲートクロック信号CPV及びゲートオンパルス幅を限定する出力イネーブル信号OE等を含むことができる。 30

【0028】

そしてデータ制御信号CONT2は映像データR'、G'、B'の信号入力開始を指示する水平同期開始信号STH、データラインに該データ電圧を印加せしめるロード信号LOAD、共通電圧Vcomに対するデータ電圧の極性を反転させる反転信号RVS及びデータクロック信号HCLK等を含むことができる。

【0029】

階調電圧生成部125は画素の透過率と関連した2セットの複数階調電圧を生成する。2セットのうち1セットは共通電圧Vcomに対して正の値を有して他の1セットは負の値を有する。ここで、共通電圧Vcomは液晶パネル110の上部基板全面に形成された共通電極に印加される電圧を意味する。 40

【0030】

データ駆動部120は信号制御部140からのデータ制御信号CONT2に従って1行の画素に対応する映像データR'、G'、B'をシケンシャルに受信、シフトさせ、階調電圧生成部125からの階調電圧のうち各映像データR'、G'、B'に対応する階調電圧を選択することによって映像データR'、G'、B'を該データ電圧に変換させてこれを該データラインに印加する機能を遂行する。

【0031】

ゲート信号補正部135は周辺温度に対応したゲートオン電圧Vonとゲートオフ電圧 50

V o f f を生成してゲート駆動部 1 3 0 に印加する機能を遂行する。この時、ゲート信号補正部 1 3 5 の内部には少なくとも 3 段のチャージポンピング過程によりゲートオン電圧 V o n 及びゲートオフ電圧 V o f f の温度変化による変動値を補償するための温度補償回路（図示せず）が具備される。

【 0 0 3 2 】

ゲート駆動部 1 3 0 は信号制御部 1 4 0 から伝えられたゲート制御信号 C O N T 1 に従ってゲートオン電圧 V o n をゲートラインに印加して該ゲートラインに連結されたスイッチング素子 1 1 5 をターンオン（turn on）させる。そうすることにより、先に説明したデータ電圧がターンオンされたスイッチング素子 1 1 5 を介して該画素に印加される。

10

【 0 0 3 3 】

共通電圧 V c o m とそれぞれの画素 P に印加されたデータ電圧の差は液晶キャパシタ C l c の充電電圧、すなわち画素電圧として現われるようになって、液晶分子はこのような画素電圧の大きさによってその配列を異にするようになり、これにより液晶層を通過する光の偏光が変化ようになる。そして、このような偏光の変化は液晶パネル 1 1 0 に付着された偏光板（図示せず）により光の透過率変化で現われるようになって、結局希望する映像情報のディスプレイを可能にする。

【 0 0 3 4 】

図 2 は本発明の一実施形態による製造方法により製造された薄膜トランジスタ表示板の配置図である。図 3 は図 2 の I I ' — I I ' ' 線に対する断面図である。図 4 は図 2 の A 20

【 0 0 3 5 】

図 2 に示したように、絶縁基板 1 0 上に横方向にゲート線 2 2 が形成されていて、ゲート線 2 2 には突起の形態で構成されたゲート電極 2 6 が形成されている。そして、ゲート線 2 2 の端には他の層または外部からゲート信号の印加を受けてゲート線 2 2 に伝達するゲート線終端 2 4 が形成されていて、ゲート線終端 2 4 は外部回路との連結のために幅が拡張されている。このようなゲート線 2 2、ゲート電極 2 6、ゲート線終端 2 4 をゲート配線と言う。

【 0 0 3 6 】

ゲート配線 2 2、2 4、2 6 はアルミニウム（A l）とアルミニウム合金等アルミニウム 30
ム系列の金属、銀（A g）と銀合金等銀系列の金属、銅（C u）と銅合金等銅系列の金属、モリブデン（M o）とモリブデン合金等モリブデン系列の金属、クロム（C r）、チタン（T i）、タンタル（T a）等で構成されることができる。

【 0 0 3 7 】

また、ゲート配線 2 2、2 4、2 6 は物理的性質が異なる 2 つの導電膜（図示せず）を含む多重膜構造を有することができる。このうち 1 の導電膜はゲート配線 2 2、2 4、2 6 の信号遅延や電圧降下を減らすことができるように低い抵抗率（resistivity）の金属、例えば、アルミニウム系列金属、銀系列金属、銅系列金属等で構成される。

【 0 0 3 8 】

他の導電膜は他の物質、特に I T O（indium tin oxide）及び I Z O 40
（indium zinc oxide）との接触特性が優秀な物質、例えばモリブデン系列金属、クロム、チタン、タンタル等で構成される。このような組合せの適当な例として、クロム下部膜とアルミニウム上部膜及びアルミニウム下部膜とモリブデン上部膜を挙げることができる。但し、本発明はこれに限られず、ゲート配線 2 2、2 4、2 6 は様々な金属又は導電体とすることができる。

【 0 0 3 9 】

本発明においては、図 1 に示すように、液晶表示装置の開口率を増加させて、ゲート配線の臨界値数を減少させるために、薄膜トランジスタと並列に連結されるストレージ電極（storage electrode）を形成しない。しかし、ストレージ電極を形成しないことにより薄膜トランジスタのゲートとソース電極間に存在する寄生キャパシタ容 50

量 C_{gs} が増加してこれによりキックバック電圧 (kick back voltage) が増加するようになる。この時、キックバック電圧は液晶を駆動するための薄膜トランジスタのゲート電圧 V_g の電位がオン電圧 V_{on} からオフ電圧 V_{off} に転換される時、階調電圧 V_p は一定電位だけ減少するようになる。キックバック電圧は、この時に減少される電位 V_{kb} を示しており、その大きさは下記の数学式 1 のように表現することができる。

【 0 0 4 0 】

【 数 1 】

$$V_{kb} = \frac{C_{gs}}{C_{gs} + C_{lc} + C_{st}} \Delta(V_{on} - V_{off})$$

10

【 0 0 4 1 】

前記数学式 1 を介して分かるように寄生キャパシタ容量 C_{gs} を減らしてキックバック電圧を減少させることができる。そのため、本発明では図 4 及び図 5 に示したように、ゲート配線のゲート線 22 とゲート電極 26 に第 1 深さを有する第 1 溝 22a と第 2 深さを有する第 2 溝 22b が形成されている。この時、第 2 溝の終端 22b はドレイン電極 66 下部に形成されるチャネル領域の終端と整列されるように形成されている。ここで、第 1 溝 22a の第 1 深さは $9 \sim 11 \mu m$ 、第 2 溝 22b の第 2 深さは $3 \sim 5 \mu m$ に形成されている。

【 0 0 4 2 】

20

第 1 溝 22a による光漏れ現象が発生することを防止するためにゲート線 22 の上部には第 1 溝 22a を覆う光遮断膜 65 が形成されている。前記第 1 溝 22a の長さは画素領域幅の $30 \sim 70 \%$ であることが望ましい。前記光遮断膜 65 はソース及びドレイン電極 64、66 と同じ物質及び厚さで形成されていて、光漏れ防止役割のみをするため島状で形成されて、電圧が印加されないフローティング (floating) 状態になっている。

【 0 0 4 3 】

ゲート配線 22、24、26 上にはゲート絶縁膜 30 が形成されている。ゲート絶縁膜 30 上には水素化非晶質ケイ素 (hydrogenated amorphous silicon) または多結晶ケイ素等で構成された半導体層 42 が形成されている。このよ

30

【 0 0 4 4 】

半導体層 42 の上にはシリサイド (silicide) または n 型不純物が高濃度でドーピングされている n + 水素化非晶質ケイ素等の物質で作られた島状の抵抗性接触層及び線形の抵抗性接触層が形成されている。ここで、抵抗性接触層 52、55 は島状抵抗性接触層であって、ドレイン電極 66 及びソース電極 64 下に位置する。線形の抵抗性接触層の場合、データ線 62 の下まで延長されて形成される。

【 0 0 4 5 】

40

抵抗性接触層 52 及びゲート絶縁膜 30 上にはデータ線 62 及びドレイン電極 66 が形成されている。データ線 62 は長くのびていてゲート線 22 と交差して画素を定義する。データ線 62 から枝状で抵抗性接触層 52 の上部まで延長されているソース電極 64 が形成されている。そして、データ線 62 の端には他の層または外部からデータ信号の印加を受けてデータ線 62 に伝達するデータ線終端 68 が形成されていて、データ線終端 68 は外部回路との連結のために幅が拡張されている。ドレイン電極 66 はソース電極 64 と分離され、ゲート電極 26 に対してソース電極 64 の反対側抵抗性接触層 52 上部に位置する。このようなデータ線 62、データ線終端 68、ソース電極 64 をデータ配線と言う。

【 0 0 4 6 】

ここで、データ線 62 は画素の長さを与えるようにして反復的に形成されている。デー

50

タ線 6 2 の縦にのびた部分にはソース電極 6 4 が連結されていて、この部分がゲート線 2 と交差する。

【 0 0 4 7 】

データ線 6 2、ソース及びドレイン電極 6 4、6 6 はクロム、モリブデン系列の金属、タンタル及びチタン等耐火性金属で構成されることが望ましく、耐火性金属等の下部膜（図示せず）とその上に位置した低抵抗物質上部膜（図示せず）で構成された多層膜構造を有することができる。多層膜構造の例としては先に説明したクロム下部膜とアルミニウム上部膜またはアルミニウム下部膜とモリブデン上部膜の二重膜以外にもモリブデン膜—アルミニウム膜—モリブデン膜の三重膜が考えられる。

【 0 0 4 8 】

ソース電極 6 4 は半導体層 4 2 と少なくとも一部分が重なって、ドレイン電極 6 6 はゲート電極 2 6 を中心にしてソース電極 6 4 と対向して半導体層 4 2 と少なくとも一部分が重なる。ここで、抵抗性接触層 5 2 はその下部の半導体層 4 2 と、その上部のソース電極 6 4 及びドレイン電極 6 6 間に存在して接触抵抗を低くする役割をする。

【 0 0 4 9 】

ドレイン電極 6 6 は半導体層 4 2 と重なる棒型端部分とここから延長されて広い面積のドレイン電極拡張部 6 7 を有する。

【 0 0 5 0 】

データ線 6 2、ドレイン電極 6 6 及び露出した半導体層 4 2 上には保護膜 6 9 が形成されている。ここで保護膜は窒化ケイ素または酸化ケイ素で構成された無機物またはプラズマ化学気相蒸着（*plasma enhanced chemical vapor deposition*、*PECVD*）で形成される a—Si : C : O、a—Si : O : F 等の低誘電率絶縁物質等で構成される。

【 0 0 5 1 】

保護膜 6 9 上には感光性の R、G、B カラー樹脂で構成されたカラーフィルタ層 7 0 が形成されている。カラーフィルタ層 7 0 にはドレイン電極拡張部 6 7 及びデータ線終端 6 8 をそれぞれ露出するコンタクトホール（*contact hole*）8 2、8 8 が形成されている。カラーフィルタ層 7 0 とゲート絶縁膜 3 0 にはゲート線終端 2 4 を露出するコンタクトホール 8 4 が形成されており、コンタクトホール 8 2 を介してドレイン電極 6 6 と電氣的に連結される画素電極 9 2 が形成されている。この時、画素電極 9 2 の境界線はデータ線 6 2 上に位置することができる。

【 0 0 5 2 】

画素電極 9 2 はコンタクトホール 8 2 を介してドレイン電極 6 6 と物理的・電氣的に連結されてドレイン電極 6 6 からデータ電圧の印加を受ける。

【 0 0 5 3 】

データ電圧が印加された画素電極 9 2 は共通電圧の印加を受ける上部表示板（図示せず）の共通電極（図示せず）と共に電界を生成することによって画素電極 9 2 と共通電極間の液晶層の液晶分子の配列を決定する。

【 0 0 5 4 】

また、カラーフィルタ層 7 0 上にはコンタクトホール 8 4、8 8 を介してそれぞれゲート線終端 2 4 とデータ線終端 6 8 と連結されている補助ゲート線 9 4 及び補助データ線終端 9 8 が形成されている。ここで、画素電極 9 2 と補助ゲート線 9 4 及び補助データ線終端 9 8 は ITO または IZO 等の透明導電体またはアルミニウム等の反射性導電体で構成される。補助ゲート線 9 4 及び補助データ線終端 9 8 は、ゲート線終端 2 4 及びデータ線終端 6 8 と直接駆動回路のような外部装置との接着性を補完してこれらを保護するが、必須のものではなく、これらの適用可否は選択的である。

【 0 0 5 5 】

画素電極 9 2、補助ゲート線 9 4 及びデータ線終端 9 8 及びカラーフィルタ層 7 0 上には液晶層（図示せず）を配向することができる配向膜（図示せず）が塗布されることができる。

10

20

30

40

50

【 0 0 5 6 】

ここで、数 1 で示したように、キックバック電圧を減少させるために、誘電率が高い液晶を用いることができる。例えば、ノーマリーホワイトモードで 3 ~ 5 の誘電率を有する液晶を用いることができ、ノーマリーブラックモードで 13 ~ 15 の高い誘電率を有する液晶を用いることができる。

【 0 0 5 7 】

前記のように、一つの基板上に薄膜トランジスタとカラーフィルターが共に形成された構造を有する液晶表示装置を COA (Color Filter On Array) 構造の液晶表示装置という。この構造は薄膜トランジスタとカラーフィルターのアSEMBリーミス (Assembly Miss) による液晶表示装置の影響を減少させることができる。 10

【 0 0 5 8 】

ここで、図面には示していないが、薄膜トランジスタ表示板に対応する上部基板上に透明な物質で共通電極 (図示せず) を形成して、その上部にカラーフィルター層を除いたブラックマトリックスパターンのみを形成したり、またはブラックマトリックスパターンを形成しないことによって高開口率を有する液晶表示装置を形成することができる。一方、ブラックマトリックスパターンはカラーフィルター層のように薄膜トランジスタ表示板に形成して上部基板に共通電極のみを形成することもできる。

【 0 0 5 9 】

続いて、本発明の一実施形態による液晶表示装置用薄膜トランジスタ表示板の製造方法に対して詳細に説明する。 20

【 0 0 6 0 】

図 6 A、図 9 A 及び図 11 A は本発明の一実施形態による薄膜トランジスタ基板の製造方法を順次的に示した配置図である。図 6 B ないし図 8 は図 6 A の II' - II'' 線に沿って切断した工程段階別断面図であって、図 9 B ないし図 10 は図 9 A の II' - II'' 線に沿って切断した工程段階別断面図であって、図 11 B ないし図 12 は図 11 A の II' - II'' 線に沿って切断した工程段階別断面図である。

【 0 0 6 1 】

図 6 A 及び図 6 B に示したように、絶縁基板 10 上の異物や有機性物質の除去と、蒸着されるゲート物質の金属薄膜と基板 10 の接触性 (adhesion) を良くするための洗浄を実施した後、スパッタリングによってゲート配線用金属膜を形成する。この時、ゲート配線用金属膜はアルミニウム (Al) とアルミニウム合金等アルミニウム系列の金属、銀 (Ag) と銀合金等銀系列の金属、銅 (Cu) と銅合金等銅系列の金属、モリブデン (Mo) とモリブデン合金等モリブデン系列の金属、クロム (Cr)、チタン (Ti)、タンタル (Ta) 等で形成することができる。 30

【 0 0 6 2 】

また、ゲート配線用金属膜は物理的性質が異なる 2 つの導電膜 (図示せず) を含む多重膜構造で形成されることができ、このうち 1 導電膜はゲート配線の信号遅延や電圧降下を減らすことができるように低い抵抗率の金属、例えば、アルミニウム系列金属、銀系列金属、銅系列金属等で形成することができる。 40

【 0 0 6 3 】

他の導電膜は他の物質、特に ITO (indium tin oxide) 及び IZO (indium zinc oxide) との接触特性が優秀な物質、例えばモリブデン系列金属、クロム、チタン、タンタル等で形成することができる。このような組合の良い例ではクロム下部膜とアルミニウム上部膜及びアルミニウム下部膜とモリブデン上部膜を挙げることができる。但し、本発明はこれに限られず、ゲート配線 22、24、26 は様々な金属又は導電体で形成されることができる。

【 0 0 6 4 】

続いて、前記ゲート配線用金属膜上に感光膜パターン (図示せず) を形成し、前記感光膜パターンをエッチングマスクにしてエッチングすることにより、ゲート配線 22、24 50

、26を形成する。ここで、図面符号22はゲート線、24はゲート終端、26はゲート電極を示す。この時、ゲート配線形成時ゲート線22とゲート電極26には所定の深さを有する第1溝22aと第2深さを有する第2溝22bを形成する。ここで、第2溝の終端22bは前記ドレイン電極66下部に形成されるチャンネル領域の終端と整列されるように形成する。第1溝22aの第1深さは9～11μm、第2溝22bの第2深さは3～5μmに形成する。

【0065】

その次に、図7に示したように、前記ゲート配線22、24、26を含んだ基板結果物上にゲート絶縁膜30、非晶質シリコン層(a—Si:H)40とN型不純物が含まれた非晶質シリコン層(a—Si:H)50を、PECVD方式を用いて連続的に蒸着する。ここで、前記ゲート絶縁膜30はシリコン窒化膜(SiNx)またはシリコン酸化膜(SiO₂)等で形成する。この時、前記不純物が含まれた非晶質シリコン層50は今後形成されるデータ配線用金属膜と非晶質シリコン層40との接触抵抗を減らすために形成する。

10

【0066】

続いて、前記不純物が含まれた非晶質シリコン層50上にデータ配線用金属膜60を蒸着した後、データ配線用金属膜60上に感光膜111を塗布する。ここで、前記データ配線用金属膜60はクロム、モリブデン系列の金属、タンタル及びチタン等耐火性金属で形成することが望ましく、耐火性金属等の下部膜(図示せず)とその上部に位置した抵抗物質上部膜(図示せず)で構成された多層膜構造で形成されることができる。この時、多層膜構造の例では先に説明したクロム下部膜とアルミニウム上部膜またはアルミニウム下部膜とモリブデン上部膜の二重膜以外にもモリブデン膜—アルミニウム膜—モリブデン膜の三重膜で形成されることができる。

20

【0067】

その次に、図8に示したように、マスクを通じて感光膜に光を照射した後現像して感光膜パターン112、114を形成する。

【0068】

この時、感光膜パターン112、114のうちで薄膜トランジスタのチャンネル部、すなわちソース電極64とドレイン電極66間に位置した第1部分114はデータ配線部、すなわちデータ配線が形成される部分に位置した第2部分112より厚さが薄くなるように形成し、チャンネル部とデータ配線部及びゲート線の一部を除いたその他の部分の感光膜は全て除去する。この時、チャンネル部に残っている感光膜112の厚さとデータ配線部に残っている感光膜114の厚さの比は後に後述するエッチング工程での工程条件によって違わなければならないが、第1部分114の厚さを第2部分112の厚さの1/2以下にすることが望ましく、例えば、4000以下であることが良い。

30

【0069】

このように、位置によって感光膜の厚さを異にする方法として様々な方法を採用ことができ、光透過量を調節するために主にスリット(split)や格子状のパターンを形成したり、半透明膜を用いたりすることができる。

【0070】

この時、スリット間に位置したパターンの線幅やパターン間の間隔、すなわちスリットの幅は露光時を用いる露光機の分解能より小さいことが望ましく、半透明膜を利用する場合にはマスクを製作する時透過率を調節するために他の透過率を有する薄膜を利用したり、厚さが異なった薄膜を利用したりすることができる。

40

【0071】

このようなマスクを通じて感光膜に光を照射すれば光に直接露出する部分では高分子が完全に分解されるが、スリットパターンや半透明膜が形成されている部分では光の照射量が少ないので高分子は完全分解されない状態であり、遮光膜で遮られた部分では高分子がほとんど分解されない。続いて感光膜を現像すれば、高分子分子が分解されない部分だけが残って、光が少なく照射された中央部分には光に全く照射されない部分より薄い厚さの

50

感光膜を残すことができる。この時、露光時間を長くすればすべての分子が分解されるのでそのようにならないようにしなければならない。

【 0 0 7 2 】

このような薄い厚さの感光膜 1 1 4 はリフローが可能な物質で構成された感光膜を利用して光が完全に透過することができる部分と光が完全に透過されない部分に分けられた通常のマスクで露光した後、現像してリフローさせて感光膜が残留しない部分に感光膜の一部を流れ下がるようにすることによって形成することもできる。

【 0 0 7 3 】

続いて、図 9 A 及び図 9 B に示したように、チャネル部とデータ配線部及びゲート線の一部分を除いたその他の部分の露出したデータ配線用金属膜 6 0、不純物が含まれた非晶質シリコン層 5 0 及びその下部の非晶質シリコン層 4 0 を感光膜の第 1 部分 1 1 4 と共に同時に除去する。この時のエッチングは感光膜パターン 1 1 2、1 1 4 と不純物が含まれた非晶質シリコン層 5 0 及び非晶質シリコン層 4 0 が同時にエッチングされてゲート絶縁膜 3 0 はエッチングされない条件下で行なわなければならない、特に感光膜パターン 1 1 2、1 1 4 と非晶質シリコン層 4 0 に対するエッチング比がほとんど同じ条件でエッチングすることが望ましい。例えば、 SF_6 と HCl の混合気体や、 SF_6 と O_2 の混合気体を用いるとほとんど同じ厚さで二膜をエッチングすることができる。感光膜パターン 1 1 2、1 1 4 と非晶質シリコン層 4 0 に対するエッチング比が等しい場合第 1 部分 1 1 4 の厚さは非晶質シリコン層 4 0 と不純物が含まれた非晶質シリコン層 5 0 の厚さを合せたものと同じであるかそれより小さくしなければならない。このようにすれば、図 9 B に示したように、チャネル部である感光膜の第 1 部分 1 1 4 が除去されてデータ配線用金属膜 6 0 が露出されて、前記感光膜の第 1 部分以外の部分の不純物が含まれた非晶質シリコン層 5 0 及び非晶質シリコン層 4 0 が除去されてその下部のゲート絶縁膜 3 0 が露出される。一方、データ配線部の第 2 部分 1 1 2 もエッチングされるので厚さが薄くなる。

【 0 0 7 4 】

その次に、チャネル部のデータ配線用金属膜 6 0 表面に残留された感光膜を灰化 (a s h i n g) により除去する。

【 0 0 7 5 】

図 9 B に示したように、データ配線用金属膜 6 0 をエッチングして除去した後、不純物が含まれた非晶質シリコン層 5 0 をエッチングする。この時乾式エッチングを使用することができる。エッチング気体の例では CF_4 と HCl の混合気体や CF_4 と O_2 の混合気体を挙げることができ、 CF_4 と O_2 を用いると均一な厚さの非晶質シリコン層で構成された半導体層 4 2 を残すことができる。この時、半導体層 4 2 の一部が除去されて厚さが薄くなることができて感光膜パターンの第 2 部分 1 1 2 もある程度の厚さでエッチングされることができる。この時のエッチングはゲート絶縁膜 3 0 がエッチングされない条件下で行なわなければならない、前記第 2 部分 1 1 2 がエッチングされてその下部のデータ配線 6 2、6 4、6 5、6 6、6 7、6 8 が露出されることがないように感光膜パターンが厚いことが望ましいことはもちろんである。

【 0 0 7 6 】

このようにすれば、ソース電極 6 4 とドレイン電極 6 6 が分離されながらデータ配線とその下部の抵抗性接触層 5 2、5 5 が完成する。この時、ソース及びドレイン電極 6 4、6 6 を含むデータ配線形成時ゲート線 2 2 の第 1 溝 2 2 a の上部には光遮断膜 6 5 が形成される。光遮断膜 6 5 はソース及びドレイン電極 6 4、6 6 と同じ物質及び厚さで形成されて、ゲート線 2 2 に形成された第 1 溝 2 2 a の光漏れ防止役割をするため島状で形成され、電圧が印加されないフローティング (f l o a t i n g) 状態となる。

【 0 0 7 7 】

続いて、データ配線部に残っている感光膜第 2 部分 1 1 2 を除去する。

【 0 0 7 8 】

その次に、図 1 0 に示したように基板結果物上に保護膜 6 9 を形成する。ここで保護膜は窒化ケイ素または酸化ケイ素で構成された無機物またはプラズマ化学気相蒸着 (p l a

10

20

30

40

50

sma enhanced chemical vapor deposition、PECVD)で形成される $a-Si:C:O$ 、 $a-Si:O:F$ 等の低誘電率絶縁物質等で形成する。

【0079】

保護膜69上には感光性のR、G、Bカラー樹脂で構成されたカラーフィルタ層70を形成する。この時、カラーフィルタを形成する方法は薄膜トランジスタが形成された基板上部にフォトリソグラフィ(Photolithography)工程を利用してR、G、Bで構成されるカラーフィルタを形成することができ、カラーフィルタのR、G、Bに対応する位置に染料タイプのカラーレジニンクを用いて基板上にディスペンシング(Dispensing)させて形成することができる。また、薄膜トランジスタが形成された基板上部にスクリーンプリンティング(Screen Printing)方式でR、G、Bをプリンティングして形成することができる。

10

【0080】

続いて、図11A及び図11Bに示したように、カラーフィルタ層70をゲート絶縁膜30と共にフォトリソグラフィしてドレイン電極拡張部67、ゲート終端24、及びデータ終端68をそれぞれ露出するコンタクトホール82、84、88を形成する。

【0081】

最後に、図12に示したように、400ないし500厚さのITO層を蒸着してフォトリソグラフィしてドレイン電極拡張部67と連結された画素電極92、ゲート終端24と連結された補助ゲート終端94及びデータ終端68と連結された補助データ終端98を形成する。

20

【0082】

一方、ITOを積層する前の予熱(pre-heating)工程で用いる気体としては窒素を用いることが望ましく、これはコンタクトホール82、84、88を介して露出された金属膜24、67、68の上部に金属酸化膜が形成されることを防止するためである。

【0083】

以上添付した図面を参照して本発明の実施形態を説明したが、本発明が属する技術分野における通常の知識を有する者により、本発明とその技術的思想や必須な特徴を変更しない範囲で他の様々な具体的な形態で実施することができることは明らかである。それゆえ以上で記述した実施形態は、全ての面で例示的なことであって、限定的ではないと理解しなければならない。

30

【0084】

例えば、液晶パネルとしてはノーマリーホワイトモードとノーマリーブラックモードのどちらも用いることができる。ここで、ノーマリーホワイトモードとは、画素電極と共通電極間に電圧をかけない場合に光を透過状態とするタイプの液晶パネルであり、ノーマリーブラックモードとは電圧をかけた場合に光を透過状態とするタイプの液晶パネルである。

【産業上の利用可能性】

【0085】

本発明は薄膜トランジスタ表示板及びこれを含む液晶表示装置に関する。

40

【図面の簡単な説明】

【0086】

【図1】本発明の一実施形態による液晶表示装置を概略的に示した構成図である。

【図2】本発明の一実施形態による製造方法により製造された薄膜トランジスタ表示板の配置図である。

【図3】図2のII'-II''線に対する断面図である。

【図4】図2のA部分を拡大した図面である。

【図5】図2のB部分を拡大した図面である。

【図6A】本発明の一実施形態による薄膜トランジスタ基板の製造方法を順次的に示した

50

配置図である。

【図 6 B】図 6 A の I I ' — I I ' ' 線に沿って切断した工程段階別断面図である。

【図 7】図 6 A の I I ' — I I ' ' 線に沿って切断した工程段階別断面図である。

【図 8】図 6 A の I I ' — I I ' ' 線に沿って切断した工程段階別断面図である。

【図 9 A】本発明の一実施形態による薄膜トランジスタ基板の製造方法を順次的に示した配置図である。

【図 9 B】図 9 A の I I ' — I I ' ' 線に沿って切断した工程段階別断面図である。

【図 1 0】図 9 A の I I ' — I I ' ' 線に沿って切断した工程段階別断面図である。

【図 1 1 A】本発明の一実施形態による薄膜トランジスタ基板の製造方法を順次的に示した配置図である。

10

【図 1 1 B】図 1 1 A の I I ' — I I ' ' 線に沿って切断した工程段階別断面図である。

【図 1 2】図 1 1 A の I I ' — I I ' ' 線に沿って切断した工程段階別断面図である。

【符号の説明】

【 0 0 8 7 】

- 1 0 絶縁基板、
- 2 2 ゲート線、
- 2 2 a 第 1 深さを有する第 1 溝、
- 2 2 b 第 2 深さを有する第 2 溝、
- 2 4 ゲート線終端、
- 2 6 ゲート電極、
- 3 0 ゲート絶縁膜、
- 4 0 非結晶シリコン膜、
- 4 2 半導体層、
- 4 5 半導体層、
- 4 8 半導体膜、
- 5 0 非晶質シリコン層、
- 5 2 抵抗性接触層、
- 5 5 抵抗性接触層、
- 5 8 抵抗性接触層、
- 6 0 データ配線用金属膜、
- 6 2 データ線、
- 6 4 ソース電極、
- 6 5 光遮断膜、
- 6 6 ドレイン電極、
- 6 7 ドレイン電極拡張部、
- 6 8 データ線終端、
- 6 9 保護膜、
- 7 0 カラーフィルタ層、
- 8 2 コンタクトホール、
- 8 4 コンタクトホール、
- 8 8 コンタクトホール、
- 9 2 画素電極、
- 9 4 補助ゲート線、
- 9 8 補助データ線終端、
- 1 1 0 液晶パネル、
- 1 1 1 感光膜、
- 1 1 2 感光膜パターン、
- 1 1 4 感光膜パターン、
- 1 2 0 データ駆動部、
- 1 2 5 階調電圧生成部、

20

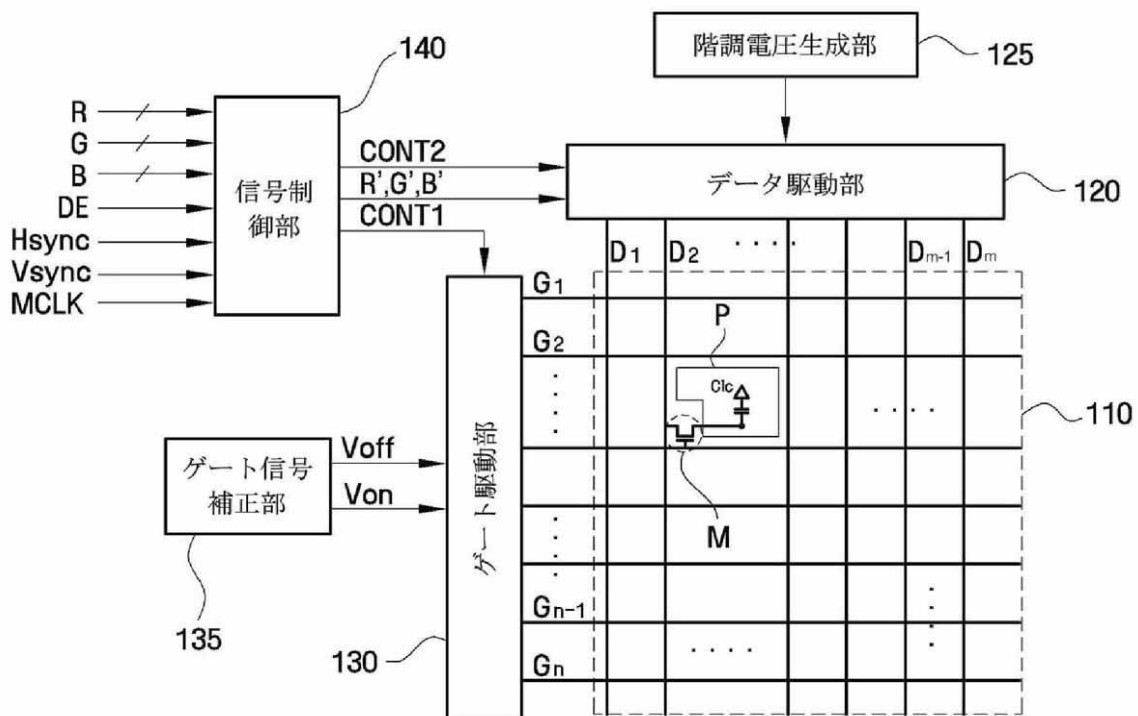
30

40

50

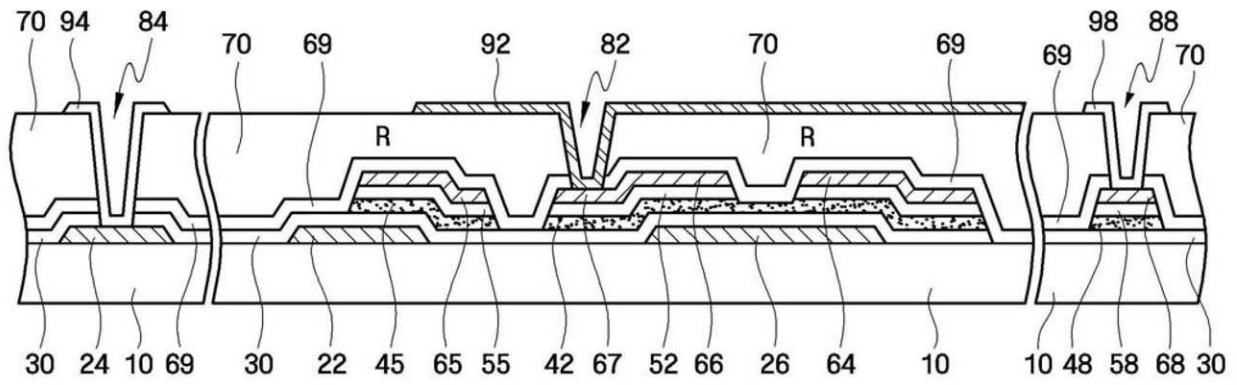
- 1 3 0 ゲート駆動部、
 1 3 5 ゲート信号補正部、
 1 4 0 信号制御部。

【図 1】

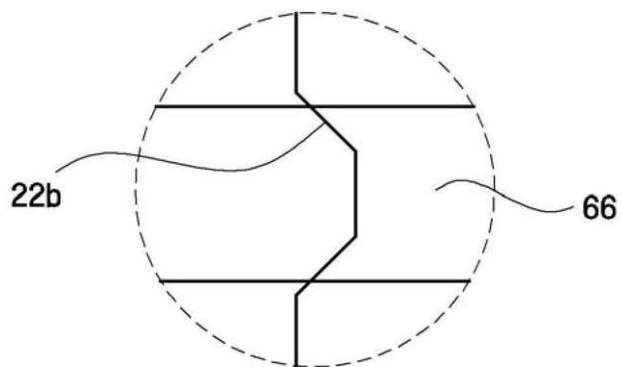


[illegible]

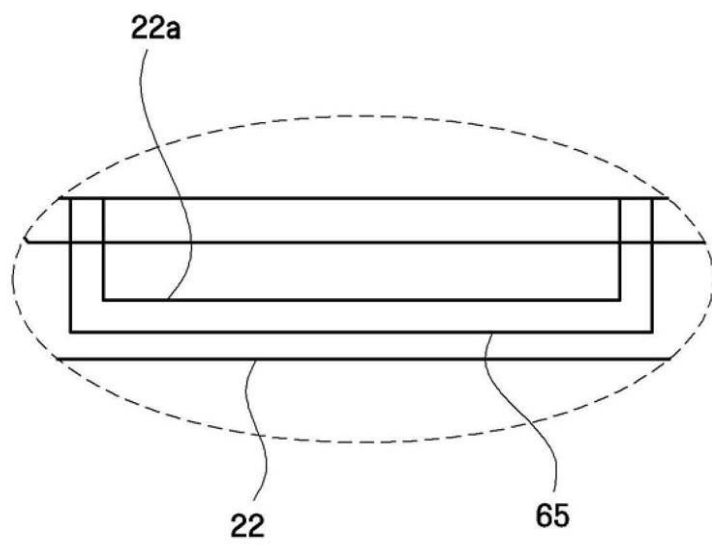
【 図 3 】



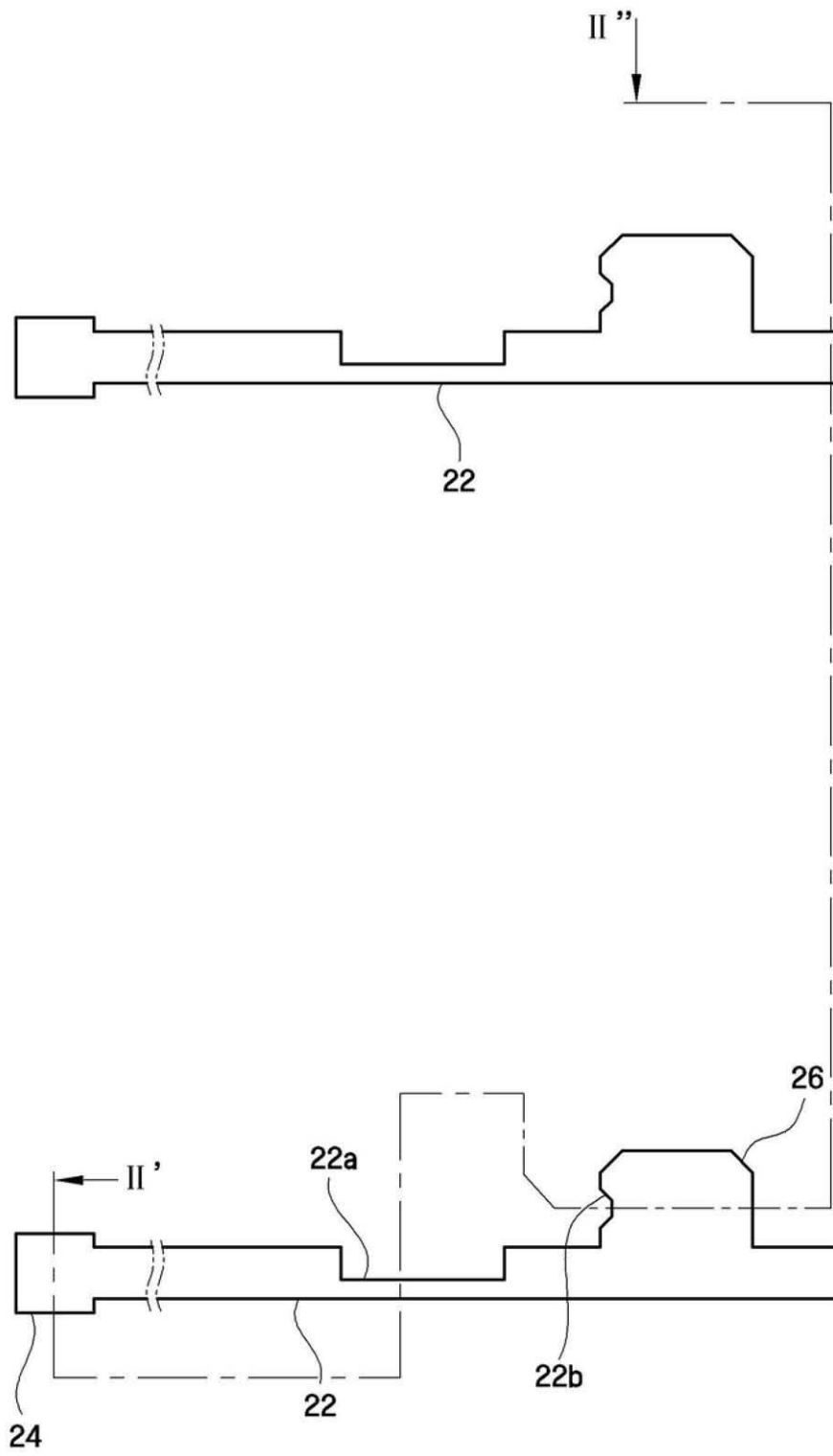
【 図 4 】



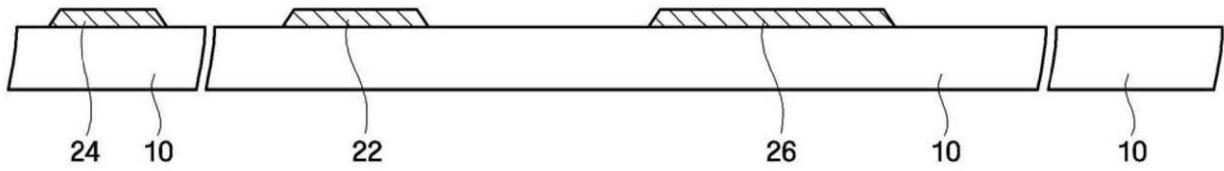
【 図 5 】



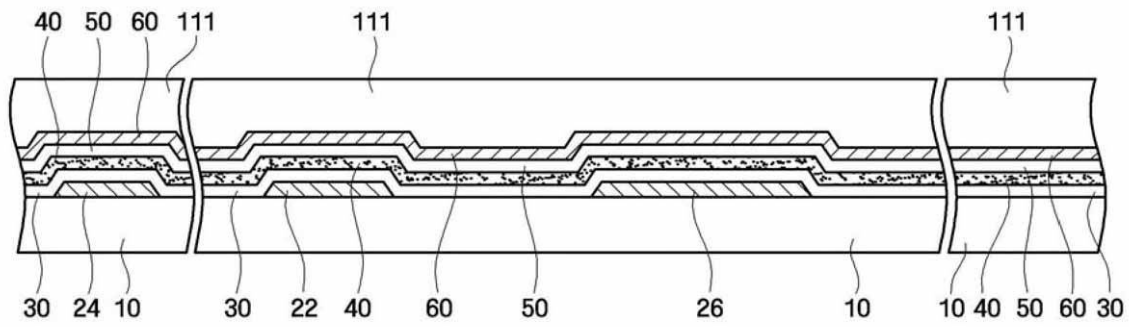
【図 6 A】



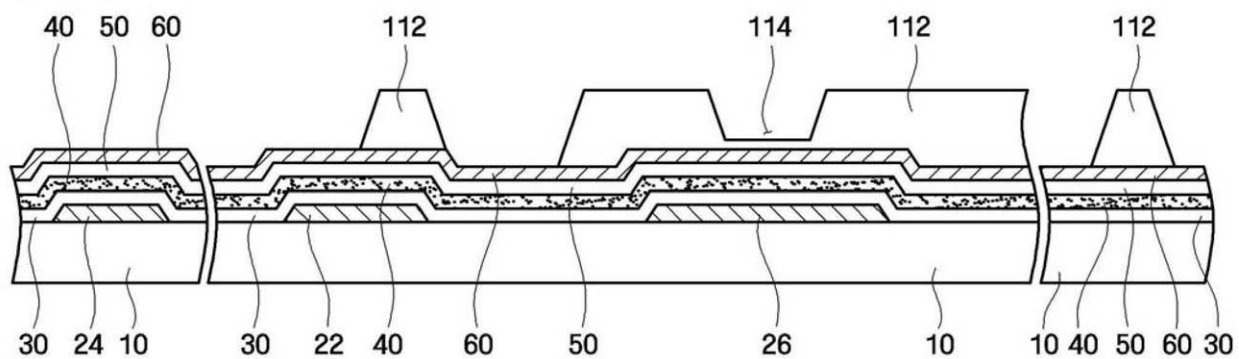
【図 6 B】



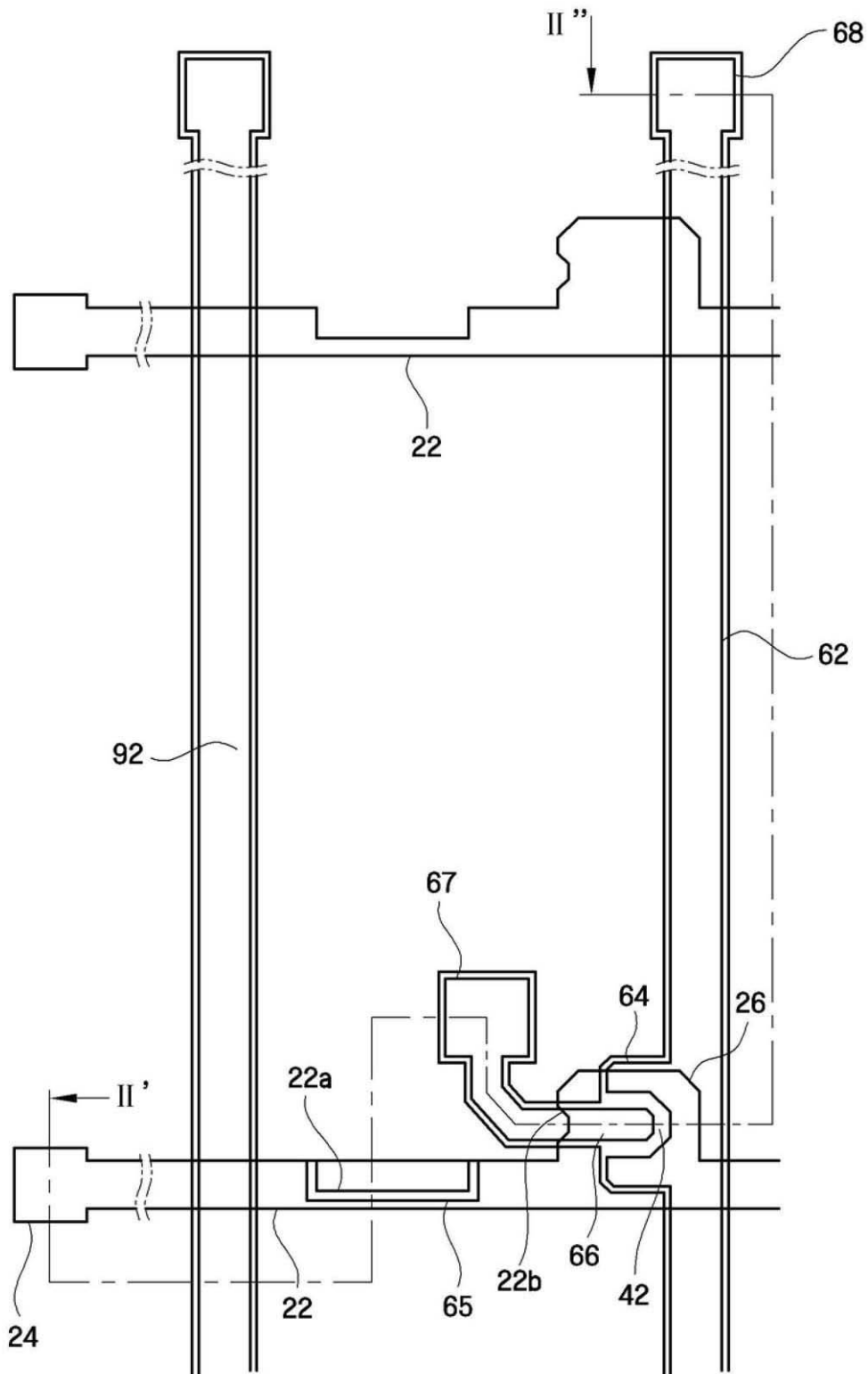
【図 7】



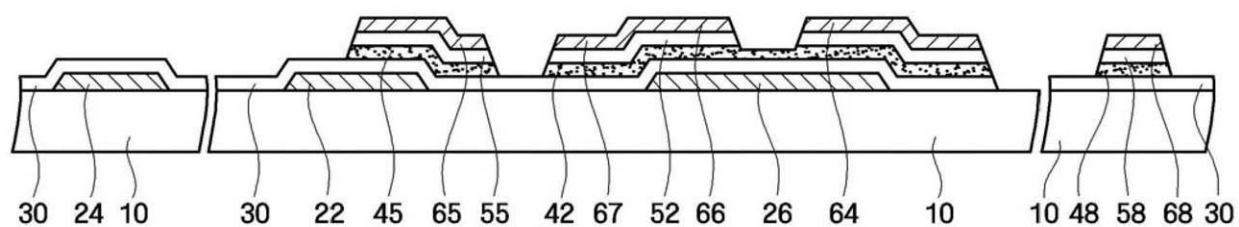
【 図 8 】



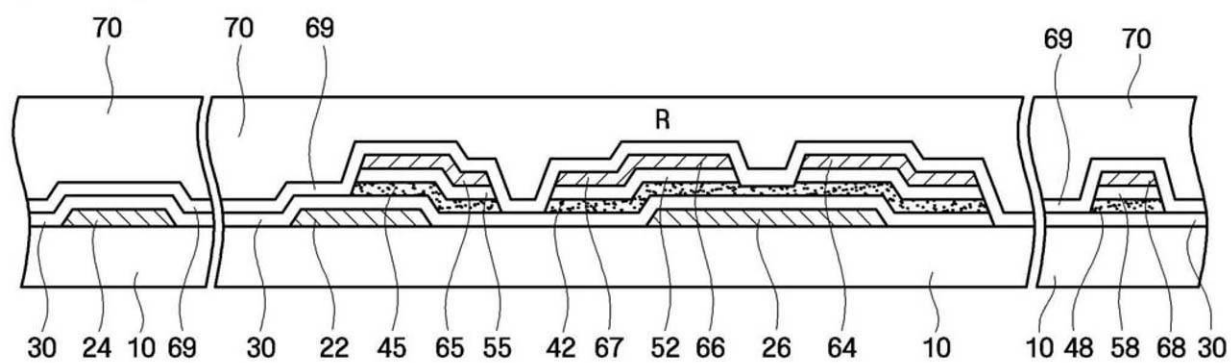
【図 9 A】



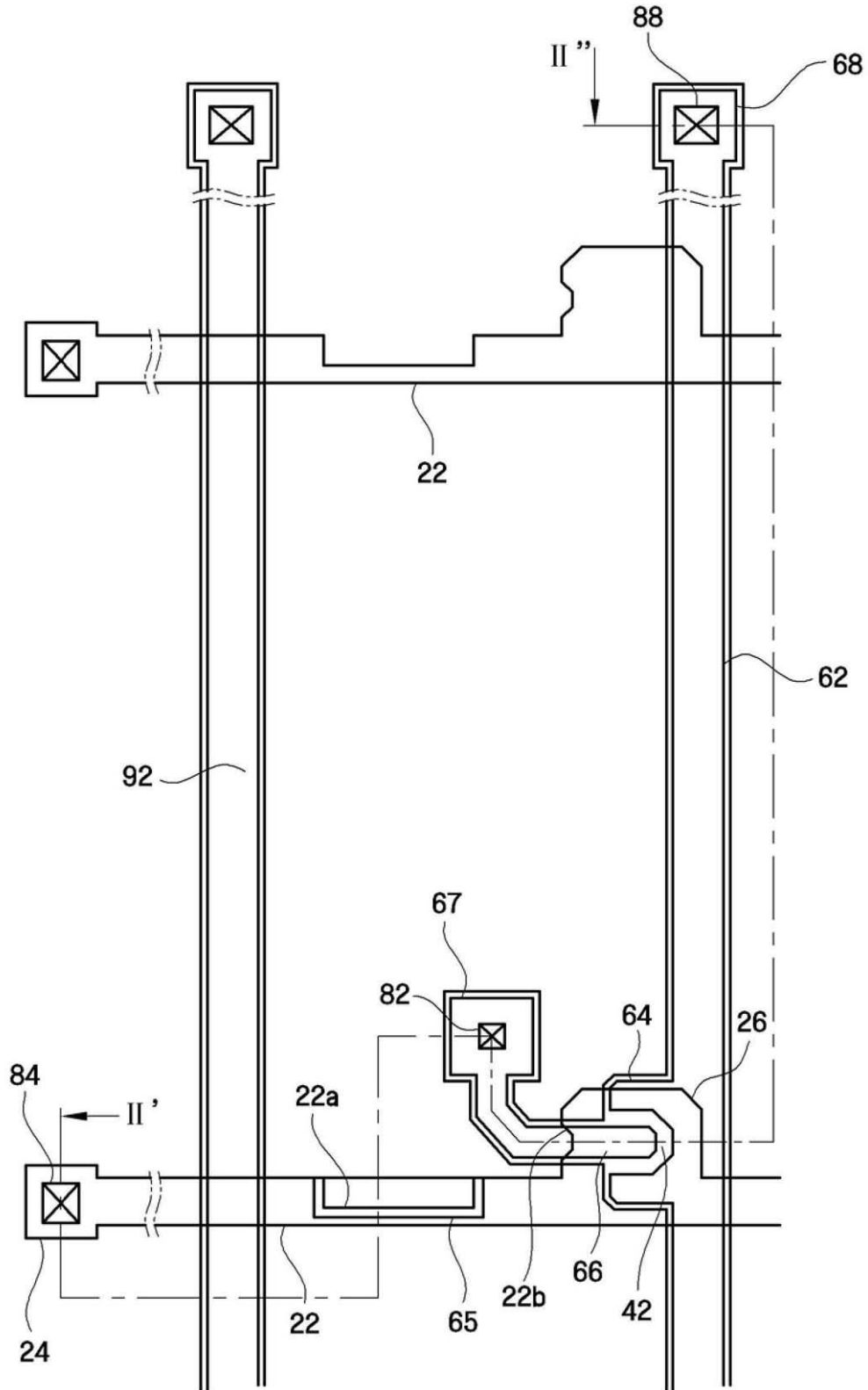
【図 9 B】



【図 10】



【図 11A】



This cross-sectional view shows a semiconductor device with a central channel region (10) and multiple gates (70) on either side. The gates are separated by spacers (84, 88). The device includes a base layer (30) and a channel layer (22). The gates are formed by a stack of layers including a gate dielectric (69), a gate stack (65), and a gate electrode (66). The channel region (10) is defined by a channel layer (22) and a channel dielectric (26). The device is shown in a cross-sectional view with a central channel region (10) and multiple gates (70) on either side. The gates are separated by spacers (84, 88). The device includes a base layer (30) and a channel layer (22). The gates are formed by a stack of layers including a gate dielectric (69), a gate stack (65), and a gate electrode (66). The channel region (10) is defined by a channel layer (22) and a channel dielectric (26).

[illegible]

フロントページの続き

(72)発明者 金 景 旭

大韓民国ソウル特別市江南区驛三 1 洞 6 2 1 - 2 3 番地

(72)発明者 安 炳 宰

大韓民国ソウル特別市冠岳区新林 7 洞 6 7 3 - 7 3 番地

(72)発明者 李 奉 俊

大韓民国ソウル特別市鍾路区昭格洞 3 7 番地地層

(72)発明者 文 然 奎

大韓民国京畿道軍浦市宮内洞 ウレウク住公アパート 7 1 4 棟 1 2 0 1 号

F ターム(参考) 2H092 JA26 JA38 JA46 JB13 JB58 MA05 MA08 MA13 MA17 MA35

MA37

5C094 AA10 BA03 BA43 DB01 EA10 ED15 JA01 JA08

5F110 AA02 AA04 BB02 CC07 EE02 EE03 EE04 EE06 EE14 EE44

FF02 FF03 FF30 GG02 GG13 GG15 GG45 HK03 HK04 HK05

HK09 HK16 HK21 HK22 HK32 HK35 HL07 HL22 NN03 NN22

NN23 NN24 NN35 NN42 NN46 NN47 NN53 QQ09

专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2007052419A5	公开(公告)日	2009-06-25
申请号	JP2006217219	申请日	2006-08-09
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	朴亨俊 金景旭 安炳宰 李奉俊 文然奎		
发明人	朴 亨 俊 金 景 旭 安 炳 宰 李 奉 俊 文 然 奎		
IPC分类号	G09F9/30 G02F1/1368 H01L29/786		
CPC分类号	H01L27/12 G02F1/1368 H01L27/124 H01L27/1288		
FI分类号	G09F9/30.338 G02F1/1368 H01L29/78.612.C H01L29/78.619.B		
F-TERM分类号	2H092/JA26 2H092/JA38 2H092/JA46 2H092/JB13 2H092/JB58 2H092/MA05 2H092/MA08 2H092/MA13 2H092/MA17 2H092/MA35 2H092/MA37 5C094/AA10 5C094/BA03 5C094/BA43 5C094/DB01 5C094/EA10 5C094/ED15 5C094/JA01 5C094/JA08 5F110/AA02 5F110/AA04 5F110/BB02 5F110/CC07 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE14 5F110/EE44 5F110/FF02 5F110/FF03 5F110/FF30 5F110/GG02 5F110/GG13 5F110/GG15 5F110/GG45 5F110/HK03 5F110/HK04 5F110/HK05 5F110/HK09 5F110/HK16 5F110/HK21 5F110/HK22 5F110/HK32 5F110/HK35 5F110/HL07 5F110/HL22 5F110/NN03 5F110/NN22 5F110/NN23 5F110/NN24 5F110/NN35 5F110/NN42 5F110/NN46 5F110/NN47 5F110/NN53 5F110/QQ09 2H092/KB26 2H192/AA24 2H192/BC31 2H192/CB05 2H192/CB42 2H192/CB46 2H192/CB61 2H192/CC02 2H192/CC17 2H192/CC32 2H192/CC72 2H192/DA72 2H192/EA03 2H192/EA13 2H192/EA42 2H192/EA43 2H192/FA65 2H192/FB02		
代理人(译)	宇谷 胜幸		
优先权	1020050074454 2005-08-12 KR		
其他公开文献	JP2007052419A		

摘要(译)

要解决的问题：提供一种能够通过提高其开口率来增加亮度的液晶显示装置。解决方案：薄膜晶体管显示面板具有数据互连线，该数据互连线包括沿第一方向延伸的数据线62，从数据线分支的源电极64，以及与源电极间隔开形成的漏电极66；半导体层42形成在数据互连线下方，并连接在源极和漏极下方以形成沟道区；栅极互连线形成在半导体层下面，并且包括与数据线交叉并沿第二方向延伸的栅极线22，以及从栅极线分支的栅极电极26。薄膜晶体管显示面板没有存储电容器，并且在栅极线和栅极电极中形成沟槽作为对抗反冲电压的对策，从而提高了液晶显示装置的开口率。Ž

