

(19) 日本国特許庁(JP)

(12) **公開特許公報(A)**

(11)特許出願公開番号

特開2007-11251

(P2007-11251A)

(43) 公開日 平成19年1月18日(2007.1.18)

(51) Int.Cl.

F 1

テーマコード (参考)

G02F 1/1337 (2006.01)

G O 2 F 1/1337 5 0 5

2H090

GO2F 1/1343 (2006.01)

G O 2 F 1/1343

2H092

審査請求 有 請求項の数 18 O L 外国語出願 (全 33 頁)

(21) 出願番号 特願2005-296781 (P2005-296781)

(22) 出願日 平成17年10月11日 (2005.10.11)

(31) 優先権主張番号 94122085

(32) 優先日 平成17年6月30日 (2005.6.30)

(33) 優先權主張国	台灣 (TW)
-------------	---------

(71) 出願人 502352807

中華映管股▲ふん▼有限公司

台灣台北市中山北路3段22號

(74) 代理人 100064584

弁理士 江原 省吾

(74) 代理人 100093997

弁理士 田中 秀佳

(74) 代理人 100101616

弁理士 白石 吉之

(74) 代理人 100107423

弁理士 城村 邦彦

(74) 代理人 100120949

弁理士 熊野 剛

(74) 代理人 100121186

弁理士 山根 広昭

[最終頁に続く](#)

(54) 【発明の名称】 液晶表示パネルと画素構造

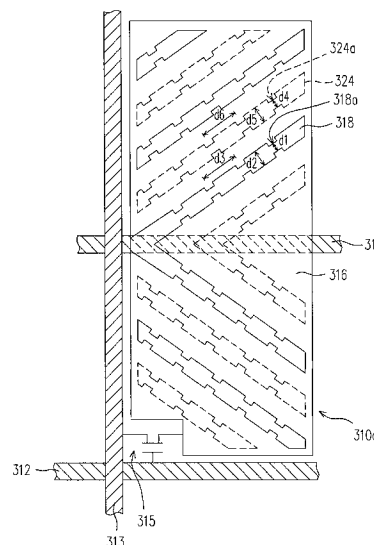
(57) 【要約】

【課題】能動素子アレイ基板およびカラーフィルター基板上に配置される画素構造を備えて、良好な動態表示画面を有するものとなるLCDパネルを提供する。

良好な動態表示画面を有するLCDパネルを提供することにある。

【解決手段】第1基板と第2基板と液晶層とを含む液晶表示パネルが提供されるものであって、第1基板が能動素子アレイと画素電極層と複数の第1配向パターンとを含み、各々第1配向パターンが少なくとも1つの第1縮小エリアを有するとともに、該第1縮小エリアの幅が該第1配向パターンの他の部分の幅よりも小さいものであり、第2基板が第1基板の上方に配置され、電極層および複数の第2配向パターンを含み、かつ該第2配向パターンおよび該第1配向パターンが交差するものであり、液晶層が第1基板および第2基板間に配置されるものである。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

液晶表示パネルであって：

第 1 基板であり、能動素子アレイ、画素電極層および複数の第 1 配向パターンを含み、そのうち、各第 1 配向パターンが少なくとも 1 つの第 1 縮小エリアを有するとともに、該第 1 縮小エリアの幅が該第 1 配向パターンの他の部分の幅よりも小さいものであるものと；

第 2 基板であり、該第 1 基板の上方に配置され、電極層および複数の第 2 配向パターンを含み、かつ該第 2 配向パターンおよび該第 1 配向パターンが交差するものと；

液晶層であり、該第 1 基板および該第 2 基板間に配置されるものと

を含むものである。

10

【請求項 2】

請求項 1 に述べた液晶表示パネルであって、そのうち、各第 2 配向パターンが少なくとも 1 つの第 2 縮小エリアを有し、かつ該第 2 縮小エリアの幅が該第 2 配向パターンの他の部分の幅よりも小さいものである。

【請求項 3】

請求項 1 に述べた液晶表示パネルであって、そのうち、該第 1 配向パターンが該画素電極層に形成された複数の突起からなるものである。

【請求項 4】

請求項 1 に述べた液晶表示パネルであって、そのうち、該第 1 配向パターンが該画素電極層に形成された複数のスリットからなるものである。

20

【請求項 5】

請求項 4 に述べた液晶表示パネルであって、そのうち、隣り合う 2 スリット間に配置された該画素電極層が更に複数の開口を含むものである。

【請求項 6】

請求項 1 に述べた液晶表示パネルであって、そのうち、該第 2 配向パターンが該画素電極層に形成された複数の突起からなるものである。

【請求項 7】

請求項 1 に述べた液晶表示パネルであって、そのうち、該第 2 配向パターンが該画素電極層に形成された複数のスリットからなるものである。

30

【請求項 8】

請求項 7 に述べた液晶表示パネルであって、そのうち、隣り合う 2 スリット間に配置された該画素電極層が更に複数の開口を含むものである。

【請求項 9】

請求項 1 に述べた液晶表示パネルであって、そのうち、該能動素子アレイが以下：

複数の信号線および複数の走査線であり、複数の画素エリアを定義するものと；

複数の薄膜トランジスタであり、それぞれ複数の該画素エリアに配置されて複数の該信号線および該走査線に電気接続されるものと

を含むものである。

【請求項 10】

請求項 1 に述べた液晶表示パネルであって、そのうち、該第 2 基板が更にカラーフォトリジスト層を含むものである。

40

【請求項 11】

画素構造であって：

能動素子であり、基板上に配置されるものと；

画素電極層であり、該基板上に配置され、該能動素子に電気接続されるものと；

複数の配向パターンであり、該画素電極層上に配置され、そのうち、各配向パターンが少なくとも 1 つの縮小エリアを有し、該縮小エリアの幅が該配向パターンの他のエリアの幅より小さいものであるものと

を含むものである。

50

【請求項 1 2】

請求項 1 1 に述べた画素構造であって、そのうち、該配向パターンが該電極層に形成された複数の突起からなるものである。

【請求項 1 3】

請求項 1 1 に述べた画素構造であって、そのうち、該配向パターンが該電極層に形成された複数のスリットからなるものである。

【請求項 1 4】

請求項 1 3 に述べた画素構造であって、そのうち、隣り合う 2 スリット間に配置された該画素電極層が更に複数の開口を含むものである。

【請求項 1 5】

画素構造であって、以下：

カラーフォトリジスト層であり、基板上に配置されるものと；

電極層であり、該カラーフォトリジスト層上に配置されるものと；

複数の配向パターンであり、該電極層上に配置され、そのうち、各配向パターンが少なくとも 1 つの縮小エリアを有し、該縮小エリアの幅が該配向パターンの他のエリアの幅より小さいものであるものとを含むものである。

【請求項 1 6】

請求項 1 5 に述べた画素構造であって、そのうち、該配向パターンが該電極層に形成された複数の突起からなるものである。

【請求項 1 7】

請求項 1 5 に述べた画素構造であって、そのうち、該配向パターンが該電極層に形成された複数のスリットからなるものである。

【請求項 1 8】

請求項 1 7 に述べた画素構造であって、そのうち、隣り合う 2 スリット間に配置された該画素電極層が更に複数の開口を含むものである。

【発明の詳細な説明】**【技術分野】****【0001】**

この発明は、液晶表示パネル（Liquid Crystal Display Panel）に関し、特に、多区域垂直配向（Multi-domain Vertical Alignment = MVA）液晶表示パネルに関する。

【背景技術】**【0002】**

高画質、高い空間利用率、低い消費電力、放射線なし等の優越特性を備えた薄膜トランジスタ液晶表示器（Thin Film Transistor Liquid Crystal Display = TFT LCD）が既にディスプレイ市場の主流となっている。現在、LCD の性能に対する要求は、高いコントラスト率（High Contrast Ratio）、早い応答性、広視覚性である。例えば、多区域垂直配向（Multi-domain Vertical Alignment = MVA）LCD が、以下に記述するように、広視覚性を達成している。

【0003】

図 1 は、従来の多区域垂直配向 LCD の平面図を示しており、1 つの画素だけが描かれている。図 1 A は、図 1 の A - A' 線による断面図を示している。図 1 と図 1 A とにおいて、MVA LCD パネル 100 は、少なくとも能動素子アレイ基板 110 と、カラーフィルター基板 120 と、液晶層 130 とを含み、そのうち、能動素子アレイ基板 110 が少なくとも基板 111 と、走査線 112 と、信号線 113 と、共用電極 114 と、薄膜トランジスタ 115 と、画素電極層 116 とを含んでいる。さらに、スリット 118 が画素電極層 116 中に形成されている。

【0004】

加えて、走査線 112 と信号線 113 とが基板 111 上で画素エリア 110 a を定義しており、そのうち、薄膜トランジスタ 115 が画素エリア 110 a 内に配置され、対応

10

20

30

40

50

する信号線 1 1 3 および走査線 1 1 2 に電気接続されている。画素電極層 1 1 6 が対応するように画素エリア 1 1 0 a 内に配置され、対応する薄膜トランジスタ 1 1 5 に電気接続されている。共用電極 1 1 4 と画素電極層 1 1 6 とは、蓄積キャパシタの両極として作用する。

【0005】

図 1 と図 1 A とにおいて、カラーフィルタ基板 1 2 0 が能動素子アレイ基板 1 1 0 上方に配置されており、少なくとも基板 1 2 1 と、カラーフォトレジスト層 1 2 2 と、電極層 1 2 3 と、突起 1 2 4 とを含んでいる。加えて、カラーフォトレジスト層 1 2 2 が基板 1 2 1 上に配置され、電極層 1 2 3 がカラーフォトレジスト層 1 2 2 上に配置され、突起 1 2 4 が電極層 1 2 3 上に配置されている。また、液晶層 1 3 0 が能動素子アレイ基板 1 1 0 およびカラーフィルタ基板 1 2 0 間に配置され、そのうち、液晶層 1 3 0 が複数の液晶分子 1 3 2 を含んでいる。

10

【0006】

駆動電圧がこれら 2 つの基板 1 1 0 , 1 2 0 に供給される時、能動素子アレイ基板 1 1 0 中のスリット 1 1 8 およびカラーフィルタ基板 1 2 0 上に配置された突起 1 2 4 付近の電力線（図示せず）が歪められてスリット 1 1 8 および突起 1 2 4 付近の液晶分子 1 3 2 の配向が変更される。それにより、広視覚の LCD が異なる液晶配向という手段によって製作される。しかし、上述した画素設計には、動画を表示する時に、下記するような幾つかの問題が存在する。

【発明の開示】

20

【発明が解決しようとする課題】

【0007】

図 2 A と図 2 B とは、移動検査フレーム使用による従来の MVA LCD パネルの表示品質を検査する説明図である。図 3 は、液晶分子配向状態の平面図である。図 2 A と図 2 B と図 3 とにおいて、先ず、図 2 A に示したように、黒ブロック 2 1 0 が白フレーム 2 2 0 上に表示される。次に、図 2 B に示したように、黒ブロック 2 1 0 が白フレーム 2 2 0 上を移動する。加えて、スリット 1 1 8 および突起 1 2 4 （図 3 に表示）付近で歪んでいる電力線（図示せず）が付近の液晶分子 1 3 2 に他のエリアの液晶分子 1 3 2 配向とは異なる傾斜方向を持たせるものとなる。従って、電界が変化または画像が変化する時（つまり図 2 B に示した黒ブロック 2 1 0 が移動する時）、付近の液晶分子 1 3 2 が安定状態に

30

分極化できないので、ダイナミック・クロストーク（dynamic crosstalk）が発生し、図 2 B に示したイメージドラッグド・ホワイトエリア（image-dragged white area）2 3 0 という結果となる。

【0008】

そこで、この発明の第 1 の目的は、良好な動態表示画面を有する LCD パネルを提供することにある。

【0009】

この発明の第 2 の目的は、能動素子アレイ基板上に配置される画素構造を提供することにある。その画素構造設計を介して、能動素子アレイ基板を備えた LCD パネルが良好な動態表示画面を有するものとなる。

40

【0010】

この発明の第 3 の目的は、カラーフィルタ基板上に配置される画素構造を提供することにある。その画素構造設計を介して、カラーフィルタ基板を備えた LCD パネルが良好な動態表示画面を有するものとなる。

【課題を解決するための手段】

【0011】

上記課題を解決し、所望の目的を達成するために、この発明が液晶表示パネルを提供するものであって：第 1 基板であり、能動素子アレイ、画素電極層および複数の第 1 配向パターンを含み、そのうち、各第 1 配向パターンが少なくとも 1 つの第 1 縮小エリアを有するとともに、該第 1 縮小エリアの幅が該第 1 配向パターンの他の部分の幅よりも小さいも

50

のであるものと；第2基板であり、該第1基板の上方に配置され、電極層および複数の第2配向パターンを含み、かつ該第2配向パターンおよび該第1配向パターンが交差するものと；液晶層であり、該第1基板および該第2基板間に配置されるものを含むものである。

【0012】

この発明の実施形態において、各第2配向パターンが少なくとも1つの第2縮小エリアを有し、かつ該第2縮小エリアの幅が該第2配向パターンの他の部分の幅よりも小さいものである。

【0013】

この発明の実施形態において、該第1配向パターンが該画素電極層に形成された複数の突起からなるものである。 10

【0014】

この発明の実施形態において、該第1配向パターンが該画素電極層に形成された複数のスリットからなり、隣り合う2スリット間に配置された該画素電極層が更に複数の開口を含むものである。

【0015】

この発明の実施形態において、該第2配向パターンが該画素電極層に形成された複数の突起からなるものである。

【0016】

この発明の実施形態において、該第2配向パターンが該画素電極層に形成された複数のスリットからなり、隣り合う2スリット間に配置された該画素電極層が更に複数の開口を含むものである。 20

【0017】

この発明の実施形態において、該能動素子アレイが以下：複数の信号線および複数の走査線であり、複数の画素エリアを定義するものと；複数の薄膜トランジスターであり、それぞれ複数の該画素エリアに配置されて複数の該信号線および該走査線に電気接続されるものを含むものである。

【0018】

この発明の実施形態において、該第2基板が更にカラーフォトレジスト層を含むものである。 30

【0019】

この発明が画素構造を提供するものであって、能動素子であり、基板上に配置されるものと；画素電極層であり、該基板上に配置され、該能動素子に電気接続されるものと；複数の配向パターンであり、該画素電極層上に配置され、そのうち、各配向パターンが少なくとも1つの縮小エリアを有し、該縮小エリアの幅が該配向パターンの他のエリアの幅より小さいものであるものを含むものである。

【0020】

この発明の実施形態において、該配向パターンが該電極層に形成された複数の突起からなるものである。

【0021】

この発明の実施形態において、該配向パターンが該電極層に形成された複数の突起からなり、該配向パターンが該電極層に形成された複数のスリットからなり、隣り合う2スリット間に配置された該画素電極層が更に複数の開口を含むものである。 40

【0022】

この発明が画素構造を提供するものであって、以下：カラーフォトレジスト層であり、基板上に配置されるものと；電極層であり、該カラーフォトレジスト層上に配置されるものと；複数の配向パターンであり、該電極層上に配置され、そのうち、各配向パターンが少なくとも1つの縮小エリアを有し、該縮小エリアの幅が該配向パターンの他のエリアの幅より小さいものであるものを含むものである。

【0023】

この発明の実施形態において、該配向パターンが該電極層に形成された複数の突起からなるものである。

【0024】

この発明の実施形態において、該配向パターンが該電極層に形成された複数のスリットからなり、隣り合う2スリット間に配置された該画素電極層が更に複数の開口を含むものである。

【0025】

(作用)

この発明は、縮小エリアを備えた配向パターンを使用しているので、電界が変化または画面が変化する時、付近の液晶分子が迅速に安定状態に分極することができる。

10

【発明の効果】

【0026】

この発明にかかる能動素子アレイ基板上に配置されたMVA LCDパネル、画素構造およびカラーフィルタ基板上に配置された画素構造は、少なくとも下記する利点を有する。

(1) 駆動電圧がこれら2つの基板間に供給された時、この発明は、縮小エリアを備えた配向パターンを使用しているので、付近の電力線分布が液晶分子を同一方向へ傾斜させることができるとともに、迅速に安定状態へ分極させるから、良好な動態画面を得ることができる。

(2) この発明の配向パターン(スリットまたは突起)および開口は、能動素子アレイ基板の画素電極上、あるいはカラーフィルタ基板の電極層上に製作することができる。MVA LCDパネルの多様性により、スリットまたは突起の異なる配合を使用することで、液晶分子を迅速に安定状態へ分極させることができる。

20

【発明を実施するための最良の形態】

【0027】

以下、この発明を実施するための最良の形態を図面に基づいて説明する。

図4は、この発明の実施形態にかかるMVA LCDパネルを概略的に示す平面図である。図4Aは、図4のB-B'線に沿って示した断面図である。図4と図4Aとにおいて、MVA LCDパネル300は、例えば、第1基板310と、第2基板320と、液晶層330とを含む。第1基板310は、能動素子アレイ317と、画素電極層316と、複数の第1配向パターン318とを含み、そのうち、各第1配向パターン318が少なくとも1つの縮小エリア318aを含む。縮小エリア318aの幅d1は、縮小エリア318aの他エリアの幅d2よりも小さい。第2基板320は、第1基板310上に配置され、電極層323と、複数の第2配向パターン324とを含む。第2配向パターン324と第1配向パターン318とは、交差している。液晶層330は、第1基板310および第2基板320間に配置される。加えて、液晶層330が複数の液晶分子332を含んでいる。

30

【0028】

図4と図4Aとにおいて、この発明にかかる実施形態では、第1基板310が例えば能動素子アレイ317を含む能動素子アレイ基板である。能動素子アレイ317は、例えば、複数の信号線313(図4に1つのみ表示)と、複数の走査線312(図4に1つのみ表示)と、複数の薄膜トランジスタ315(図4に1つのみ表示)とを含む。信号線313と走査線312とが複数の画素エリア310a(図4に1つのみ表示)を定義しており、薄膜トランジスタ315がそれぞれ配置されている。さらに、薄膜トランジスタ315が複数の信号線313および走査線312にそれぞれ電気接続される。そのほか、薄膜トランジスタ315が対応する画素電極層316にそれぞれ電気接続される。加えて、第1基板310がその上に配置される共用電極314を含み、そのうち、共用電極314および画素電極層316が蓄積キャパシタの両極として使用される。加えて、実施形態において、第2基板320は、例えば、その上に配置されるカラーフォトリソ層322を含んで、光線を通過させLCDパネルをフルカラーとする。

40

【0029】

50

注意すべきは、第 1 配向パターン 3 1 8 が例えば画素電極層 3 1 6 中に複数のスリットを含み、そのうち、スリットは、画素電極層 3 1 6 をパターン化する時に形成されることであり、とりわけ、スリット 3 1 8 が第 1 縮小エリア 3 1 8 a を有し、それらの幅 d1 がスリット 3 1 8 の幅 d2 より小さいことである。さらに、図 4 に示すように、複数の第 1 縮小エリア 3 1 8 a が固定距離 d3 で分離されてスリット 3 1 8 上に配置されていることである。また、第 2 配向パターン 3 2 4 が第 2 基板 3 2 0 上に配置されており、例えば、電極層 3 2 3 上に形成された複数の突起からなる。第 2 配向パターン 3 2 4 および第 1 配向パターン 3 1 8 は、交差している。

【0030】

図 5 は、この発明の実施形態にかかる別な MVA LCD パネルの平面図である。図 5 において、図 4 と同じ部分には、同じ符号を使用している。注意すべきは、第 2 配向パターン 3 2 4 が第 2 基板 3 2 0 上に配置されており、例えば、少なくとも第 2 縮小エリア 3 2 4 a があり、その幅 d4 が第 2 配向パターン 3 2 4 の他のエリアの幅 d5 より小さいものとなっていることである。ある実施形態において、第 2 縮小エリア 3 2 4 a は、固定距離 d6 で隔てられるように第 2 配向パターン 3 2 4 上に配置されている。第 2 配向パターン 3 2 4 が第 2 基板 3 2 0 上に配置され、第 1 配向パターン 3 1 8 が第 1 基板 3 1 0 上に配置されて、交差するものとなっている。さらに、第 2 配向パターン 3 2 4 は、例えば、突起であり、第 1 配向パターン 3 1 8 は、スリットである。また、第 1 基板 3 1 0 上に配置された第 1 配向パターン 3 1 8 は、第 1 縮小エリア 3 1 8 a または突起を有するスリットを含んでいる。同様に、第 2 基板 3 2 0 上に配置された第 2 配向パターン 3 2 4 は、第 2 縮小エリア 3 2 4 a または突起を有するスリットを含んでいる。多様な MVA LCD パネルが第 1 基板 3 1 0 および第 2 基板 3 2 0 間の異なる組み合わせにより製造される。

【0031】

図 4 に示した MVA LCD パネルのほかに、図 6 A ~ 図 6 C には、この発明の実施形態にかかる 3 種類の MVA LCD パネル断面図を示している。図 6 A において、第 1 基板 3 1 0 上に配置された第 1 配向パターン 3 1 8 は、電極層 3 1 6 に形成された複数の突起を含むことができる。また、第 2 基板 3 2 0 上に配置された第 2 配向パターン 3 2 4 は、電極層 3 2 3 に形成された複数のスリットを含むことができる。同様に、図 5 に示したように、各第 2 配向パターン 3 2 4 は、少なくとも第 2 縮小エリア 3 2 4 a を有しており、その幅 d4 が第 2 配向パターン 3 2 4 の他のエリアの幅 d5 より小さいものとなっている。図 5 と図 6 B とにおいて、第 1 配向パターン 3 1 8 および第 2 配向パターン 3 2 4 は、第 1 縮小エリア 3 1 8 a および第 2 縮小エリア 3 2 4 a を備えたスリットを有するように設計することもできる。図 5 と図 6 C とにおいて、第 1 配向パターン 3 1 8 および第 2 配向パターン 3 2 4 は、第 1 縮小エリア 3 1 8 a および第 2 縮小エリア 3 2 4 a を備えた突起を有するように設計することもできる。これら 2 つの基板 3 1 0 , 3 2 0 間に駆動電圧が供給される時、第 1 縮小エリア 3 1 8 a および第 2 縮小エリア 3 2 4 a 付近の電力線分布が液晶分子 3 3 2 を同一方向へ傾斜させて、迅速に安定状態に分極化することができる。

【0032】

つまり、第 1 基板 3 1 0 上に配置された第 1 配向パターン 3 1 8 は、縮小エリア 3 1 8 a を備えたスリットまたは突起を含むことができる。また、第 2 基板 3 2 0 上に配置された第 2 配向パターン 3 2 4 は、縮小エリア 3 2 4 a を備えたスリットまたは突起を含むことができる。縮小エリア 3 1 8 a , 3 2 4 a を有するスリットおよび突起の異なる組み合わせを使用した、これら 2 つの基板 3 1 0 , 3 2 0 間に駆動電圧が供給される時、第 1 縮小エリア 3 1 8 a および第 2 縮小エリア 3 2 4 a 付近の電力線分布が液晶分子 3 3 2 を同一方向へ傾斜させて、迅速に安定状態に分極化することができる。従って、この発明は、動態画像のディスプレイ性能を強化することができる。

【0033】

図 7 は、この発明の実施形態にかかるまた別な MVA LCD パネルを示す平面図である。図 7 A は、図 7 の C - C' 線に沿って示した断面図である。なお、図 7 , 7 A および

10

20

30

40

50

図 4, 4 A において同じ部材を示すものには同一の符号を使用し、改めて説明をしない。

【0034】

注意に値することは、第 1 配向パターン 3 1 8 がスリットを含む時、2 つの隣接するスリット間の画素電極層 3 1 6 が更に例えば複数の開口 3 4 0 を含むことである。図 7, 7 A に示すように、これらの開口 3 4 0 は、固定距離 d7 で隔てられており、第 2 配向パターン 3 2 4 (突起) と反対側の画素電極層 3 1 6 中に形成されている。

【0035】

開口 3 4 0 を備えた MVA LCD パネルは、第 1 基板 3 1 0 上に配置された第 1 配向パターン 3 1 8、第 2 基板 3 2 0 上に配置された第 2 配向パターン 3 2 4 を含み、第 1 および第 2 配向パターン 3 1 8, 3 2 4 が図 4 A、図 6 A、図 6 B のようにスリットおよび突起が組み合わされている。図 8 A から図 8 C は、この発明の実施形態にかかる 3 種類の MVA LCD パネルの断面図を示している。先ず、図 8 A において、MVA LCD パネルは、図 6 A とほぼ同一な構造を有しているので、類似部分は改めて説明しない。注意すべきことは、開口 3 4 0 が第 1 配向パターン 3 1 8 (突起を含む) の反対側の電極層 3 2 3 中に形成されていることである。図 8 B において、MVA LCD パネルは、図 6 B とほぼ同一な構造を有しており、注意すべきことは、開口 3 4 0 が第 1 配向パターン 3 1 8 と反対側の電極層 3 2 3 中に形成されていることである。図 8 C において、第 1 および第 2 配向パターン 3 1 8, 3 2 4 がスリットを含む時、開口 3 4 0 もまた第 2 配向パターン 3 2 4 と反対側の画素電極層 3 1 6 中に形成することができる。または、開口 3 4 0 を第 1 および第 2 配向パターン 3 1 8, 3 2 4 と反対側の画素電極層 3 1 6 および電極層 3 1 6 のいずれにも配置することができる (図示せず)。

【0036】

つまり、開口のような縮小エリア 3 1 8 a, 3 2 4 a を有するスリットおよび突起の異なる組み合わせを使用した 2 つの基板 3 1 0, 3 2 0 間に駆動電圧が供給される時、開口のような縮小エリア 3 1 8 a, 3 2 4 a を有するスリットおよび突起付近の電力線分布を液晶分子 3 3 2 を同一方向へ傾斜させて迅速に安定状態に分極化させることができる。このようにして、この発明は、動態画像において良好な品質を持つものとなる。

【0037】

この発明は、能動素子アレイ (即ち第 1 基板 3 1 0) 上に配置された他の画素構造を提供するものであり、図 4、図 4 A、図 6 A に示すように、能動素子 3 1 5 と画素電極層 3 1 6 と複数の第 1 配向パターン 3 1 8 とを含んでいる。基板 3 1 1 上に配置された能動素子 3 1 5 は、薄膜トランジスタとすることができる。画素電極層 3 1 6 は、基板 3 1 1 上に配置されて能動素子 3 1 5 に電気接続される。複数の第 1 配向パターン 3 1 8 は、画素電極層 3 1 6 上に配置され、各第 1 配向パターン 3 1 8 が少なくとも 1 つの縮小エリア 3 1 8 a を有して、縮小エリア 3 1 8 a の幅 d1 が第 1 配向パターン 3 1 8 の他のエリアの幅 d2 よりも小さいものである。また、第 1 配向パターン 3 1 8 は、画素電極層 3 1 6 中に形成された複数のスリットからなるものである。あるいは、図 6 A に示したように、第 1 配向パターン 3 1 8 は、画素電極層 3 1 6 に形成された複数の突起からなるものである。

【0038】

さらに、図 7、図 7 A に示すように、2 つの隣接するスリット間に配置された画素電極層 3 1 6 が複数の開口 3 4 0 を含むものである。ある実施形態において、開口 3 4 0 は、第 2 配向パターン 3 2 4 と反対側の画素電極層 3 1 6 中に形成される。つまり、この発明の能動素子アレイ基板上に配置された画素構造は、その上に配置された第 1 配向パターン 3 1 8 を含み、それが画素電極層 3 1 6 中に形成されたスリット、突起または開口 3 4 0 を含むことができる。別な類似した構造は、上述した実施形態において述べられているので、ここでは繰り返さない。

【0039】

この発明は、カラーフィルター基板 (即ち第 2 基板 3 2 0) 上に配置された別な画素構造を提供するものであり、図 5、図 4 A、図 6 A に示すように、カラーフォトレジスト層 3 2 2 と、電極層 3 2 3 と、複数の第 2 配向パターン 3 2 4 とを含むものである。カラー

フォトレジスト層 3 2 2 は、基板 3 2 1 上に配置される。電極層 3 2 3 は、カラーフォトレジスト層 3 2 2 上に配置される。第 2 配向パターン 3 2 4 は、電極層 3 2 3 上に配置されて、各第 2 配向パターン 3 2 4 が少なくとも 1 つの縮小エリア 3 2 4 a を有し、縮小エリア 3 2 4 a の幅が第 2 配向パターン 3 2 4 の他エリアの幅より小さくなっている。また、図 4 A に示すように、第 2 配向パターン 3 2 4 が電極層 3 2 3 に形成された複数の突起を含むことができる。さらに、図 6 A に示すように、第 2 配向パターン 3 2 4 が電極層 3 2 3 に形成された複数のスリットを含むこともできる。

【 0 0 4 0 】

または、図 8 A に示すように、2 つの隣接するスリット間に配置された電極層 3 2 3 が更に複数の開口 3 4 0 を含むこともできる。ある実施形態において、開口 3 4 0 は、第 1 配向パターン 3 1 8 と反対側にある電極層 3 2 3 中に形成される。

10

【 0 0 4 1 】

つまり、カラーフィルター基板上に配置された画素構造がその上に配置された第 2 配向パターン 3 2 4 を含み、それが電極層 3 2 3 に形成されるスリット、突起または開口 3 4 0 を含むことができる。その他の類似した構造は、上述した実施形態において既に説明しているので、ここでは改めて説明しない。

【 0 0 4 2 】

以上のごとく、この発明を好適な実施例により開示したが、もとより、この発明を限定するためのものではなく、当業者であれば容易に理解できるように、この発明の技術思想の範囲内において、適当な変更ならびに修正が当然なされうるものであるから、その特許権保護の範囲は、特許請求の範囲および、それと均等な領域を基準として定めなければならない。

20

【図面の簡単な説明】

【 0 0 4 3 】

【図 1】従来の多区域垂直配向 LCD を示す平面図である。

【図 1 A】図 1 の A - A' 線に沿って示した断面図である。

【図 2 A】従来の MVA LCD パネルを動画チェック画像によりディスプレイ品質チェックする様子を示した説明図である。

【図 2 B】従来の MVA LCD パネルを動画チェック画像によりディスプレイ品質チェックする様子を示した説明図である。

30

【図 3】液晶分子配向状態を示す平面図である。

【図 4】この発明の実施形態にかかる MVA LCD パネルを示す平面図である。

【図 4 A】図 4 の B - B' 線に沿って示した断面図である。

【図 5】この発明の実施形態にかかる MVA LCD パネルを示す平面図である。

【図 6 A】この発明の実施形態にかかる MVA LCD パネルを示す断面図である。

【図 6 B】この発明の実施形態にかかる MVA LCD パネルを示す断面図である。

【図 6 C】この発明の実施形態にかかる MVA LCD パネルを示す断面図である。

【図 7】この発明の第 3 実施形態にかかる MVA LCD パネルを示す平面図である。

【図 7 A】図 7 の C - C' 線に沿って示した断面図である。

【図 8 A】この発明の実施形態にかかる MVA LCD パネルを示す断面図である。

40

【図 8 B】この発明の実施形態にかかる MVA LCD パネルを示す断面図である。

【図 8 C】この発明の実施形態にかかる MVA LCD パネルを示す断面図である。

【符号の説明】

【 0 0 4 4 】

3 0 0 多区域垂直配向型液晶表示パネル

3 1 0 第 1 基板

3 1 1 基板

3 1 2 走査線

3 1 3 信号線

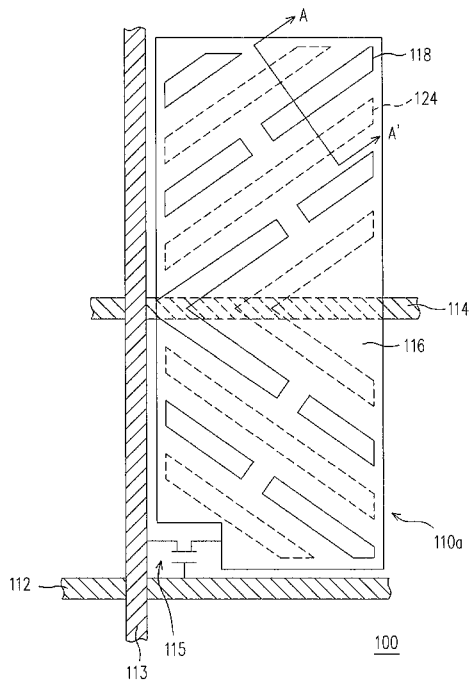
3 1 4 共用電極

50

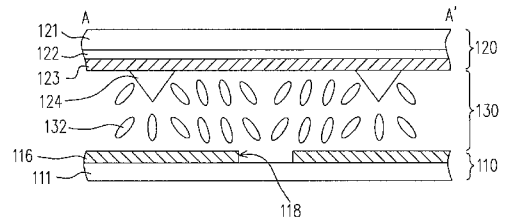
- 3 1 5 能動素子（薄膜トランジスター）
- 3 1 6 画素電極層
- 3 1 7 能動素子アレイ
- 3 1 8 第 1 配向パターン
- 3 1 8 a 縮小エリア
- 3 2 0 第 2 基板
- 3 2 1 基板
- 3 2 2 カラーフォトリソスト層
- 3 2 3 電極層
- 3 2 4 第 2 配向パターン
- 3 2 4 a 縮小エリア
- 3 3 0 液晶層
- 3 3 2 液晶分子
- 3 4 0 開口

10

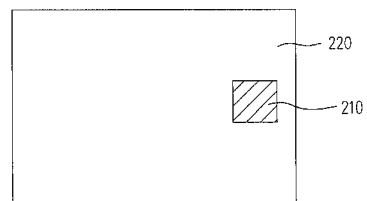
【図 1】



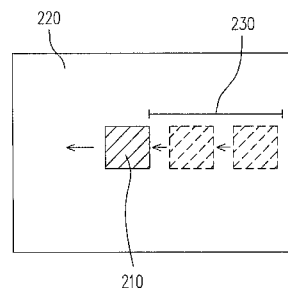
【図 1 A】



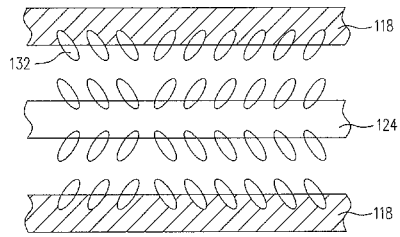
【図 2 A】



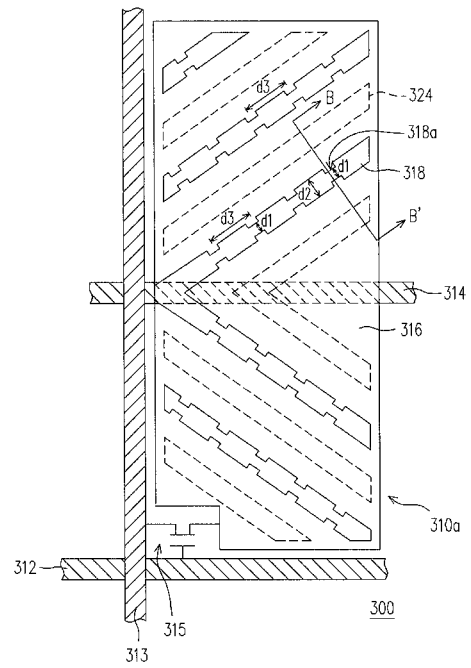
【図 2 B】



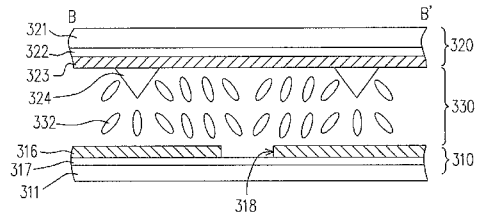
【 図 3 】



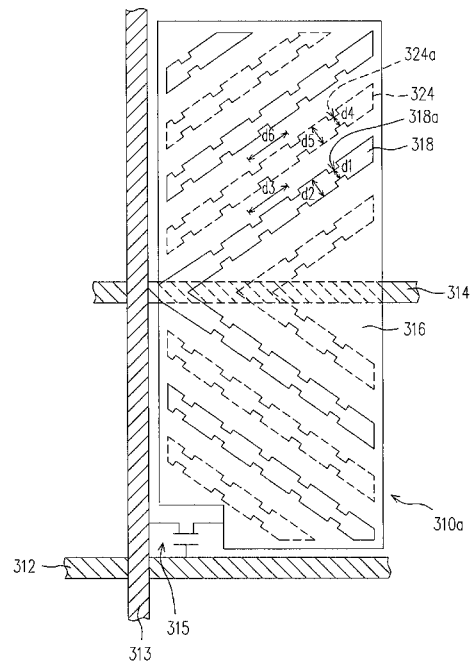
【 図 4 】



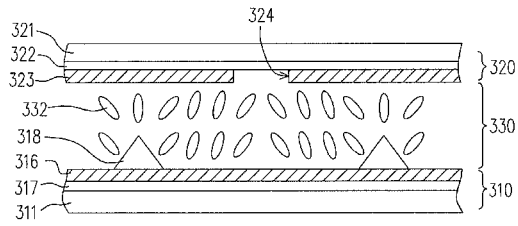
【 図 4 A 】



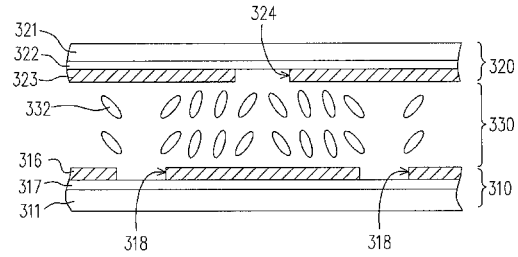
【 図 5 】



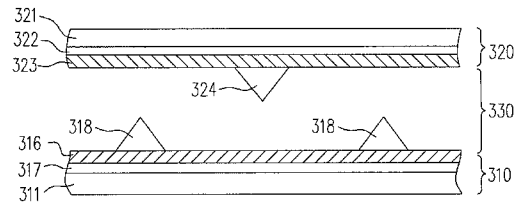
【図 6 A】



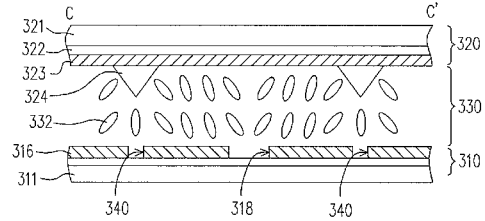
【図 6 B】



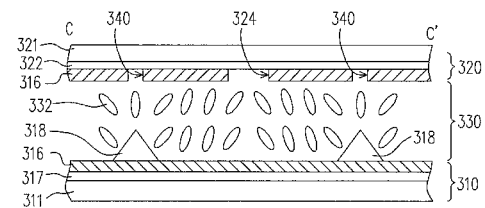
【図 6 C】



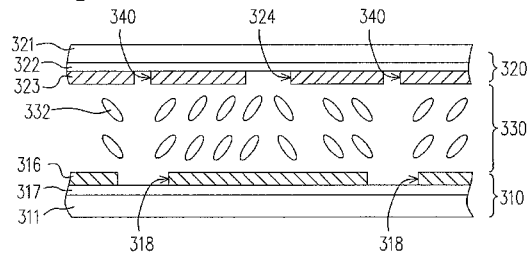
【図 7 A】



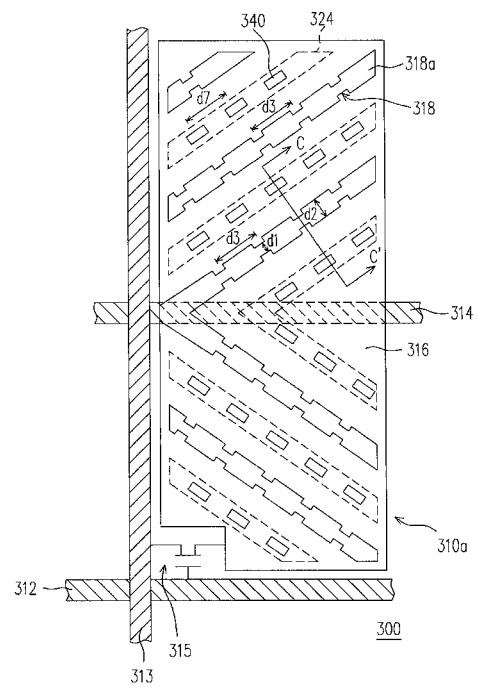
【図 8 A】



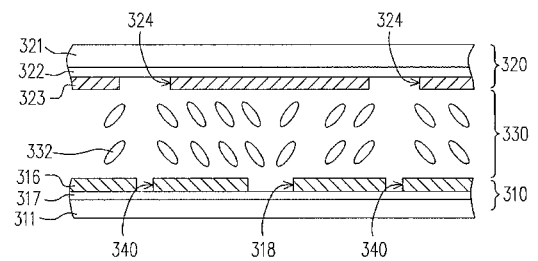
【図 8 B】



【図 7】



【図 8 C】



フロントページの続き

(72)発明者 洪孟鋒

台湾彰化市彰美路一段8巷53-4號

Fターム(参考) 2H090 HA14 HA15 HA16 HB06Y HC12 HD14 JA03 KA07 LA01 LA04
MA01 MA15
2H092 GA13 JA24 JB05 NA01 NA04 QA09

【 外国語明細書 】

LIQUID CRYSTAL DISPLAY PANEL AND PIXEL STRUCTURE

BACKGROUND OF THE INVENTION

5 Field of the Invention

[0001] The present invention generally relates to a liquid crystal display panel, and more particularly, to a multi-domain vertical alignment (MVA) liquid crystal display panel.

Description of Related Art

10 [0002] With such advantages as high image quality, high space utility rate, low power consumption and free radiation, the thin film transistor liquid crystal display (TFT LCD) has become a major product in the display market. Current requirements for performance of the LCD are directed to high contrast ratio, fast response and wide-view angle. For example, a multi-domain vertical alignment (MVA) LCD can achieve the
15 requirement for wide-view angle, which is described as follows.

[0003] Fig.1 shows a top view of a conventional multi-domain vertical alignment LCD, wherein only one pixel is illustrated. Fig. 1A shows a cross-sectional view along line A-A' in Fig.1. Referring to Fig.1 and Fig. 1A, a MVA LCD panel 100 at least comprises an active-device-array substrate 110, a colour filter substrate 120 and a
20 liquid crystal layer 130, wherein the active-device-array substrate 110 at least comprises a substrate 111, a scan line 112, a signal line 113, a common electrode 114, a thin film transistor 115 and a pixel electrode layer 116. More, slits are formed in the pixel electrode 116.

[0004] In addition, the scan line 112 and the signal line 113 define a pixel area

110a on the substrate 111, wherein the thin film transistor 115 is disposed inside the pixel area 110a and electrically connected to corresponding signal line 113 and scan line 112. The pixel electrode layer 116 is correspondingly disposed inside the pixel area 110a and electrically connected to the corresponding thin film transistor 115. The common electrode 114 and the pixel electrode layer 116 serve as two electrodes of a storage capacitor.

[0005] Referring to Fig.1 and Fig. 1A, the color filter substrate 120 is disposed over the active-device-array substrate 110 and at least comprises a substrate 121, a color photo-resist layer 122, an electrode layer 123 and a protrusion 124. In addition, the color photo-resist layer 122 is disposed on the substrate 121, the electrode layer 123 is disposed on the color photo-resist layer 122 and the protrusion 124 is disposed on the electrode layer 123. Besides, the liquid crystal layer 130 is disposed between the active-device-array substrate 110 and the color filter substrate 120, wherein the liquid crystal layer 130 comprises a plurality of liquid molecules.

[0006] When a driven voltage is applied between these two substrates 110 and 120, electrical lines near the slit 118 in the active-device-array substrate 110 and the protrusion 124 disposed on the color filter substrate 120 are distorted and thus alter the alignment of liquid molecules near the slit 118 and the protrusion 124. Therefore, a LCD with a wide-view angle is fabricated by means of the different liquid crystal alignment. However, aforementioned design of pixel structure has several problems when displaying moving pictures, which are described as follows.

[0007] Figs. 2A and 2B are schematic diagrams of checking the display quality of a conventional MVA LCD panel by using moving checking frames. Fig.3 is a top view of a liquid crystal molecule alignment state. Referring to Figs. 2A, 2B and 3, first,

a black block 210 is displayed on a white frame 220 as shown in Fig. 2A. Next, the black block 210 moves on the white frame 220 as shown in Fig. 2B. In addition, the electrical lines distorted near the slit 118 and the protrusion 124 (shown in Fig.3) cause the liquid crystal molecule 132 nearby to have different tilt direction from that of liquid crystal molecule 132 in other areas. Consequently, when electric field changes or the picture changes (that is, the black block 210 shown in Fig. 2B moves), the liquid crystal molecule nearby is not able to be polarized to a stable state, thereby generating a dynamic crosstalk, which results in an image-dragged white area 230 shown in Fig. 2B.

10

SUMMARY OF THE INVENTION

[0008] Accordingly, the present invention is directed to a LCD panel with better dynamic display images.

[0009] The present invention is further directed to a pixel structure, disposed on an active-device-array substrate. Through the design of the pixel structure, the LCD panel with the active-device-array substrate can have better dynamic display images.

15

[0010] The present invention is further directed to a pixel structure, disposed on a color filter substrate. Through the design of the pixel structure, the LCD panel with the color filter substrate can have better dynamic display images.

[0011] Based on the above objectives and other objectives, a LCD panel comprising a first substrate, a second substrate and a liquid crystal layer is provided. The first substrate has an active device array, a pixel electrode layer and a plurality of first alignment patterns, wherein each first alignment pattern has at least a first shrinking area. The width of the first shrinking area is smaller than that of the other area in the first alignment pattern. The second substrate is disposed above the first substrate and has

20

an electrode layer and a plurality of second alignment patterns thereon. The second alignment patterns and the first alignment patterns are staggered. The liquid crystal layer is disposed between the first substrate and the second substrate.

[0012] In one embodiment of the present invention, each of the second
5 alignment patterns at least comprises a second shrinking area, wherein the width of the second shrinking area is smaller than that of the other area in the second alignment pattern.

[0013] In one embodiment of the present invention, the first alignment patterns are comprised of a plurality of protrusions disposed on the pixel electrode layer.

10 [0014] In one embodiment of the present invention, the first alignment patterns are comprised of a plurality of slits formed in the pixel electrode layer, and the pixel electrode layer between two neighboring slits further comprises a plurality of openings, for example.

[0015] In one embodiment of the present invention, the second alignment
15 patterns are comprised of a plurality of protrusions disposed on the electrode layer.

[0016] In one embodiment of the present invention, the second alignment patterns are comprised of slits formed in the pixel electrode layer, and the pixel electrode layer between two neighboring slits further comprises a plurality of openings, for example.

20 [0017] In one embodiment of the present invention, the active device array comprises, for example, a plurality of signal lines, a plurality of scan lines and a plurality of thin film transistors. The signal lines and the scan lines define a plurality of pixel areas, in which the thin film transistors are respectively disposed. More, the thin film transistors are respectively electrically connected to the plurality of signal lines and

scan lines.

[0018] In one embodiment of the present invention, the second substrate, for example, comprises a color photo-resist layer.

[0019] The present invention further provides a pixel structure. The pixel
5 structure comprises an active element, a pixel electrode layer and a plurality of alignment patterns. The active element is disposed on a substrate. In addition, the pixel electrode layer is disposed on the substrate and electrically connected to the active element. The alignment patterns are disposed on the pixel electrode layer, wherein each alignment pattern has at least a shrinking area. The width of the shrinking area is smaller
10 than that of the other area in the alignment pattern.

[0020] In one embodiment of the present invention, the alignment pattern is comprised of a plurality of protrusions formed on the pixel electrode layer.

[0021] In one embodiment of the present invention, the alignment pattern is comprised of a plurality of slits formed in the pixel electrode layer, and the pixel
15 electrode layer between two neighboring slits, for example, further comprises a plurality of openings.

[0022] The present invention further provides a pixel structure. The pixel structure comprises a color photo-resist layer, an electrode layer and a plurality of alignment patterns. The color photo-resist layer is disposed on a substrate. In addition,
20 the electrode layer is disposed on the color photo-resist layer. The alignment patterns are disposed on the electrode layer, wherein each alignment pattern has at least a shrinking area. The width of the shrinking area is smaller than that of the other area in the alignment pattern.

[0023] In one embodiment of the present invention, the alignment pattern is

comprised of a plurality of protrusions formed on the pixel electrode layer.

[0024] In one embodiment of the present invention, the alignment pattern is comprised of a plurality of slits formed in the pixel electrode layer, and the pixel electrode layer between two neighboring slits, for example, further comprises a plurality
5 of openings.

[0025] As the present invention utilizes alignment patterns with shrinking areas, the liquid crystal molecule nearby can quickly be polarized to a stable state when electric field changes or picture changes.

[0026] The objectives, other features and advantages of the invention will
10 become more apparent and easily understood from the following detailed description of the invention when taken in conjunction with the accompanying drawings.

BRIEF DESCRIPTION OF THE DRAWINGS

[0027] The accompanying drawings are included to provide a further
15 understanding of the present invention, and are incorporated in and constitute a part of this specification. The drawings illustrate embodiments of the invention and, together with the description, serve to explain the principles of the invention.

[0028] Fig.1 shows a top view of a conventional multi-domain vertical alignment LCD.

20 [0029] Fig. 1A shows a cross-sectional view along line A-A' in Fig.1.

[0030] Figs. 2A and 2B are schematic diagrams of checking the display quality of a conventional MVA LCD panel by using moving checking pictures.

[0031] Fig. 3 is a top view showing a liquid crystal molecule alignment state.

[0032] Fig. 4 schematically shows a top view of a MVA LCD panel according to

an embodiment of the present invention.

[0033] Fig. 4A shows a cross-sectional view along line B-B' in Fig. 4.

[0034] Fig. 5 schematically shows a top view of another MVA LCD panel according to an embodiment of the present invention.

5 [0035] Figs. 6A-6C are cross-sectional views of three kinds of MVA LCD panels according to an embodiment of the present invention.

[0036] Fig. 7 schematically shows a top view of still another MVA LCD panel according to the third embodiment of the present invention.

[0037] Fig.7A shows a cross-sectional view along line C-C' in Fig. 7.

10 [0038] Figs. 8A-8C are cross-sectional views of three kinds of MVA LCD panels according to an embodiment of the present invention.

DESCRIPTION OF THE EMBODIMENTS

[0039] Reference will now be made in detail to an MVA LCD of a present
15 embodiment of the invention, examples of which are illustrated in the accompanying drawings. Wherever possible, the same reference numbers are used in the drawings and the descriptions to refer to the same parts.

[0040] Fig. 4 schematically shows a top view of a MVA LCD panel according to an embodiment of the present invention. Fig.4A shows a cross-sectional view along
20 line B-B' in Fig. 4. Referring to Figs. 4 and 4A, the MVA LCD panel 300, for example, comprises a first substrate 310, a second substrate 320 and a liquid crystal layer 330. The first substrate 310 comprises an active device array 317, a pixel electrode layer 316 and a plurality of first alignment patterns 318, wherein each first alignment pattern has at least a shrinking area 318a. The width d1 of the shrinking area 318a is smaller than

that d2 of the other area in the first alignment pattern. The second substrate 320 is disposed over the first substrate 310 and comprises an electrode layer 323 and a plurality of second alignment patterns 324. The second alignment patterns 324 and the first alignment patterns 318 are staggered. The liquid crystal layer 330 is disposed between
5 the first substrate 310 and the second substrate 320. In addition, the liquid crystal layer 330 comprises a plurality of liquid crystal molecules 332.

[0041] Referring to Figs. 4 and 4A, in one embodiment of the present invention, the first substrate 310, for example, is an active-device-array substrate comprising an active device array 317. The active device array 317, for example, comprises a plurality
10 of signal lines 313 (only one is shown in Fig.4), a plurality of scan lines 312 (only one is shown in Fig.4) and a plurality of thin film transistors 315 (only one is shown in Fig.4). The signal lines 313 and the scan lines 315 define a plurality of pixel areas 310a (only one is shown in Fig.4), in which the thin film transistors 315 are respectively disposed. More, the thin film transistors 315 are respectively electrically connected to the plurality
15 of signal lines 313 and scan lines 312. Besides, the thin film transistor 315 is electrically connected to the corresponding pixel electrode layer 316. In addition, the first substrate 310 comprises a common electrode 314 disposed thereon, wherein the common electrode 314 and the electrode layer 316 are used as two electrodes of a storage capacitor. In addition, in one embodiment, the second substrate 320, for example,
20 comprises a color photo-resist layer 322 disposed thereon, which allows light to pass through to make the LCD panel full color.

[0042] Note that the first alignment patterns 318, for example, are comprised of a plurality of slits formed in the electrode layer 316, wherein the slits are formed when patterning the electrode layer 316. Especially, the slit 318 has a first shrinking area 318a,

whose width d_1 is smaller than that d_2 of the slit 318. More, as shown in Fig.4, a plurality of first shrinking areas 318a are separated by a fixed distance d_3 and disposed on each slit 318. Further, the second alignment pattern 324 disposed on the second substrate 320, for example, is comprised of a plurality of protrusions formed on an electrode layer 323. The second alignment patterns 324 and the first alignment patterns 318 are staggered.

[0043] Fig.5 schematically shows a top view of another MVA LCD panel according to an embodiment of the present invention. The same reference numbers shown in Fig.4 and Fig.5 refer to the same parts. Note that the second alignment pattern 324 disposed on the second substrate 320, for example, at least has a second shrinking area 324a, whose width d_4 is smaller than that d_5 of other areas of the second alignment pattern 324. In one embodiment, the second shrinking areas 324a are separated by a fixed distance d_6 and disposed on the second alignment pattern 324. The second alignment patterns 324 disposed on the second substrate 320 and the first alignment patterns 318 disposed on the first substrate 310, are staggered. More, the second alignment pattern 324, for example, is a protrusion and the first alignment pattern 318, for example, is a slit. Further, the first alignment patterns 318 disposed on the first substrate 310 may comprise a slit with a shrinking area 318a or a protrusion. Also, the second alignment patterns 324 disposed on the second substrate 320 may comprise a slit with a shrinking area 324a or a protrusion. A variety of MVA LCD panels are fabricated with different matches between the first substrate 310 and the second substrate 320.

[0044] In addition to the MVA LCD panels shown in Fig.4, Fig.6A-6C show cross-sectional views of three kinds of MVA LCD panels according to an embodiment

of the present invention. Referring to Fig. 6A, the first alignment patterns 318 disposed on the first substrate 310 may comprise a plurality of protrusions formed in the electrode layer 316. Also, the second alignment patterns 324 disposed on the second substrate 320 may comprise a plurality of slits formed in the electrode layer 323. Likewise, as shown in Fig.5, each second alignment pattern 324 has at least a second shrinking area 324a, whose width d4 is smaller than that d5 of the other area of the second alignment pattern 324. Referring to Figs. 5 and 6B, the first alignment patterns 318 and the second alignment patterns 324 can be designed to have slits with a first shrinking area 318a and a second shrinking area 324a. More, Referring to Figs. 5 and 6C, the first alignment patterns 318 and the second alignment patterns 324 can be designed to have protrusions with a first shrinking area 318a and a second shrinking area 324a. When a driving voltage is applied between these two substrates 310 and 320, electrical line distribution near the first shrinking area 318a and the second shrinking area 324a can make the liquid crystal molecules 332 to be tilted in the same direction and are thus quickly polarized to s stable state.

[0045] In summary, the first alignment patterns 318 disposed on the first substrate 310 may comprise slits or protrusions with shrinking area 318a. Also, the second alignment patterns 324 disposed on the second substrate 320 may comprise slits or protrusions with shrinking area 324a. When a driving voltage is applied between these two substrates 310 and 320 that utilize different matches of slits and protrusions having shrinking areas 318a, 324a, electrical line distribution near the first shrinking area 318a and the second shrinking area 324a can make the liquid crystal molecules 332 to be tilted in the same direction and are thus quickly polarized to s stable state. Therefore, the present invention is able to enhance the display performance of dynamic

pictures.

[0046] Fig.7 schematically shows a top view of yet another MVA LCD panel according to an embodiment of the present invention. Fig.7A shows a cross-sectional view along line C-C' in Fig.7. The same reference numbers shown in Fig. 7, 7A and
5 shown in Fig. 4, 4A refer to the same parts, whose description is not repeated here.

[0047] Note that when the first alignment pattern 318 comprises slits, the electrode pixel layer between two neighboring slits further comprise, for example, a plurality of openings 340. As shown in Fig. 7, 7A, these openings 340 are separated by a fixed distance d_7 and formed in the pixel electrode layer 316 on the opposite side of the
10 second alignment pattern 324 (protrusions).

[0048] The MVA LCD panel with openings 340 comprises a first alignment pattern 318 disposed on a first substrate 310, and a second alignment pattern 324 disposed on a second substrate 320, wherein the first and second alignment patterns 318, 324 are matched with slits and protrusions as in Fig.4A, Fig.6A and Fig. 6B. Fig. 8A to
15 Fig.8C show cross-sectional views of three kinds of MVA LCD panels according to an embodiment of the present invention. First, referring to Fig.8A, the MVA LCD has almost the same structure as Fig.6A, so the similarities are not repeated here. Note that the openings 340 are formed in the electrode layer 323 on the opposite side of the first alignment pattern 318 (comprised of protrusions). Referring to Fig.8B, the MVA LCD
20 has almost the same structure as Fig.6B. Note that the openings 340 are formed in the electrode layer 323 on the opposite side of the first alignment pattern 318. As shown in Fig.8C, when the first and second alignment patterns 318, 324 comprise slits, openings 340 can also be disposed in the pixel electrode layer 316 on the opposite side of the second alignment pattern 324. Alternatively, openings 340 can be disposed in both the

pixel electrode layer 316 and the electrode layer 323 (not shown) on the opposite sides of the first and second alignment pattern 318, 324.

[0049] In summary, when a driving voltage is applied between these two substrates 310 and 320 that utilize different match of slits and protrusions having shrinking areas 318a, 324a, as well as openings, electrical line distribution near slits and protrusions having shrinking areas 318a, 324a, as well as openings can make the liquid crystal molecules 332 to be tilted in the same direction and are thus quickly polarized to a stable state. Thus, the present invention has better display quality in dynamic pictures.

[0050] The present invention provides another pixel structure disposed on an active-device-array substrate (i.e. the first substrate 310), which comprises an active device 315, a pixel electrode layer 316 and a plurality of first alignment patterns 318, as shown in Fig.4., Fig.4A and Fig.6A. The active device 315 disposed on the substrate 311 may be a thin film transistor. The pixel electrode layer 316 is disposed on the substrate 311 and electrically connected to the active device 315. A plurality of first alignment patterns 318 are disposed on the pixel electrode layer 316, wherein each first alignment pattern 318 has at least a shrinking area 318a and the width d1 of the shrinking area 318a is smaller than that d2 of the other area of the first alignment pattern 318. Likewise, the first alignment pattern 318 may be comprised of a plurality of slits formed in the pixel electrode layer 316. Alternatively, as shown in Fig.6A, the first alignment pattern 318 may be comprised of a plurality of protrusions formed in the pixel electrode layer 316.

[0051] In addition, as shown in Fig.7 and Fig.7A, the pixel electrode layer 316 disposed between two neighboring slits may further comprise a plurality of openings 340. In one embodiment, the openings 340 are formed in the pixel electrode layer 316

on the opposite side of the second alignment pattern 324. In summary, the pixel structure disposed on the active-device-array substrate of the present invention comprises the first alignment pattern 318 disposed thereon, which may comprise slits, protrusions or openings 340 formed in the pixel electrode layer 316. The other similar
5 structures are described in the preceding embodiment and the description is not repeated here.

[0052] The present invention provides another pixel structure disposed on a color filter substrate (i.e. the second substrate 320), which comprises a color photo-resist layer 322, an electrode layer 323 and a plurality of second alignment patterns 324, as
10 shown in Fig.5, Fig.4A and Fig.6A. The color photo-resist layer 322 is disposed on the substrate 321. The electrode layer 323 is disposed on the color photo-resist layer 322. The second alignment patterns 324 are disposed on the electrode layer 323, wherein each second alignment pattern 324 has at least a shrinking area 324a and the width of the shrinking area 324a is smaller than that of the other area of the second alignment
15 pattern 324. Likewise, as shown in Fig.4A, the second alignment pattern 324 may be comprised of a plurality of protrusions formed in the electrode layer 323. Furthermore, as shown in Fig.6A, the second alignment pattern 324 may be comprised of a plurality of slits formed in the electrode layer 323.

[0053] Alternatively, as shown in Fig.8A, the electrode layer 323 disposed
20 between two neighboring slits may further comprise a plurality of openings 340. In one embodiment, the openings 340 are formed in the electrode layer 323 on the opposite side of the first alignment pattern 318.

[0054] In summary, the pixel structure disposed on the color filter substrate comprises the second alignment pattern 324 disposed thereon, which may comprise slits,

protrusions or openings 340 formed in the electrode layer 323. The other similar structures are described in the preceding embodiment and the description is not repeated here.

[0055] Therefore, the MVA LCD panel, the pixel structure disposed on the
5 active-device-array substrate and the pixel structure disposed on the color filter substrate have at least the following advantages:

(1) When a driving voltage is applied between these two substrates, since the present invention utilizes the alignment pattern with a shrinking area, electrical line distribution nearby can make the liquid crystal molecules to be tilted in the same
10 direction and are thus quickly polarized to a stable state, thereby acquiring better dynamic pictures.

(2) The alignment pattern (slits or protrusions) and openings of the present invention can be fabricated on the pixel electrode of the active-device-array substrate, or on the electrode layer of the color substrate. A variety of MVA LCD panels can be
15 fabricated by using different matches of slits or protrusions, such that the liquid crystal molecules can be quickly polarized to a stable state.

[0056] It will be apparent to those skilled in the art that various modifications and variations can be made to the structure of the present invention without departing from the scope or spirit of the invention. In view of the foregoing, it is intended that
20 the present invention cover modifications and variations of this invention provided they fall within the scope of the following claims and their equivalents.

WHAT IS CLAIMED IS:

1. A liquid crystal panel, comprising:

a first substrate, comprising an active device array, a pixel electrode layer and a plurality of first alignment patterns, wherein each first alignment pattern has at least a first shrinking area and the width of the first shrinking area is smaller than that of the other area of the first alignment pattern;

a second substrate disposed above the first substrate, comprising an electrode layer and a plurality of second alignment patterns thereon, wherein the second alignment patterns and the first alignment patterns are staggered; and

a liquid crystal layer, disposed between the first substrate and the second substrate.

2. The liquid crystal panel according to claim 1, wherein each second alignment pattern comprises at least a second shrinking area and the width of the second shrinking area is smaller than that of the other area of the second alignment pattern.

3. The liquid crystal panel according to claim 1, wherein the first alignment pattern is comprised of a plurality of protrusions formed in the pixel electrode layer.

4. The liquid crystal panel according to claim 1, wherein the first alignment pattern is comprised of a plurality of slits formed in the pixel electrode layer.

5. The liquid crystal panel according to claim 4, wherein the pixel electrode layer disposed between two neighboring slits further comprises a plurality of openings.

6. The liquid crystal panel according to claim 1, wherein the second alignment pattern is comprised of a plurality of protrusions formed in the electrode layer.

7. The liquid crystal panel according to claim 1, wherein the second alignment pattern is comprised of a plurality of slits formed in the electrode layer.

8. The liquid crystal panel according to claim 7, wherein the pixel electrode layer disposed between two neighboring slits further comprises a plurality of openings.

9. The liquid crystal panel according to claim 1, wherein the active device array comprises:

5 a plurality of signal lines and a plurality of scan lines to define a plurality of pixel areas; and

a plurality of thin film transistors, respectively disposed in the plurality of pixel areas and electrically connected to the plurality of signal lines and scan lines.

10 10. The liquid crystal panel according to claim 1, wherein the second substrate further comprises a color photo-resist layer.

11. A pixel structure, comprising:

an active element, disposed on a substrate;

a pixel electrode layer, disposed on the substrate and electrically connected to the active element; and

15 a plurality of alignment patterns, disposed on the pixel electrode layer, wherein each alignment pattern has at least a shrinking area and the width of the shrinking area is smaller than that of the other area of the alignment pattern.

12. The pixel structure according to claim 11, wherein the alignment patterns are comprised of a plurality of protrusions formed in the electrode layer.

20 13. The pixel structure according to claim 11, wherein the alignment patterns are comprised of a plurality of slits formed in the electrode layer.

14. The pixel structure according to claim 13, wherein the pixel electrode layer disposed between two neighboring slits further comprises a plurality of openings.

15. A pixel structure, comprising

a color photo-resist layer, disposed on a substrate;

an electrode layer, disposed on the color photo-resist layer; and

a plurality of alignment patterns, disposed on the electrode layer, wherein each alignment pattern has at least a shrinking area and the width of the shrinking area is smaller than that of the other area of the alignment pattern.

16. The pixel structure according to claim 15, wherein the alignment patterns are comprised of a plurality of protrusions formed in the electrode layer.

17. The pixel structure according to claim 15, wherein the alignment patterns are comprised of a plurality of slits formed in the electrode layer.

18. The pixel structure according to claim 17, wherein the pixel electrode layer disposed between two neighboring slits further comprises a plurality of openings.

ABSTRACT OF THE DISCLOSURE

A liquid crystal display panel comprising a first substrate, a second substrate and a liquid crystal layer is provided. The first substrate has an active device array, a pixel electrode layer and a plurality of first alignment patterns. Each first alignment pattern has at least a first shrinking area. The width of the first shrinking area is smaller than that of the other area of the first alignment pattern. The second substrate is disposed above the first substrate and has an electrode layer and a plurality of second alignment patterns. The second alignment patterns and the first alignment patterns are staggered. The liquid crystal layer is disposed between the first substrate and the second substrate.

The present invention can provide better dynamic pictures.

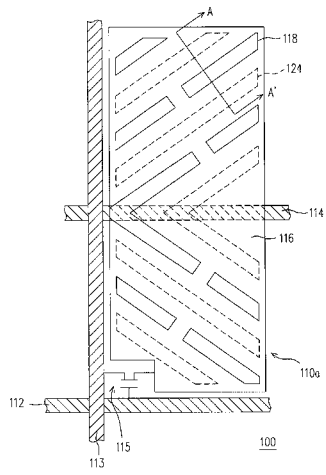


FIG. 1 (PRIOR ART)

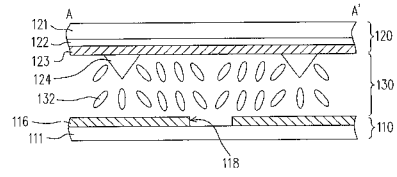


FIG. 1A (PRIOR ART)

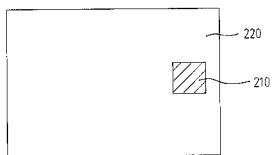


FIG. 2A (PRIOR ART)

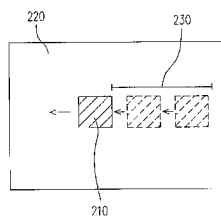


FIG. 2B (PRIOR ART)

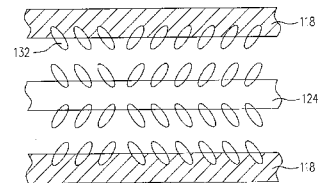


FIG. 3 (PRIOR ART)

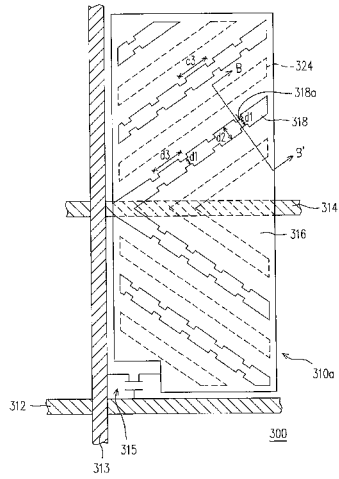


FIG. 4

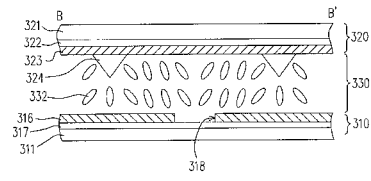


FIG. 4A

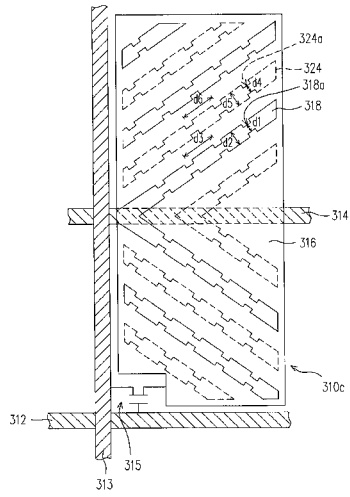


FIG. 5

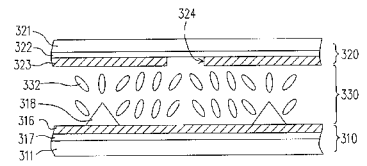


FIG. 6A

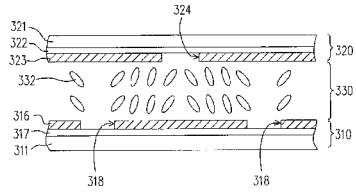


FIG. 6B

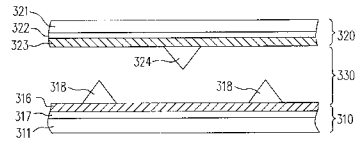


FIG. 6C

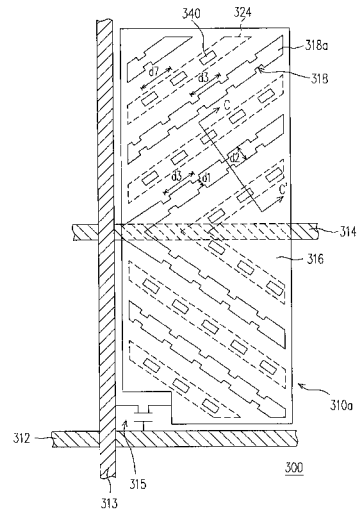


FIG. 7

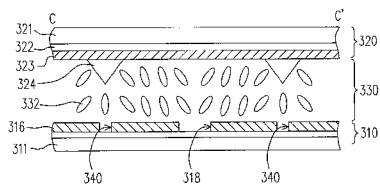


FIG. 7A

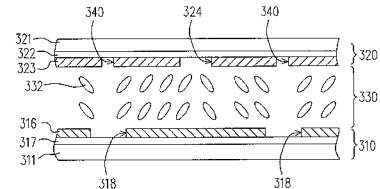


FIG. 8B

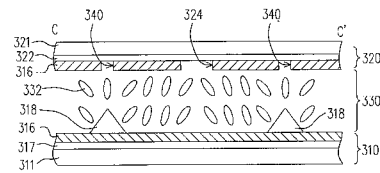


FIG. 8A

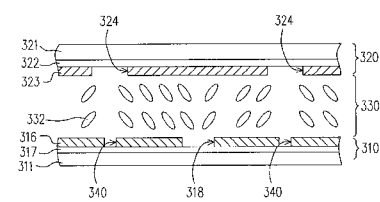


FIG. 8C

专利名称(译)	液晶显示面板和像素结构		
公开(公告)号	JP2007011251A	公开(公告)日	2007-01-18
申请号	JP2005296781	申请日	2005-10-11
[标]申请(专利权)人(译)	中华映管股份有限公司		
申请(专利权)人(译)	中华映管股▲ふん▼有限公司		
[标]发明人	洪孟鋒		
发明人	洪孟鋒		
IPC分类号	G02F1/1337 G02F1/1343		
CPC分类号	G02F1/133707 G02F1/134309 G02F2001/133742		
FI分类号	G02F1/1337.505 G02F1/1343		
F-TERM分类号	2H090/HA14 2H090/HA15 2H090/HA16 2H090/HB06Y 2H090/HC12 2H090/HD14 2H090/JA03 2H090/KA07 2H090/LA01 2H090/LA04 2H090/MA01 2H090/MA15 2H092/GA13 2H092/JA24 2H092/JB05 2H092/NA01 2H092/NA04 2H092/QA09 2H290/AA34 2H290/BB24 2H290/BB32 2H290/BB44 2H290/BB52		
代理人(译)	田中 秀佳 熊野刚		
优先权	094122085 2005-06-30 TW		
其他公开文献	JP4382025B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种液晶面板，该液晶面板具有布置在有源元件阵列基板和彩色滤光片基板上的像素结构，并且具有良好的动态显示屏。一个目的是提供一种具有良好动态显示屏的LCD面板。提供一种液晶显示面板，其包括第一基板，第二基板和液晶层，该第一基板包括有源元件阵列，像素电极层和多个第一取向图案。每个第一对准图案具有至少一个第一缩小区域，所述第一缩小区域的宽度小于所述第一对准图案的另一部分的宽度，所述第二基板为一个电极设置在基板上方，包括电极层和多个第二取向图案，第二取向图案和第一取向图案相交，并且液晶层在第一基板和第二基板之间。将被放置。[选择图]图5

